

特性

- 10 kΩ和100 kΩ电阻可选
- 电阻容差: 8%(最大值)
- 游标电流: ±6 mA
- 低温度系数: 35 ppm/°C
- 宽带宽: 3 MHz
- 快速启动时间: < 75 μs
- 线性增益设置模式
- 单电源及双电源供电
- 独立逻辑电源: 1.8 V至5.5 V
- 宽工作温度范围: -40°C至+125°C
- 封装: 3 mm × 3 mm LFCSP
- 4 kV ESD保护

应用

- 便携式电子设备的电平调整
- LCD面板亮度和对比度控制
- 可编程滤波器、延迟和时间常数
- 可编程电源

概述

AD5121/AD5141电位计为128/256位调整应用提供一种非易失性解决方案, 保证±8%的低电阻容差误差, A、B和W引脚提供最高±6 mA的电流密度。

低电阻容差和低标称温度系数简化了开环应用和需要容差匹配的应用。

线性增益设置模式允许对数字电位计端子 R_{AW} 和 R_{WB} 两串电阻之间的电阻值独立编程, 使电阻匹配非常精确。

宽带宽和低总谐波失真(THD)确保对于交流信号具有最佳性能, 适合滤波器设计。

在电阻阵列末端的游标电阻低, 仅40 Ω, 允许进行引脚到引脚连接。

游标电阻值可通过一个SPI/I²C兼容数字接口设置, 也可利用该接口回读游标寄存器和EEPROM内容。

AD5121/AD5141采用紧凑型16引脚、3 mm × 3 mm LFCSP封装。保证工作温度范围为-40°C至+125°C的扩展工业温度范围。

功能框图

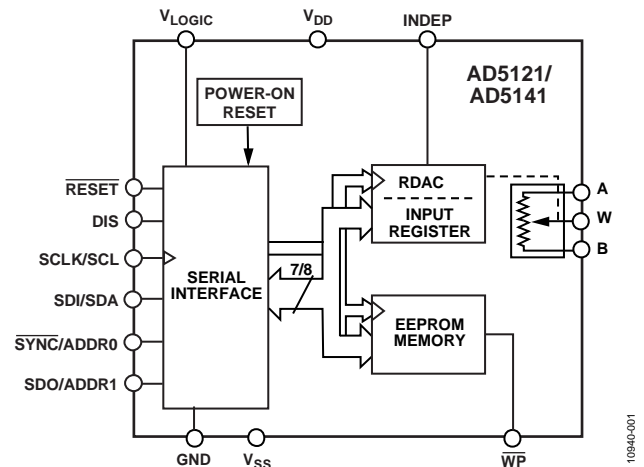


图1.

表1. 该系列产品型号

型号	通道	位置	接口	封装
AD5123 ¹	四通道	128	I ² C	LFCS
AD5124	四通道	128	SPI/I ² C	LFCS
AD5124	四通道	128	SPI	TSSOP
AD5143 ¹	四通道	256	I ² C	LFCS
AD5144	四通道	256	SPI/I ² C	LFCS
AD5144	四通道	256	SPI	TSSOP
AD5144A	四通道	256	I ² C	TSSOP
AD5122	双通道	128	SPI	LFCS/TSSOP
AD5122A	双通道	128	I ² C	LFCS/TSSOP
AD5142	双通道	256	SPI	LFCS/TSSOP
AD5142A	双通道	256	I ² C	LFCS/TSSOP
AD5121	单通道	128	SPI/I ² C	LFCS
AD5141	单通道	256	SPI/I ² C	LFCS

¹ 两个电位计和两个可变电阻器。

Rev. A

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2012 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

目录

特性.....	1	输入移位寄存器.....	20
应用.....	1	串行数据数字接口选择, DIS	20
概述.....	1	SPI串行数据接口	20
功能框图.....	1	I ² C串行数据接口	22
修订历史.....	2	I ² C地址.....	22
技术规格.....	3	高级控制模式.....	23
电气特性—AD5121	3	EEPROM或RDAC寄存器保护	24
电气特性—AD5141	6	载入RDAC输入寄存器($\overline{\text{LRDAC}}$).....	24
接口时序规格.....	9	INDEP引脚.....	24
移位寄存器和时序图.....	10	RDAC架构.....	27
绝对最大额定值.....	12	对可变电阻进行编程.....	27
热阻	12	对电位计分压器进行编程.....	28
ESD警告.....	12	端电压范围	29
引脚配置和功能描述.....	13	上电时序.....	29
典型性能参数.....	14	布局和电源偏置.....	29
测试电路.....	19	外形尺寸.....	30
工作原理.....	20	订购指南.....	30
RDAC寄存器和EEPROM.....	20		

修订历史

2012年12月—修订版0至修订版A

更改表10.....	22
------------	----

2012年10月—修订版0: 初始版

技术规格

电气特性—AD5121

除非另有说明， $V_{DD} = 2.3\text{ V}$ 至 5.5 V ， $V_{SS} = 0\text{ V}$ ； $V_{DD} = 2.25\text{ V}$ 至 2.75 V ， $V_{SS} = -2.25\text{ V}$ 至 -2.75 V ； $V_{LOGIC} = 1.8\text{ V}$ 至 5.5 V ， $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表2.

参数	符号	测试条件/注释	最小值	典型值 ¹	最大值	单位
直流特性—可变电阻器模式(全部RDAC)						
分辨率	N		7			位
电阻积分非线性 ²	R-INL	$R_{AB} = 10\text{ k}\Omega$ $V_{DD} \geq 2.7\text{ V}$	-1	± 0.1	+1	LSB
		$V_{DD} < 2.7\text{ V}$	-2.5	± 1	+2.5	LSB
		$R_{AB} = 100\text{ k}\Omega$ $V_{DD} \geq 2.7\text{ V}$	-0.5	± 0.1	+0.5	LSB
		$V_{DD} < 2.7\text{ V}$	-1	± 0.25	+1	LSB
电阻差分非线性 ²	R-DNL		-0.5	± 0.1	+0.5	LSB
标称电阻容差	$\Delta R_{AB}/R_{AB}$		-8	± 1	+8	%
电阻温度系数 ³	$(\Delta R_{AB}/R_{AB})/\Delta T \times 10^6$	代码 = 满量程		35		ppm/ $^\circ\text{C}$
游标电阻 ³	R_W	代码 = 零电平				
		$R_{AB} = 10\text{ k}\Omega$		55	125	Ω
		$R_{AB} = 100\text{ k}\Omega$		130	400	Ω
底部量程或顶部量程	R_{BS} 或 R_{TS}					
		$R_{AB} = 10\text{ k}\Omega$		40	80	Ω
		$R_{AB} = 100\text{ k}\Omega$		60	230	Ω
直流特性—电位计驱动器模式 (全部RDAC)						
积分非线性 ⁴	INL	$R_{AB} = 10\text{ k}\Omega$	-0.5	± 0.1	+0.5	LSB
		$R_{AB} = 100\text{ k}\Omega$	-0.25	± 0.1	+0.25	LSB
差分非线性 ⁴	DNL		-0.25	± 0.1	+0.25	LSB
满量程误差	V_{WFSE}	$R_{AB} = 10\text{ k}\Omega$	-1.5	-0.1		LSB
		$R_{AB} = 100\text{ k}\Omega$	-0.5	± 0.1	+0.5	LSB
零刻度误差	V_{WZSE}	$R_{AB} = 10\text{ k}\Omega$		1	1.5	LSB
		$R_{AB} = 100\text{ k}\Omega$		0.25	0.5	LSB
分压器温度系数 ³	$(\Delta V_W/V_W)/\Delta T \times 10^6$	代码 = 半量程		± 5		ppm/ $^\circ\text{C}$

AD5121/AD5141

参数	符号	测试条件/注释	最小值	典型值 ¹	最大值	单位
电阻端						
最大连续电流	$I_A, I_B, \text{和 } I_W$	$R_{AB} = 10 \text{ k}\Omega$ $R_{AB} = 100 \text{ k}\Omega$	-6 -1.5		+6 +1.5	mA mA
端电压范围 ⁵			V_{SS}		V_{DD}	V
电容A、电容B ³	C_A, C_B	$f = 1 \text{ MHz}$, 针对GND测量, 代码 = 半量程 $R_{AB} = 10 \text{ k}\Omega$ $R_{AB} = 100 \text{ k}\Omega$		25 12		pF pF
电容W ³	C_W	$f = 1 \text{ MHz}$, 针对GND测量, 代码 = 半量程 $R_{AB} = 10 \text{ k}\Omega$ $R_{AB} = 100 \text{ k}\Omega$		12 5		pF pF
共模漏电流 ³		$V_A = V_W = V_B$	-500	± 15	+500	nA
数字输入						
输入逻辑 ³						
高	V_{INH}	$V_{LOGIC} = 1.8 \text{ V}$ 至 2.3 V $V_{LOGIC} = 2.3 \text{ V}$ 至 5.5 V	$0.8 \times V_{LOGIC}$ $0.7 \times V_{LOGIC}$			V V
低	V_{INL}				$0.2 \times V_{LOGIC}$	V
输入迟滞 ³	V_{HYST}		$0.1 \times V_{LOGIC}$			V
输入电流 ³	I_{IN}				± 1	μA
输入电容 ³	C_{IN}			5		pF
数字输出						
输出高电压 ³	V_{OH}	$R_{PULL-UP} = 2.2 \text{ k}\Omega$ 至 V_{LOGIC}		V_{LOGIC}		V
输出低电平 ³	V_{OL}	$I_{SINK} = 3 \text{ mA}$ $I_{SINK} = 6 \text{ mA}, V_{LOGIC} > 2.3 \text{ V}$			0.4 0.6	V V
三态漏电流			-1		+1	μA
三态输出电容				2		pF
电源						
单电源电压范围		$V_{SS} = \text{GND}$	2.3		5.5	V
双电源电压范围			± 2.25		± 2.75	V
逻辑电源电压范围		单电源, $V_{SS} = \text{GND}$ 双电源, $V_{SS} < \text{GND}$	1.8 2.25		V_{DD} V_{DD}	V V
正电源电流	I_{DD}	$V_{IH} = V_{LOGIC}$ 或 $V_{IL} = \text{GND}$ $V_{DD} = 5.5 \text{ V}$ $V_{DD} = 2.3 \text{ V}$		0.7 400	5.5	μA nA
负电源电流	I_{SS}	$V_{IH} = V_{LOGIC}$ 或 $V_{IL} = \text{GND}$	-5.5	-0.7		μA
EEPROM存储电流 ^{3, 6}	$I_{DD_EEPROM_ST}$ 或E	$V_{IH} = V_{LOGIC}$ 或 $V_{IL} = \text{GND}$		2		mA
EEPROM读取电流 ^{3, 7}	$I_{DD_EEPROM_READ}$	$V_{IH} = V_{LOGIC}$ 或 $V_{IL} = \text{GND}$		320		μA
逻辑电源电流	I_{LOGIC}	$V_{IH} = V_{LOGIC}$ 或 $V_{IL} = \text{GND}$		1	120	nA
功耗 ⁸	P_{DISS}	$V_{IH} = V_{LOGIC}$ 或 $V_{IL} = \text{GND}$		3.5		μW
电源抑制比	PSRR	$\Delta V_{DD}/\Delta V_{SS} = V_{DD} \pm 10\%$, 代码 = 满量程		-66	-60	dB

参数	符号	测试条件/注释	最小值	典型值 ¹	最大值	单位
动态特性 ⁹ 带宽	BW	-3 dB $R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 100\text{ k}\Omega$		3 0.43		MHz MHz
总谐波失真	THD	$V_{DD}/V_{SS} = \pm 2.5\text{ V}$, $V_A = 1\text{ V rms}$, $V_B = 0\text{ V}$, $f = 1\text{ kHz}$ $R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 100\text{ k}\Omega$		-80 -90		dB dB
电阻噪声密度	en_wb	代码 = 半量程, $T_A = 25^\circ\text{C}$, $f = 10\text{ kHz}$ $R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 100\text{ k}\Omega$		7 20		nV/ $\sqrt{\text{Hz}}$ nV/ $\sqrt{\text{Hz}}$
V_W 建立时间	t _s	$V_A = 5\text{ V}$, $V_B = 0\text{ V}$, 零电平至满量程, $\pm 0.5\text{ LSB}$ 误差带 $R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 100\text{ k}\Omega$		2 12		μs μs
耐久性 ¹⁰		$T_A = 25^\circ\text{C}$	100	1		百万周期 千周期
数据保留期 ¹¹				50		年

¹ 典型值代表 25°C 、 $V_{DD} = 5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 且 $V_{\text{LOGIC}} = 5\text{ V}$ 时的读数平均值。

² 电阻积分非线性(R-INL)误差是指在最大电阻和最小电阻游标位置之间测得的值与理想值的偏差。R-DNL衡量连续抽头位置之间相对于理想位置的相对阶跃变化。最大游标电流限制在 $(0.7 \times V_{DD})/R_{AB}$ 。

³ 通过设计和特性保证，但未经生产测试。

⁴ INL和DNL在VWB处测得，条件是将RDAC配置为类似于电压输出DAC的电位分压器。 $V_A = V_{DD}$ 且 $V_B = 0\text{ V}$ 。单调性工作条件保证DNL规格限值为 $\pm 1\text{ LSB}$ (最大值)。

⁵ 电阻端A、电阻端B和电阻端W彼此没有极性限制。双电源供电支持以地为参考的双极性信号调整。

⁶ 与工作电流不同，EEPROM编程的电源电流持续约30 ms。

⁷ 与工作电流不同，EEPROM读取的电源电流持续约20 μs 。

⁸ PDISS可通过 $(I_{DD} \times V_{DD}) + (I_{\text{LOGIC}} \times V_{\text{LOGIC}})$ 计算。

⁹ 所有动态特性均采用 $V_{DD}/V_{SS} = \pm 2.5\text{ V}$ 且 $V_{\text{LOGIC}} = 2.5\text{ V}$ 。

¹⁰ 耐久性在 -40°C 至 $+125^\circ\text{C}$ 时依据JEDEC 22标准方法A117认定为100,000个周期。

¹¹ 根据JEDEC 22标准方法A117，保持期限相当于 125°C 结温时的寿命。保持期限(基于1 eV的激活能)随Flash/EE存储器的结温递减。

AD5121/AD5141

电气特性—AD5141

除非另有说明, $V_{DD} = 2.3\text{ V}$ 至 5.5 V , $V_{SS} = 0\text{ V}$; $V_{DD} = 2.25\text{ V}$ 至 2.75 V , $V_{SS} = -2.25\text{ V}$ 至 -2.75 V ; $V_{LOGIC} = 1.8\text{ V}$ 至 5.5 V , $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表3.

参数	符号	测试条件/注释	最小值	典型值 ¹	最大值	单位
直流特性—可变电阻器模式(全部RDAC)						
分辨率	N		8			位
电阻积分非线性 ²	R-INL	$R_{AB} = 10\text{ k}\Omega$ $V_{DD} \geq 2.7\text{ V}$ $V_{DD} < 2.7\text{ V}$	-2 -5	± 0.2 ± 1.5	+2 +5	LSB LSB
电阻差分非线性 ²	R-DNL	$R_{AB} = 100\text{ k}\Omega$ $V_{DD} \geq 2.7\text{ V}$ $V_{DD} < 2.7\text{ V}$	-1 -2	± 0.1 ± 0.5	+1 +2	LSB LSB
标称电阻容差	$\Delta R_{AB}/R_{AB}$		-8	± 1	+8	%
电阻温度系数 ³	$(\Delta R_{AB}/R_{AB})/\Delta T \times 10^6$	代码 = 满量程		35		ppm/ $^\circ\text{C}$
游标电阻 ³	R_W	代码 = 零电平 $R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 100\text{ k}\Omega$		55 130	125 400	Ω Ω
底部量程或顶部量程	R_{BS} 或 R_{TS}	$R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 100\text{ k}\Omega$		40 60	80 230	Ω Ω
直流特性—电位计驱动器模式 (全部RDAC)						
积分非线性 ⁴	INL	$R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 100\text{ k}\Omega$	-1 -0.5	± 0.2 ± 0.1	+1 +0.5	LSB LSB
差分非线性 ⁴	DNL		-0.5	± 0.2	+0.5	LSB
满量程误差	V_{WFSE}	$R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 100\text{ k}\Omega$	-2.5 -1	-0.1 ± 0.2		LSB LSB
零刻度误差	V_{WZSE}	$R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 100\text{ k}\Omega$		1.2 0.5	3 1	LSB LSB
分压器温度系数 ³	$(\Delta V_W/V_W)/\Delta T \times 10^6$	代码 = 半量程		± 5		ppm/ $^\circ\text{C}$

AD5121/AD5141

参数	符号	测试条件/注释	最小值	典型值 ¹	最大值	单位
电阻端						
最大连续电流	I_A, I_B 和 I_W	$R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 100\text{ k}\Omega$	-6 -1.5		+6 +1.5	mA mA
端电压范围 ⁵			V_{SS}		V_{DD}	V
电容A、电容B ³	C_A, C_B	$f = 1\text{ MHz}$, 针对GND测量, 代码 = 半量程 $R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 100\text{ k}\Omega$		25 12		pF pF
电容W ³	C_W	$f = 1\text{ MHz}$, 针对GND测量, 代码 = 半量程 $R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 100\text{ k}\Omega$		12 5		pF pF
共模漏电流 ³		$V_A = V_W = V_B$	-500	± 15	+500	nA
数字输入						
输入逻辑 ³						
高	V_{INH}	$V_{LOGIC} = 1.8\text{ V}$ 至 2.3 V $V_{LOGIC} = 2.3\text{ V}$ 至 5.5 V	$0.8 \times V_{LOGIC}$ $0.7 \times V_{LOGIC}$			V V
低	V_{INL}				$0.2 \times V_{LOGIC}$	V
输入迟滞 ³	V_{HYST}		$0.1 \times V_{LOGIC}$			V
输入电流 ³	I_{IN}				± 1	μA
输入电容 ³	C_{IN}			5		pF
数字输出						
输出高电压 ³	V_{OH}	$R_{PULL-UP} = 2.2\text{ k}\Omega$ 至 V_{LOGIC}		V_{LOGIC}		V
输出低电平 ³	V_{OL}	$I_{SINK} = 3\text{ mA}$ $I_{SINK} = 6\text{ mA}, V_{LOGIC} > 2.3\text{V}$			0.4 0.6	V V
三态漏电流			-1		+1	μA
三态输出电容				2		pF
电源						
单电源电压范围		$V_{SS} = \text{GND}$	2.3		5.5	V
双电源电压范围			± 2.25		± 2.75	V
逻辑电源电压范围		单电源, $V_{SS} = \text{GND}$ 双电源, $V_{SS} < \text{GND}$	1.8 2.25		V_{DD} V_{DD}	V V
正电源电流	I_{DD}	$V_{IH} = V_{LOGIC}$ 或 $V_{IL} = \text{GND}$ $V_{DD} = 5.5\text{ V}$ $V_{DD} = 2.3\text{ V}$		0.7 400	5.5	μA nA
负电源电流	I_{SS}	$V_{IH} = V_{LOGIC}$ 或 $V_{IL} = \text{GND}$	-5.5	-0.7		μA
EEPROM存储电流 ^{3, 6}	$I_{DD_EEPROM_ST\&E}$	$V_{IH} = V_{LOGIC}$ 或 $V_{IL} = \text{GND}$		2		mA
EEPROM读取电流 ^{3, 7}	$I_{DD_EEPROM_READ}$	$V_{IH} = V_{LOGIC}$ 或 $V_{IL} = \text{GND}$		320		μA
逻辑电源电流	I_{LOGIC}	$V_{IH} = V_{LOGIC}$ 或 $V_{IL} = \text{GND}$		1	120	nA
功耗 ⁸	P_{DISS}	$V_{IH} = V_{LOGIC}$ 或 $V_{IL} = \text{GND}$		3.5		μW
电源抑制比	PSR	$\Delta V_{DD}/\Delta V_{SS} = V_{DD} \pm 10\%$, 代码 = 满量程		-66	-60	dB

AD5121/AD5141

参数	符号	测试条件/注释	最小值	典型值 ¹	最大值	单位
动态特性 ⁹ 带宽	BW	-3 dB R _{AB} = 10 kΩ R _{AB} = 100 kΩ		3 0.43		MHz MHz
总谐波失真	THD	V _{DD} /V _{SS} = ±2.5 V, V _A = 1 V rms, V _B = 0 V, f = 1 kHz R _{AB} = 10 kΩ R _{AB} = 100 kΩ		-80 -90		dB dB
电阻噪声密度	e _{N_WB}	代码 = 半量程, T _A = 25°C, f = 10 kHz R _{AB} = 10 kΩ R _{AB} = 100 kΩ		7 20		nV/√Hz nV/√Hz
V _W 建立时间	t _s	V _A = 5 V, V _B = 0 V, 零电平至满量程, ±0.5 LSB误差带 R _{AB} = 10 kΩ R _{AB} = 100 kΩ		2 12		μs μs
耐久性 ¹⁰		T _A = 25°C	100	1		百万周期 千周期
数据保留期 ¹¹				50		年

¹ 典型值代表25°C, V_{DD} = 5 V, V_{SS} = 0 V且V_{LOGIC} = 5 V时的读数平均值。

² 电阻积分非线性误差(R-INL)是指在最大电阻和最小电阻游标位置之间测得的值与理想值的偏差。R-DNL衡量连续抽头位置之间相对于理想位置的相对阶跃变化。最大游标电流限制在(0.7 × V_{DD})/R_{AB}。

³ 通过设计和特性保证, 但未经生产测试。

⁴ INL和DNL在V_{WB}处测得, 条件是将RDAC配置为类似于电压输出DAC的电位分压器。V_A = V_{DD}且V_B = 0 V。单调性工作条件保证DNL规格限值为±1 LSB(最大值)。

⁵ 电阻端A、电阻端B和电阻端W彼此没有极性限制。双电源供电支持以地为参考的双极性信号调整。

⁶ 与工作电流不同, EEPROM编程的电源电流持续约30 ms。

⁷ 与工作电流不同, EEPROM读取的电源电流持续约20 μs。

⁸ P_{DISS}可通过(I_{DD} × V_{DD}) + (I_{LOGIC} × V_{LOGIC})计算。

⁹ 所有动态特性均采用V_{DD}/V_{SS} = ±2.5 V且V_{LOGIC} = 2.5 V。

¹⁰ 耐久性在-40°C至+125°C时依据JEDEC 22标准方法A117认定为100,000个周期。

¹¹ 根据JEDEC 22标准方法A117, 保持期限相当于125°C结温时的寿命。保持期限(基于1 eV的激活能)随Flash/EE存储器的结温递减。

接口时序规格

除非另有说明, $V_{\text{LOGIC}} = 1.8\text{ V}$ 至 5.5 V , 所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表4. SPI接口

参数 ¹	测试条件/注释	最小值	典型值	最大值	单位	描述
t ₁	$V_{\text{LOGIC}} > 1.8\text{ V}$ $V_{\text{LOGIC}} = 1.8\text{ V}$	20 30			ns ns	SCLK周期时间
t ₂	$V_{\text{LOGIC}} > 1.8\text{ V}$ $V_{\text{LOGIC}} = 1.8\text{ V}$	10 15			ns ns	SCLK高电平时间
t ₃	$V_{\text{LOGIC}} > 1.8\text{ V}$ $V_{\text{LOGIC}} = 1.8\text{ V}$	10 15			ns ns	SCLK低电平时间
t ₄		10			ns	$\overline{\text{SYNC}}$ 到SCLK下降沿建立时间
t ₅		5			ns	数据建立时间
t ₆		5			ns	数据保持时间
t ₇		10			ns	$\overline{\text{SYNC}}$ 上升沿到下一个SCLK下降沿忽略
t ₈ ²		20			ns	最小 $\overline{\text{SYNC}}$ 高电平时间
t ₉ ³			50		ns	SCLK上升沿到SDO有效
t ₁₀				500	ns	$\overline{\text{SYNC}}$ 上升沿至SDO引脚禁用

¹ 所有输入信号均指 $t_r = t_f = 1\text{ ns/V}$ (10%至90%的 V_{DD})条件下并从 $(V_{\text{IL}} + V_{\text{IH}})/2$ 电平起开始计时。

² 对于存储器命令操作, 请参见 $t_{\text{EEPROM_PROGRAM}}$ 和 $t_{\text{EEPROM_READBACK}}$ (见表6)。

³ $R_{\text{PULL_UP}} = 2.2\text{ k}\Omega$ 至 V_{DD} 且带有168 pF的电容负载。

表5. I²C接口

参数 ¹	测试条件/注释	最小值	典型值	最大值	单位	描述
f _{SCL} ²	标准模式 快速模式			100 400	kHz kHz	串行时钟频率
t ₁	标准模式 快速模式	4.0 0.6			μs μs	SCL高电平时间, t_{HIGH}
t ₂	标准模式 快速模式	4.7 1.3			μs μs	SCL低电平时间, t_{LOW}
t ₃	标准模式 快速模式	250 100			ns ns	数据建立时间, $t_{\text{SU; DAT}}$
t ₄	标准模式 快速模式	0 0	3.45	0.9	μs μs	数据保持时间, $t_{\text{HD; DAT}}$
t ₅	标准模式 快速模式	4.7 0.6			μs μs	重复起始条件的建立时间, $t_{\text{SU; STA}}$
t ₆	标准模式 快速模式	4 0.6			μs μs	起始条件的保持时间(重复), $t_{\text{HD; STA}}$
t ₇	标准模式 快速模式	4.7 1.3			μs μs	一个停止条件与一个起始条件之间的总线空闲时间 t_{BUF}
t ₈	标准模式 快速模式	4 0.6			μs μs	停止条件的建立时间, $t_{\text{SU; STO}}$
t ₉	标准模式 快速模式			1000	ns ns	SDA信号的上升时间, t_{RDA}
t ₁₀	标准模式 快速模式			300	ns ns	SDA信号的下降时间, t_{FDA}
t ₁₁	标准模式 快速模式			1000	ns ns	SCL信号的上升时间, t_{RCL}
t _{11A}	标准模式 快速模式			1000	ns ns	重复起始条件和应答位后的SCL信号上升时间, t_{RCL1} (图3未显示)

AD5121/AD5141

参数 ¹	测试条件/注释	最小值	典型值	最大值	单位	描述
t_{12}	标准模式 快速模式			300	ns	SCL信号的下降时间, t_{FCL}
t_{sp} ³	快速模式	0		50	ns	抑制尖峰的脉冲宽度(图3未显示)

¹ 最大总线电容限制在400 pF。

² SDA和SCL时序通过输入滤波器使能来测量。关闭输入滤波器可提高传输速率，但对器件的EMC特性有不利影响。

³ SCL和SDA输入的输入滤波在快速模式下可抑制小于50 ns的噪声尖峰。

表6. 控制引脚

参数	最小值	典型值	最大值	单位	描述
t_1	1			μ s	到LRDAC下降沿的终结命令
t_2	50			ns	LRDAC最短低电平时间
t_3	0.1		10	μ s	RESET 低电平时间
$t_{EEPROM_PROGRAM}$ ¹		15	50	ms	存储器编程时间(图6未显示)
$t_{EEPROM_READBACK}$		7	30	μ s	存储器回读时间(图6未显示)
t_{POWER_UP} ²			75	μ s	EEPROM上电恢复时间(图6未显示)
t_{RESET}		30		μ s	EEPROM复位恢复时间(图6未显示)

¹ EEPROM编程时间取决于温度和EEPROM写入周期。温度越低且写入周期越长，时序性能就越高。

² $V_{DD} - V_{SS}$ 等于2.3 V后的最长时间。

移位寄存器和时序图

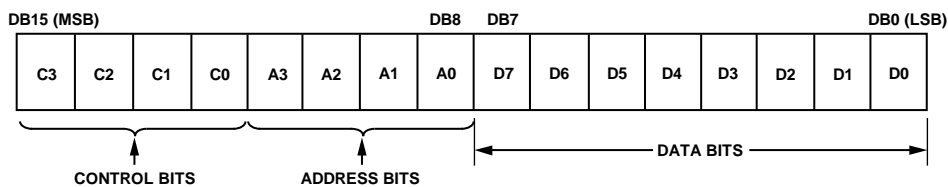


图2. 输入移位寄存器内容

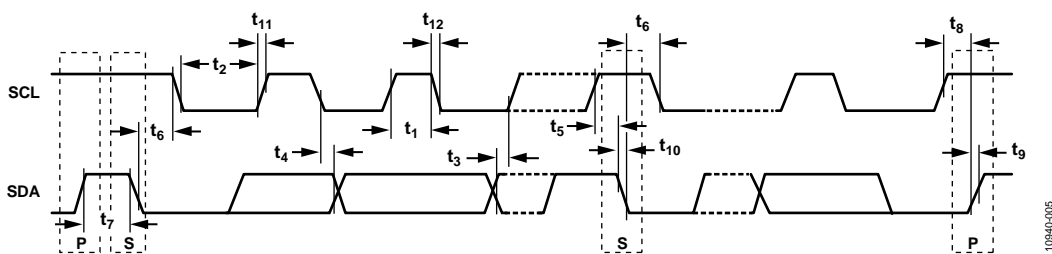
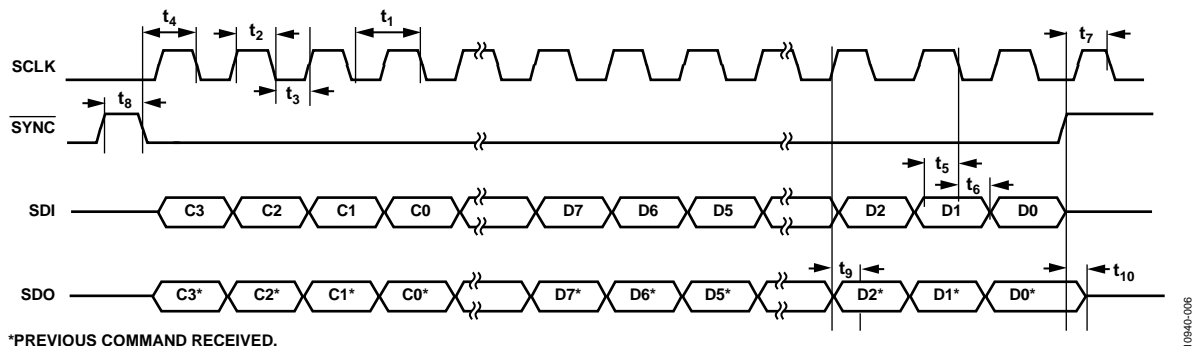


图3. I²C串行接口时序图(典型写序列)



*PREVIOUS COMMAND RECEIVED.

图4. SPI串行接口时序图, CPOL = 0, CPHA = 1

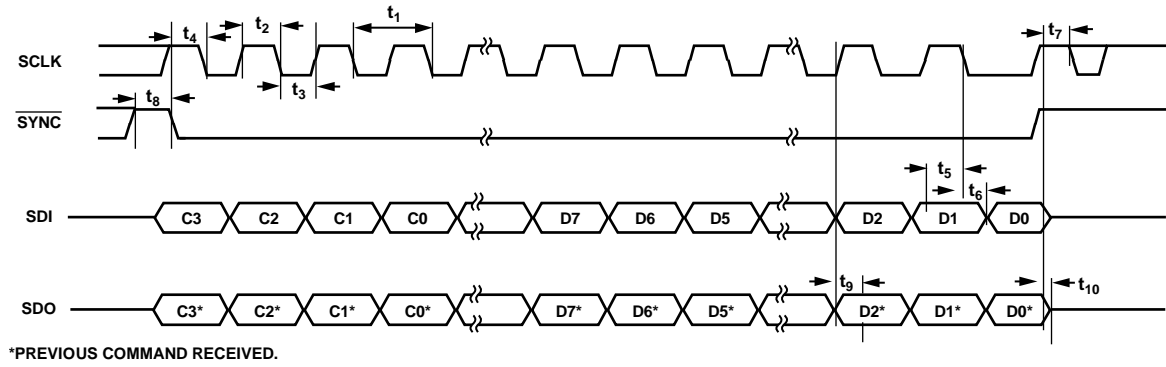


图5. SPI串行接口时序图, CPOL = 1, CPHA = 0

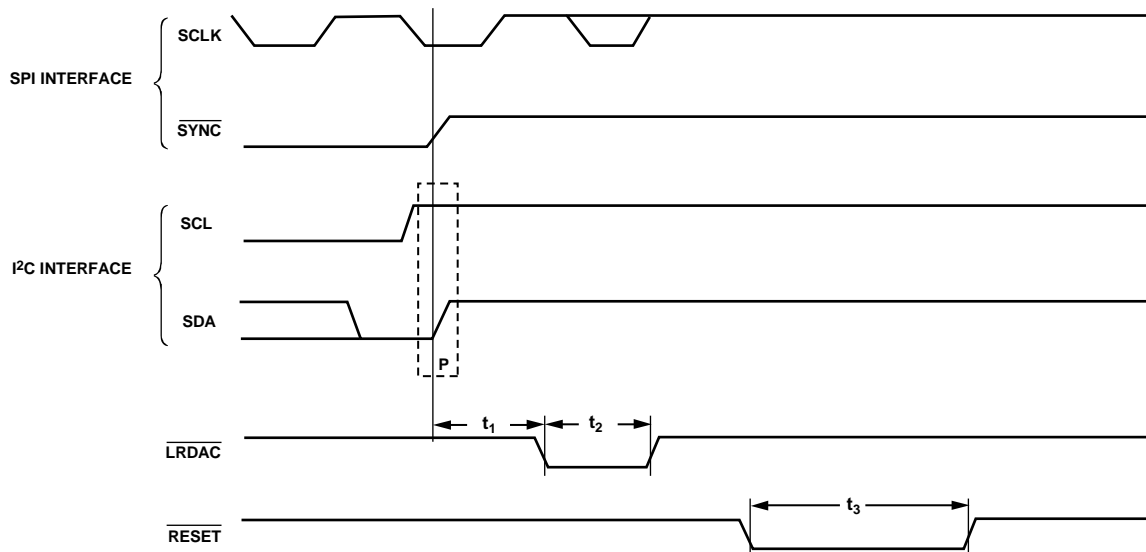


图6. 控制引脚时序图

AD5121/AD5141

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表7.

参数	额定值
V_{DD} 至 GND	-0.3 V 至 +7.0 V
V_{SS} 至 GND	+0.3 V 至 -7.0 V
V_{DD} 至 V_{SS}	7 V
V_{LOGIC} 至 GND	-0.3 V 至 $V_{DD} + 0.3$ V 或 +7.0 V (取较小者)
V_A, V_W, V_B 至 GND	$V_{SS} - 0.3$ V, $V_{DD} + 0.3$ V 或 +7.0 V (取较小者)
I_A, I_W, I_B	
脉冲驱动 ¹	
频率 > 10 kHz	
$R_{AW} = 10$ k Ω	± 6 mA/d ²
$R_{AW} = 100$ k Ω	± 1.5 mA/d ²
频率 ≤ 10 kHz	
$R_{AW} = 10$ k Ω	± 6 mA/ $\sqrt{d^2}$
$R_{AW} = 100$ k Ω	± 1.5 mA/ $\sqrt{d^2}$
数字输入	
工作温度范围(T_A) ³	-0.3 V 至 $V_{LOGIC} + 0.3$ V 或 +7 V (取较小者)
最大结温(T_{Jmax})	-40°C 至 +125°C
存储温度范围	150°C
回流焊	-65°C 至 +150°C
峰值温度	260°C
峰值温度时间	20 秒至 40 秒
封装功耗	$(T_{Jmax} - T_A)/\theta_{JA}$

¹ 最大端电流受以下几个方面限制：开关的最大电流处理能力、封装的最大功耗以及给定电阻条件下可在 A、B 和 W 端中任何两个之间施加的最大电压。

² d = 脉冲占空系数。

³ 包括对 EEPROM 存储器进行编程。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最大值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 由 JEDEC JESD51 标准定义，其取值取决于测试板和测试环境。

表8. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
16 引脚 LFCSP	89.5 ¹	3	°C/W

¹ JEDEC 2S2P 测试板，静止空气 (0 m/s 气流)。

ESD 警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

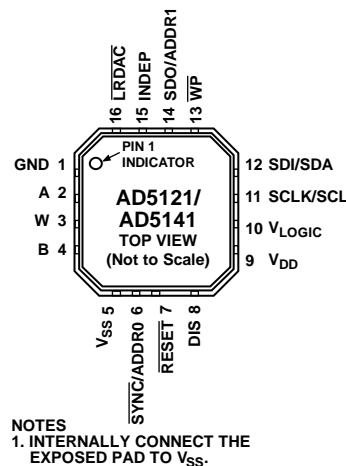


图7. 引脚配置

表9. 引脚功能描述

引脚编号	引脚名称	描述
1	GND	接地引脚，逻辑地基准点。
2	A	RDAC的A端。 $V_{SS} \leq V_A \leq V_{DD}$ 。
3	W	RDAC的游标端。 $V_{SS} \leq V_W \leq V_{DD}$ 。
4	B	RDAC的B端。 $V_{SS} \leq V_B \leq V_{DD}$ 。
5	V _{SS}	负电源。此引脚应通过0.1 μF陶瓷电容和10 μF电容去耦。
6	SYNC/ADDR0	可编程地址(ADDR0)用于多个封装解码，DIS = 1。 同步数据输入，低电平有效。SYNC返回高电平时，数据加载至RDAC寄存器，DIS = 0。
7	RESET	硬件复位引脚。从EEPROM刷新RDAC寄存器。RESET在逻辑低电平时激活。 若不使用该引脚，则将RESET与V _{LOGIC} 相连。
8	DIS	数字接口选择(SPI/I ² C选择)。DIS = 0 (GND)时为SPI，DIS = 1 (V _{LOGIC})时为I ² C。该引脚不可浮空。
9	V _{DD}	正电源。此引脚应通过0.1 μF陶瓷电容和10 μF电容去耦。
10	V _{LOGIC}	逻辑电源；1.8 V至V _{DD} 。此引脚应通过0.1 μF陶瓷电容和10 μF电容去耦。
11	SCLK/SCL	SPI串行时钟线(SCLK)。数据在逻辑低电平转换时读入。 I ² C串行时钟线(SCL)。数据在逻辑低电平转换时读入。
12	SDI/SDA	DIS = 1时为串行数据输入/输出(SDA)。 DIS = 0时为串行数据输入(SDI)。
13	WP	可选写保护。该引脚阻止任何改变RDAC和EEPROM当前内容的操作，但将EEPROM的内容重新载入RDAC寄存器的操作除外。WP于逻辑低电平时激活。若不使用该引脚，则将WP与V _{LOGIC} 相连。
14	SDO/ADDR1	可编程地址(ADDR1)用于多个封装解码(DIS = 1时)。 串行数据输出(SDO)。它是一个开漏输出引脚，当DIS = 0时它需要一个外部上拉电阻。
15	INDEP	上电时的线性增益设置模式。各电阻串均从其相关存储器位置载入。若INDEP使能，则它无法通过软件禁用。
16	LRDAC	载入RDAC。将输入寄存器中的内容传送到RDAC寄存器。该操作允许以异步方式更新RDAC。LRDAC在低电平时激活。若不使用该引脚，则将LRDAC与V _{LOGIC} 相连。
	EPAD	裸露焊盘在内部连接至V _{SS} 。

典型性能参数

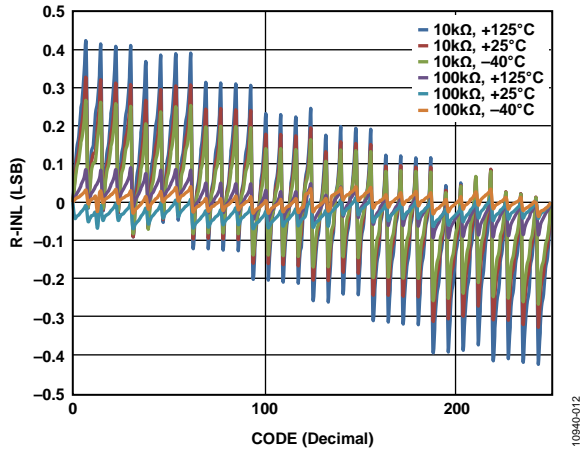


图8. R-INL与代码的关系(AD5141)

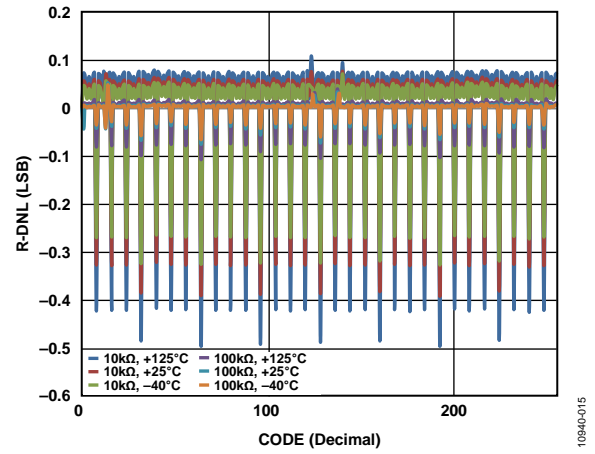


图11. R-DNL与代码的关系(AD5141)

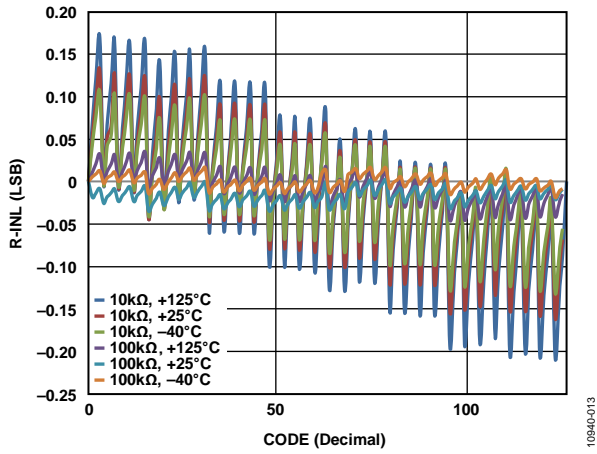


图9. R-INL与代码的关系(AD5121)

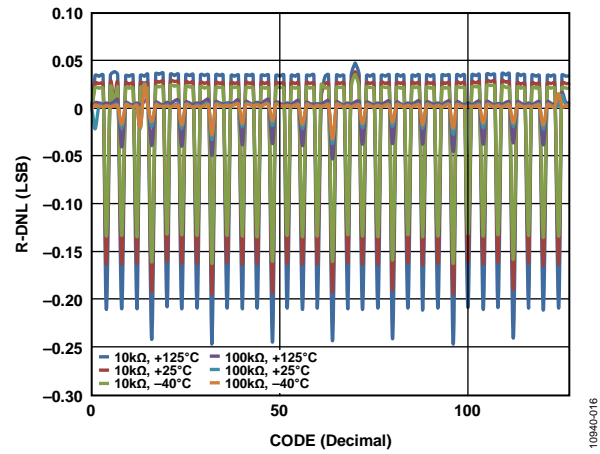


图12. R-DNL与代码的关系(AD5121)

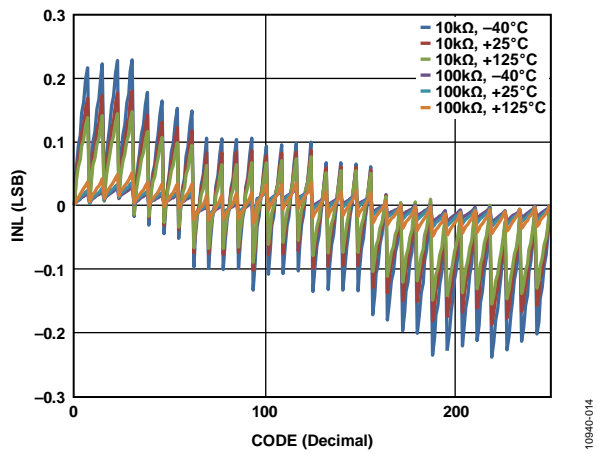


图10. INL与代码的关系(AD5141)

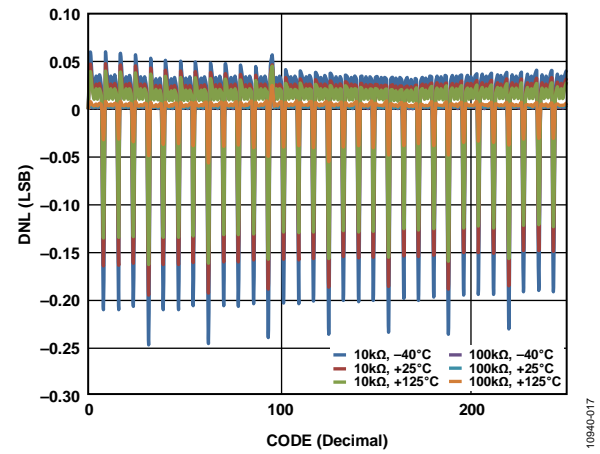


图13. DNL与代码的关系(AD5141)

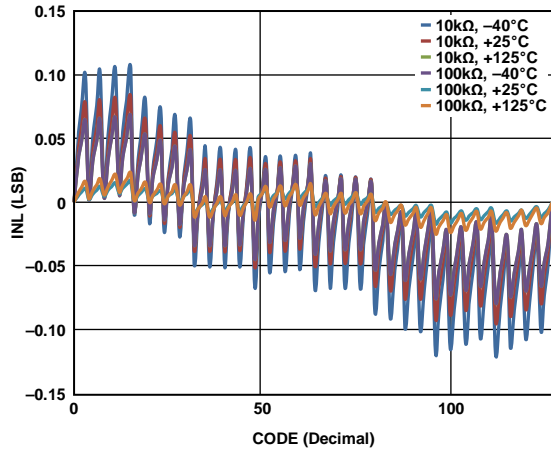


图14. INL与代码的关系(AD5121)

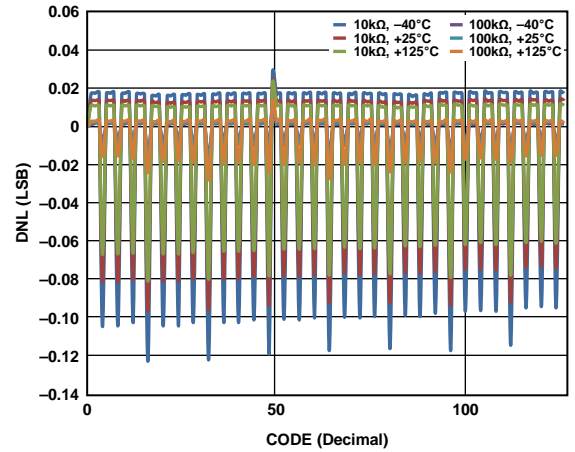


图17. DNL与代码的关系(AD5121)

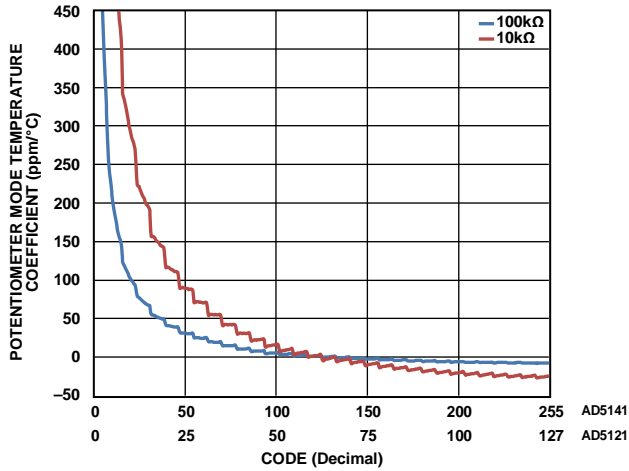


图15. 电位计模式温度系数 $((\Delta V_w/V_w)/\Delta T \times 10^6)$ 与代码的关系

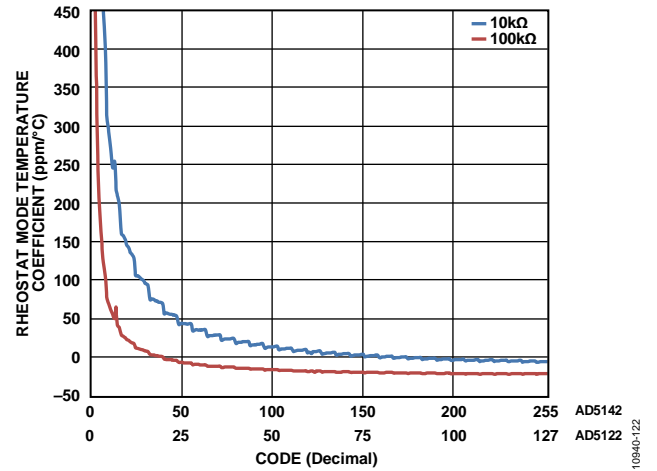


图18. 可变电阻器模式温度系数 $((\Delta R_{WB}/R_{WB})/\Delta T \times 10^6)$ 与代码的关系

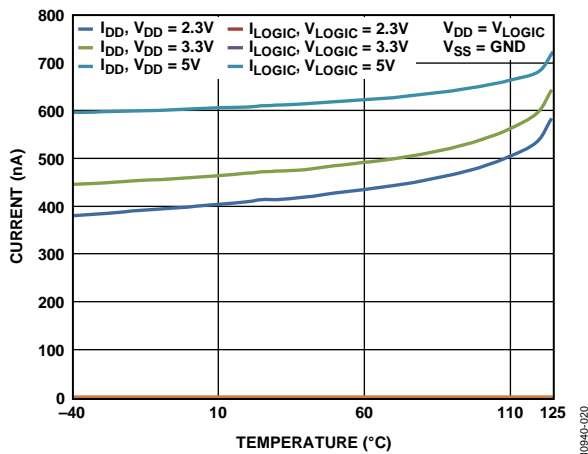


图16. 电源电流与温度的关系

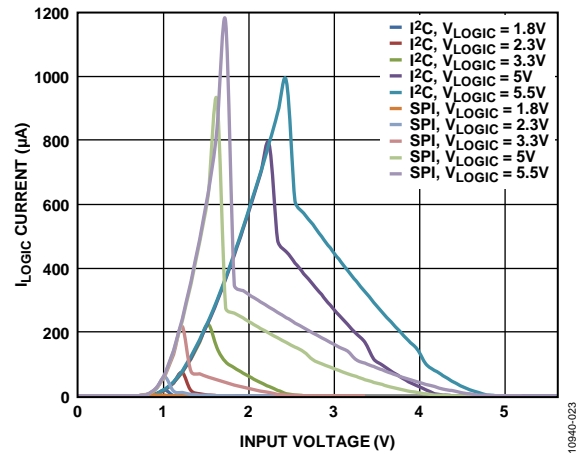


图19. I_{LOGIC} 电流与数字输入电压的关系

AD5121/AD5141

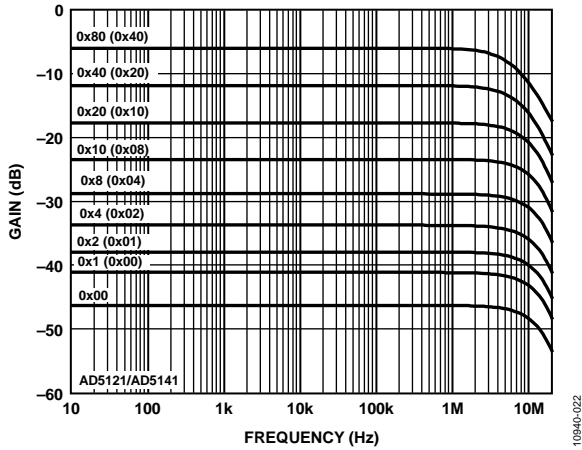


图20. 10 kΩ增益与频率和代码的关系

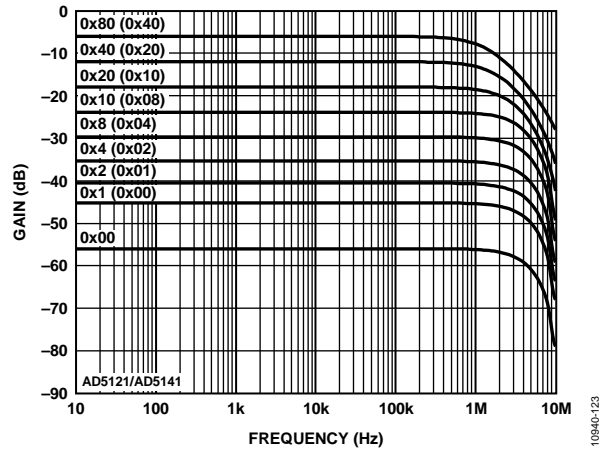


图23. 100 kΩ增益与频率和代码的关系

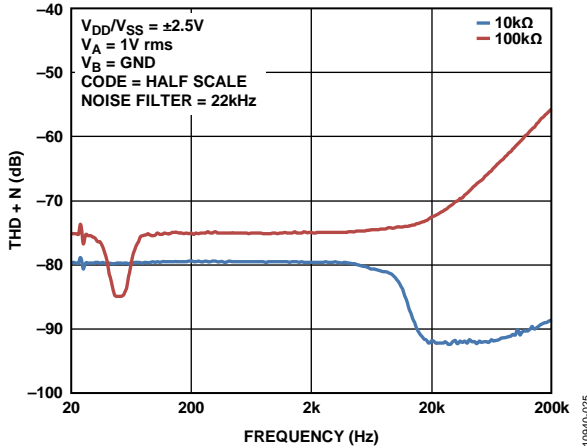


图21. 总谐波失真加噪声(THD + N)与频率的关系

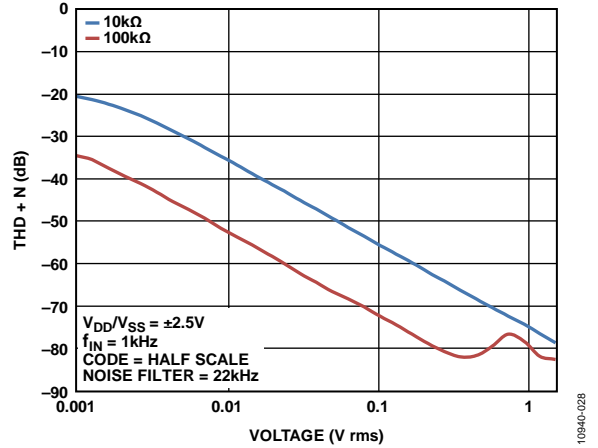


图24. 总谐波失真加噪声(THD + N)与幅度的关系

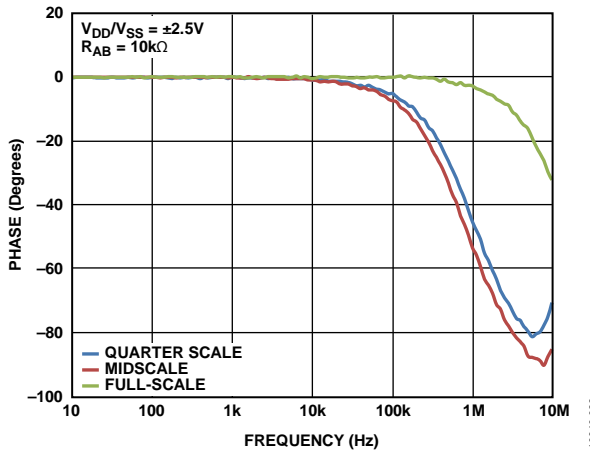


图22. 归一化相位平坦度与频率的关系, $R_{AB} = 10\text{ k}\Omega$

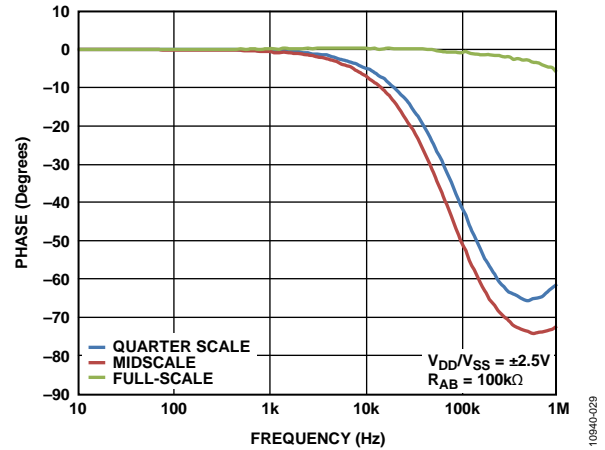


图25. 归一化相位平坦度与频率的关系, $R_{AB} = 100\text{ k}\Omega$

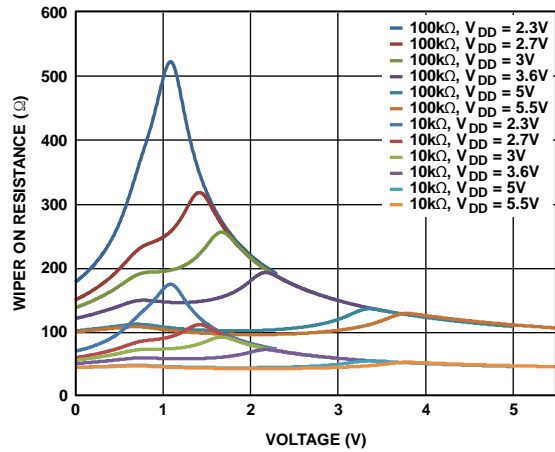


图26. 增量式游标导通电阻与 V_{DD} 的关系

10940-030

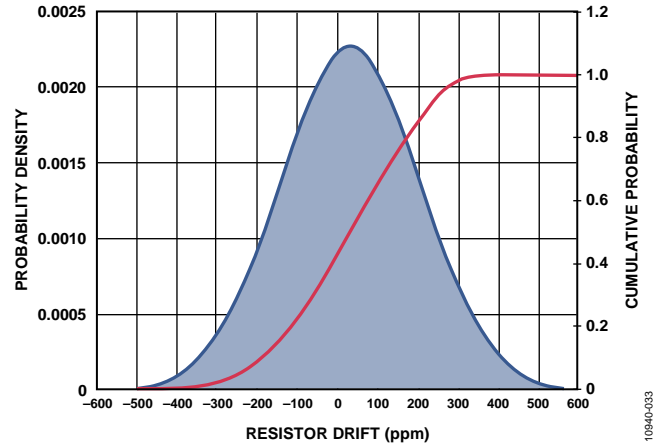


图29. 电阻寿命漂移

10940-033

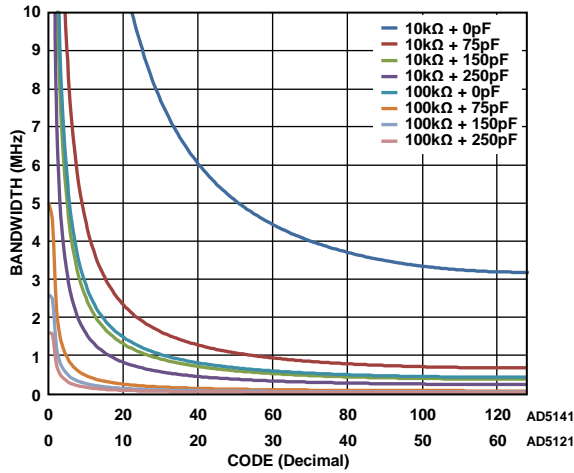


图27. 最大带宽与代码和净电容的关系

10940-031

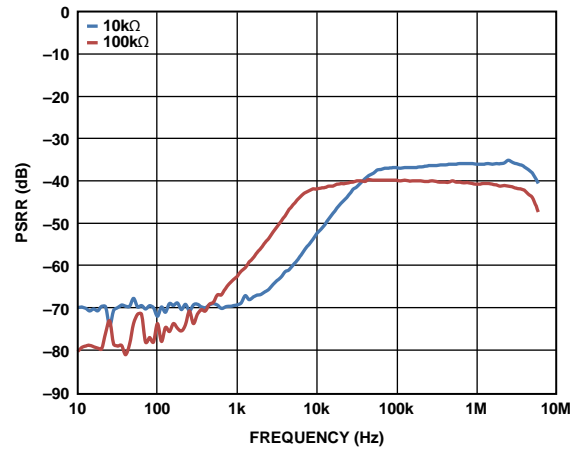


图30. 电源抑制比(PSRR)与频率的关系

10940-034

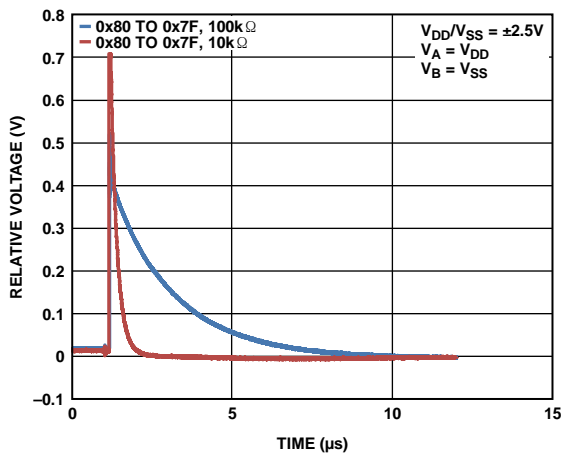


图28. 最大转换毛刺

10940-032

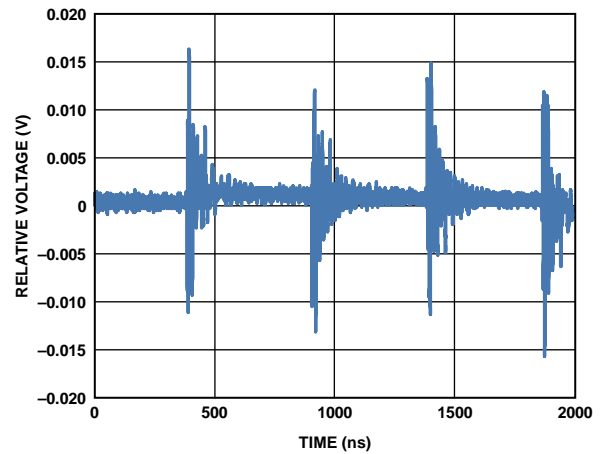


图31. 数字馈通

10940-035

AD5121/AD5141

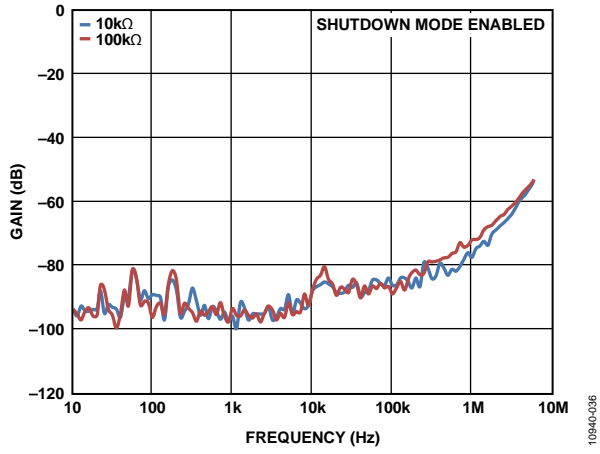


图32. 关断隔离与频率的关系

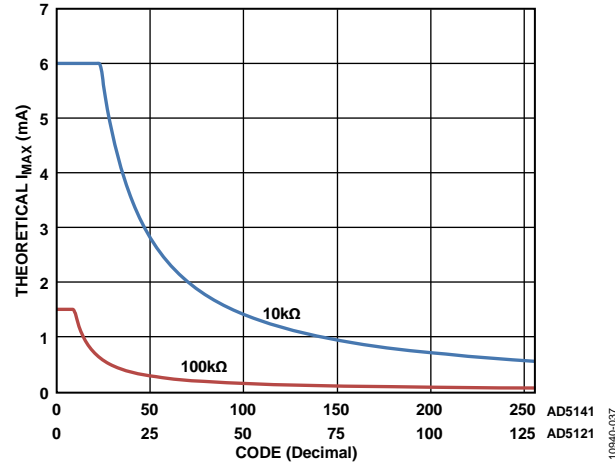


图33. 最大理论电流与代码的关系

测试电路

图34至图38定义了“技术规格”部分使用的测试条件。

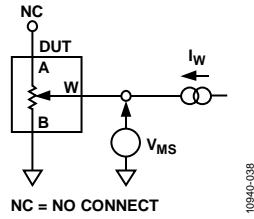


图34. 电阻积分非线性误差(可变电阻器操作; R-INL, R-DNL)

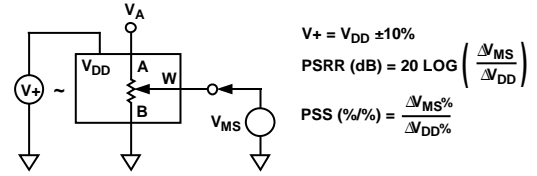


图37. 电源灵敏度与电源抑制比(PSS与PSRR)

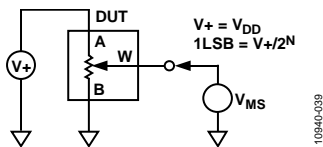


图35. 电位计分压器非线性误差(INL、DNL)

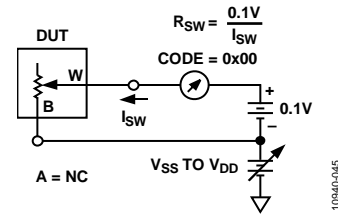


图38. 增量导通电阻

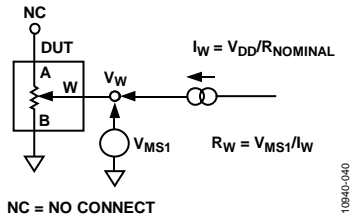


图36. 游标电阻

工作原理

AD5121/AD5141数字可编程电位计均设计用作真可变电阻，用于处理端电压范围为 $V_{SS} < V_{TERM} < V_{DD}$ 的模拟信号。电阻游标位置取决于RDAC寄存器内容。RDAC寄存器用作暂存寄存器，允许无限制地更改电阻设置。辅助寄存器(输入寄存器)可用于预载入RDAC寄存器数据。

可利用I²C或SPI接口(取决于具体型号)设置任意位，实现针对RDAC寄存器的编程。找到所需的游标位置后，可以将该值存储在EEPROM存储器中。以后上电时游标位置始终会恢复到该位置。存储EEPROM数据大约需要18 ms；在这段时间内，器件会锁定并不会应答任何新命令，因而可防止出现任何更改。

RDAC寄存器和EEPROM

RDAC寄存器直接控制数字电位计游标的位置。例如，当RDAC寄存器载入0x80(AD5141, 256抽头)时，游标连接到可变电阻的满量程。RDAC寄存器是一种标准逻辑寄存器，不存在更改次数限制。

可使用数字接口来写入和读取RDAC寄存器(见表16)。

可使用命令9将RDAC寄存器的内容存储到EEPROM中(见表16)。因此，在任何日后开关电源时序中，RDAC寄存器会始终设置为该位置。可使用命令3回读保存到EEPROM中的数据(见表16)。

或者，也可以使用命令1单独写入EEPROM(见表16)。

输入移位寄存器

对于AD5121/AD5141，输入移位寄存器为16位宽，如图2所示。16位字由4个控制位后跟4个地址位以及8个数据位组成。

若从AD5121 RDAC或EEPROM寄存器中读取数据(或写入AD5121 RDAC或EEPROM寄存器)，则最低数据位(位0)被忽略。

数据以MSB优先(位15)方式加载。四个控制位决定软件命令的功能，见表11和表16。

串行数据数字接口选择，DIS

AD5121/AD5141 LFSCP提供接口选择的灵活性。当数字接口选择(DIS)引脚连接低电平时，则启动SPI模式。当DIS引脚连接高电平时，则启动I²C模式。

SPI串行数据接口

AD5121/AD5141配有四线式SPI兼容型数字接口(SDI、 $\overline{\text{SYNC}}$ 、SDO和SCLK)。写序列通过将 $\overline{\text{SYNC}}$ 线置为低电平来启动。 $\overline{\text{SYNC}}$ 引脚必须保持低电平，直到从SDI引脚载入完整的数据字。数据在SCLK下降沿转换期间载入，如图4所示。当 $\overline{\text{SYNC}}$ 返回高电平时，器件根据表16中的说明对串行数据字进行解码。

AD5121/AD5141在 $\overline{\text{SYNC}}$ 处于高电平时不需要连续的SCLK。器件使能时，为了最大程度地降低数字输入缓冲器的功耗，应在 V_{LOGIC} 供电轨附近操作所有串行接口引脚。

$\overline{\text{SYNC}}$ 中断

在AD5121/AD5141的独立写序列中， $\overline{\text{SYNC}}$ 线在16个SCLK的下降沿保持低电平，而在 $\overline{\text{SYNC}}$ 拉高时进行指令解码。然而，若 $\overline{\text{SYNC}}$ 线保持为低电平的周期不足16个SCLK下降沿，则忽略输入移位寄存器中的内容，写序列视为无效。

SDO引脚

串行数据输出引脚(SDO)用于两种目的：使用命令3回读控制、EEPROM、RDAC和输入寄存器的内容(见表11和表16)，以及将AD5121/AD5141连接为菊花链模式。

SDO引脚包含内部开漏输出，后者需要一个外部上拉电阻。当拉低 $\overline{\text{SYNC}}$ 时，SDO引脚使能，数据在SCLK的上升沿读出SDO。

菊花链连接

菊花链形式可以最大程度地减少控制IC的端口引脚数量要求。如图39所示，必须将一个封装的SDO引脚连接到下一个封装的SDI引脚。由于后续器件之间的线路存在传播延迟，因此可能需要延长时钟周期。当两个AD5121/AD5141器件以菊花链形式连接时，需要32位数据。前16位分配至U2，后16位分配至U1，如图40所示。保持SYNC引脚为低电平，直到全部32位数据都读入相应的串行寄存器中。然后，SYNC引脚被拉高，以完成该操作。典型连接见图39。

为避免数据被误读(例如，由噪声导致)，该器件包括一个内部计数器，当时钟下降沿数据不是8的倍数时，器件忽略该命令。合法的时钟数为16、24或32。当SYNC返回高电平时，计数器复位。

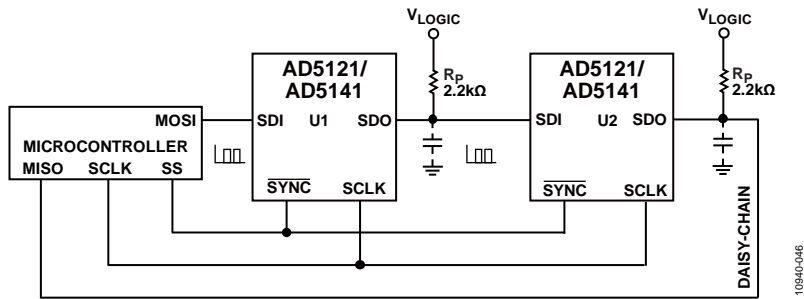


图39. 菊花链配置

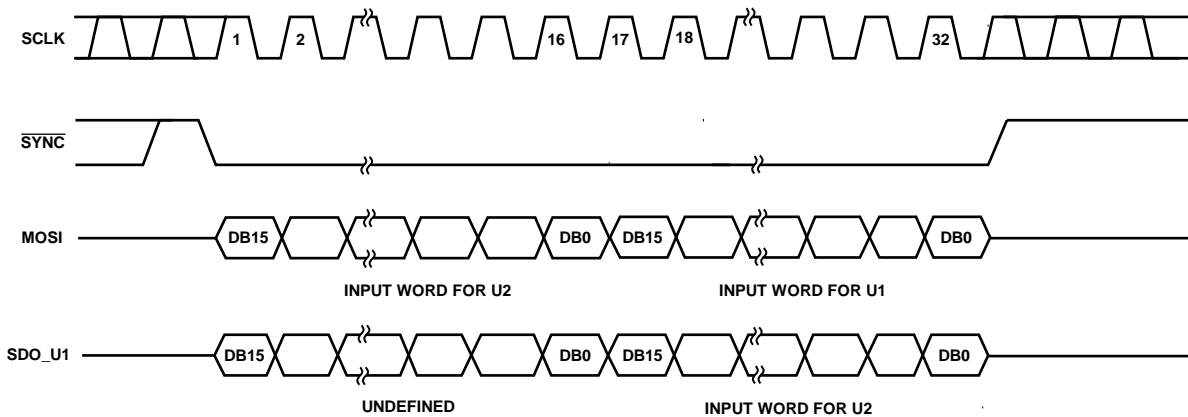


图40. 菊花链配置框图

AD5121/AD5141

I²C串行数据接口

AD5141具有一个双线式I²C兼容串行接口，这些器件可作为从机连接到I²C总线，受主机的控制。典型写序列的时序图参见图3。

AD5141支持标准(100 kHz)和快速(400 kHz)数据传输模式。不支持10位寻址和广播寻址。

双线式串行总线协议按如下方式工作：

1. 主机通过建立起始条件而启动数据传输；起始条件即为SDA线上发生高低转换而SCL处于高电平时。之后的字节是地址字节，由7位从机地址和一个R/W位组成。与发送地址对应的从机通过在第9个时钟脉冲期间拉低SDA来做出响应(这称为应答位)。在这个阶段，在选定器件等待从移位寄存器读写数据期间，总线上的所有其它器件保持空闲状态。
如果R/W位为高，则主机由从机读取数据。不过，如果R/W位设为低电平，则主机对从机写入。
2. 数据按9个时钟脉冲(8个数据位和1个应答位)的顺序通过串行总线发送。SDA线上的数据转换必须发生在SCL低电平期间，并且在SCL高电平期间保持稳定。

3. 读取或写入所有数据位之后，停止条件随即建立。在写入模式下，主器件在第10个时钟脉冲期间拉高SDA线，以建立停止条件。在读取模式下，主机会向第9个时钟脉冲发送不应答(即SDA线保持高电平)。主机在第10个时钟脉冲前将SDA线拉低，然后在第10个时钟脉冲期间再次拉高，以建立停止条件。

I²C地址

AD5141提供两个不同的引脚地址选项，如表10所示。

表10. 24引脚LFCSP器件地址选择

ADDR0引脚	ADDR1引脚	7位I ² C器件地址
无连接 ¹	V _{LOGIC}	0100000
无连接 ¹	V _{LOGIC}	0100010
GND	V _{LOGIC}	0100011
V _{LOGIC}	无连接 ¹	0101000
无连接 ¹	无连接 ¹	0101010
GND	无连接 ¹	0101011
V _{LOGIC}	GND	0101100
无连接 ¹	GND	0101110
GND	GND	0101111

¹ 双极性模式下(V_{SS} < 0 V)或低电压模式下(V_{LOGIC} = 1.8 V)不可用。

表11. 简单命令操作真值表

命令编号	控制位 [DB15:DB12]				地址位 [DB11:DB8] ¹				数据位[DB7:DB0] ¹								操作		
	C3	C2	C1	C0	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0			
0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	NOP: 无操作		
1	0	0	0	1	0	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0	将串行寄存器数据内容写入RDAC		
2	0	0	1	0	0	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0	将串行寄存器数据内容写入输入寄存器		
3	0	0	1	1	X	0	0	0	X	X	X	X	X	X	D1	D0	回读内容		
																	D1	D0	数据
																	0	1	EEPROM
																	RDAC		
9	0	1	1	1	X	X	0	0	X	X	X	X	X	X	X	1	复制RDAC寄存器内容至EEPROM		
10	0	1	1	1	X	X	0	0	X	X	X	X	X	X	X	0	复制EEPROM内容至RDAC		
14	1	0	1	1	X	X	X	X	X	X	X	X	X	X	X	X	软件复位		
15	1	1	0	0	0	0	0	0	X	X	X	X	X	X	X	D0	软件关断		
																	D0	条件	
																	0	正常模式	
																	关断模式		

¹ X = 无关位。

高级控制模式

AD5121/AD5141数字电位计提供一组用户编程特性，满足各种通用调节器件种类繁多的应用需求(见表16和表18)。

关键编程特性如下：

- 输入寄存器
- 线性增益设置模式
- 低游标电阻特性
- 线性增量和减量指令
- ± 6 dB增量和减量指令
- 突发模式(仅PC)
- 复位
- 关断模式

输入寄存器

AD5121/AD5141的每一个RDAC寄存器均含有一个输入寄存器。该寄存器允许预载入相应RDAC寄存器的值。

该特性支持一个或所有RDAC寄存器同时进行同步和异步更新。

这些寄存器可通过命令2写入，并通过命令3读出(见表16)。

可通过LRDAC引脚以异步方式，或通过命令8以同步方式将输入寄存器内容转移到RDAC寄存器(见表16)。

若新数据载入RDAC寄存器，则该RDAC寄存器将自动覆盖相应输入寄存器的内容。

线性增益设置模式

AD5121/AD5141采用专利架构，可独立控制每串电阻(RAW和RWB)。若要使能该特性，可使用命令16(见表16)设置控制寄存器的位D2(见表18)。

相对电位计模式的互补型电阻($R_{AW} = R_{AB} - R_{WB}$)而言，该操作模式能够控制电位计，使其作为连接同一点(端点W)的两个独立可变电阻器使用。

该特性使能每通道的第二路输入和RDAC寄存器，如表16所示；然而，实际RDAC内容保持不变。同样的操作对电位计和线性增益设置模式均有效。

线性增益设置模式中，若拉高INDEP引脚，则器件上电，并加载每通道保存在相应存储器位置的数值(见表17)。INDEP引脚和D2位从内部连接逻辑OR门；只要任意一个为1，则器件便无法在电位计模式下工作。

低游标电阻特性

AD5121/AD5141包含两个命令，当端点处达到满量程或零电平时，可降低端点之间的游标电阻。这些额外位置称为“底部量程(BS)”和“顶部量程(TS)”。处于顶部量程时，A端和W端之间的电阻称为RTS。与此类似，B端和W端之间的底部量程电阻称为 R_{BS} 。

当处于这些位置时，RDAC寄存器内容不发生改变。有两种方法可退出顶部量程或底部量程：使用命令12或命令13(见表16)；或者载入新数据至RDAC寄存器，包括增量/减量操作和关断命令。

当使能线性增益设置模式时，表12和表13分别表示顶部量程和底部量程位置的真值表。

表12. 顶部量程真值表

线性增益设置模式		电位器模式	
R _{AW}	R _{WB}	R _{AW}	R _{WB}
R _{AB}	R _{AB}	R _{TS}	R _{AB}

表13. 底部量程真值表

线性增益设置模式		电位器模式	
R _{AW}	R _{WB}	R _{AW}	R _{WB}
R _{TS}	R _{BS}	R _{AB}	R _{BS}

线性增量和减量指令

增量和减量命令(表16中的命令4和命令5)对线性阶跃调节应用而言非常有用。这些命令通过允许控制器向器件发送一个增量或减量命令，简化微控制器的软件编码。这种调节可以是独立进行的，也可以结合电位计进行，此时所有游标位置同时改变。

对于增量命令而言，执行命令4将自动将游标移动到下一段电阻位置。该命令可在单通道或多通道下执行。

± 6 dB增量和减量指令

两个编程指令产生可通过独立电位计或组合电位计控制的游标位置对数抽头增量或减量，此时所有RDAC寄存器位置均同步改变。 $+6$ dB增量由命令6激活， -6 dB减量由命令7激活(见表16)。例如，从零电平位置开始并执行命令6十次，则会将游标以6 dB阶跃移动至满量程位置。当游标位置靠近最大设置时，最后6 dB的增量指令会导致游标移动到满量程位置(见表14)。

AD5121/AD5141

以+6 dB增加游标位置会使RDAC寄存器值翻倍，而以-6 dB降低游标位置则会使该寄存器值减半。在AD5121/AD5141内部，器件使用移位寄存器使数据位左移或右移，以便得到±6 dB增量或减量。这些功能对各种音频/视频电平调节而言非常有用，尤其是白光LED的亮度设定，因为相比较小的调整，人眼对较大的调整更为敏感。

表14. 左移和右移功能详情，阶跃值为±6 dB增量或减量

左移(+6 dB/阶跃)	右移(-6 dB/阶跃)
0000 0000	1111 1111
0000 0001	0111 1111
0000 0010	0011 1111
0000 0100	0001 1111
0000 1000	0000 1111
0001 0000	0000 0111
0010 0000	0000 0011
0100 0000	0000 0001
1000 0000	0000 0000
1111 1111	0000 0000

突发模式(仅I²C)

通过使能突发模式，多个数据字节可连续发送至器件。命令字节之后，器件会将连续字节看作第一个命令的数据字节。

通过产生一个重复开始或停止-开始条件，即可发送一个新的命令。

通过设置控制寄存器的位D3可激活突发模式(见表18)，若执行复位或掉电操作，则自动复位。

复位

AD5121/AD5141可以通过软件由执行命令14(见表16)或通过RESET硬件引脚上的低电平脉冲来进行复位。复位命令会将EEPROM的内容载入RDAC寄存器，大约需要30 μs。EEPROM在出厂时预加载至中间电平，因此首次上电时为中间电平。若RESET引脚未使用，则将RESET连接至V_{DD}。

关断模式

执行软件关断命令(命令15，见表16)或将LSB(D0)设为1，即可将AD5121/AD5141置于关断模式。这一特性将RDAC置于特殊状态。当处于关断模式时，RDAC寄存器内容不发生改变。但在关断模式下，表16中所列命令均支持。执行命令15(见表16)或将LSB(D0)设为0可退出关断模式。

表15. 关断模式的真值表

A2	线性增益设置模式		电位器模式	
	AW	WB	AW	WB
0	N/A ¹	开路	开路	R _{BS}
1	开路	N/A ¹	N/A ¹	N/A ¹

¹ N/A表示不适用。

EEPROM或RDAC寄存器保护

通过禁用EEPROM和RDAC寄存器更新，可保护这些寄存器。可通过软件或硬件实现该特性。若这些寄存器由软件提供保护，则设置位D0和/或位D1(见表18)即可单独保护RDAC和EEPROM寄存器。

若寄存器由硬件提供保护，则拉低WP引脚。若执行命令时拉低WP引脚，则不使能保护特性，直到命令执行完毕。

当RDAC受到保护时，允许的唯一操作是将EEPROM中的内容复制到RDAC寄存器。

载入RDAC输入寄存器(LRDAC)

LRDAC 软件或硬件将数据从输入寄存器传输到RDAC寄存器中(以此更新游标位置)。默认情况下，输入寄存器值与RDAC寄存器相同；因此，仅更新使用命令2更新过的输入寄存器。

软件LRDAC、命令8允许更新单个RDAC寄存器，或一次更新所有通道(见表16)。这是一次同步更新。

硬件LRDAC完全是异步的，并且将所有输入寄存器的内容复制到相关的RDAC寄存器中。若执行了某个命令，则为了避免破坏数据，器件将忽略所有LRDAC引脚的转换。

INDEP引脚

若上电时拉高INDEP引脚，则器件工作在线性增益设置模式下，并且每串电阻(R_{AW}和R_{WB})均载入EEPROM的存储值(见表17)。若拉低引脚，则器件上电为电位计模式。

INDEP引脚和D2位从内部连接逻辑OR门；只要任意一个为1，则器件便无法在电位计模式下工作(见表18)。

表16. 高级命令操作真值表

命令编号	控制位 [DB15:DB12]				地址位 [DB11:DB8] ¹				数据位[DB7:DB0] ¹								操作			
	C3	C2	C1	C0	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0				
0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	NOP: 无操作			
1	0	0	0	1	0	A2	0	A0	D7	D6	D5	D4	D3	D2	D1	D0	将串行寄存器数据内容写入RDAC			
2	0	0	1	0	0	A2	0	A0	D7	D6	D5	D4	D3	D2	D1	D0	将串行寄存器数据内容写入输入寄存器			
3	0	0	1	1	X	A2	A1	A0	X	X	X	X	X	X	D1	D0	回读内容			
																	D1	D0	数据	
																	0	0	输入寄存器	
																	0	1	EEPROM	
																	1	0	控制寄存器	
																		1	1	RDAC
4	0	1	0	0	A3	A2	0	A0	X	X	X	X	X	X	X	1	线性RDAC增量			
5	0	1	0	0	A3	A2	0	A0	X	X	X	X	X	X	X	0	线性RDAC减量			
6	0	1	0	1	A3	A2	0	A0	X	X	X	X	X	X	X	1	+6 dB RDAC增量			
7	0	1	0	1	A3	A2	0	A0	X	X	X	X	X	X	X	0	-6 dB RDAC减量			
8	0	1	1	0	A3	A2	0	A0	X	X	X	X	X	X	X	X	复制输入寄存器内容至RDAC(软件LRDAC)			
9	0	1	1	1	0	A2	0	A0	X	X	X	X	X	X	X	1	复制RDAC寄存器内容至EEPROM			
10	0	1	1	1	0	A2	0	A0	X	X	X	X	X	X	X	0	复制EEPROM内容至RDAC			
11	1	0	0	0	0	A2	0	A0	D7	D6	D5	D4	D3	D2	D1	D0	将串行寄存器数据内容写入EEPROM			
12	1	0	0	1	A3	A2	0	A0	1	X	X	X	X	X	X	D0	顶部量程 D0=0; 正常模式 D0=1; 关断模式			
13	1	0	0	1	A3	A2	0	A0	0	X	X	X	X	X	X	D0	底部量程 D0=1; 进入 D0=0; 退出			
14	1	0	1	1	X	X	X	X	X	X	X	X	X	X	X	X	软件复位			
15	1	1	0	0	A3	A2	0	A0	X	X	X	X	X	X	X	D0	软件关断 D0=0; 正常模式 D0=1; 器件置于关断模式			
16	1	1	0	1	X	X	X	X	X	X	X	D3	D2	D1	D0	复制串行寄存器数据至控制寄存器				

¹ X = 无关位。

表17. 地址位

A3	A2	A1	A0	电位器模式		线性增益设置模式		保存的RDAC存储器
				输入寄存器	RDAC寄存器	输入寄存器	RDAC寄存器	
1	X ¹	X ¹	X ¹	所有通道	所有通道	所有通道	所有通道	不适用
0	0	0	0	RDAC	RDAC	R _{WB}	R _{WB}	RDAC/R _{WB}
0	1	0	0	不适用	不适用	R _{AW}	R _{AW}	不适用
0	0	0	1	不适用	不适用	不适用	不适用	R _{AW}
0	0	1	0	不适用	不适用	不适用	不适用	MSB容差
0	0	1	1	不适用	不适用	不适用	不适用	LSB容差

¹ X = 无关位。

AD5121/AD5141

表18. 控制寄存器Bit功能描述

位的名称	描述
D0	RDAC寄存器写保护 0 = 游标位置冻结至EEPROM存储器值 1 = 允许通过数字接口更新游标位置(默认)
D1	EEPROM编程使能 0 = EEPROM编程禁用 1 = 使能器件的EEPROM编程(默认)
D2	线性设置模式/电位计模式 0 = 电位计模式(默认) 1 = 线性增益设置模式
D3	突发模式(仅I ² C) 0 = 禁用(默认) 1 = 使能(停止或重复启动条件后不禁用)

RDAC架构

为了实现最佳性能，ADI公司的所有数字电位计均采用了RDAC分段专利架构。具体而言，AD5121/AD5141采用三级分段方法，如图41所示。AD5121/AD5141的游标开关设计采用传输门CMOS拓扑，以及从 V_{DD} 和 V_{SS} 获得的门电压。

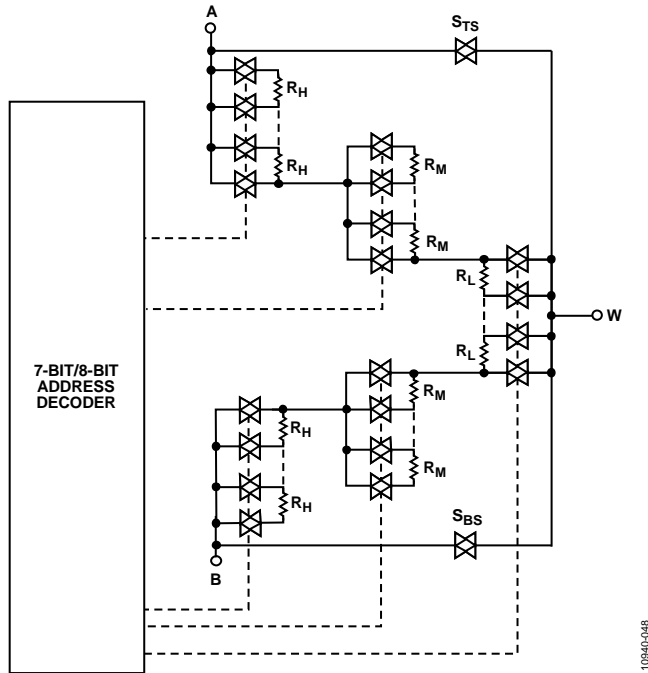


图41. AD5121/AD5141简化RDAC电路

顶部量程/底部量程架构

此外，AD5121/AD5141包含新的位置，减少端之间的电阻。这些位置称为“底部量程”和“顶部量程”。采用底部量程时，游标电阻典型值从130 Ω降至60 Ω ($R_{AB} = 100 \text{ k}\Omega$)。采用顶部量程时，A端和W端之间的电阻减少1 LSB，总电阻则降至60 Ω ($R_{AB} = 100 \text{ k}\Omega$)。

可变电阻编程

可变电阻器操作—±8%电阻容差

只有两个端用作可变电阻时，AD5121/AD5141采用可变电阻器模式工作。不用的一端可以悬空或者连接到W端，如图42所示。

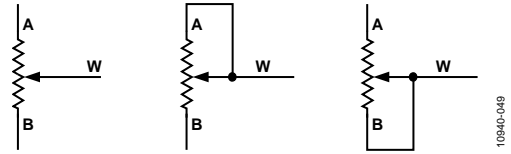


图42. 可变电阻器模式配置

A端和B端之间的标称电阻 R_{AB} 为10 kΩ或100 kΩ，并具有128/256个可供游标端访问的触点。RDAC锁存器中的7/8位数据经过解码，用于选择128/256种可能的游标设置之一。确定W端和B端间的数字编程输出电阻的通用公式如下：

AD5121:

$$R_{WB}(D) = \frac{D}{128} \times R_{AB} + R_W \quad \text{从0x00到0x7F} \quad (1)$$

AD5141:

$$R_{WB}(D) = \frac{D}{256} \times R_{AB} + R_W \quad \text{从0x00到0xFF} \quad (2)$$

其中:

D 为载入7/8位RDAC寄存器的二进制代码的十进制等效值。

R_{AB} 是端到端电阻。

R_W 是游标电阻。

在电位计模式中，与机械电位计相似，端点W和端点A之间RDAC电阻也产生一个数字可控互补电阻 R_{WA} 。 R_{WA} 还会产生最大8%的绝对电阻误差。 R_{WA} 从最大电阻值开始，随着载入锁存器的数据增大而减小。

此操作的通用公式如下：

AD5121:

$$R_{AW}(D) = \frac{128 - D}{128} \times R_{AB} + R_W \quad \text{从0x00到0x7F} \quad (3)$$

AD5141:

$$R_{AW}(D) = \frac{256 - D}{256} \times R_{AB} + R_W \quad \text{从0x00到0xFF} \quad (4)$$

其中:

D 为载入7/8位RDAC寄存器的二进制代码的十进制等效值。

R_{AB} 是端到端电阻。

R_W 是游标电阻。

AD5121/AD5141

若器件配置为线性增益设置模式，则W端和A端之间的电阻直接与载入相应RDAC寄存器的代码成比例。此操作的通用公式如下：

AD5121:

$$R_{AW}(D) = \frac{D}{128} \times R_{AB} + R_W \quad \text{从0x00到0x7F} \quad (5)$$

AD5141:

$$R_{AW}(D) = \frac{D}{256} \times R_{AB} + R_W \quad \text{从0x00到0xFF} \quad (6)$$

其中：

D为载入7/8位RDAC寄存器的二进制代码的十进制等效值。

R_{AB} 是端到端电阻。

R_W 是游标电阻。

在底部量程或顶部量程条件下，总共存在40 Ω的有限游标电阻。无论器件的设置如何，都应将A端和B端、W端和A端以及W端和B端之间的电流限制为±6 mA的最大连续电流或表7中规定的脉冲电流。否则，内部开关触点可能会出现性能下降，甚至是发生损坏。

计算实际端到端电阻

电阻容差在出厂测试过程中存储到内部存储器中。因此，可计算实际端到端电阻，针对校准、容差匹配和精密应用极具价值。

百分比电阻容差以定点格式并采用16位符号幅度二进制形式存储。符号位(0为负，1为正)和整数部分位于地址0x02，如表19所示。地址0x03包含小数部分，如表19所示。

表19. 端到端电阻容差字节

存储器映射地址	数据字节							
	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0x02	符号	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
0x03	2 ⁻¹	2 ⁻²	2 ⁻³	2 ⁻⁴	2 ⁻⁵	2 ⁻⁶	2 ⁻⁷	2 ⁻⁸

也就是说，若从地址0x02回读的数据为00000010，且从地址0x03回读的数据为10110000，则端到端电阻可通过下式计算：

对于存储器映射地址0x02，DB[7] = 0 = 负，且DB[6:0] = 0000010 = 2。

对于存储器映射地址0x03，DB[7:0] = 10110000 = 176 × 2⁻⁸ = 0.6875，因此容差 = -2.6875%，且 $R_{AB} = 9.731 \text{ k}\Omega$ 。

电位计分压器编程

电压输出操作

数字电位计很容易在游标至B和游标至A处产生分压器，其电压与A至B处的输入电压成比例，如图43所示。

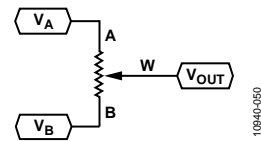


图43. 电位计模式配置

将A端连接到5 V且B端连接到地时，可在游标W至B端处产生0 V至5 V的输出电压。以下通用公式定义针对施加于A端和B端的任意有效输入电压， V_W 处相对于地的输出电压：

$$V_W(D) = \frac{R_{WB}(D)}{R_{AB}} \times V_A + \frac{R_{AW}(D)}{R_{AB}} \times V_B \quad (7)$$

其中：

$R_{WB}(D)$ 可从公式1和公式2获得。

$R_{AW}(D)$ 可从公式3和公式4获得。

在分压器模式下使用数字电位计，可提高整个温度范围内的操作精度。与可变电阻器模式不同，输出电压主要取决于内部电阻 R_{AW} 和 R_{WB} 的比值，而非绝对值。因此，温度漂移降到5 ppm/°C。

端电压范围

AD5121/AD5141内置ESD二极管来提供保护功能。这些二极管还设置端工作电压的电压边界。A端、B端或W端超过 V_{DD} 的正信号会被正偏二极管箝位。 V_A 、 V_W 和 V_B 之间没有极性限制，但不得超过 V_{DD} 或低于 V_{SS} 。

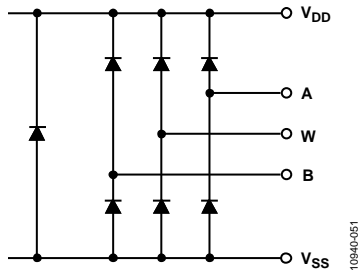


图44. 由VDD和VSS设置的最大端电压

上电时序

由于会用二极管来限制A端、B端和W端(见图44)处的顺从电压，因此必须先给 V_{DD} 供电，然后再向A端、B端和W端施加电压。否则，该二极管会正偏，以致 V_{DD} 意外上电。理想的上电时序为 V_{SS} 、 V_{DD} 、 V_{LOGIC} 、数字输入、 V_A 、 V_B 和 V_W 。只要在 V_{SS} 、 V_{DD} 和 V_{LOGIC} 之后上电， V_A 、 V_B 、 V_W 和数字输入的上电顺序就无关紧要。无论电源的上电时序和斜坡速率如何，一旦 V_{LOGIC} 上电，上电预设即会激活，该功能会将EEPROM值恢复到RDAC寄存器。

布局布线 and 电源偏置

使用紧凑且引线长度最短的布局设计始终是一种较好的做法。这样可确保尽量做到直接输入，实现最小导线长度。接地路径应具有低电阻、低电感。用优质电容将电源旁路也是一种较好的做法。电源处应运用低等效串联电阻(ESR)的 $1\ \mu\text{F}$ 至 $10\ \mu\text{F}$ 钽电容或电解电容，以便尽可能减少瞬态干扰，并滤除低频纹波。图45所示为AD5121/AD5141的基本电源旁路配置。

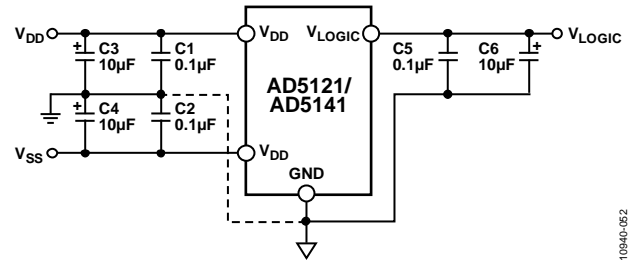
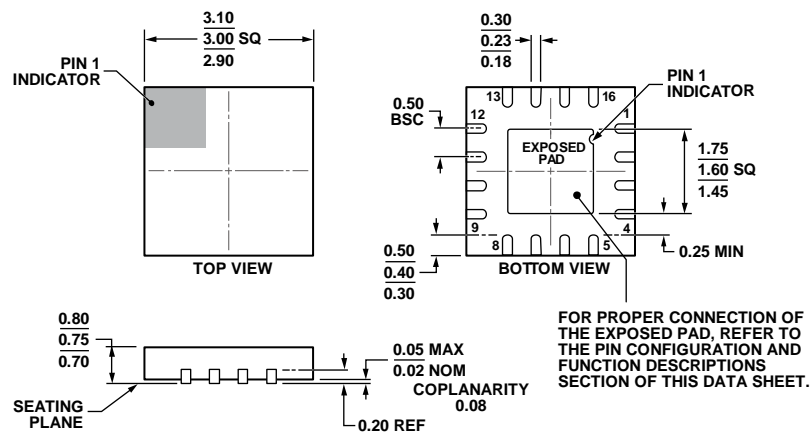


图45. 电源旁路

AD5121/AD5141

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WEED-6.

图46. 16引脚引脚架构芯片级封装[LFCSP_WQ]
3 mm x 3 mm, 超薄体
(CP-16-22)
尺寸单位: mm

08-16-2010E

订购指南

型号 ^{1,2}	R _{AB} (kΩ)	分辨率	接口	温度范围	封装描述	封装选项	标识
AD5121BCPZ10-RL7	10	128	SPI/I ² C	-40°C至+125°C	16引脚 LFCSP_WQ	CP-16-22	DHE
AD5121BCPZ100-RL7	100	128	SPI/I ² C	-40°C至+125°C	16引脚 LFCSP_WQ	CP-16-22	DHF
AD5141BCPZ10-RL7	10	256	SPI/I ² C	-40°C至+125°C	16引脚 LFCSP_WQ	CP-16-22	DHC
AD5141BCPZ100-RL7	100	256	SPI/I ² C	-40°C至+125°C	16引脚 LFCSP_WQ	CP-16-22	DHD
EVAL-AD5141DBZ					评估板		

¹ Z = 符合RoHS标准的器件

² 评估板附带10 kΩ的电阻R_{AB}；不过，评估板兼容所有适用电阻值大小。

注释

注释