

特性

一个封装中集成 8 个 ADC
 功耗：每通道 114 mW (65 MSPS)
 信噪比(SNR)：70 dB (至 Nyquist 频率)
 有效位数 (ENOB)：11.3 位
 无杂散动态范围(SFDR)：80 dBc
 出色的线性度：微分非线性(DNL) = ± 0.3 LSB (典型值)；积分非线性(INL) = ± 0.4 LSB (典型值)
 串行 LVDS (ANSI-644, 默认)
 低功耗，减少信号选项 (类似于 IEEE 1596.3)
 数据时钟输出和帧时钟输出
 325 MHz 全功率模拟带宽
 2 V 峰值输入电压范围
 1.8 V 电源供电
 串行端口控制
 全芯片及单一通道省电模式
 灵活的位定向
 内置生成及用户自定义数字测试码
 可编程时钟与数据对准
 可编程输出分辨率
 待机模式

应用

医疗成像和无创超声检测
 便携式超声和数字波束形成系统
 正交无线电接收机
 分集无线电接收机
 磁带机
 光纤网络
 测试设备

概述

AD9222 是一款 8 通道、12 位、40/50/65 MSPS 模数转换器 (ADC)，内置片内采样保持电路，专门针对低成本、低功耗、小尺寸和易用性而设计。该产品的转换速率最高可达 65 MSPS，具有杰出的动态性能与低功耗特性，对小封装尺寸的应用很有意义。

该 ADC 要求采用 1.8 V 单电源供电以及 LVPECL-/CMOS-/LVDS 兼容型采样速率时钟信号，以便充分发挥其工作性能。对于大多数应用来说，无需外部基准电压源或驱动器。

为获得合适的 LVDS 串行数据速率，该 ADC 会自动倍乘采样速率时钟。它提供一个数据时钟输出(DCO)用于在输出端捕获数据，以及一个帧时钟输出(FCO)用于发送新输出字节信号。它还支持各通道单独进入省电状态；禁用所有通道时，典型功耗低于 2 mW。

该 ADC 内置多种功能特性，可使器件的灵活性达到最佳、系统成本最低，例如可编程时钟与数据对准、生成可编程数字测试码等。可获得的数字测试码包括内置固定码和伪随机

Rev. D

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI 中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI 不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考 ADI 提供的最新英文版数据手册。

功能框图

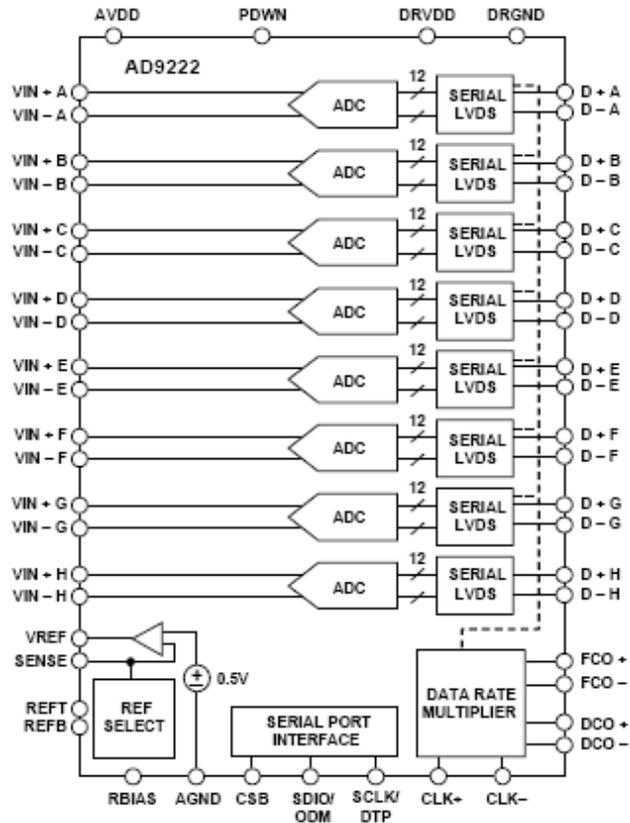


图 1

码，以及通过串行端接口(SPI)输入的用户自定义测试码。

AD9222 采用符合 RoHS 标准的 64 引脚 LFCSP 封装，额定温度范围为 -40°C 至 $+85^{\circ}\text{C}$ 工业温度范围。

产品聚焦

1. 小尺寸：一个小型封装中集成 8 个 ADC，节省空间。
2. 低功耗：每通道 114 mW (65 MSPS)。
3. 易于使用：数据时钟输出(DCO)的工作频率高达 390 MHz，支持双倍数据速率(DDR)操作。
4. 使用灵活：SPI 控制提供丰富灵活的特性，可满足各种特定系统的需求。
5. 引脚兼容系列产品，包括：AD9212 (10 位) 和 AD9252 (14 位)。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 www.analog.com
 Fax: 781.461.3113 ©2006–2010 Analog Devices, Inc. All rights reserved.

目录

特性	1
应用	1
概述	1
功能框图	1
产品聚焦	1
修订历史	2
技术规格	3
交流规格	4
数字规格	5
开关规格	6
时序图	7
绝对最大额定值	9
热阻	9
ESD 警告	9
引脚配置和功能描述	10
等效电路	12
典型工作特性	14
工作原理	21

修订历史

2010 年 4 月—修订版 C 至修订版 D

更改表 16 中的地址 16	38
更新外形尺寸	59
更改订购指南部分	59

2010 年 1 月—修订版 B 至修订版 C

更新外形尺寸	59
更改订购指南部分	60

2009 年 7 月—修订版 A 至修订版 B

更改图 5	10
更改图 61 和图 62	23
更改图 79 和图 80	31
更新外形尺寸	59
更改订购指南部分	59

2007 年 8 月—修订版 0 至修订版 A

增加 65 MSPS 型号	通篇
更改特性部分	1
更改产品聚焦部分	1
更改图 2 至图 4	7
增加图 21 至图 24、图 27、图 28、图 30、图 32、图 37、图 38、图 40、图 42、图 44、图 46、图 48 和图 51	15

模拟输入考虑	21
时钟输入考虑	24
串行端口接口(SPI)	33
硬件接口	34
存储器映射	36
读取存储器映射表	36
保留位置	36
默认值	36
逻辑电平	36
评估板	40
电源	40
输入信号	40
输出信号	40
默认操作与跳线选择设置	41
可选模拟输入驱动配置	42
外形尺寸	59
订购指南	59

增加图 56 和图 58	22
增加图 70	25
增加图 72	26
增加图 74	27
增加图 76 和图 78	28
更改数字输出和时序部分	28
更改表 9 尾注	29
增加表 10	30
更改 RBIAS 引脚部分	31
删除图 56 和图 57	27
更改表 15	35
更改输入信号部分	40
更改输出信号部分	40
更改图 86	40
更改默认操作与跳线选择设置部分	41
更改可选模拟输入配置部分	42
增加图 88 和图 89	42
更改图 92	45
更改表 17	54
更新外形尺寸	59
更改订购指南部分	60

2006 年 9 月—修订版 0: 初始版

技术规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、2 V 峰峰值差分输入、1.0 V 内部基准电压、AIN = -0.5 dBFS。

表 1

参数 ¹	温度	AD9222-40			AD9222-50			AD9222-65			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
分辨率		12			12			12			位
精度		保证			保证 保证						
无失码	全	保证			保证 保证						
失调误差	全	±1	±8		±1	±8		±1	±8		mV
失调匹配	全	±3	±8		±3	±8		±3	±8		mV
增益误差	全	±0.4	±1.2		±1.5	±2.5		±3.5	±5		% FS
增益匹配	全	±0.3	±0.7		±0.3	±0.7		±0.4	±0.8		% FS
微分非线性(DNL)	全	±0.25	±0.5		±0.3	±0.65		±0.25	±0.6		LSB
积分非线性(INL)	全	±0.4	±1		±0.4	±1		±0.4	±1		LSB
温度漂移											
失调误差	全	±2			±2			±2			ppm/°C
增益误差	全	±17			±17			±17			ppm/°C
基准电压(1 V 模式)	全	±21			±21			±21			ppm/°C
基准电压											
输出电压误差 (VREF = 1 V)	全	±2	±30		±2	±30		±2	±30		mV
负载调整率@ 1.0 mA (VREF = 1 V)	全	3			3			3			mV
输入电阻	全	6			6			6			kΩ
模拟输入											
差分输入电压范围 (VREF = 1 V)	全	2			2			2			V p-p
共模电压	全	AVDD/2			AVDD/2			AVDD/2			V
差分输入电容	全	7			7			7			pF
全功率模拟带宽	全	325			325			325			MHz
电源											
AVDD	全	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD	全	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
IAVDD	全	338		348.5	357.5		367.5	450		470	mA
IDRVDD	全	51		53.6	53.5		56.2	56.6		60.5	mA
总功耗 (包括输出 驱动器)	全	700		722	740		760	910		950.5	mW
省电功耗	全	2		11	2		11	2		11	mW
待机功耗 ²	全	83			89			100			mW
串扰	全	-90			-90			-90			dB
串扰 (超量程情况) ³	全	-90			-90			-90			dB

¹ 如需了解完整的定义以及这些测试如何完成，请参阅应用笔记 AN-835：“了解高速 ADC 测试和评估”。

² 这可以通过 SPI 控制。

³ 超量程情况特指满量程输入范围的 6 dB。

AD9222

交流规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、2 V 峰峰值差分输入、1.0 V 内部基准电压、AIN = -0.5 dBFS。

表2

参数 ¹	温度	AD9222-40			AD9222-50			AD9222-65			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
信噪比(SNR)											
$f_{IN} = 2.4 \text{ MHz}$	全		70.3			70.4			70.3		dB
$f_{IN} = 19.7 \text{ MHz}$	全	69.5	70.3		69.5	70.3		68.5	70.0		dB
$f_{IN} = 35 \text{ MHz}$	全		69.9			70.0			69.8		dB
$f_{IN} = 70 \text{ MHz}$	全		68.8			69.0			69.5		dB
信纳比(SINAD)											
$f_{IN} = 2.4 \text{ MHz}$	全		70.0			70.0			69.5		dB
$f_{IN} = 19.7 \text{ MHz}$	全	68.7	70.0		68.5	70.0		66.8	69.4		dB
$f_{IN} = 35 \text{ MHz}$	全		69.5			69.8			69.3		dB
$f_{IN} = 70 \text{ MHz}$	全		68.0			68.5			69		dB
有效位数(ENOB)											
$f_{IN} = 2.4 \text{ MHz}$	全		11.38			11.4			11.4		位
$f_{IN} = 19.7 \text{ MHz}$	全	11.25	11.38		11.25	11.38		11.1	11.34		位
$f_{IN} = 35 \text{ MHz}$	全		11.32			11.33			11.30		位
$f_{IN} = 70 \text{ MHz}$	全		11.14			11.17			11.25		位
无杂散动态范围(SFDR)											
$f_{IN} = 2.4 \text{ MHz}$	全		85			85			83		dBc
$f_{IN} = 19.7 \text{ MHz}$	全	73	85		73	84		70.5	80		dBc
$f_{IN} = 35 \text{ MHz}$	全		80			83			80		dBc
$f_{IN} = 70 \text{ MHz}$	全		76			77			75		dBc
最差谐波 (二次或三次)											
$f_{IN} = 2.4 \text{ MHz}$	全		-85			-85			-83		dBc
$f_{IN} = 19.7 \text{ MHz}$	全		-85	-74		-84	-73		-80	-70.5	dBc
$f_{IN} = 35 \text{ MHz}$	全		-80			-83			-80		dBc
$f_{IN} = 70 \text{ MHz}$	全		-76			-77			-75		dBc
最差其它谐波 (二次或三次除外)											
$f_{IN} = 2.4 \text{ MHz}$	全		-92			-92			-90		dBc
$f_{IN} = 19.7 \text{ MHz}$	全		-92	-80		-92	-80		-90	-80	dBc
$f_{IN} = 35 \text{ MHz}$	全		-92			-92			-90		dBc
$f_{IN} = 70 \text{ MHz}$	全		-90			-90			-85		dBc
双音交调失真(IMD) — AIN1 和 AIN2 = -7.0 dBFS											
$f_{IN1} = 15 \text{ MHz}, f_{IN2} = 16 \text{ MHz}$	25°C		80.0			80.0			80.0		dBc
$f_{IN1} = 70 \text{ MHz}, f_{IN2} = 71 \text{ MHz}$	25°C		77.0			77.0			75.0		dBc

¹ 如需了解完整的定义以及这些测试如何完成，请参阅应用笔记 AN-835：“了解高速 ADC 测试和评估”。

数字规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、2 V 峰峰值差分输入、1.0 V 内部基准电压、AIN = -0.5 dBFS。

表3

参数 ¹	温度	AD9222-40			AD9222-50			AD9222-65			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
时钟输入(CLK+, CLK-)		CMOS/LVDS/LVPECL			CMOS/LVDS/LVPECL			CMOS/LVDS/LVPECL			
逻辑兼容											
差分输入电压 ²	全	250			250			250			mV p-p
输入共模电压	全		1.2			1.2			1.2		V
输入电阻 (差分)	25°C		20			20			20		kΩ
输入电容	25°C		1.5			1.5			1.5		pF
逻辑输入(PDWN、SCLK/DTP)											
逻辑 1 电压	全	1.2		3.6	1.2		3.6	1.2		3.6	V
逻辑 0 电压	全	0		0.3	0		0.3	0		0.3	V
输入电阻	25°C		30			30			30		kΩ
输入电容	25°C		0.5			0.5			0.5		pF
逻辑输入(CSB)											
逻辑 1 电压	全	1.2		3.6	1.2		3.6	1.2		3.6	V
逻辑 0 电压	全	0		0.3	0		0.3	0		0.3	V
输入电阻	25°C		70			70			70		kΩ
输入电容	25°C		0.5			0.5			0.5		pF
逻辑输入(SDIO/ODM)											
逻辑 1 电压	全	1.2		DRVDD + 0.3	1.2		DRVDD + 0.3	1.2		DRVDD + 0.3	V
逻辑 0 电压	全	0		0.3	0		0.3	0		0.3	V
输入电阻	25°C		30			30			30		kΩ
输入电容	25°C		2			2			2		pF
逻辑输出(SDIO/ODM) ³											
逻辑 1 电压(I _{OH} = 800 μA)	全		1.79			1.79			1.79		V
逻辑 0 电压(I _{OL} = 50 μA)	全			0.05			0.05			0.05	V
数字输出(D + x、D - x)， (ANSI-644) ¹											
逻辑兼容		LVDS			LVDS			LVDS			
差分输出电压(V _{OD})	全	247		454	247		454	247		454	mV
输出失调电压(V _{OS})	全	1.125		1.375	1.125		1.375	1.125		1.375	V
输出编码 (默认)		偏移二进制			偏移二进制			偏移二进制			
数字输出(D + x、D - x)，(低 功耗、减少信号选项) ¹											
逻辑兼容		LVDS			LVDS			LVDS			
差分输出电压(V _{OD})	全	150		250	150		250	150		250	mV
输出失调电压(V _{OS})	全	1.10		1.30	1.10		1.30	1.10		1.30	V
输出编码 (默认)		偏移二进制			偏移二进制			偏移二进制			

¹ 如需了解完整的定义以及这些测试如何完成，请参阅应用笔记 AN-835：“了解高速 ADC 测试和评估”。

² 仅针对 LVDS 和 LVPECL。

³ 针对共用同一连接的 13 个 SDIO 引脚。

开关规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、2 V 峰峰值差分输入、1.0 V 内部基准电压、AIN = -0.5 dBFS。

表4

参数 ¹	温度	AD9222-40			AD9222-50			AD9222-65			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
时钟 ²											
最大时钟速率	全	40			50			65			MSPS
最小时钟速率	全			10			10			10	MSPS
时钟脉宽高电平(t_{EH})	全	12.5			10.0				7.5		ns
时钟脉宽低电平(t_{EL})	全	12.5			10.0				7.5		ns
输出参数 ^{2,3}											
传播延迟(t_{PD})	全	1.5	2.3	3.1	1.5	2.3	3.1	1.5	2.3	3.1	ns
上升时间(t_r) (20%至 80%)	全	300			300				300		ps
下降时间(t_f) (20%至 80%)	全	300			300				300		ps
FCO 传播延迟(t_{FCO})	全	1.5	2.3	3.1	1.5	2.3	3.1	1.5	2.3	3.1	ns
DCO 传播延迟(t_{CPD}) ⁴	全		$t_{FCO} +$ ($t_{SAMPLE}/24$)			$t_{FCO} +$ ($t_{SAMPLE}/24$)			$t_{FCO} +$ ($t_{SAMPLE}/24$)		ns
DCO 至数据延迟(t_{DATA}) ⁴	全	($t_{SAMPLE}/24$) - 300	($t_{SAMPLE}/24$)	($t_{SAMPLE}/24$) + 300	($t_{SAMPLE}/24$) - 300	($t_{SAMPLE}/24$)	($t_{SAMPLE}/24$) + 300	($t_{SAMPLE}/24$) - 300	($t_{SAMPLE}/24$)	($t_{SAMPLE}/24$) + 300	ps
DCO 至 FCO 延迟(t_{FRAME}) ⁴	全	($t_{SAMPLE}/24$) - 300	($t_{SAMPLE}/24$)	($t_{SAMPLE}/24$) + 300	($t_{SAMPLE}/24$) - 300	($t_{SAMPLE}/24$)	($t_{SAMPLE}/24$) + 300	($t_{SAMPLE}/24$) - 300	($t_{SAMPLE}/24$)	($t_{SAMPLE}/24$) + 300	ps
数据至数据偏斜 ($t_{DATA-MAX} - t_{DATA-MIN}$)	全		±50	±200		±50	±200		±50	±200	ps
唤醒时间 (待机)	25°C	600			600				600		ns
唤醒时间 (省电)	25°C		375			375			375		µs
流水线延迟	全		8			8			8		CLK 周期
孔径											
孔径延迟(t_A)	25°C		750			750			750		ps
孔径不确定 (抖动)	25°C		<1			<1			<1		ps rms
超范围恢复时间	25°C		1			1			1		CLK 周期

¹ 如需了解完整的定义以及这些测试如何完成，请参阅应用笔记 AN-835：“了解高速 ADC 测试和评估”。

² 这可以通过 SPI 接口进行调整。

³ 将器件焊接在 FR4 材料上进行测量。

⁴ $t_{SAMPLE}/24$ 基于位数的一半，因为延迟基于一半的占空比。

时序图

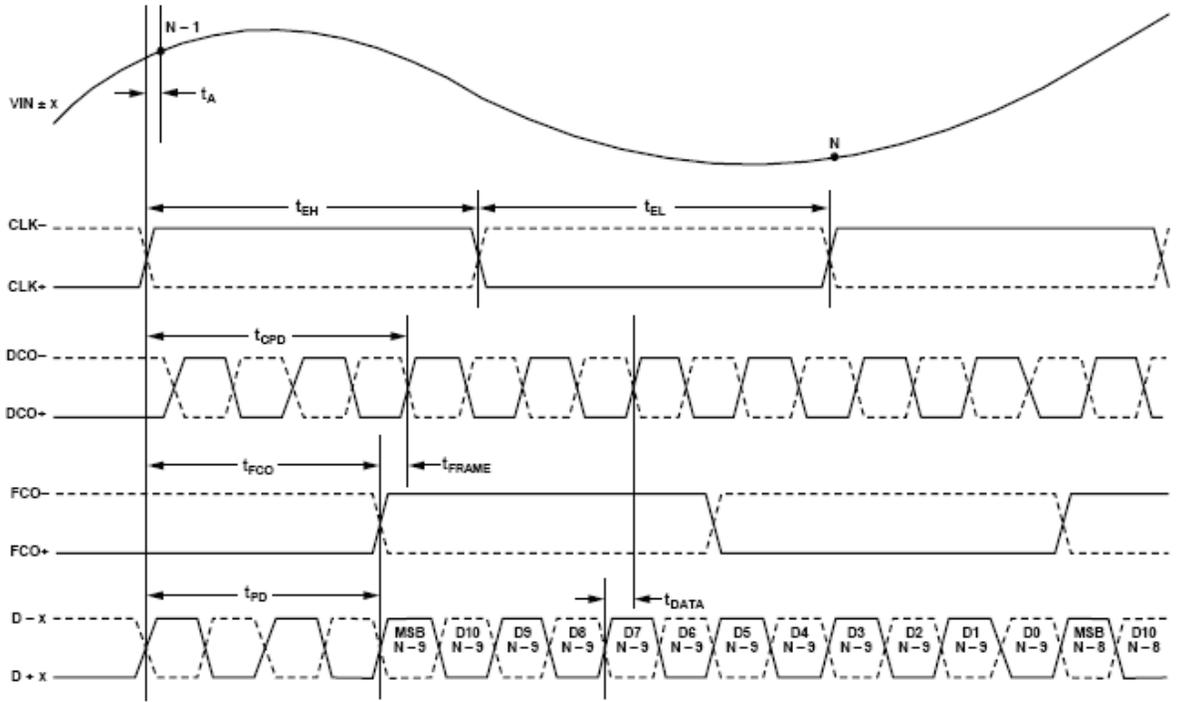


图2.12 位数据串流, MSB 优先 (默认)

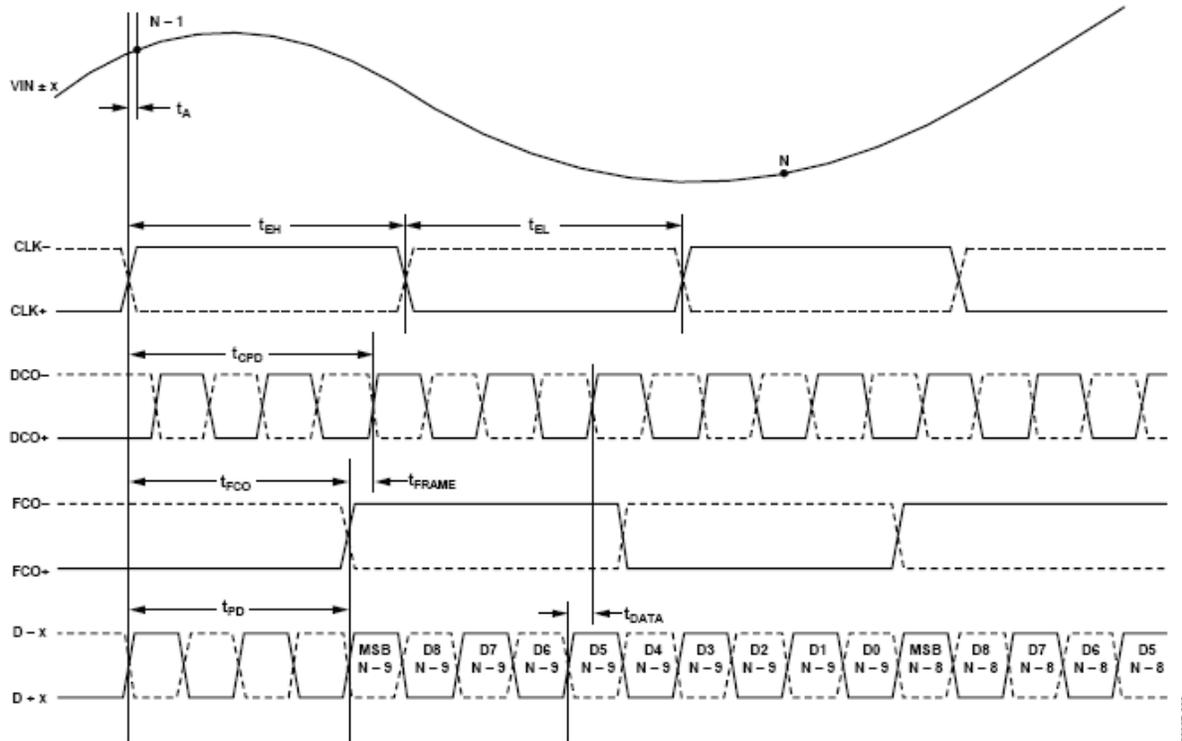


图3.10 位数据串流, MSB 优先

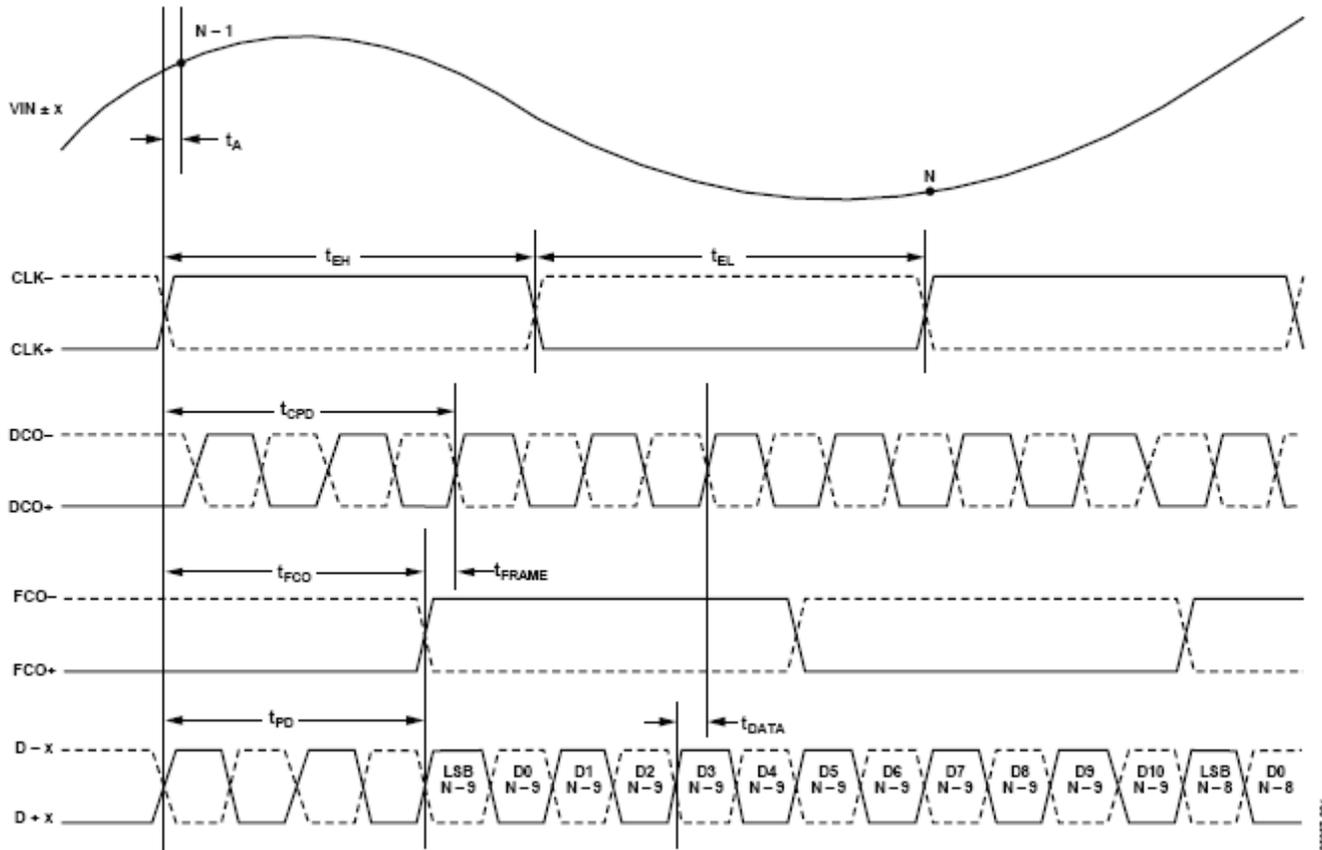


图 4.12 位数据串行流, LSB 优先

绝对最大额定值

表5

参数	相对于	额定值
电气参数		
AVDD	AGND	-0.3 V 至+2.0 V
DRVDD	DRGND	-0.3 V 至+2.0 V
AGND	DRGND	-0.3 V 至+0.3 V
AVDD	DRVDD	-2.0 V 至+2.0 V
数字输出 (D + x、D - x、DCO+、DCO-、FCO+、FCO-)		
CLK+, CLK-	AGND	-0.3 V 至+3.9 V
VIN + x, VIN - x	AGND	-0.3 V 至+2.0 V
SDIO/ODM	AGND	-0.3 V 至+2.0 V
PDWN, SCLK/DTP, CSB	AGND	-0.3 V 至+3.9 V
REFT, REFB, RBIAS	AGND	-0.3 V 至+2.0 V
VREF, SENSE	AGND	-0.3 V 至+2.0 V
环境参数		
工作温度范围 (环境)		-40°C 至+85°C
最高结温		150°C
引脚温度 (焊接, 10 秒)		300°C
存储温度范围 (环境)		-65°C 至+150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最大值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

表 6

气流速度(m/s)	θ_{JA}^1	θ_{JB}	θ_{JC}
0.0	17.7°C/W		
1.0	15.5°C/W	8.7°C/W	0.6°C/W
2.5	13.9°C/W		

¹ θ_{JA} 的测试条件为有实接地层的四层 PCB (仿真)。裸露焊盘焊接到 PCB。

ESD 警告



ESD (静电放电) 敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

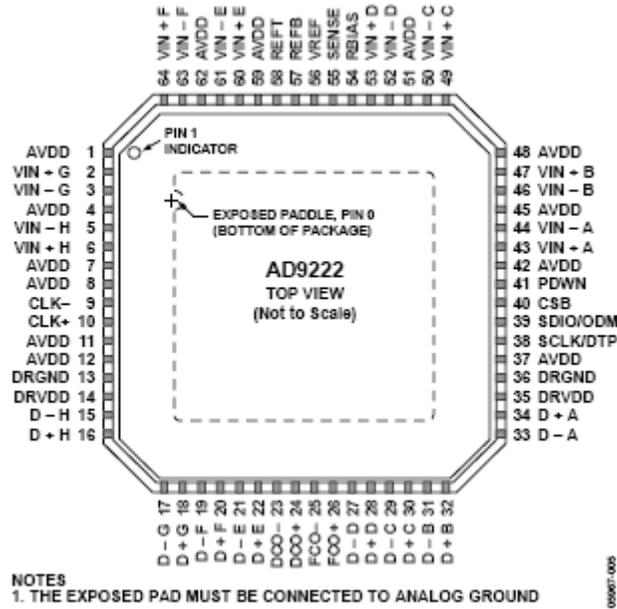


图 5. 64 引脚 LFCSP 的引脚配置，顶视图

表 7. 引脚功能描述

引脚编号	引脚名称	描述
0	AGND	模拟地（裸露焊盘）
1, 4, 7, 8, 11, 12, 37, 42, 45, 48, 51, 59, 62	AVDD	1.8 V 模拟电源
13, 36	DRGND	数字输出驱动器地
14, 35	DRVDD	1.8 V 数字输出驱动器电源
2	VIN + G	ADC G 模拟输入(+)
3	VIN - G	ADC G 模拟输入(-)
5	VIN - H	ADC H 模拟输入(-)
6	VIN + H	ADC H 模拟输入(+)
9	CLK-	输入时钟(-)
10	CLK+	输入时钟(+)
15	D - H	ADC H 数字输出(-)
16	D + H	ADC H 数字输出(+)
17	D - G	ADC G 数字输出(-)
18	D + G	ADC G 数字输出(+)
19	D - F	ADC F 数字输出(-)
20	D + F	ADC F 数字输出(+)
21	D - E	ADC E 数字输出(-)
22	D + E	ADC E 数字输出(+)
23	DCO-	数据时钟数字输出(-)
24	DCO+	数据时钟数字输出(+)
25	FCO-	帧时钟数字输出(-)
26	FCO+	帧时钟数字输出(+)
27	D - D	ADC D 数字输出(-)
28	D + D	ADC D 数字输出(+)
29	D - C	ADC C 数字输出(-)
30	D + C	ADC C 数字输出(+)
31	D - B	ADC B 数字输出(-)
32	D + B	ADC B 数字输出(+)

引脚编号	引脚名称	描述
33	D - A	ADC A 数字输出(-)
34	D + A	ADC A 数字输出(+)
38	SCLK/DTP	串行时钟/数字测试码
39	SDIO/ODM	串行数据输入-输出/输出驱动器模式
40	CSB	片选信号
41	PDWN	关断
43	VIN + A	ADC A 模拟输入(+)
44	VIN - A	ADC A 模拟输入(-)
46	VIN - B	ADC B 模拟输入(-)
47	VIN + B	ADC B 模拟输入(+)
49	VIN + C	ADC C 模拟输入(+)
50	VIN - C	ADC C 模拟输入(-)
52	VIN - D	ADC D 模拟输入(-)
53	VIN + D	ADC D 模拟输入(+)
54	RBIAS	用于设置 ADC 内核偏置电流的外部电阻
55	SENSE	基准电压模式选择
56	VREF	基准电压输入/输出
57	REFB	差分基准电压(-)
58	REFT	差分基准电压(+)
60	VIN + E	ADC E 模拟输入(+)
61	VIN - E	ADC E 模拟输入(-)
63	VIN - F	ADC F 模拟输入(-)
64	VIN + F	ADC F 模拟输入(+)

等效电路

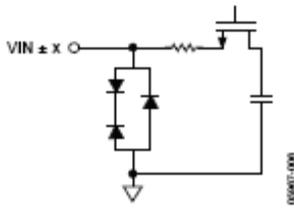


图 6. 等效模拟输入电路

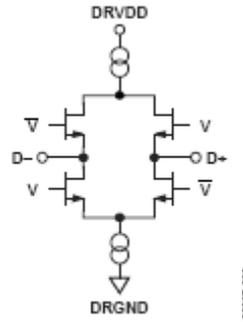


图 9. 等效数字输出电路

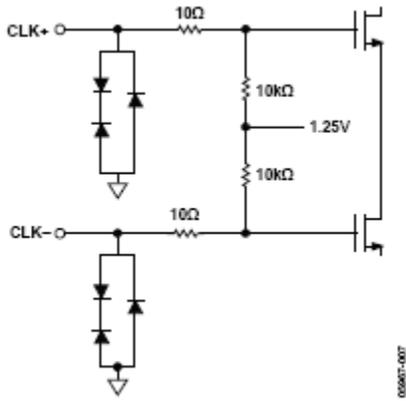


图 7. 等效时钟输入电路

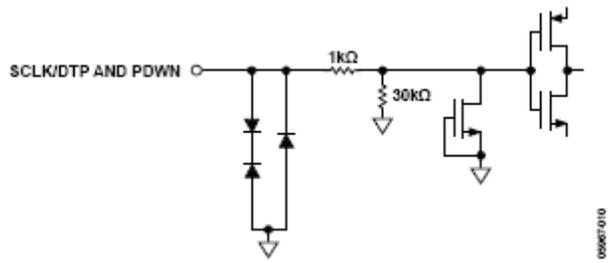


图 10. 等效 SCLK/DTP 和 PDWN 输入电路

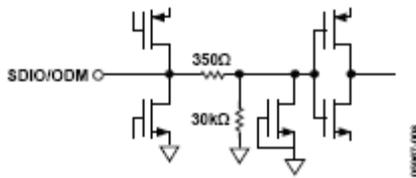


图 8. 等效 SDIO/ODM 输入电路

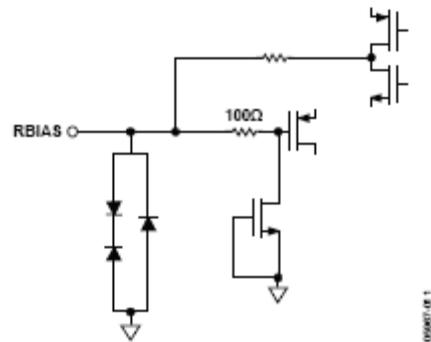


图 11. 等效 RBIAS 电路

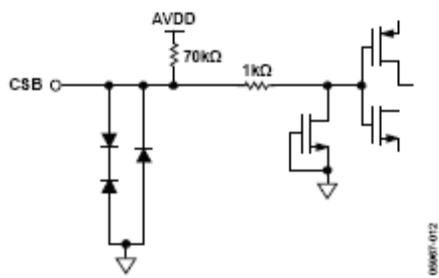


图 12. 等效 CSB 输入电路

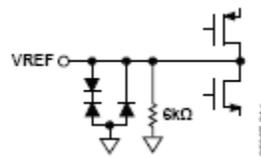


图 14. 等效 VREF 电路

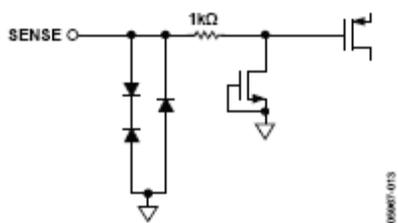


图 13. 等效 SENSE 电路

典型工作特性

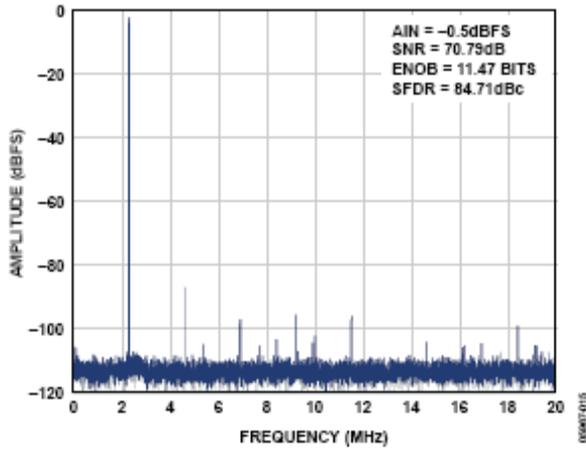


图 15. 单音 32k FFT ($f_{IN} = 2.3 \text{ MHz}$, AD9222-40)

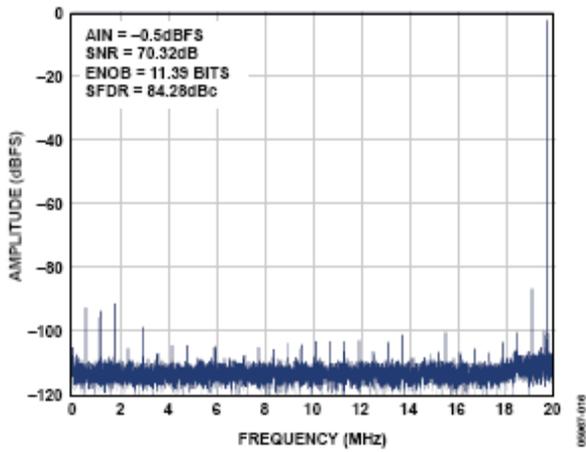


图 16. 单音 32k FFT ($f_{IN} = 19.7 \text{ MHz}$, AD9222-40)

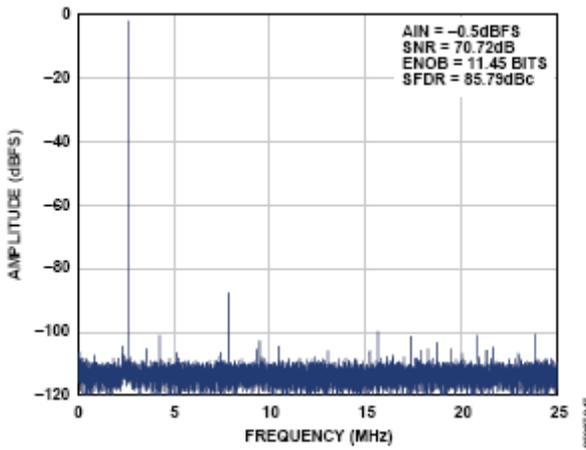


图 17. 单音 32k FFT ($f_{IN} = 2.3 \text{ MHz}$, AD9222-50)

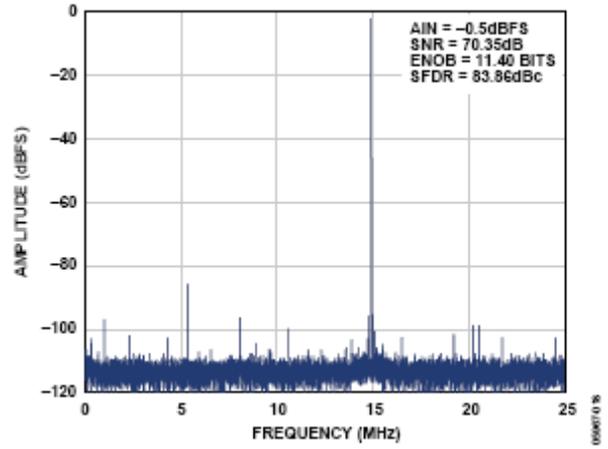


图 18. 单音 32k FFT ($f_{IN} = 35 \text{ MHz}$, AD9222-50)

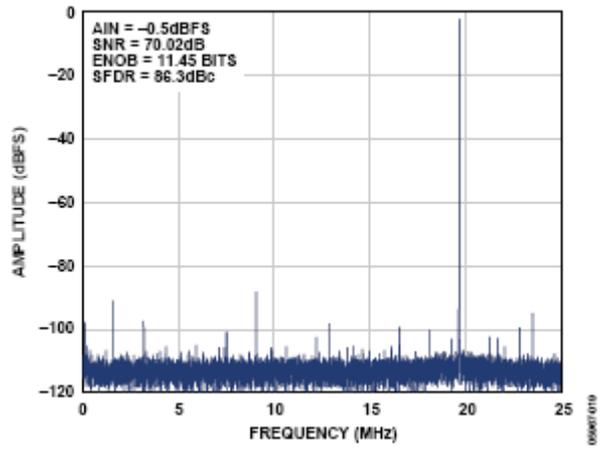


图 19. 单音 32k FFT ($f_{IN} = 70 \text{ MHz}$, AD9222-50)

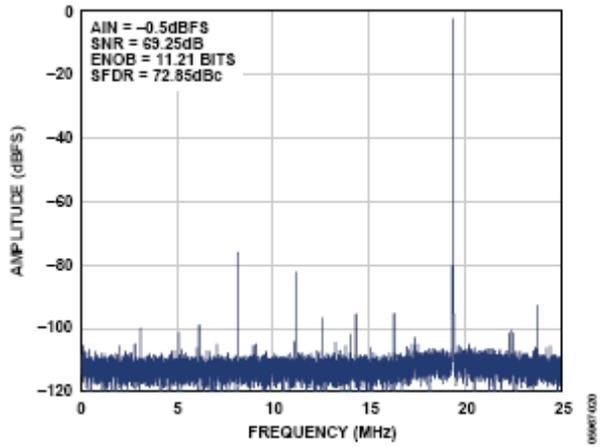


图 20. 单音 32k FFT ($f_{IN} = 120 \text{ MHz}$, AD9222-50)

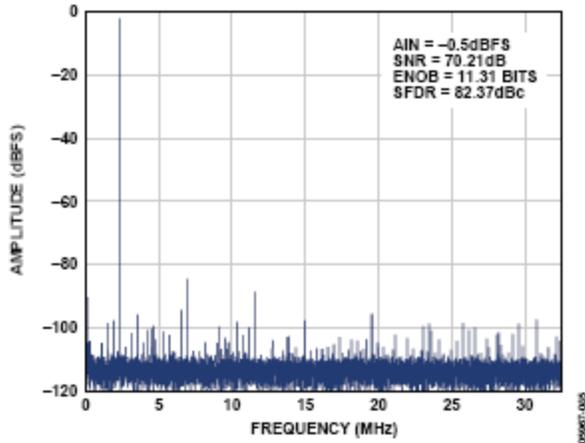


图21. 单音 32k FFT ($f_{IN} = 2.3 \text{ MHz}$, AD9222-65)

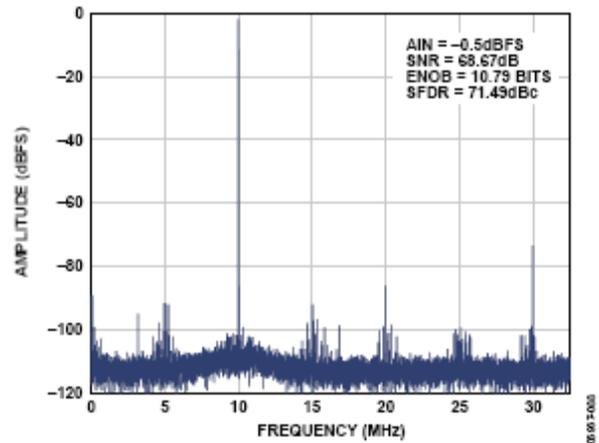


图24. 单音 32k FFT ($f_{IN} = 120 \text{ MHz}$, AD9222-65)

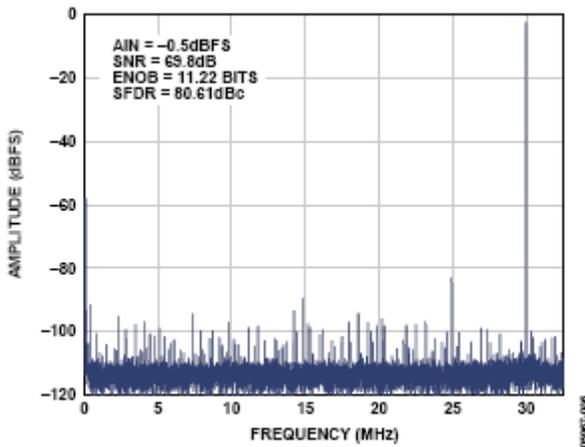


图22. 单音 32k FFT ($f_{IN} = 35 \text{ MHz}$, AD9222-65)

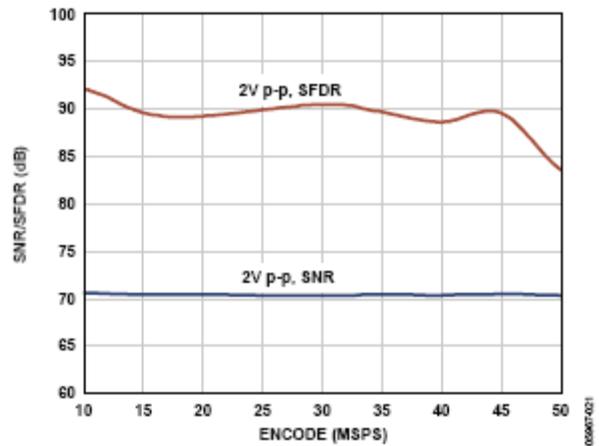


图25. SNR/SFDR 与 f_{SAMPLE} 的关系 ($f_{IN} = 2.61 \text{ MHz}$, AD9222-50)

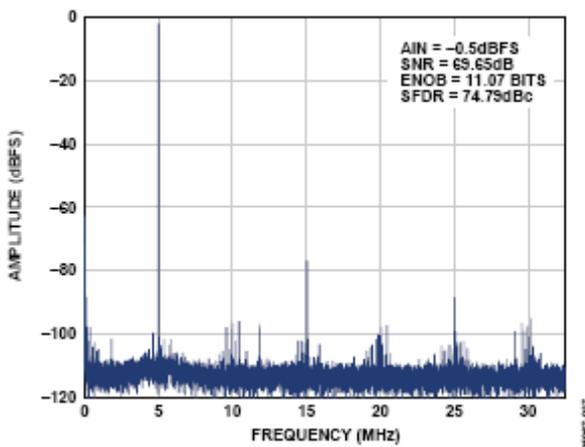


图23. 单音 32k FFT ($f_{IN} = 70 \text{ MHz}$, AD9222-65)

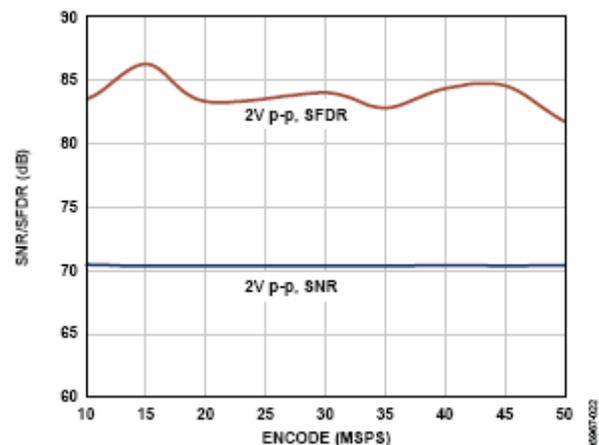


图26. SNR/SFDR 与 f_{SAMPLE} 的关系 ($f_{IN} = 20.1 \text{ MHz}$, AD9222-50)

AD9222

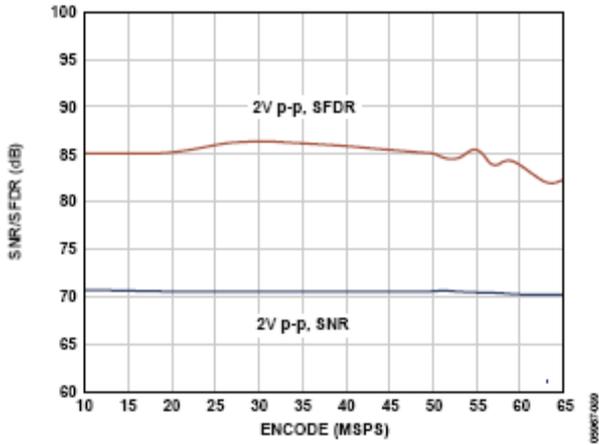


图 27. SNR/SFDR 与 f_{SAMPLE} 的关系 ($f_{\text{IN}} = 2.3 \text{ MHz}$, AD9222-65)

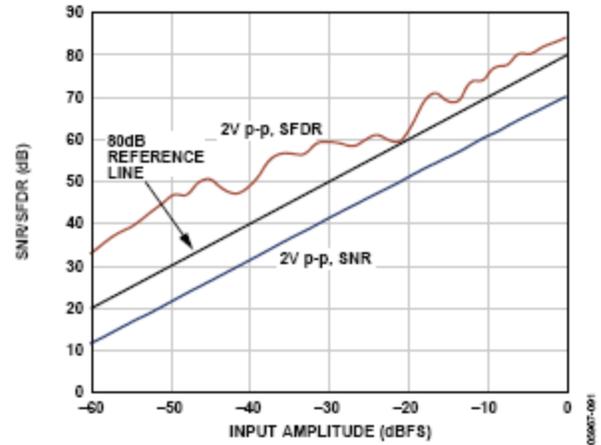


图 30. SNR/SFDR 与模拟输入电平的关系 ($f_{\text{IN}} = 10.3 \text{ MHz}$, AD9222-65)

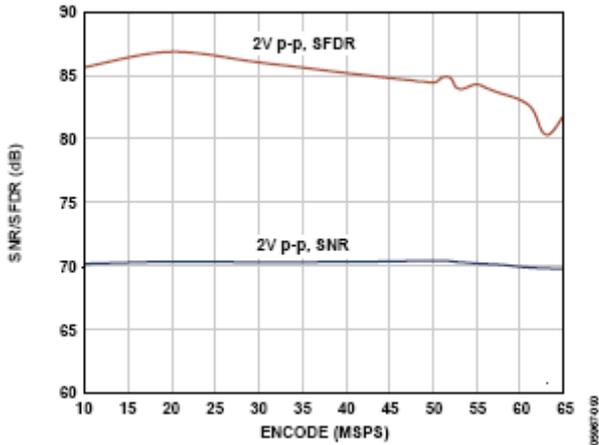


图 28. SNR/SFDR 与 f_{SAMPLE} 的关系 ($f_{\text{IN}} = 19.7 \text{ MHz}$, AD9222-65)

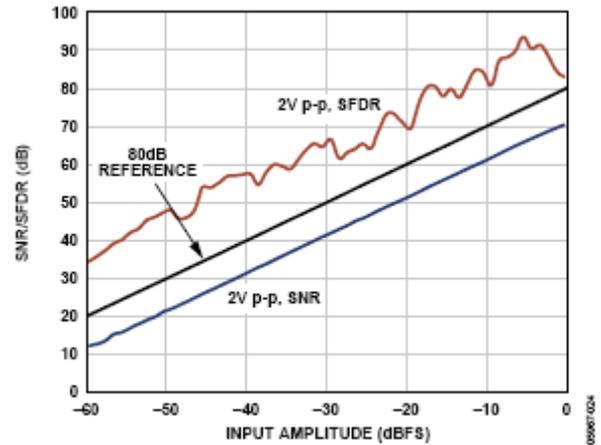


图 31. SNR/SFDR 与模拟输入电平的关系 ($f_{\text{IN}} = 35 \text{ MHz}$, AD9222-50)

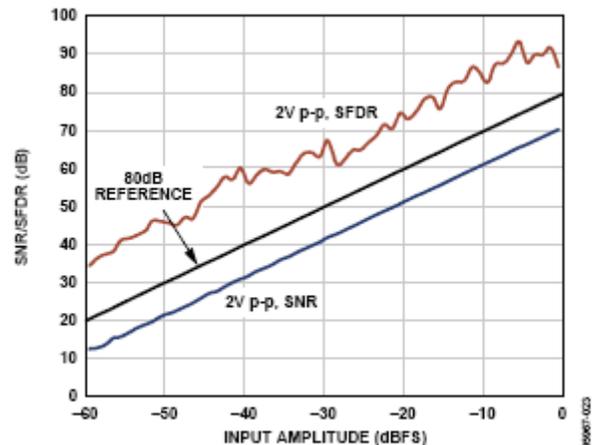


图 29. SNR/SFDR 与模拟输入电平的关系 ($f_{\text{IN}} = 10.3 \text{ MHz}$, AD9222-50)

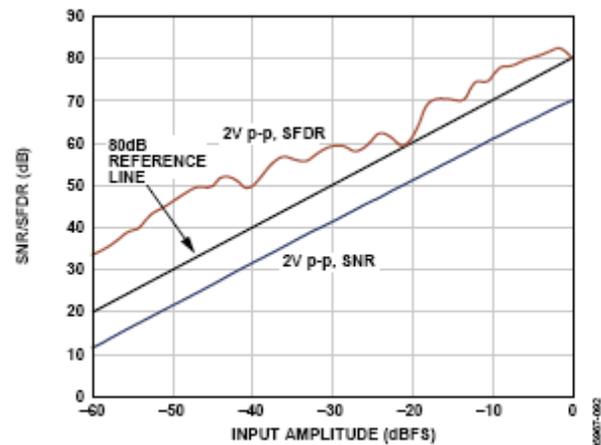


图 32. SNR/SFDR 与模拟输入电平的关系 ($f_{\text{IN}} = 35 \text{ MHz}$, AD9222-65)

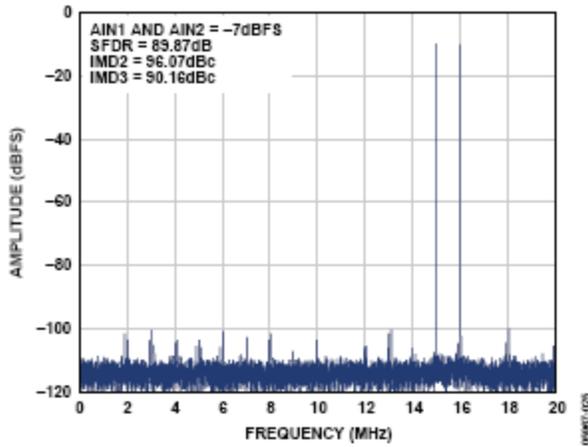


图 33. 双音 32k FFT ($f_{IN1} = 15 \text{ MHz}$, $f_{IN2} = 16 \text{ MHz}$, AD9222-40)

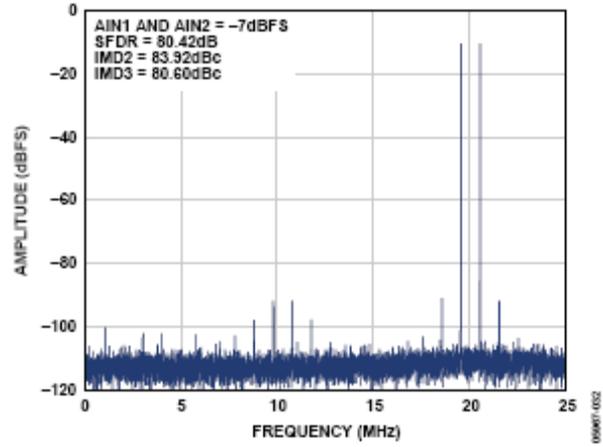


图 36. 双音 32k FFT ($f_{IN1} = 70 \text{ MHz}$, $f_{IN2} = 71 \text{ MHz}$, AD9222-50)

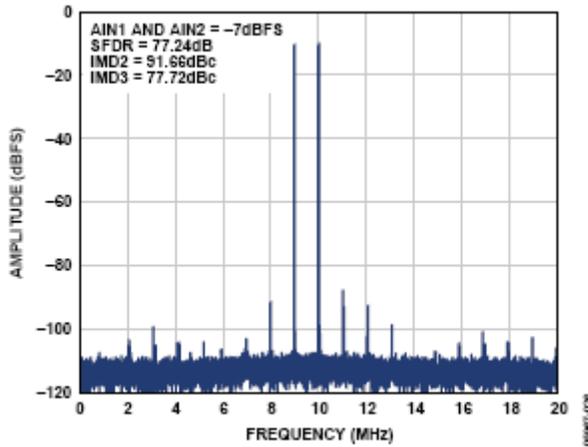


图 34. 双音 32k FFT ($f_{IN1} = 70 \text{ MHz}$, $f_{IN2} = 71 \text{ MHz}$, AD9222-40)

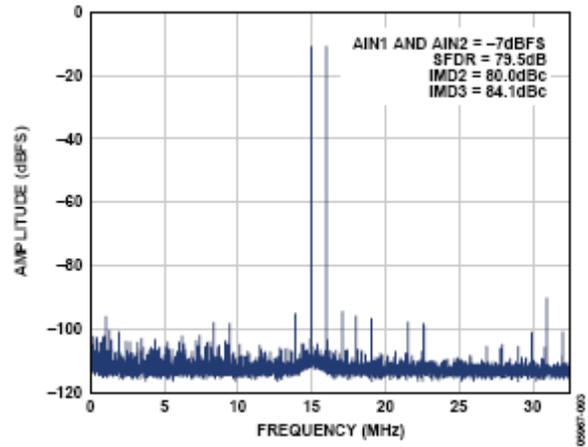


图 37. 双音 32k FFT ($f_{IN1} = 15 \text{ MHz}$, $f_{IN2} = 16 \text{ MHz}$, AD9222-65)

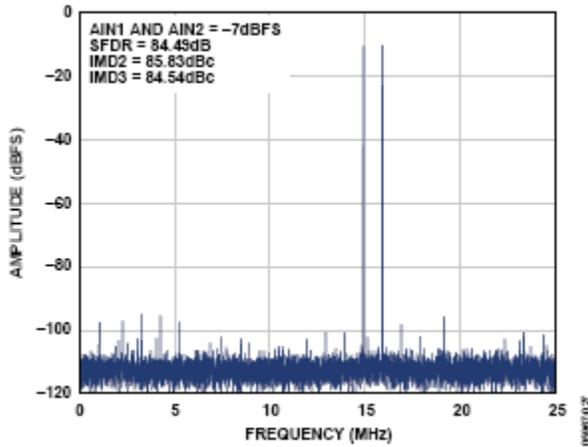


图 35. 双音 32k FFT ($f_{IN1} = 15 \text{ MHz}$, $f_{IN2} = 16 \text{ MHz}$, AD9222-50)

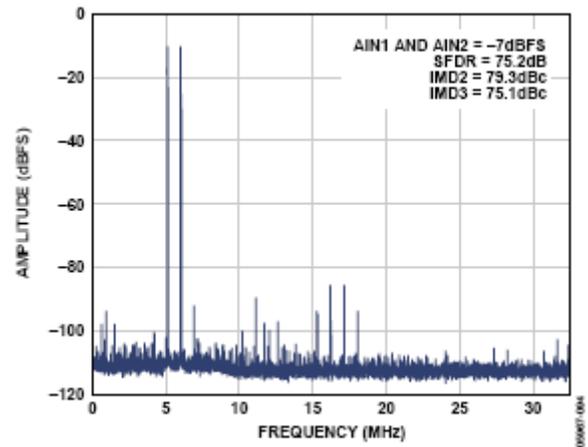


图 38. 双音 32k FFT ($f_{IN1} = 70 \text{ MHz}$, $f_{IN2} = 71 \text{ MHz}$, AD9222-65)

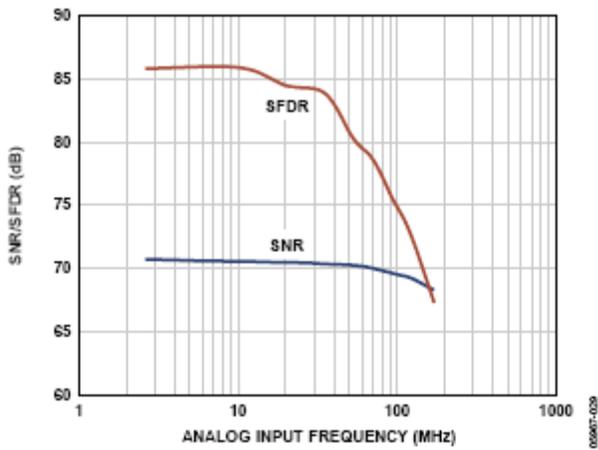


图 39. SNR/SFDR 与 f_{IN} 的关系(AD9222-50)

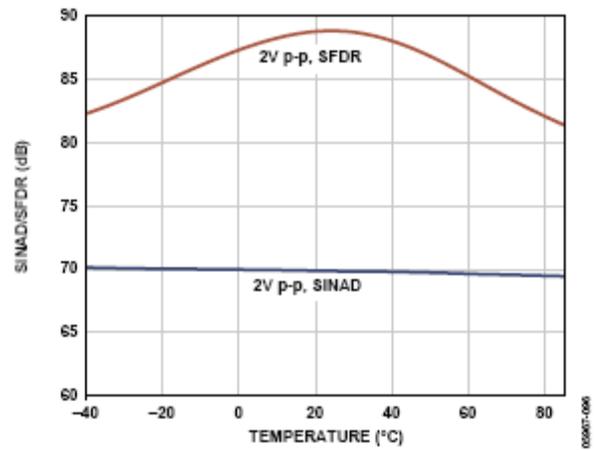


图 42. SINAD/SFDR 与温度的关系 ($f_{IN} = 2.3$ MHz, AD9222-65)

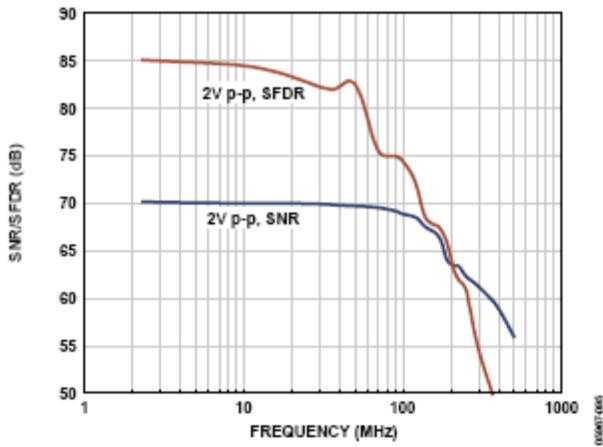


图 40. SNR/SFDR 与 f_{IN} 的关系(AD9222-65)

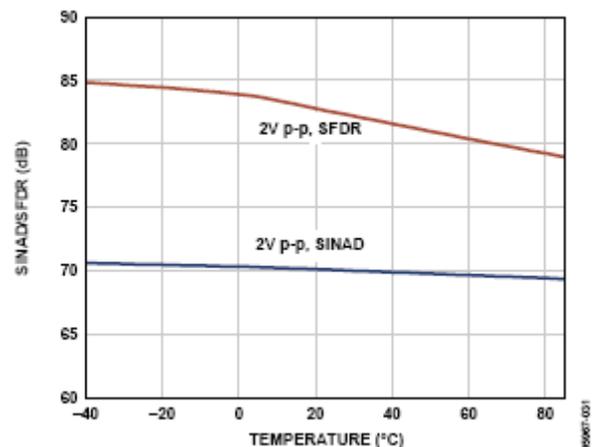


图 43. SINAD/SFDR 与温度的关系 ($f_{IN} = 20.1$ MHz, AD9222-50)

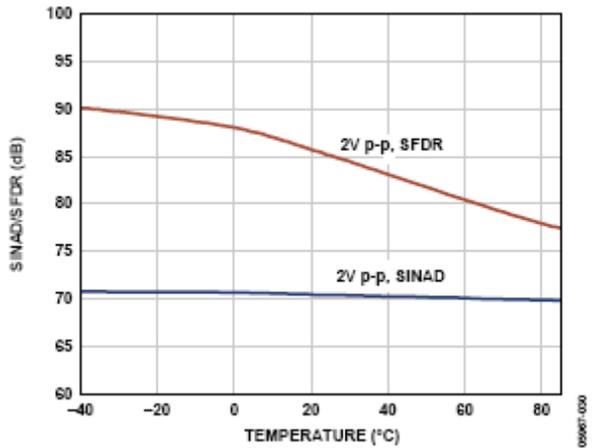


图 41. SINAD/SFDR 与温度的关系 ($f_{IN} = 2.61$ MHz, AD9222-50)

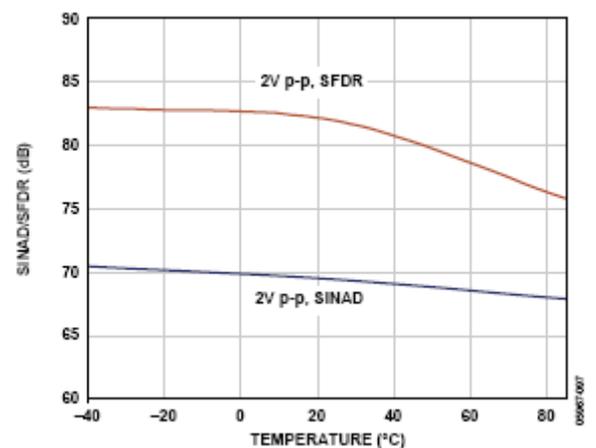


图 44. SINAD/SFDR 与温度的关系 ($f_{IN} = 19.7$ MHz, AD9222-65)

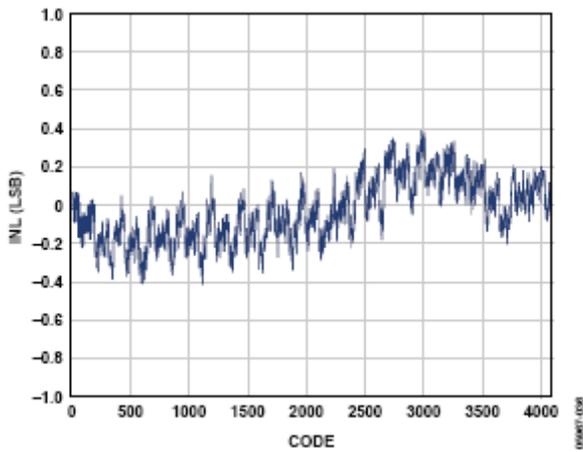


图 45. INL ($f_{IN} = 2.3 \text{ MHz}$, AD9222-50)

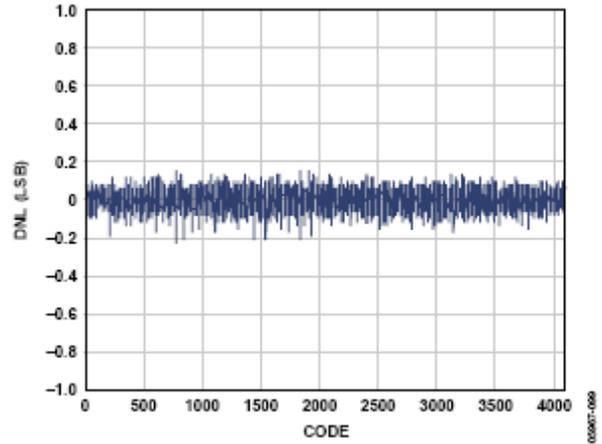


图 48. DNL ($f_{IN} = 35 \text{ MHz}$, AD9222-65)

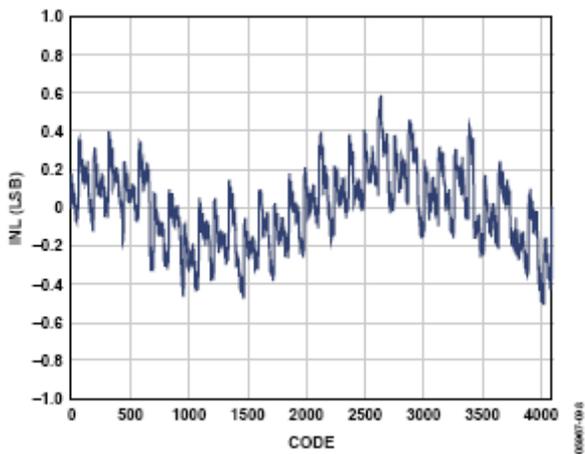


图 46. INL ($f_{IN} = 35 \text{ MHz}$, AD9222-65)

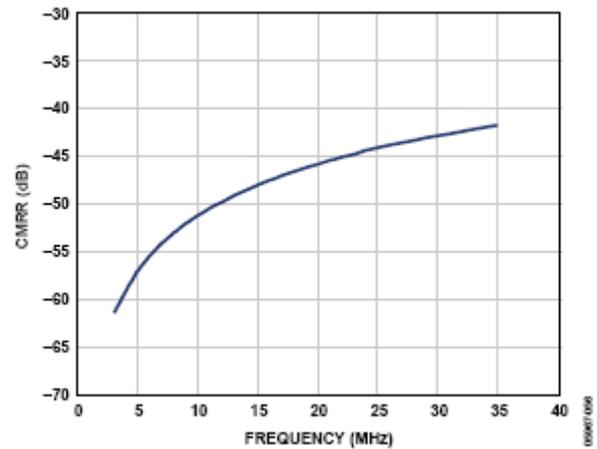


图 49. CMRR 与频率的关系(AD9222-50)

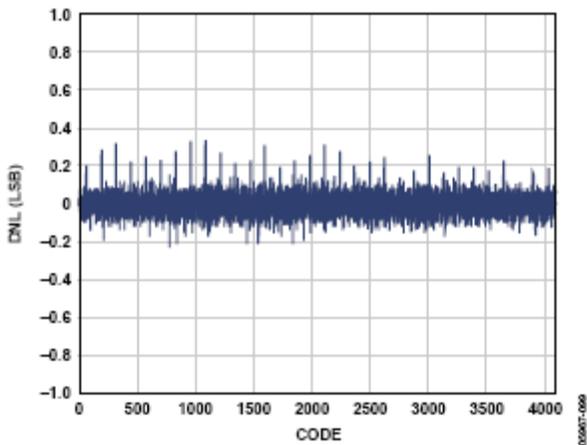


图 47. DNL ($f_{IN} = 2.3 \text{ MHz}$, AD9222-50)

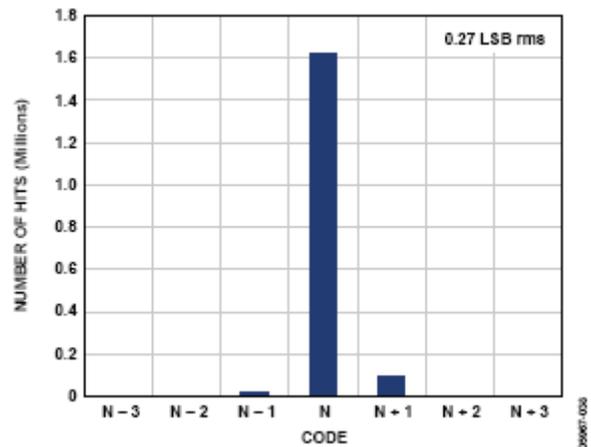


图 50. 等效输入噪声直方图(AD9222-50)

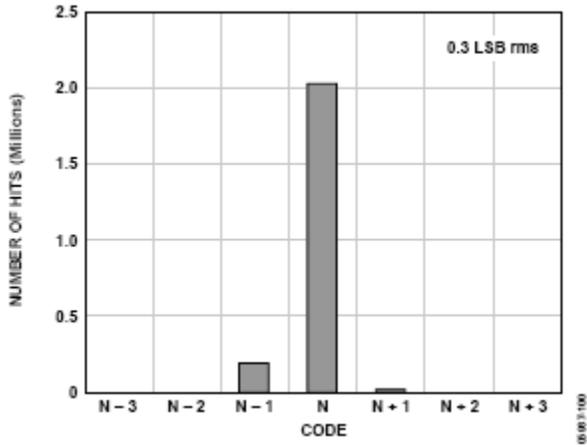


图 51. 等效输入噪声直方图(AD9222-65)

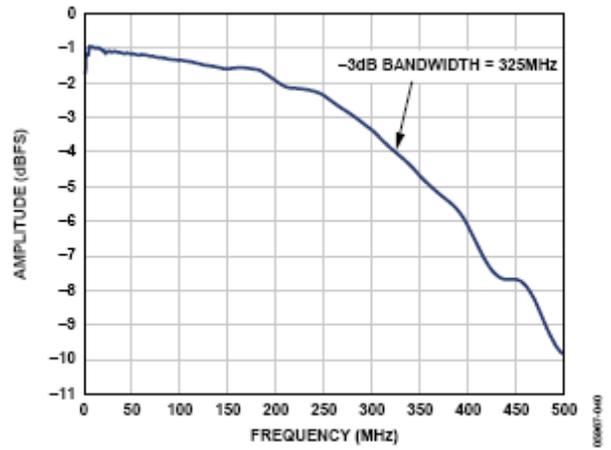


图 53. 全功率带宽与频率的关系(AD9222-50)

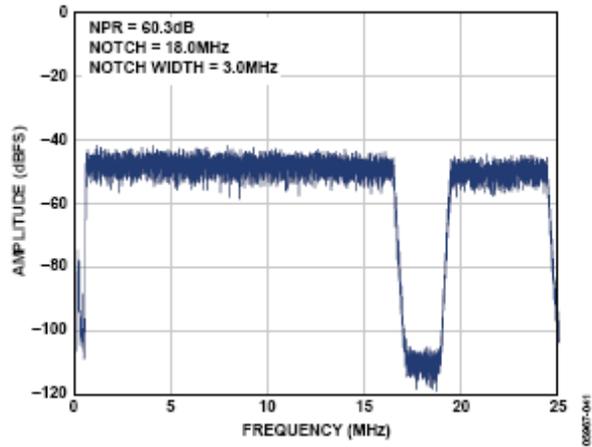


图 52. 噪声功率比 (NPR, AD9222-50)

工作原理

AD9222 结构由一个流水线型 ADC 组成，分为三个部分：一个 4 位第一级，然后是 8 个 1.5 位级，最后是一个 3 位 Flash。每一级都有足够的重叠，以校正前一级的 Flash 误差。各级的量化输出组合在一起，在数字校正逻辑中最终形成一个 12 位转换结果。流水线结构允许第一级处理新的输入采样点，而其它级继续处理之前的采样点。采样在时钟的上升沿进行。

除最后一级以外，流水线的每一级都由一个低分辨率 Flash 型 ADC、与之相连的一个开关电容 DAC 和一个级间余量放大器（例如乘法数模转换器 MDAC）组成。余量放大器用于放大重构 DAC 输出与 Flash 型输入之间的差，用于流水线的下一级。为了便于实现数字校正 Flash 误差，在每一级设定了 1 位的冗余量。最后一级仅由一个 Flash 型 ADC 组成。

输出级模块能够实现数据对准、错误校正，且能将数据传输到输出缓冲器。然后对数据进行串行化，并使之与帧和数据时钟对齐。

模拟输入考虑

AD9222 的模拟输入端是一个差分开关电容电路，适合处理差分输入信号。该电路支持宽共模范围，同时能保持出色的性能。当输入共模电压为中间电源电压时，信号相关误差最低，并且能实现最佳性能。

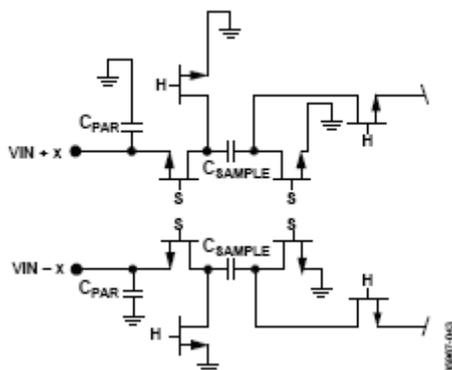


图 54. 开关电容输入电路

输入电路根据时钟信号，在采样模式和保持模式之间切换（见图 54）。当输入电路切换到采样模式时，信号源必须能够对采样电容充电，并且在半个时钟周期内完成建立。每个输入端都串联一个小电阻，可以降低从驱动源输出级注入的峰值瞬态电流。此外，输入端的每一侧可以使用低 Q 电感或铁氧体磁珠，以减小模拟输入端的高差分电容，从而实现 ADC 的最大带宽。在高中频 (IF) 下驱动转换器前端时，必须使用低 Q 电感或铁氧体磁珠。输入端可以使用一个并联电容或两个单端电容，以提供匹配的无源网络。这最终会在输入端形成一个低通滤波器，用来限制不想要的宽带噪声。欲了解更多信息，请参阅应用笔记 AN-742、AN-827 以及 *Analog Dialogue* 的文章“用于宽带模数转换器的变压器耦合前端”（第 39 卷，2005 年 4 月）。通常，模数转换的精度取决于应用。

AD9222 的模拟输入端无内部直流偏置。因此，在交流耦合应用中，用户必须提供外部偏置。为能够获得最佳性能，建议用户对器件进行设置，使得 $V_{CM} = AVDD/2$ ；但器件在更宽的范围都能获得合理的性能，如图 55 和图 57 所示。

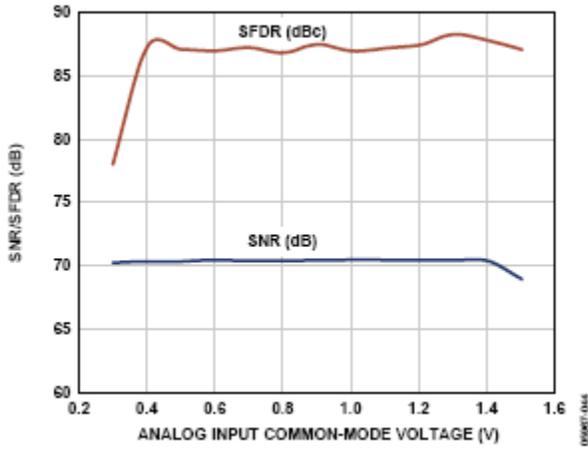


图 55. SNR/SFDR 与共模电压的关系
($f_{IN} = 2.3 \text{ MHz}$, AD9222-50)

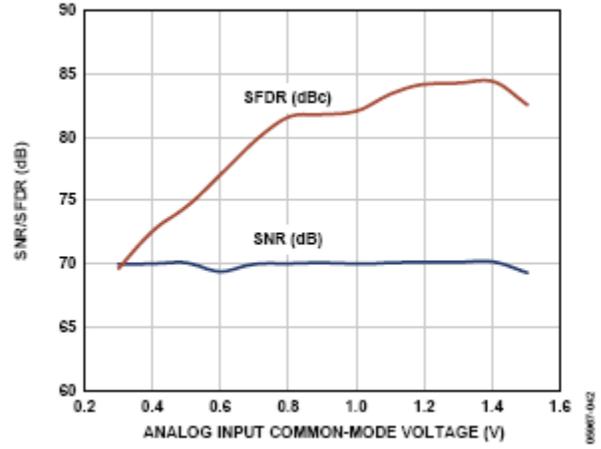


图 57. SNR/SFDR 与共模电压的关系
($f_{IN} = 35 \text{ MHz}$, AD9222-50)

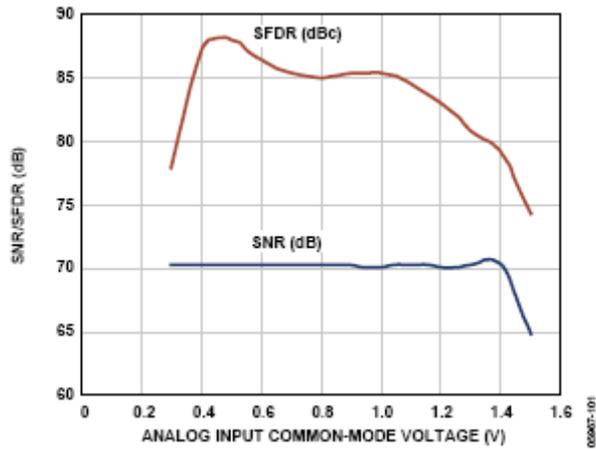


图 56. SNR/SFDR 与共模电压的关系
($f_{IN} = 2.3 \text{ MHz}$, AD9222-65)

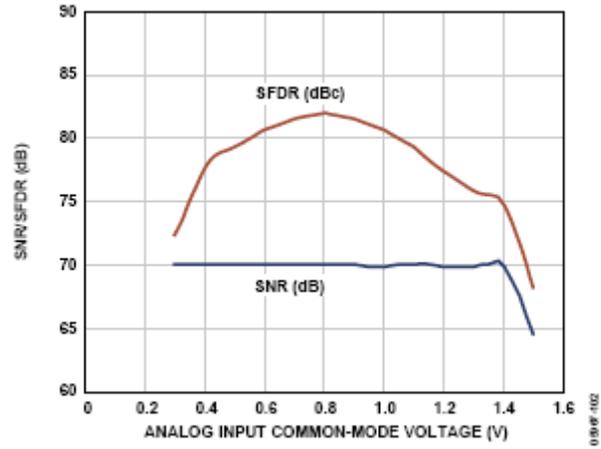


图 58. SNR/SFDR 与共模电压的关系
($f_{IN} = 35 \text{ MHz}$, AD9222-65)

为得到最佳动态性能，必须保证驱动 VIN+ 的源阻抗与驱动 VIN- 的源阻抗相匹配，从而保证共模建立误差是对称的。这些误差会被 ADC 的共模抑制削弱。内部基准电压缓冲器用于形成正负基准电压 REFT 和 REFB，进而决定 ADC 内核的输入范围。基准电压缓冲器的输出共模设置为中间电源电压，REFT 和 REFB 电压以及范围定义为：

$$REFT = 1/2 (AVDD + VREF)$$

$$REFB = 1/2 (AVDD - VREF)$$

$$Span = 2 \times (REFT - REFB) = 2 \times VREF$$

从这些公式可以看出，REFT 和 REFB 电压关于中间电源电压对称，而根据定义，输入范围为 VREF 电压值的两倍。

在差分配置中，将 ADC 设置为最大范围可以实现最高的 SNR 性能。对于 AD9222，最大输入范围为 2 V 峰峰值。

差分输入配置

有多种有源或无源方法可以驱动 AD9222，不过，通过差分方式驱动模拟输入可实现最佳性能。例如，在基带应用中，使用 AD8334 差分驱动器驱动 AD9222 能够为 ADC (见图 62) 提供出色的性能和灵活的接口。这种配置常用于医疗超声系统。

在 SNR 为关键参数的应用中，因为大部分放大器的噪声性能不足以实现 AD9222 的真正性能，所以输入配置中建议采用差分变压器耦合 (见图 59 和图 60)。

无论何种配置，并联电容值 C 均取决于输入频率，并且可能需要降低电容量或去掉该并联电容。

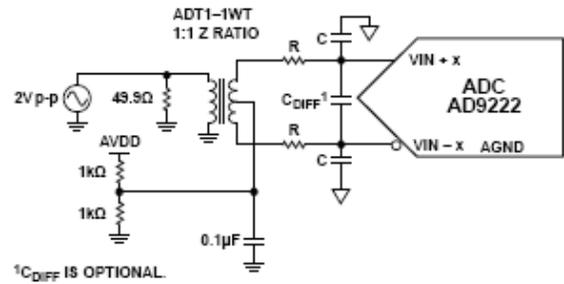


图 59. 针对基带应用的差分变压器耦合配置

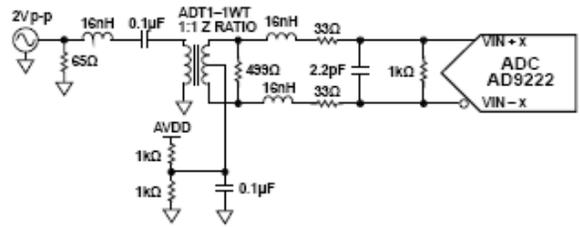


图 60. 针对中频应用的差分变压器耦合配置

单端输入配置

单端输入在对成本敏感的应用中可以满足性能要求。在此配置中，由于输入共模摆幅较大，因此会降低无杂散动态范围 (SFDR) 和失真性能。如果应用要求单端输入配置，为了实现最佳性能，请确保每个输入端的信号源阻抗匹配良好。对 ADC 的 VIN + x 引脚仍然可以施加 2 V 峰峰值的满量程输入，VIN - x 引脚则端接参考。图 61 详细显示了典型的单端输入配置。

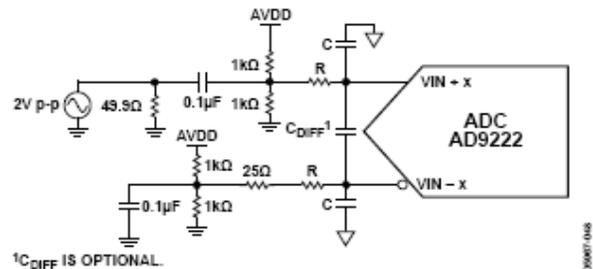


图 61. 单端输入配置

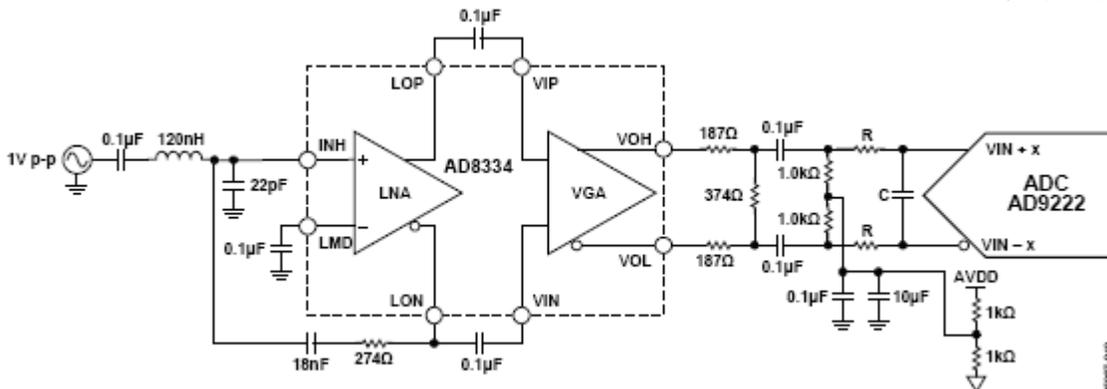


图 62. 利用 AD8334 进行差分输入配置

AD9222

时钟输入考虑

为了充分发挥芯片的性能，应利用一个差分信号作为 AD9222 采样时钟输入端 (CLK+和 CLK-) 的时钟信号。通常，应使用一个变压器或两个电容器将该信号交流耦合到 CLK+引脚和 CLK-引脚内。CLK+和 CLK-引脚有内部偏置，无需其它偏置。

图 63 显示了一种为 AD9222 提供时钟信号的首选方法。利用射频变压器，可将低抖动时钟源的单端信号转换成差分信号。跨接在次级变压器上的背对背肖特基二极管可以将输入到 AD9222 中的时钟幅度限制为约 0.8 V 峰峰值差分信号。这样，既可以防止时钟的大电压摆幅馈通至 AD9222 的其它部分，还可以保留信号的快速上升和下降时间，这一点对低抖动性能来说非常重要。

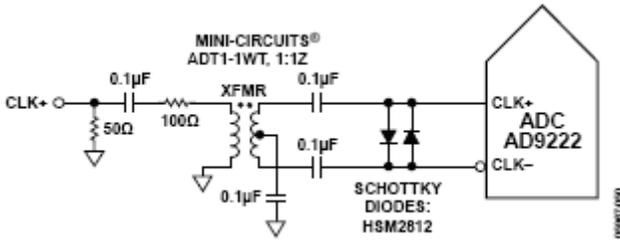


图 63. 变压器耦合差分时钟

另一种方法是对差分 PECL 信号进行交流耦合，并传输至采样时钟输入引脚 (如图 64 所示)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515 系列时钟驱动器具有出色的抖动性能。

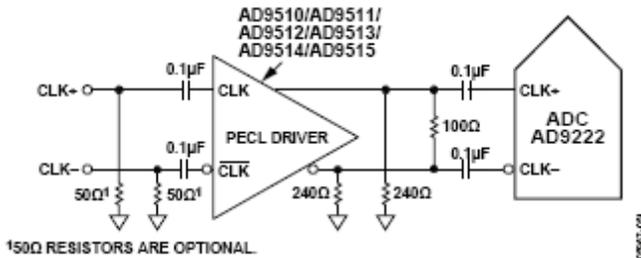


图 64. 差分 PECL 采样时钟

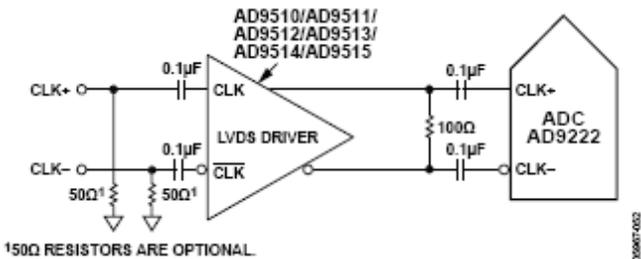


图 65. 差分 LVDS 采样时钟

在某些应用中，可以利用单端 CMOS 信号来驱动采样时钟输入。在此类应用中，CLK+引脚直接由 CMOS 门电路驱动，CLK-引脚则通过与 39 kΩ 电阻并联的 0.1 µF 电容旁路接地 (见图 66)。虽然 CLK+输入电路电源为 AVDD (1.8 V)，但该输入电路可支持高达 3.3 V 的输入电压，因此，驱动逻辑的电压选择非常灵活。

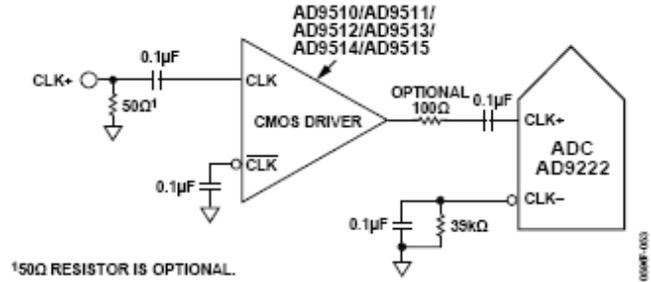


图 66. 单端 1.8 V CMOS 采样时钟

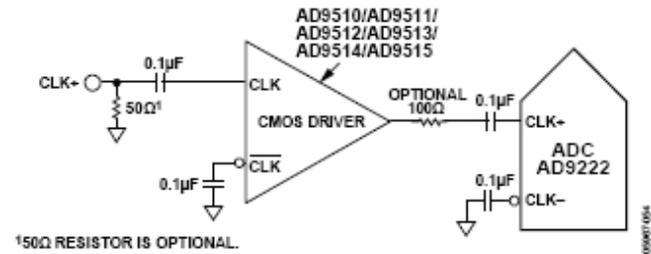


图 67. 单端 3.3 V CMOS 采样时钟

时钟占空比考虑

典型的高速 ADC 利用两个时钟沿产生不同的内部定时信号，因此，这些 ADC 可能对时钟占空比很敏感。通常，为保持 ADC 的动态性能，时钟占空比容差应为 5%。AD9222 内置一个占空比稳定器 (DCS)，可对非采样边沿进行重新定时，并提供标称占空比为 50% 的内部时钟信号。因此，时钟输入占空比范围非常广，且不会影响 AD9222 的性能。当 DCS 处于开启状态时，在很宽的占空比范围内，噪声和失真性能几乎是平坦的。但是，有些应用可能要求关闭 DCS 功能。如果是这样，则在这种模式下工作时，应注意动态范围性能可能会受影响。有关使用此功能的更多信息见存储器映射部分。

占空比稳定器利用延迟锁定环 (DLL) 创建非采样边沿。因此，一旦采样频率发生变化，DLL 就需要大约 8 个时钟周期来获取并锁定新的速率。

时钟抖动考虑

高速、高分辨率 ADC 对时钟输入信号的质量非常敏感。在给定的输入频率(f_A)下,由于孔径抖动(t_j)造成的信噪比(SNR)下降计算公式如下:

$$SNR \text{ 下降幅度} = 20 \times \log_{10}(1/2 \times \pi \times f_A \times t_j)$$

公式中,均方根孔径抖动表示所有抖动源(包括时钟输入信号、模拟输入信号和 ADC 孔径抖动规格)的均方根。中频欠采样应用对抖动尤其敏感(如图 68 所示)。

当孔径抖动可能影响 AD9222 的动态范围时,应将时钟输入信号视为模拟信号。时钟驱动器电源应与 ADC 输出驱动器电源分离,以免在时钟信号内混入数字噪声。低抖动的晶体控制振荡器可提供最佳时钟源。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法),则需要在最后对原始时钟进行重定时。

如需更深入了解与 ADC 相关的抖动性能信息,请参阅应用笔记 AN-501 和 AN-756。

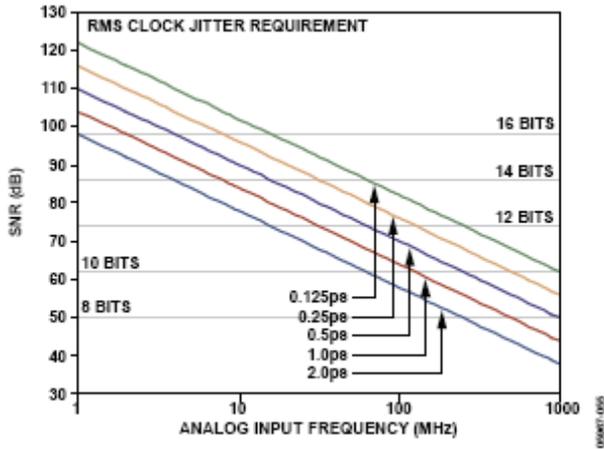


图 68. 理想信噪比与输入频率和抖动的关系

功耗和省电模式

如图 69 所示,AD9222 的功耗与其采样速率成比例关系。数字功耗变化不大,因为它主要由 DRVDD 电源和 LVDS 输出驱动器的偏置电流决定。

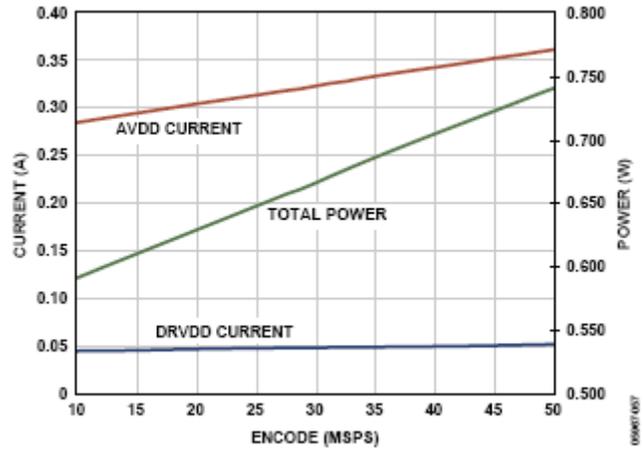


图 69. 电源电流与 f_{SAMPLE} 的关系 ($f_{IN} = 10.3 \text{ MHz}$, AD9222-50)

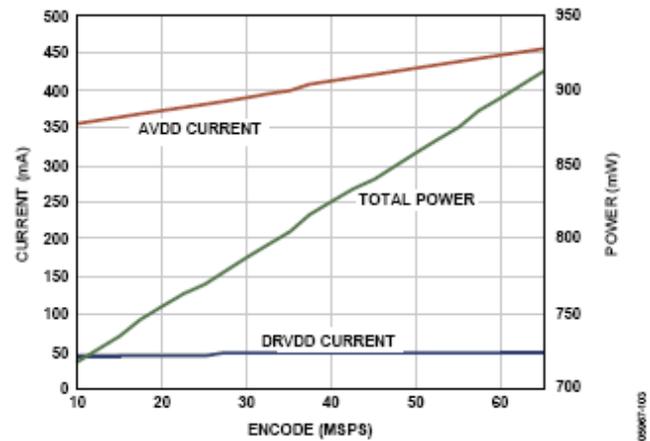


图 70. 电源电流与 f_{SAMPLE} 的关系 ($f_{IN} = 10.3 \text{ MHz}$, AD9222-65)

将 PDWN 引脚置位高电平, 可使 AD9222 进入省电模式。在这种状态下, ADC 的典型功耗为 11 mW。在省电模式下, LVDS 输出驱动器处于高阻抗状态。将 PDWN 引脚拉低时, AD9222 返回正常工作模式。此引脚兼容 1.8 V 和 3.3 V。

在省电模式下, 通过关闭基准电压、基准电压缓冲器、PLL 和偏置网络, 可实现低功耗。进入省电模式时, REFT 和 REFB 上的去耦电容放电; 返回正常工作模式时, 去耦电容必须重新充电。因此, 唤醒时间与处于省电模式的时间有关; 处于省电模式的时间越短, 则相应的唤醒时间越短。REFT 和 REFB 上采用推荐的 0.1 μ F 和 4.7 μ F 去耦电容时, 约需要 1 秒才能使基准电压缓冲器去耦电容完全放电, 并需要约 375 μ s 才能全面恢复正常工作。

使用 SPI 时, 可以使用多种其它省电选项。用户可以分别关断各通道, 或者将整个器件置于待机模式。如需较短的唤醒时间 (约 600 ns), 可以使用后一选项, 该模式下内部 PLL 处于通电状态。有关使用这些功能的更多信息见存储器映射部分。

数字输出和时序

采用默认设置上电时, AD9222 差分输出符合 ANSI-644 LVDS 标准。通过 SDIO/ODM 引脚或 SPI 接口, 可以将它更改为低功耗、减少信号选项 (类似于 IEEE 1596.3 标准)。这种 LVDS 标准可以将器件的总功耗进一步降低约 36 mW。更多信息参见 SDIO/ODM 引脚部分或存储器映射部分中的表 16。LVDS 驱动器电流来自芯片, 并将各输出端的输出电流设置为标称值 3.5 mA。LVDS 接收器输入端有一个 100 Ω 差分端接电阻, 因此接收器摆幅标称值为 350 mV。

AD9222 LVDS 输出便于与定制 ASIC 和 FPGA 中的 LVDS 接收器接口, 从而在高噪声环境中实现出色的开关性能。推荐使用单一点到点网络拓扑结构, 并将 100 Ω 端接电阻尽可能靠近接收器放置。如果没有远端接收器端接电阻, 或者差分走线布线不佳, 可能会导致时序错误。为避免产生时序错误, 建议走线长度不要超过 24 英寸, 差分输出走线应尽可能彼

此靠近且长度相等。图 71 显示了一个走线长度和位置适当的 FCO 和数据流示例。

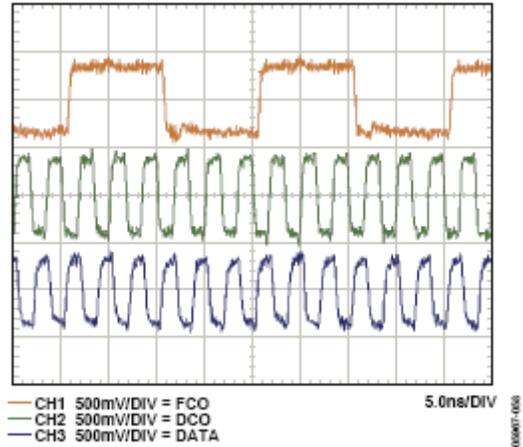


图 71. LVDS 输出时序示例 (默认 ANSI-644 模式下, AD9222-50)

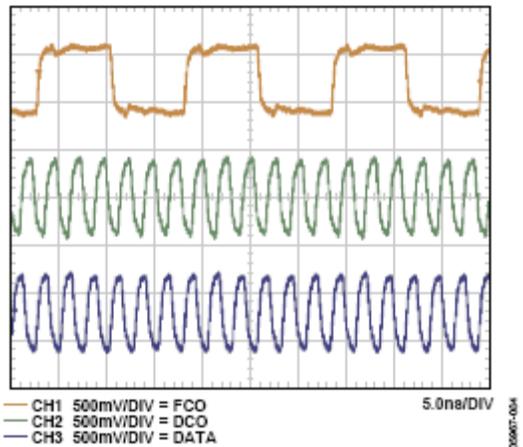


图 72. LVDS 输出时序示例 (默认 ANSI-644 模式下, AD9222-65)

图 73 和图 74 分别显示使用 ANSI-644 标准（默认）数据眼的 LVDS 输出示例和时间间隔误差(TIE)抖动直方图，其中走线长度小于 24 英寸，并采用标准 FR-4 材料。图 75 和图 76 分别显示走线长度超过 24 英寸、采用标准 FR-4 材料的示例。请注意，从 TIE 抖动直方图可看出，数据眼开口随着边沿偏离理想位置而减小。当走线长度超过 24 英寸时，用户必须确定波形是否满足设计的时序预算要求。附加 SPI 选项允许用户进一步提高所有 8 路输出的内部端接电阻（提高电流），从而驱动更长的走线（见图 77 和图 78）。虽然这会在数据边沿上产生更陡的上升和下降时间，并且更不容易发生比特错误，但使用此选项会提高 DRVDD 电源的功耗。

如果因为负载不匹配而要求提高 DCO_{\pm} 和 FCO_{\pm} 输出的驱动强度，用户可以通过寄存器 0x15 将驱动强度提高一倍(2x)，为此须设置寄存器 0x5 中适当的位。请注意，此功能不能与寄存器 0x15 中的位 4 和位 5 一起使用。位 4 和位 5 优先于此功能。更多信息见存储器映射部分。

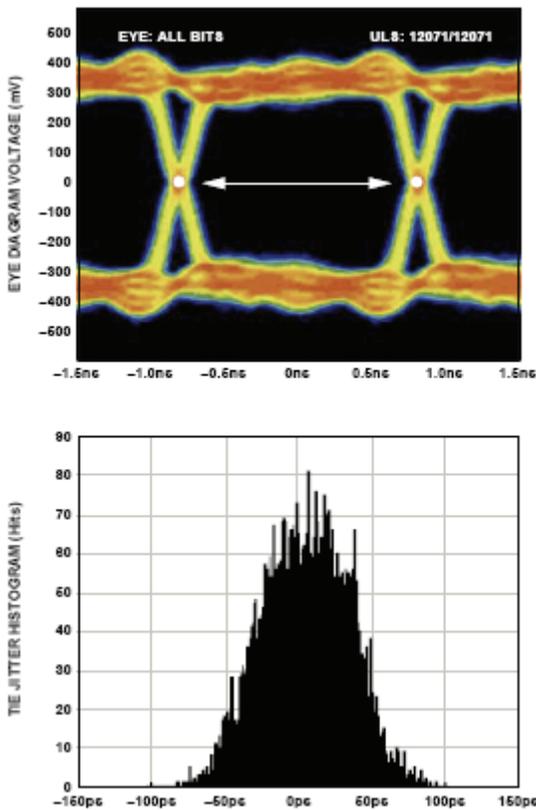


图 73. LVDS 输出的数据眼 (ANSI-644 模式, 走线长度小于 24 英寸, 标准 FR-4, AD9222-50)

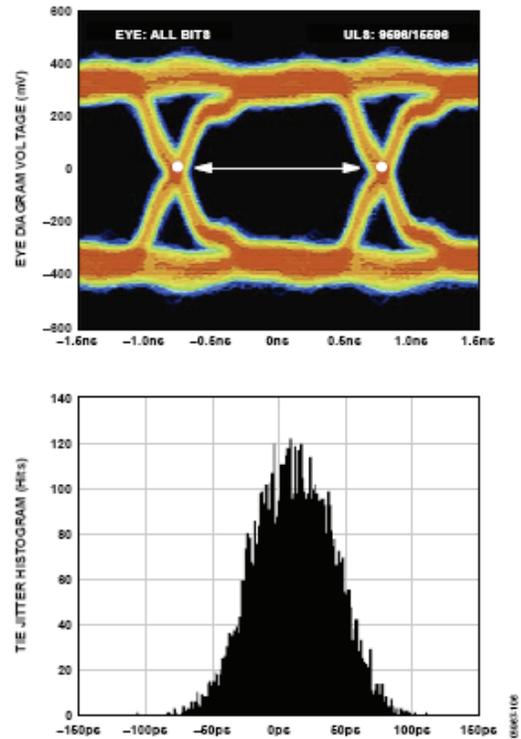


图 74. LVDS 输出的数据眼 (ANSI-644 模式, 走线长度小于 24 英寸, 标准 FR-4, AD9222-65)

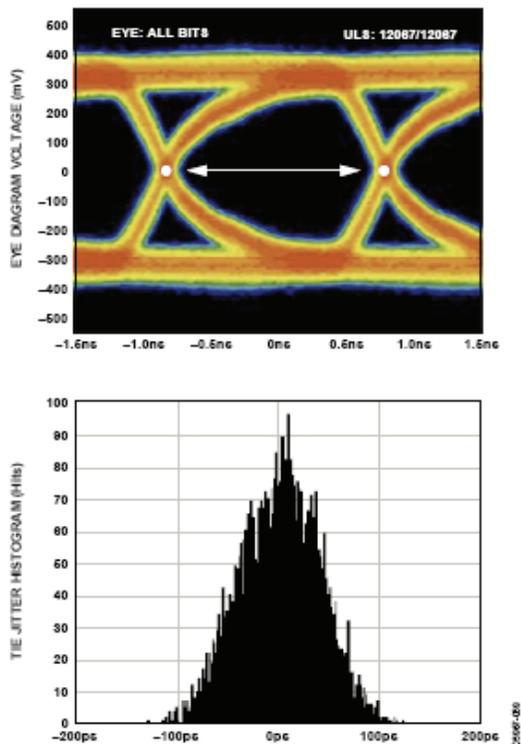


图 75. LVDS 输出的数据眼 (ANSI-644 模式, 走线长度大于 24 英寸, 标准 FR-4, AD9222-50)

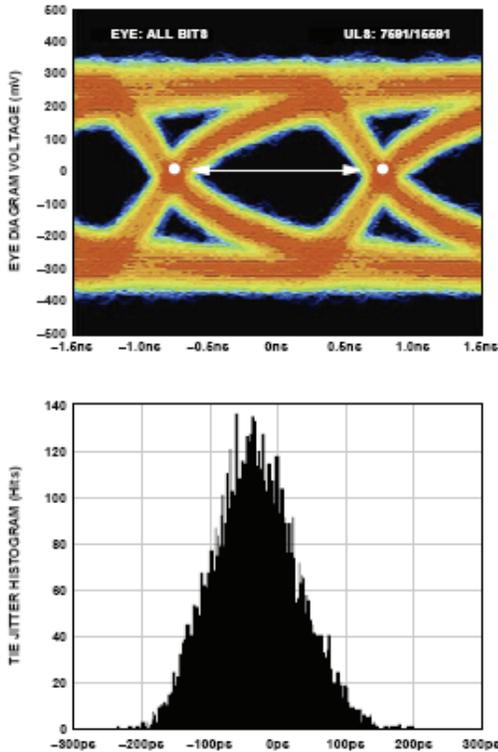


图 76. LVDS 输出的数据眼 (ANSI-644 模式, 走线长度大于 24 英寸, 标准 FR-4, AD9222-65)

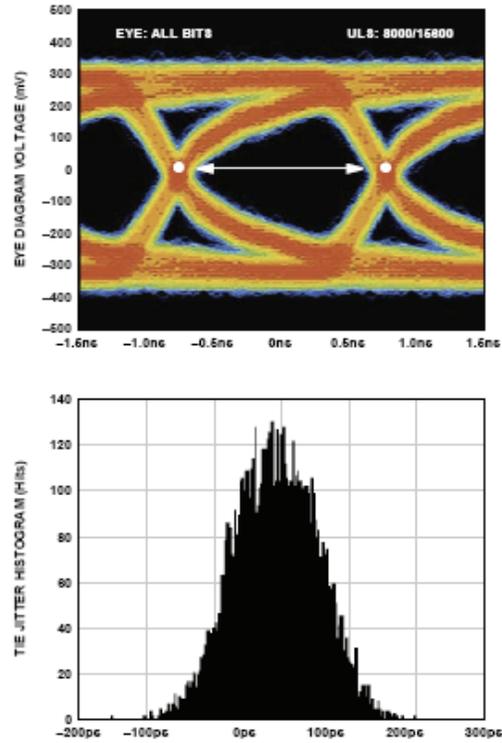


图 78. LVDS 输出的数据眼 (ANSI-644 模式, 100 Ω 端接电阻, 走线长度大于 24 英寸, 标准 FR-4, AD9222-65)

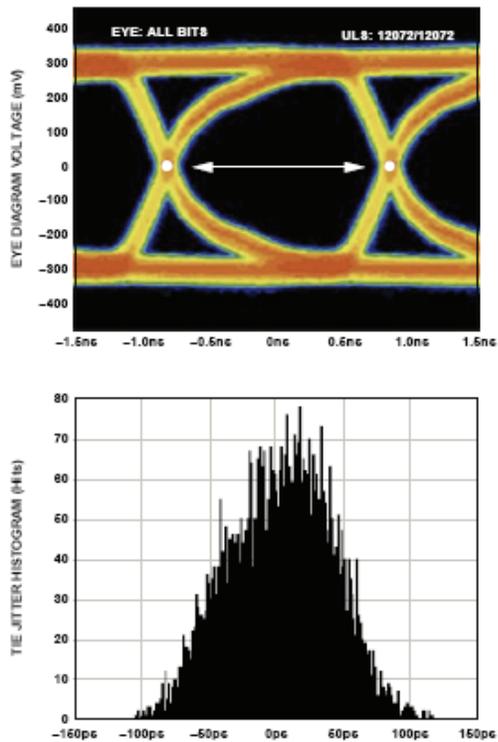


图 77. LVDS 输出的数据眼 (ANSI-644 模式, 100 Ω 端接电阻, 走线长度大于 24 英寸, 标准 FR-4, AD9222-50)

输出数据格式默认为偏移二进制。表 8 给出了一个输出编码格式示例。若要将输出数据格式变为二进制补码, 请参阅存储器映射部分。

表 8. 数字输出编码

代码	$(VIN + x) - (VIN - x)$, 输入范围 = 2 V p-p (V)	数字输出偏移二进制 (D11...D0)
4095	+1.00	1111 1111 1111
2048	0.00	1000 0000 0000
2047	-0.000488	0111 1111 1111
0	-1.00	0000 0000 0000

来自各 ADC 的数据经过串行化后, 通过不同的通道产生。每个串行流的数据速率等于 12 位乘以采样时钟速率, 最大值为 780 Mbps (12 位 × 65 MSPS = 780 Mbps)。典型最低转换速率为 10 MSPS。然而, 如果特定应用要求更低的采样速率, 可以通过 SPI 设置 PLL, 将编码速率降至最低 5 MSPS。有关使能此功能的信息, 请参阅存储器映射部分。

为了帮助从 AD9222 捕捉数据，器件提供了 2 个输出时钟。DCO 用来为输出数据定时，它等于采样时钟(CLK)速率的 6 倍。数据逐个从 AD9222 输出，必须在 DCO 的上升沿和下降

沿进行捕捉；DCO 支持双倍数据速率(DDR)捕捉。FCO 用于指示新输出字节的开始，它与采样时钟速率相等。更多信息参见图 2 所示的时序图。

表 9. 灵活的输出测试模式

输出测试模式位序列	测试码名称	数字输出字 1	数字输出字 2	接受数据格式选择
0000	关闭 (默认)	N/A	N/A	N/A
0001	中间电平短路	1000 0000 (8 位) 10 0000 0000 (10 位) 1000 0000 0000 (12 位) 10 0000 0000 0000 (14 位)	相同	是
0010	+满量程短路	1111 1111 (8 位) 11 1111 1111 (10 位) 1111 1111 1111 (12 位) 11 1111 1111 1111 (14 位)	相同	是
0011	-满量程短路	0000 0000 (8 位) 00 0000 0000 (10 位) 0000 0000 0000 (12 位) 00 0000 0000 0000 (14 位)	相同	是
0100	棋盘形式	1010 1010 (8 位) 10 1010 1010 (10 位) 1010 1010 1010 (12 位) 10 1010 1010 1010 (14 位)	0101 0101 (8 位) 01 0101 0101 (10 位) 0101 0101 0101 (12 位) 01 0101 0101 0101 (14 位)	否
0101	PN 长序列 ¹	N/A	N/A	是
0110	PN 短序列 ¹	N/A	N/A	是
0111	1/0 字反转	1111 1111 (8 位) 11 1111 1111 (10 位) 1111 1111 1111 (12 位) 11 1111 1111 1111 (14 位)	0000 0000 (8 位) 00 0000 0000 (10 位) 0000 0000 0000 (12 位) 00 0000 0000 0000 (14 位)	否
1000	用户输入	寄存器 0x19 至寄存器 0x1A	寄存器 0x1B 至寄存器 0x1C	否
1001	1/0 位反转	1010 1010 (8 位) 10 1010 1010 (10 位) 1010 1010 1010 (12 位) 10 1010 1010 1010 (14 位)	N/A	否
1010	1×同步	0000 1111 (8 位) 00 0001 1111 (10 位) 0000 0011 1111 (12 位) 00 0000 0111 1111 (14 位)	N/A	否
1011	1 位高电平	1000 0000 (8 位) 10 0000 0000 (10 位) 1000 0000 0000 (12 位) 10 0000 0000 0000 (14 位)	N/A	否
1100	混合频率	1010 0011 (8 位) 10 0110 0011 (10 位) 1010 0011 0011 (12 位) 10 1000 0110 0111 (14 位)	N/A	否

¹ 除 PN 短序列和 PN 长序列以外，其它测试模式都支持 8 到 14 位字长，以便验证接收器的数据捕捉是否成功。

使用 SPI 时，DCO 相位可以相对于数据边沿以 60° 增量进行调整。这样，必要时用户可以优化系统时序余量。DCO+ 和 DCO- 默认时序相对于输出数据边沿为 90°，如图 2 所示。

还可以从 SPI 启动 8、10 和 14 位串行流。这样，用户就可以实现并测试与更低和更高分辨率系统的兼容性。当分辨率变为 8 位或 10 位串行流时，数据流缩短。图 3 给出了一个 10 位的示例。但是，当使用 14 位选项时，数据流会在 14 位串行数据的末尾填充 2 个 0。

使用 SPI 时，所有数据输出还可以从其标准状态反转。这种方式不要与串行流反转到 LSB 优先模式相混淆。在默认模式下，如图 2 所示，数据输出串行流首先输出 MSB。但是，可以将其反转，使数据输出串行流首先输出 LSB（见图 4）。

通过 SPI 可以启动的数字输出测试码选项有 12 个。当验证接收器捕捉和时序时，这个功能很有用。可用的输出位序列选项参见表 9。一些测试码有两个串行序列字，可以通过各种方式进行交替，具体取决于所选的测试码。注意有些测试码可能并不遵守数据格式选择选项。此外，可以在 0x19、0x1A、0x1B 和 0x1C 寄存器地址中指定用户定义的测试码。除 PN 短序列和 PN 长序列以外，其它测试模式都支持 8 到 14 位字长，以便验证接收器的数据捕捉是否成功。

PN 短序列测试码产生一个伪随机位序列，每隔 $2^9 - 1$ 或 511 位重复一次。关于 PN 序列的说明以及如何产生，请参阅 ITU-T 0.150 (05/96) 标准的第 5.1 部分。唯一的不同在于起始值必须是一个特定值，而不是全 1（初始值见表 10）。

PN 长序列测试码产生一个伪随机位序列，每隔 $2^{23} - 1$ 或 8,388,607 位重复一次。关于 PN 序列的说明以及如何产生，请参阅 ITU-T 0.150 (05/96) 标准的第 5.6 部分。不同之处在于起始值必须是一个特定值，而不是全 1（初始值见表 10），并且 AD9222 会根据 ITU 标准反转位流。

表 10. PN 序列

序列	初始值	前三个采样输出 (MSB 优先)
PN 短序列	0x0df	0xdf9, 0x353, 0x301
PN 长序列	0x29b80a	0x591, 0xfd7, 0x0a3

有关如何通过 SPI 更改这些附加数字输出时序特性的信息，

请参阅存储器映射部分。

SDIO/ODM 引脚

SDIO/ODM 引脚用于不需要 SPI 工作模式的应用。如果在器件上电期间此引脚和 CSB 引脚连接到 AVDD，则它可以使能低功耗、减少信号选项（类似于 IEEE 1596.3 缩小范围链路输出标准）。此选项只能用于从 LVDS 接收器开始的数字输出走线长度小于 2 英寸的场合。使用此选项时，FCO、DCO 和输出正常工作，但所有通道的 LVDS 信号摆幅从 350 mV 峰峰值降至 200 mV 峰峰值，从而允许用户进一步降低 DRVDD 电源的功耗。

在不使用此引脚的应用中，应将其接低电平。这种情况下，器件引脚可以保持断开，30 kΩ 内部下拉电阻将此引脚拉低。此引脚仅兼容 1.8 V。如果应用要求从 3.3 V 逻辑电平驱动此引脚，则应在此引脚上串联一个 1 kΩ 电阻以限制电流。

表 11. 输出驱动器模式引脚设置

所选 ODM	ODM 电压	相应的输出标准	相应的 FCO 和 DCO
正常工作	10 kΩ 至 AGND	ANSI-644 (默认)	ANSI-644 (默认)
ODM	AVDD	低功耗、减少信号选项	低功耗、减少信号选项

SCLK/DTP 引脚

SCLK/DTP 引脚用于不需要 SPI 工作模式的应用。如果在器件上电期间此引脚和 CSB 引脚保持高电平，则它可以使能一个数字测试码。当 SCLK/DTP 连接到 AVDD 时，ADC 通道输出移出以下测试码：1000 0000 0000。FCO 和 DCO 正常工作，所有通道移出重复测试码。利用此测试码，用户可以对 FCO、DCO 和输出数据执行时序对齐。正常工作时，此引脚应通过一个 10 kΩ 电阻连接到 AGND。此引脚兼容 1.8 V 和 3.3 V。

表 12. 数字测试码引脚设置

所选 DTP	DTP 电压	相应的 D + x 和 D - x	相应的 FCO 和 DCO
正常工作	10 kΩ 至 AGND	正常工作	正常工作
DTP	AVDD	1000 0000 0000	正常工作

当从 SPI 端口下达命令时，也可以观察到额外的和自定义的测试码。有关可用选项的信息，请参阅存储器映射部分。

CSB 引脚

对于不需要 SPI 工作模式的应用,CSB 引脚应连接到 AVDD。将 CSB 接高电平后,所有 SCLK 和 SDIO 信息都会被忽略。此引脚兼容 1.8 V 和 3.3 V。

RBIAS 引脚

为了设置 ADC 的内核偏置电流,应在 RBIAS 引脚上串联一个接地电阻(标称值 10.0 k Ω)。电阻电流来自芯片,并将 ADC 的 AVDD 电流设置为标称值 450 mA (65 MSPS 时)。因此,为了实现稳定的性能,至少应使用 1%容差的电阻。

基准电压源

AD9222 内置稳定、精确的 0.5 V 基准电压源。它在内部被放大 2 倍,将 V_{REF} 设置为 1.0 V,因此满量程差分输入范围为 2 V 峰峰值。 V_{REF} 默认是在内部设置,但也可以用外部 1.0 V 基准电压源驱动 VREF 引脚,以便提高精度。

对 VREF、REFT 和 REFB 引脚应用去耦电容时,应采用陶瓷型低 ESR 电容。这些电容应靠近 ADC 引脚,并与 AD9222 处于同一层 PCB。AD9222 基准电压引脚的推荐电容值和配置如图 79 所示。

表 13. 基准电压设置

所选模式	SENSE 电压	相应的 VREF (V)	相应的差分范围(Vp-p)
外部基准电压	AVDD	N/A	2 \times 外部基准电压
内部, 2 V p-p FSR	AGND 至 0.2 V	1.0	2.0

内部基准电压

AD9222 内部的比较器检测 SENSE 引脚的电位并配置基准电压。如果 SENSE 引脚接地,则基准放大器开关与内部电阻分压器相连(见图 79),因而将 VREF 设为 1 V。

REFT 和 REFB 引脚根据基准电压配置确定 ADC 内核的输入范围。无论芯片使用内部基准电压还是外部基准电压配置,ADC 的模拟输入满量程范围都是基准电压引脚电压的两倍。

如需利用 AD9222 的基准电压来驱动多个转换器,从而提高增益的匹配度,则必须考虑到其它转换器对基准电压的负载。图 81 说明负载如何影响内部基准电压。

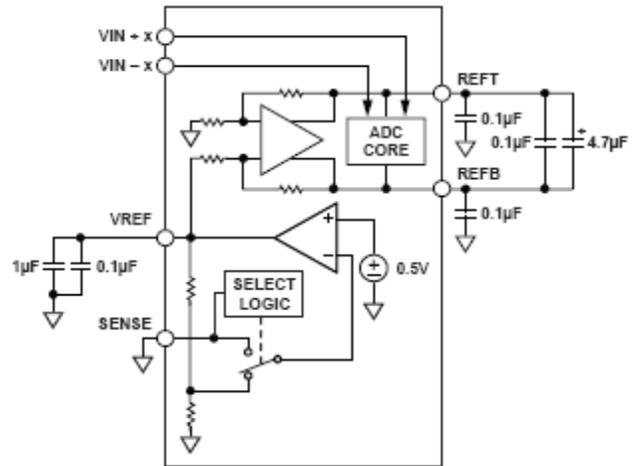


图 79. 内部基准电压配置

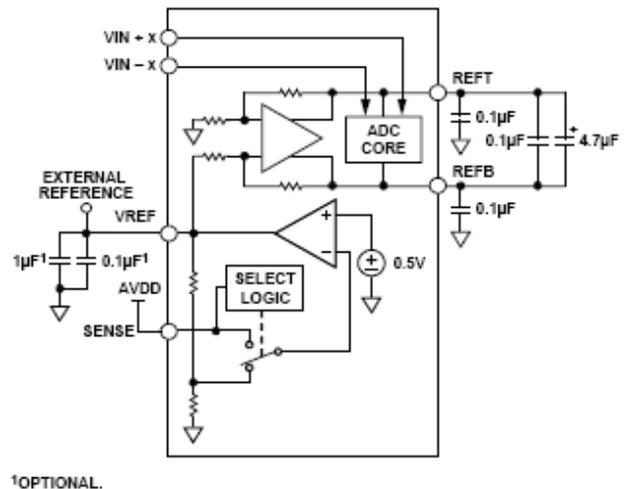


图 80. 外部基准电压配置

外部基准电压

必要时，采用外部基准电压才可能提高 ADC 增益精度、改善热漂移特性。图 82 显示内部基准电压为 1 V 时的典型漂移特性。

将 SENSE 引脚与 AVDD 相连，可以禁用内部基准电压，从而允许使用外部基准电压。内部基准电压对外部基准电压等效为 6 kΩ 负载。内部基准电压缓冲器为 ADC 内核生成正负满量程基准电压 REFT 和 REFB。因此，外部基准电压需限定为标称值 1.0 V。

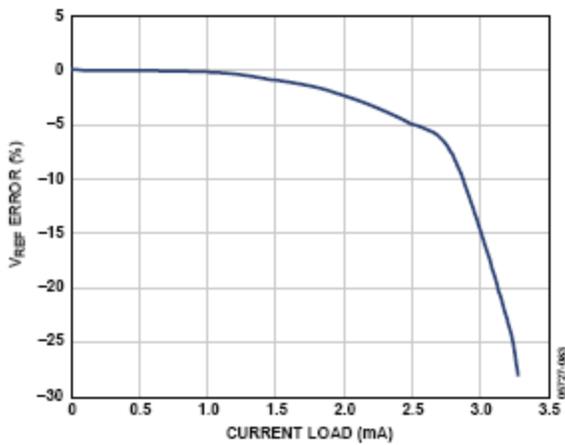


图 81. V_{REF} 精度与负载的关系(AD9222-50)

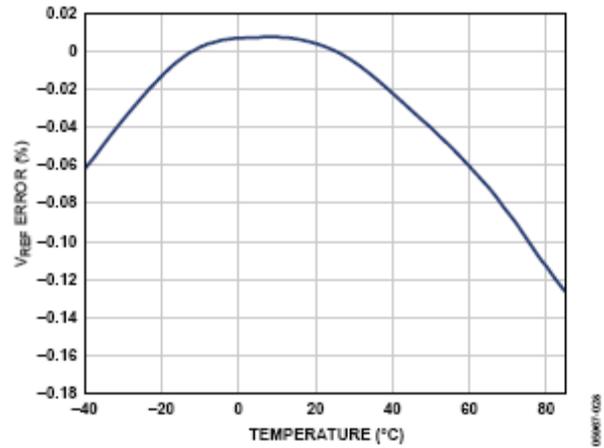


图 82. 典型 V_{REF} 漂移(AD9222-50)

串行端口接口(SPI)

AD9222 串行端口接口允许用户利用 ADC 内部的一个结构化寄存器空间来配置转换器，以满足特定功能和操作的需要。这使得用户能够更加灵活地运用器件，并根据具体的应用进行定制。通过串行端口，可访问地址空间、对地址空间进行读写。存储空间以字节为单位进行组织，并且可以进一步细分成多个区域，如存储器映射部分所述。如需了解详细操作信息，请参阅应用笔记 AN-877：“*通过 SPI 与高速 ADC 接口*”。

SPI 规定了三个引脚：SCLK、SDIO 和 CSB（见表 14）。SCLK 引脚用于同步提供给 ADC 的读出和写入数据。SDIO 双功能引脚允许将数据发送至内部 ADC 存储器映射寄存器或从寄存器中读出数据。CSB 引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。

表 14. 串行端口引脚

引脚	功能
SCLK	串行时钟。串行移位时钟输入，用来同步串行接口的读、写操作。
SDIO	串行数据输入/输出。双功能引脚。通常用作输入或输出，取决于发送的指令和时序帧中的相对位置。
CSB	片选信号（低电平有效）。用来控制读写周期的选通。

CSB 的下降沿与 SCLK 的上升沿共同决定帧序列的开始。在指令周期传输一条 16 位指令，然后是一个或多个数据字节，由位域 W0 和 W1 决定。图 84 为串行时序图范例，相应的定义见表 15。正常工作时，CSB 用来告知器件准备接收和处理 SPI 命令。当 CSB 被拉低时，器件通过 SCLK 和 SDIO 处理指令。一般而言，CSB 将保持低电平到通信周期结束。然而，如果与慢速器件相连，可以在两个字节之间拉高 CSB，使老

式微控制器有足够的时间将数据传输至移位寄存器。当传输一个、两个或三个字节的数据时，CSB 可以保持不变。当 W0 和 W1 设置为 11 时，器件进入流模式并继续处理数据（读出或写入），直到 CSB 被拉高以结束通信周期。这样就可以传输整个存储器而无需额外的指令。无论何种模式，如果 CSB 在字节传输期间被拉高，则 SPI 状态机复位，器件等待新的指令。

除工作模式外，SPI 端口配置也会影响 AD9222 的工作方式。对于不需要控制端口的应用，CSB 线可以连接并保持高电平。这将把其余 SPI 引脚置于第二功能模式，如 SDIO/ODM 引脚和 SCLK/DTP 引脚部分所述。CSB 也可以接低电平，以使能双线模式。当 CSB 接低电平时，通信只需要 SCLK 和 SDIO 引脚。虽然器件在上电期间已同步，但在使用此模式时，用户应确保串行端口仍然与 CSB 线同步。在双线模式下，建议仅使用 1、2 或 3 字节传输。无有效 CSB 线的情况下，可以进入但无法退出流模式。

除了字长，指令周期还决定串行帧是读操作指令还是写操作指令，从而通过串行端口对芯片编程或读取片上存储器内的数据。如果指令是回读操作，则执行回读操作会使 SDIO 引脚在串行帧的适当位置由输入变为输出。

数据可以 MSB 优先或 LSB 优先的模式进行发送。芯片上电后，默认采用 MSB 优先的方式，可以通过调整配置寄存器来更改数据发送方式。如需了解更多关于该特性及其它特性的信息，请参阅应用笔记 AN-877：“*通过 SPI 与高速 ADC 接口*”。

硬件接口

表 14 中所描述的引脚构成用户编程器件与 AD9222 的串行端口之间的物理接口。当使用 SPI 接口时，SCLK 引脚和 CSB 引脚用作输入引脚。SDIO 引脚是双向引脚，在写入阶段，用作输入引脚；在回读阶段，用作输出引脚。

如果多个 SDIO 引脚共用一个连接，应注意确保其达到正确的 V_{OH} 电平。假设每个 AD9222 的负载相同，图 83 显示了可以连在一起的 SDIO 引脚数量以及相应的 V_{OH} 电平。

SPI 接口非常灵活，PROM 或 PIC 微控制器均可控制该接口，因而除了完整 SPI 控制器之外，用户还可以使用其它方法对 ADC 编程（参阅应用笔记 AN-812）。

如果用户选择不使用 SPI，那么在器件上电期间将 CSB 与 AVDD 相连后，这些双功能引脚就可以发挥其第二功能。有关 SPI 引脚支持哪些引脚绑定功能的详细信息，请参见工作原理部分。

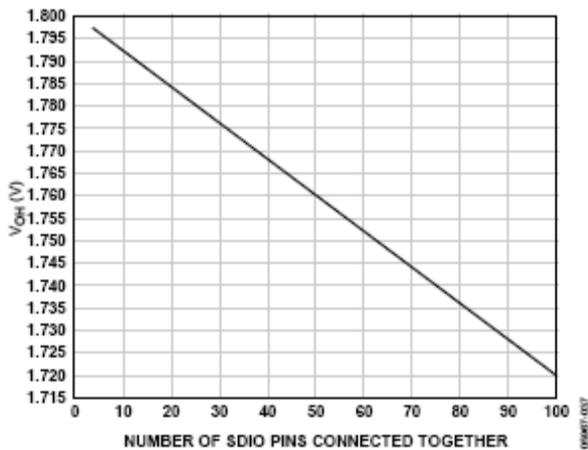


图 83. SDIO 引脚负载

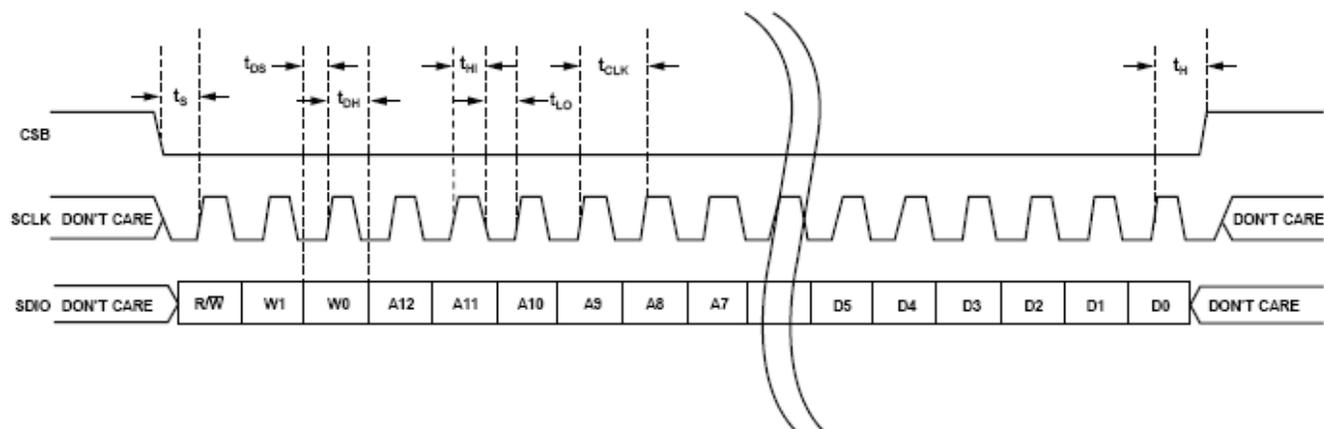


图 84. 串行时序详图

表 15. 串行时序定义

参数	时间 (最小值, ns)	描述
t_{DS}	5	数据与 SCLK 上升沿之间的建立时间
t_{DH}	2	数据与 SCLK 上升沿之间的保持时间
t_{CLK}	40	时钟周期
t_S	5	CSB 与 SCLK 之间的建立时间
t_H	2	CSB 与 SCLK 之间的保持时间
t_{HI}	16	SCLK 应处于逻辑高电平状态的最短时间
t_{LO}	16	SCLK 应处于逻辑低电平状态的最短时间
t_{EN_SDIO}	10	相对于 SCLK 下降沿, SDIO 引脚从输入状态切换到输出状态所需的最短时间 (图 84 未显示)
t_{DIS_SDIO}	10	相对于 SCLK 上升沿, SDIO 引脚从输出状态切换到输入状态所需的最短时间 (图 84 未显示)

存储器映射

读取存储器映射表

存储器映射寄存器表（表 16）的每一行有 8 个地址位。存储器映射分为三个部分：芯片配置寄存器映射（地址 0x00 至地址 0x02）、器件索引和传送寄存器映射（地址 0x05 和 0xFF）以及 ADC 功能寄存器映射（地址 0x08 至地址 0x22）。

存储器映射的第一栏显示寄存器地址号码，倒数第二栏显示默认值。位 7 (MSB) 栏为给定十六进制默认值的起始位。例如，地址 0x09 (时钟寄存器) 的默认值为 0x01，表示位 7 = 0、位 6 = 0、位 5 = 0、位 4 = 0、位 3 = 0、位 2 = 0、位 1 = 0、位 0 = 1，或者 0000 0001（二进制）。此设置是占空比稳定器在开启状态下的默认值。如果将 0 写入此地址的位 6，占空比稳定器就会关闭。如需了解更多关于该功能及其它功能的信息，请参阅应用笔记 AN-877：“*通过 SPI 与高速 ADC 接口*”。

保留位置

不得写入未定义的存储器位置，除非写入本数据手册建议的默认值。值标示为 0 的地址应被视为保留地址，上电期间应将 0 写入其寄存器。

默认值

AD9222 复位后，将向关键寄存器内预载入默认值。表 16 显示了这些值，其中 X 表示未定义的特性。

逻辑电平

以下是逻辑电平的说明：“置位”指将某位设置为逻辑 1 或向某位写入逻辑 1。类似地，“清除位”指将某位设置为逻辑 0 或向某位写入逻辑 0。

表 16. 存储器映射寄存器

地址 (十六 进制)	参数名称	(MSB) 位 7	位 6	位 5	位 4	位 3	位 2	位 1	(LSB)位 0	默认值 (十六 进制)	默认值注释
芯片配置寄存器											
00	chip_port_config	0	LSB 优先 1 = 开 0 = 关 (默认)	软复位 1 = 开 0 = 关 (默认)	1	1	软复位 1 = 开 0 = 关 (默认)	LSB 优先 1 = 开 0 = 关 (默认)	0	0x18	半字节之间应建立镜像关系, 使得无论在何种移位模式下, 均能正确设置 LSB 优先或 MSB 优先模式。
01	chip_id	8 位芯片 ID, 位 7:0 (AD9222 = 0x07), (默认值)								只读	默认值为唯一芯片 ID, 各器件均不相同。它是一个只读寄存器。
02	chip_grade	X	子 ID [6:4] (在芯片 ID 下确定器件等级) 000 = 65 MSPS 011 = 50 MSPS 001 = 40 MSPS			X	X	X	X	只读	子 ID 用来区分器件等级。
器件索引和传送寄存器											
04	device_index_2	X	X	X	X	数据通道 H 1 = 开 (默认) 0 = 关	数据通道 G 1 = 开 (默认) 0 = 关	数据通道 F 1 = 开 (默认) 0 = 关	数据通道 E 1 = 开 (默认) 0 = 关	0x0F	设置这些位以决定哪一个片内器件接收下一个写命令。
05	device_index_1	X	X	时钟通道 DCO 1 = 开 0 = 关 (默认)	时钟通道 FCO 1 = 开 0 = 关 (默认)	数据通道 D 1 = 开 (默认) 0 = 关	数据通道 C 1 = 开 (默认) 0 = 关	数据通道 B 1 = 开 (默认) 0 = 关	数据通道 A 1 = 开 (默认) 0 = 关	0x0F	设置这些位以决定哪一个片内器件接收下一个写命令。
FF	device_update	X	X	X	X	X	X	X	SW 传输 1 = 开 0 = 关 (默认)	0x00	从主移位寄存器向从移位寄存器同步传输数据。
ADC 功能											
08	modes	X	X	X	X	X	内部掉电模式 000 = 芯片运行 (默认) 001 = 完全掉电 010 = 待机 011 = 复位			0x00	决定芯片的一般工作模式。
09	clock	X	X	X	X	X	X	X	占空比稳定器 1 = 开 (默认) 0 = 关	0x01	打开和关闭内部占空比稳定器
0D	test_io	用户测试模式 00 = 关 (默认) 01 = 开, 单一交替 10 = 开, 单一一次 11 = 开, 交替一次		产生复位 PN 长序列 1 = 开 0 = 关 (默认)	产生复位 PN 短序列 1 = 开 0 = 关 (默认)	输出测试模式—见数字输出和时序部分中的表 9 0000 = 关 (默认) 0001 = 中间电平短路 0010 = +FS 短路 0011 = -FS 短路 0100 = 棋盘形式输出 0101 = PN 23 序列 0110 = PN 9 序列 0111 = 1/0 字反转 1000 = 用户输入 1001 = 1/0 位反转 1010 = 1×同步 1011 = 1 位高电平 1100 = 混合位频率 (格式由 output_mode 决定)				0x00	设置此寄存器后, 测试数据将取代正常数据被置于输出引脚上。

AD9222

地址 (十六进制)	参数名称	(MSB) 位 7	位 6	位 5	位 4	位 3	位 2	位 1	(LSB)位 0	默认值 (十六进制)	默认值注释
14	output_mode	X	0 = LVDS ANSI-644 (默认) 1 = LVDS 低功耗 (类似于 IEEE 1596.3)	X	X	X	输出反转 1 = 开 0 = 关 (默认)	00 = 偏移二进制 (默认) 01 = 二进制补码		0x00	配置输出和数据格式
15	output_adjust	X	X	输出驱动器端接 00 = 无 (默认) 01 = 200 Ω 10 = 100 Ω 11 = 100 Ω		X	X	X	DCO 和 FCO 2 倍驱动强度 1 = 开 0 = 关 (默认)	0x00	决定 LVDS 或其它输出属性。主要功能是代替外部电阻设置 LVDS 范围和共模电平。
16	output_phase	X	X	X	X	0011 = 输出时钟相位调整 (0000 至 1010) 0000 = 相对于数据边沿为 0° 0001 = 相对于数据边沿为 60° 0010 = 相对于数据边沿为 120° 0011 = 相对于数据边沿为 180° (默认) 0100 = 相对于数据边沿为 240° 0101 = 相对于数据边沿为 300° 0110 = 相对于数据边沿为 360° 0111 = 相对于数据边沿为 420° 1000 = 相对于数据边沿为 480° 1001 = 相对于数据边沿为 540° 1010 = 相对于数据边沿为 600° 1011 至 1111 = 相对于数据边沿为 660°				0x03	用于利用全局时钟分频的器件上, 决定使用分频器输出的哪一个相位来提供输出时钟。内部锁存不受影响。
19	user_patt1_lsb	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的测试码, 1 LSB
1A	user_patt1_msb	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的测试码, 1 MSB
1B	user_patt2_lsb	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的测试码, 2 LSB
1C	user_patt2_msb	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的测试码, 2 MSB
21	serial_control	LSB 优先 1 = 开 0 = 关 (默认)	X	X	X	<10 MSPS, 低编码速率模式 1 = 开 0 = 关 (默认)	000 = 12 位 (默认, 正常位流) 001 = 8 位 010 = 10 位 011 = 12 位 100 = 14 位			0x00	串行流控制。默认为 MSB 优先、原有位流 (全局)。
22	serial_ch_stat	X	X	X	X	X	X	通道输出 复位 1 = 开 0 = 关 (默认)	通道掉电 1 = 开 0 = 关 (默认)	0x00	用来关断转换器 (局部) 的独立部分

电源和接地建议

建议使用两个独立的 1.8 V 电源为 AD9222 供电：一个用于模拟端（AVDD），一个用于数字端（DRVDD）。如果仅提供一个电源，则应先连接到 AVDD，然后分接出来，并用铁氧体磁珠或滤波扼流圈及去耦电容隔离，再连接到 DRVDD。用户可以使用多个不同的去耦电容以适用于高频和低频。去耦电容应放置在接近 PCB 入口点和接近器件的位置处，尽可能地缩短走线长度。

AD9222 仅需要一个 PCB 接地层。对 PCB 模拟、数字和时钟部分进行合理的去耦和巧妙的分隔，可以轻松获得最佳的性能。

裸露焊盘散热块建议

为获得最佳的电气性能和热性能，必须将 ADC 底部的裸露焊盘连接至模拟地（AGND）。PCB 上裸露的连续铜平面应与 AD9222 的裸露焊盘（引脚 0）匹配。铜平面上应有多个通孔，以便获得尽可能低的热阻路径以通过 PCB 底部进行散热。这些过孔应填满焊料或插入插针。

为了最大化地实现 ADC 与 PCB 之间的覆盖与连接，应在 PCB 上覆盖一个丝印层，以便将 PCB 上的连续铜平面划分为多个均等的部分。这样，在回流焊过程中，可在 ADC 与 PCB 之间提供多个连接点，而一个连续的、无分割的平面只能保证一个连接点。可以参考图 85 所示的 PCB 布局布线范例。如需了解有关封装和芯片级封装 PCB 布局布线的详细信息，请参阅应用笔记 AN-772：“LFCSP 封装设计与制造指南”。

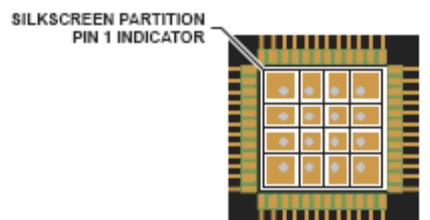


图 85. 典型 PCB 布局布线

评估板

AD9222 评估板提供了在各种模式和配置下运行ADC所需的全部支持电路。转换器可以通过变压器（默认）或 AD8334 驱动器来差分驱动。此外，ADC还可在单端模式下驱动。独立的电源引脚用于将DUT与 AD8334驱动电路隔离。通过改变各种跳线的连接，可以选择各个输入配置（见图 90 至图 94）。图 86 显示的是典型的平台特性设置，可用于评估 AD9222 的交流性能。为实现转换器的最佳性能，须确保模拟输入和相位噪声极低（ <1 ps均方根抖动）的时钟信号源。为达到指定的噪声性能，须对模拟输入信号进行适当的滤波，从而清除谐波、降低输入端的累积噪声或宽带噪声。

图 90 至图 100 给出了系统级布线和接地技术的完整原理图及布局布线图。

电源

该评估板带有一个壁装式开关电源，它支持的最大输出电压为 6 V、最大输出电流为 2 A。该开关电源应输入额定电压为 100 V 至 240 V 的交流电源（频率为 47 Hz 至 63 Hz）。电源的另一端是一个内径为 2.1 mm 的插孔，该插孔通过 P701 与 PCB 相连。在 PC 板上，6 V 电源经过保险丝和调理之后，连接至 3 个低压差线性调节器。那些低压差线性调节器可为板上各个部分提供适当的偏置电压。

评估板在非默认条件下工作时，可以移除 L701 至 L704，以断开开关电源。这样，用户可以单独为评估板的各个部分提供适当的偏置电压。通过 P702 可为每个部分连接一个独立的电源。至少需要为 AVDD_DUT 和 DRVDD_DUT 提供一

个 1.8 V 电源，但建议为模拟信号和数字信号提供单独的电源，并且各电源具有 1 A 的电流能力。在评估板上使用 VGA 选项时，需要为评估板提供一个独立的 5.0 V 模拟电源 (AVDD_5 V)。在评估板上使用 SPI 和备选时钟选项时，除其它电源外，还需要为评估板提供一个独立的 3.3 V 模拟电源 (AVDD_3.3 V)。

输入信号

将时钟和模拟信号源连接到评估板时，应使用低相位噪声的信号发生器，例如 Rohde & Schwarz SMA 或 HP8644 信号发生器等，以及 1 米长、屏蔽、RG-58、50 Ω 同轴电缆。根据 ADC 技术规格表提供的期望频率和幅度来输入。通常，ADI 公司的大多数评估板可接受约 2.8 V 峰峰值或 13 dBm 正弦波输入信号，作为其时钟信号。当与模拟输入源相连时，建议使用带有 50 Ω 端接电阻的多极窄带带通滤波器。TTE、Allen Avionics 和 K&L Microwave, Inc 等公司的带通滤波器是不错的选择。可能时，应将滤波器与评估板直接相连。

输出信号

默认设置使用 ADI 公司的 HSC-ADC-FPGA-8Z 高速解串板解串数字输出数据，并将其转换为并行 CMOS。这两个通道直接与 ADI 公司的标准双通道 FIFO 数据采样板 (HSC-ADC-EVALB-DCZ) 相连。这样就可以同时评估 8 个通道中的 2 个通道。如需了解更多关于这些板的通道设置和可选设置的信息，请访问 www.analog.com/FIFO。

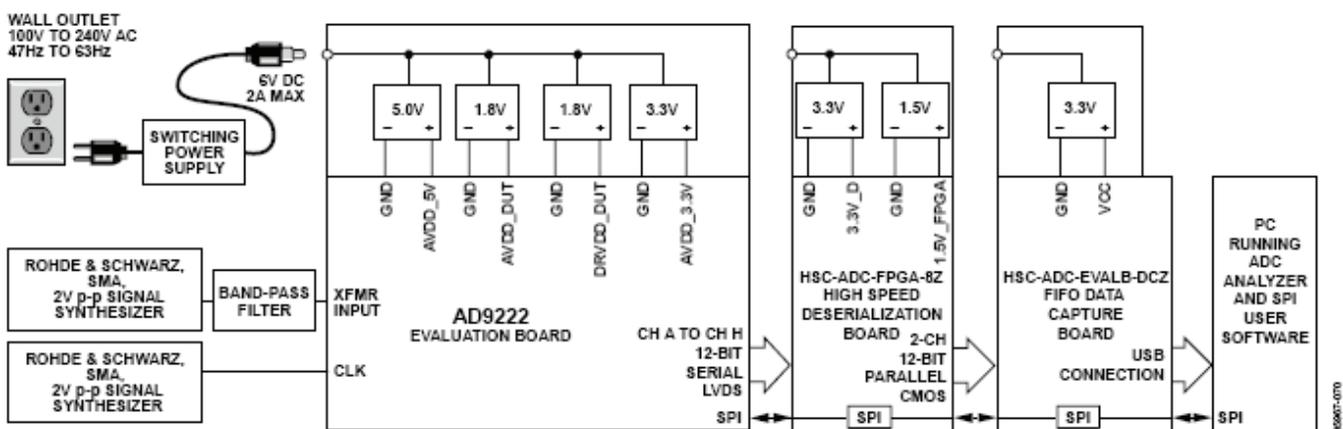


图 86. 评估板连接

默认操作与跳线选择设置

下文列出了 AD9222 Rev. A 评估板的默认和可选设置或模式。

- 电源：将评估套件内的开关电源连接在交流电源（额定电压为 100 V 至 240 V 交流电压，频率为 47 Hz 至 63 Hz）与 P701 之间。
- AIN：评估板配置为变压器耦合模拟输入，带有与 150 MHz 带宽信号相匹配的最佳 50 Ω 阻抗(见图 87)。为获得更大的带宽响应，可以改变或移除模拟输入端之间的差分电容。变压器中点抽头或用 AVDD_DUT/2 提供模拟输入的共模电压。

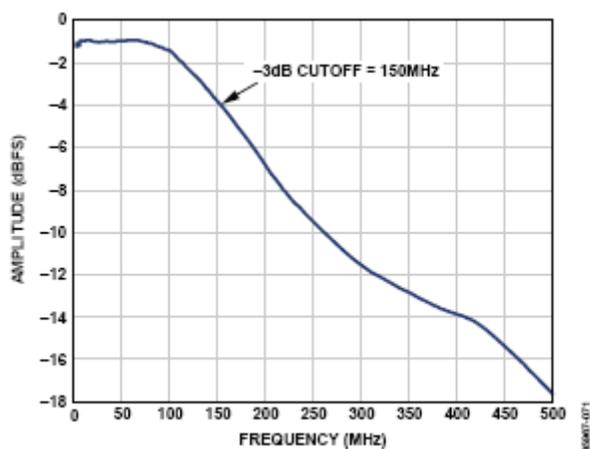


图 87. 评估板全功率带宽(AD9222-50)

- VREF: SENSE 引脚接地 R317, 从而将 VREF 设置为 1.0 V。这样就可以让 ADC 在 2.0 V 峰峰值满量程范围内工作。此外，评估板还提供了一个使用 ADR510 或 ADR520 的独立外部基准电压选项。安装 R312 和 R313 并移除 C307。基准电压部分说明了 VREF 选项的正确用法。
- RBIAS: RBIAS 有一个通过 10 k Ω 电阻(R301)接地的默认设置，用于设置 ADC 内核偏置电流。
- CLOCK: 默认的时钟输入电路由一个简单的变压器耦合电路构成，它使用高带宽、阻抗比为 1:1 的变压器 (T401)，在时钟路径内产生极低的抖动。时钟输入端带有 50 Ω 端接电阻且输入信号经交流耦合，用以处理单端正弦波类型的输入信号。变压器将单端输入信号转换成差分信号，该差分信号在进入 ADC 时钟输入端前被箝位。

也可以使用 AD9515 (U401) 差分 LVPECL 时钟来驱动 ADC 的时钟输入。安装 0 Ω 阻值的 R406 和 R407 并移除 R215 和 R216，以断开默认时钟路径输入。此外，安装 0.1 μ F 容值的 C205 和 C206 并移除 C409 和 C410，以断开默认时钟路径输出。AD9515 具有许多为默认工作模式设置的引脚绑定选项。有关这些及其它选项的更多信息，请参阅 AD9515 数据手册。

此外，OSC401 提供一个片上振荡器，它可充当主时钟信号源。该设置可以快速完成，包括安装 0 Ω 阻值的 R403 以及将使能跳线(J401)设置到打开位置。如果用户希望采用不同的振荡器，可以使用两个振荡器尺寸选项 (OSC401) 来测试 ADC 的性能。

- PDWN: 为使能芯片的掉电特性，应将 J301 短路连接到 PDWN 引脚上的打开位置(AVDD)。
- SCLK/DTP: 为使能 ADC 数字输出端的数字测试码，应使用 J304。如果在器件上电期间将 J304 连接到 AVDD，则测试码 1000 0000 0000 使能。详情参见 SCLK/DTP 引脚部分。
- SDIO/ODM: 为使能低功耗、减少信号选项（类似于 IEEE 1595.3 缩小范围链路 LVDS 输出标准），应使用 J303。如果在器件上电期间将 J303 连接到 AVDD，LVDS 输出将采用默认 ANSI-644 标准的低功耗、减少信号选项。此选项使信号摆幅从 350 mV p-p 变为 200 mV p-p，从而降低 DRVDD 电源的功耗。详情参见 SDIO/ODM 引脚部分。
- CSB: 为了对 SDIO 和 SCLK 引脚上的 SPI 信息进行处理，应在始终使能模式下将 J302 接低电平。若要忽略 SDIO 和 SCLK 信息，应将 J302 连接到 AVDD。
- 非 SPI 模式: 如果用户希望在不使用 SPI 的情况下操作 DUT，应移除跳线 J302、J303 和 J304，以断开 CSB、SCLK/DTP 和 SDIO/ODM 引脚与控制总线的连接，使 DUT 能工作在最简单的模式下。这些引脚各自都有内部端接电阻，将调整至相应的电平。
- D + x、D - x: 如果像图 90 所示设置，想使用一种备选的数据捕捉方法，则可以在高速背板连接器附近安装可选的接收器端接电阻 R318 和 R320 至 R328。

可选模拟输入驱动配置

下面对使用双通道VGA AD8334的可选模拟输入驱动配置进行简单的说明。如果使用这种驱动选项，可能需要安装一些元件，表 17 列出了所有必要的元件。如需了解更多关于双通道VGA AD8334 的信息，包括其工作原理以及可选引脚设置情况，请参阅 [AD8334数据手册](#)。

为了配置模拟输入以驱动VGA而不是使用默认变压器选项，应移除和/或更换下列元件：

- 从默认模拟输入路径内移除 R102、R115、R128、R141、R161、R162、R163、R164、R202、R208、R218、R225、R234、R241、R252、R259、T101、T102、T103、T104、T201、T202、T203 和 T204。
- 在模拟输入路径内安装 $0\ \Omega$ 阻值的电阻 R101、R114、R127、R140、R201、R217、R233 和 R251。
- 安装 $10\ \text{k}\Omega$ 阻值的 R152、R153、R154、R155、R156、R157、R158、R159、R215、R216、R229、R230、R247、R248、R263、R264、C103、C105、C110、C112、C117、C119、C124、C126、C203、C205、C210、C212、C217、C219、C224 和 C226，为 ADC 模拟输入提供输入共模电平。
- 在 ADC 模拟输入路径内安装 $0\ \Omega$ 阻值的 R105、R113、R118、R124、R131、R137、R151、R160、R205、R213、R221、R222、R237、R238、R255 和 R256，以连接 VGA 输出。
- 移除 [AD8334](#)模拟输出端的R515、R520、R527、R532、R615、R620、R627 和R632。
- 移除R512、R524、R612 和R624，以设置AD8334 模式并将AD8334 HILO引脚设置为低电平。一些应用可能要求不同的设置。有关这些功能的更多信息，请参考 [AD8334 数据手册](#)。

在本配置中，L505 至 L520 和 L605 至 L620 安装 $0\ \Omega$ 电阻，以便在有其它要求时可以进行信号连接并使用滤波器。

本例中，AD8334 输出应用一个 $16\ \text{MHz}$ 、双极点低通滤波器。需要移除和/或更换下列元件：

- 移除 AD8334 模拟输出端的 L507、L508、L511、L512、L515、L516、L519、L520、L607、L608、L611、L612、L615、L616、L619 和 L620。
- 安装 $680\ \text{nH}$ 电感值的 L507、L508、L511、L512、L515、L516、L519、L520、L607、L608、L611、L612、L615、L616、L619 和 L620。
- 安装 $68\ \text{pF}$ 电容值的 C543、C547、C551、C555、C643、C647、C651 和 C655。

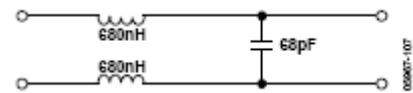


图 88. $16\ \text{MHz}$ 、双极点低通滤波器配置示例

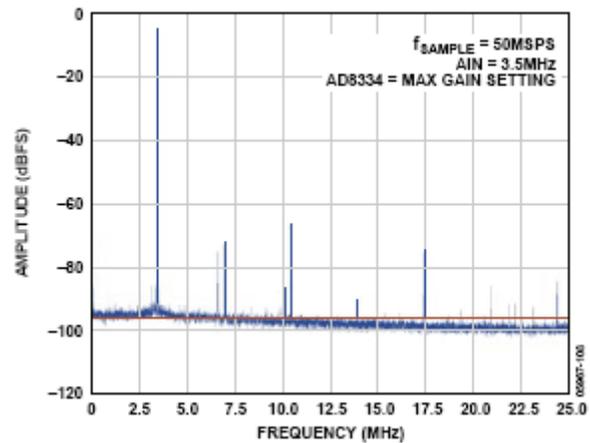


图 89. AD9222 FFT 结果示例，AD8334 输出应用 $16\ \text{MHz}$ 、双极点低通滤波器 ($f_{\text{SAMPLE}} = 50\ \text{MSPS}$ ， $A_{\text{IN}} = 3.5\ \text{MHz}$ ，AD8334 = 最大增益设置，模拟输入信号 = $-1.03\ \text{dBFS}$ ， $\text{SNR} = 60.8\ \text{dBc}$ ， $\text{SFDR} = 67.02\ \text{dBc}$)

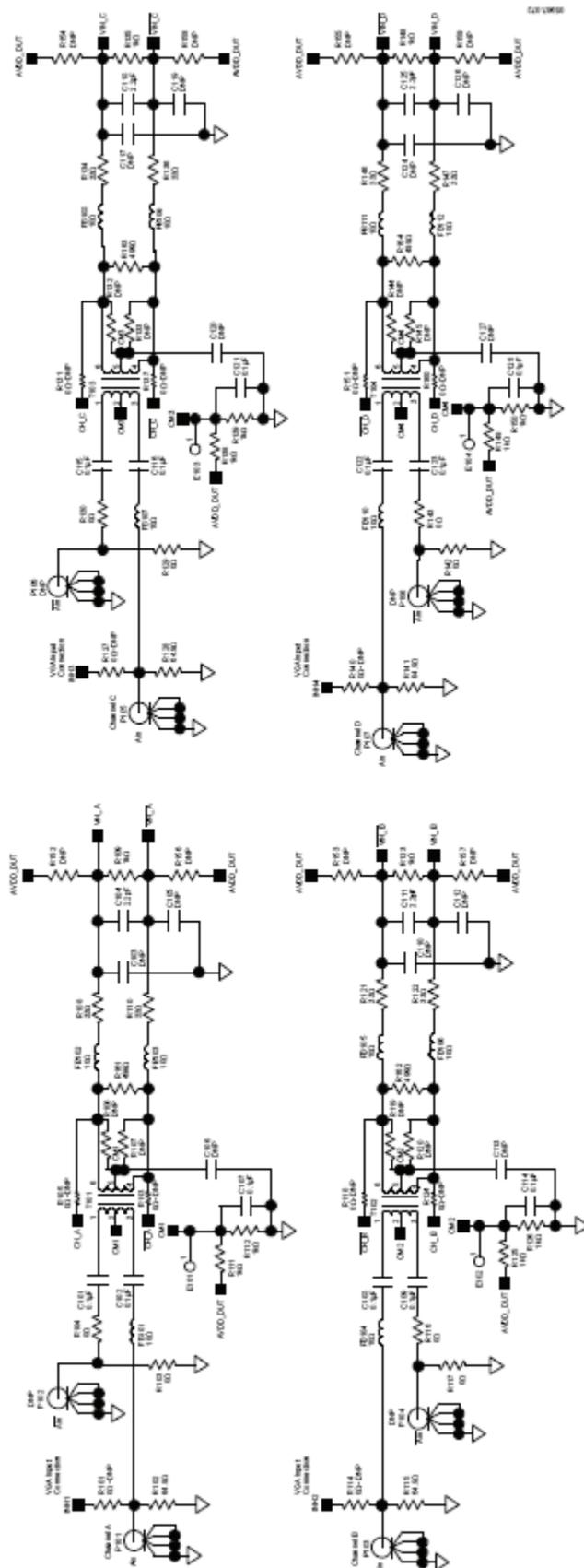
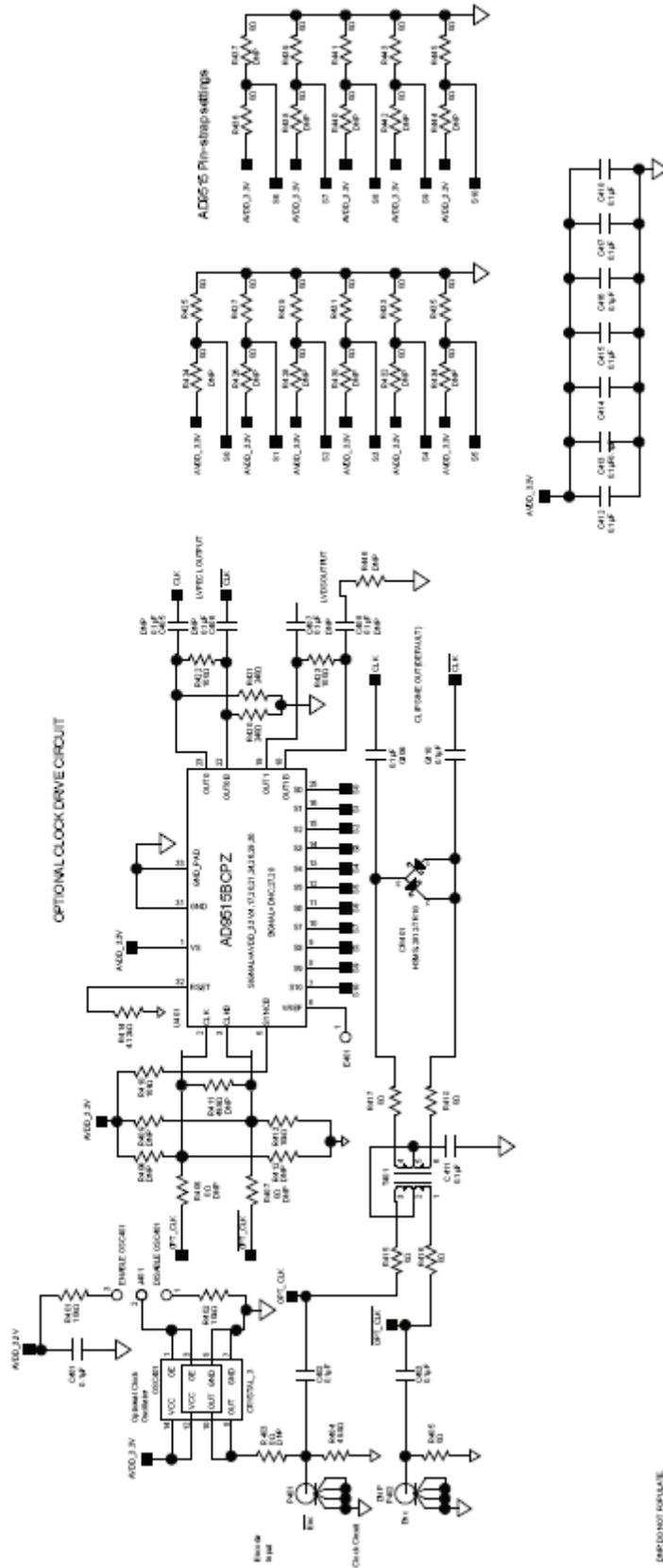


图 90. 评估板原理图, DUT 模拟输入



510-2950

DNP DO NOT POPULATE

图 93. 评估板原理图，时钟电路

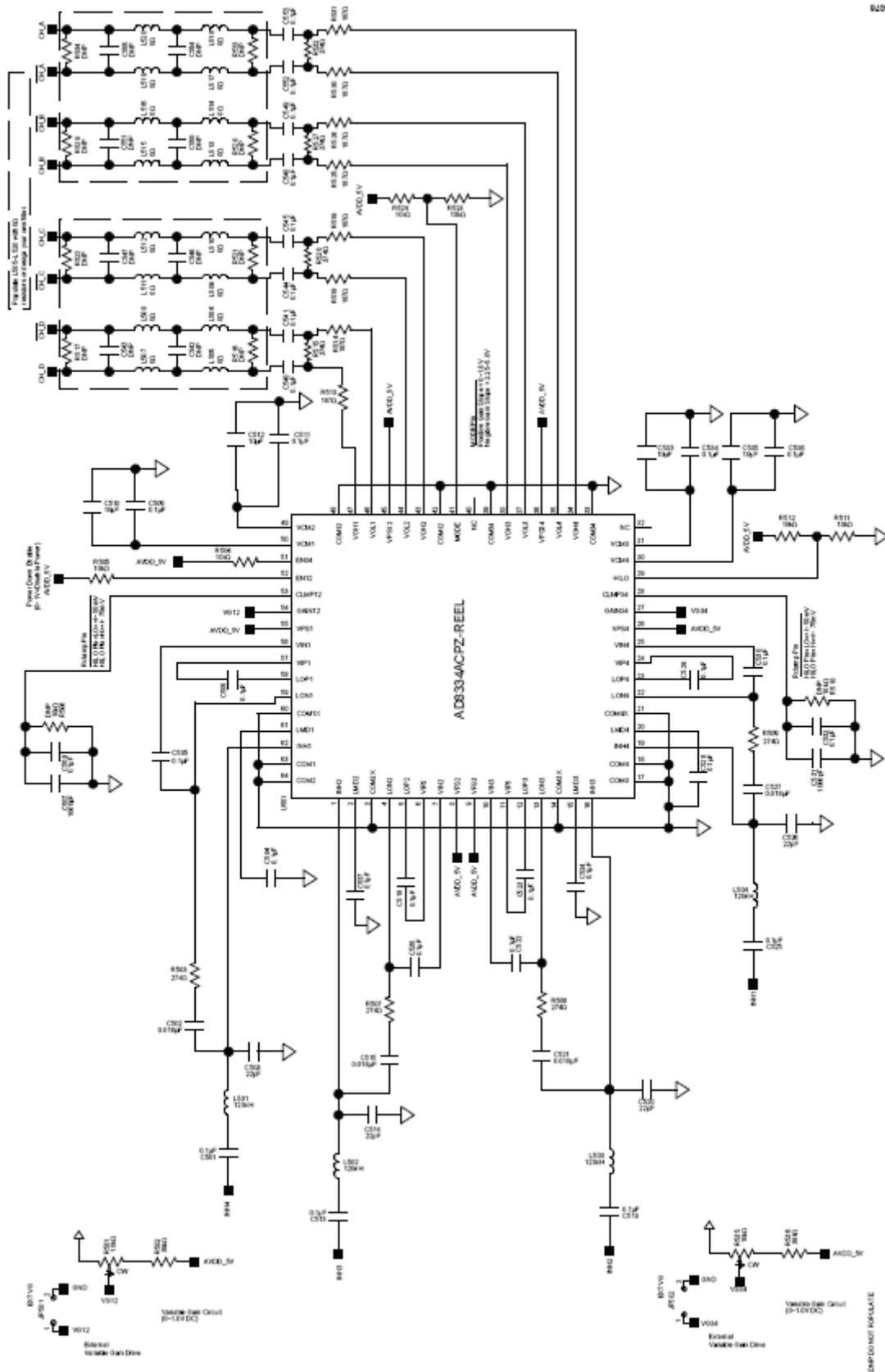


图 94. 评估板原理图，可选 DUT 模拟输入驱动

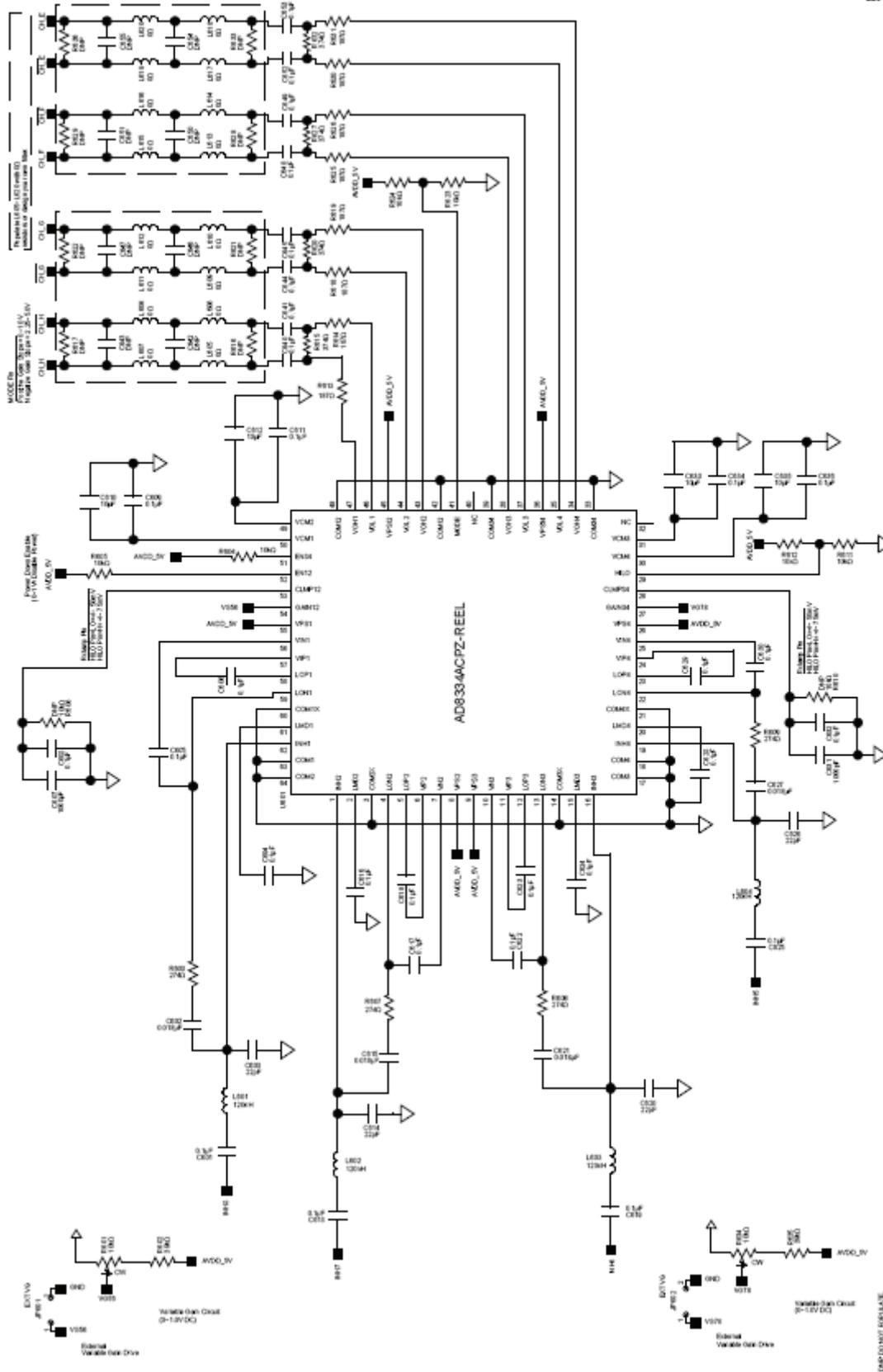


图 95. 评估板原理图，可选 DUT 模拟输入驱动 (续)

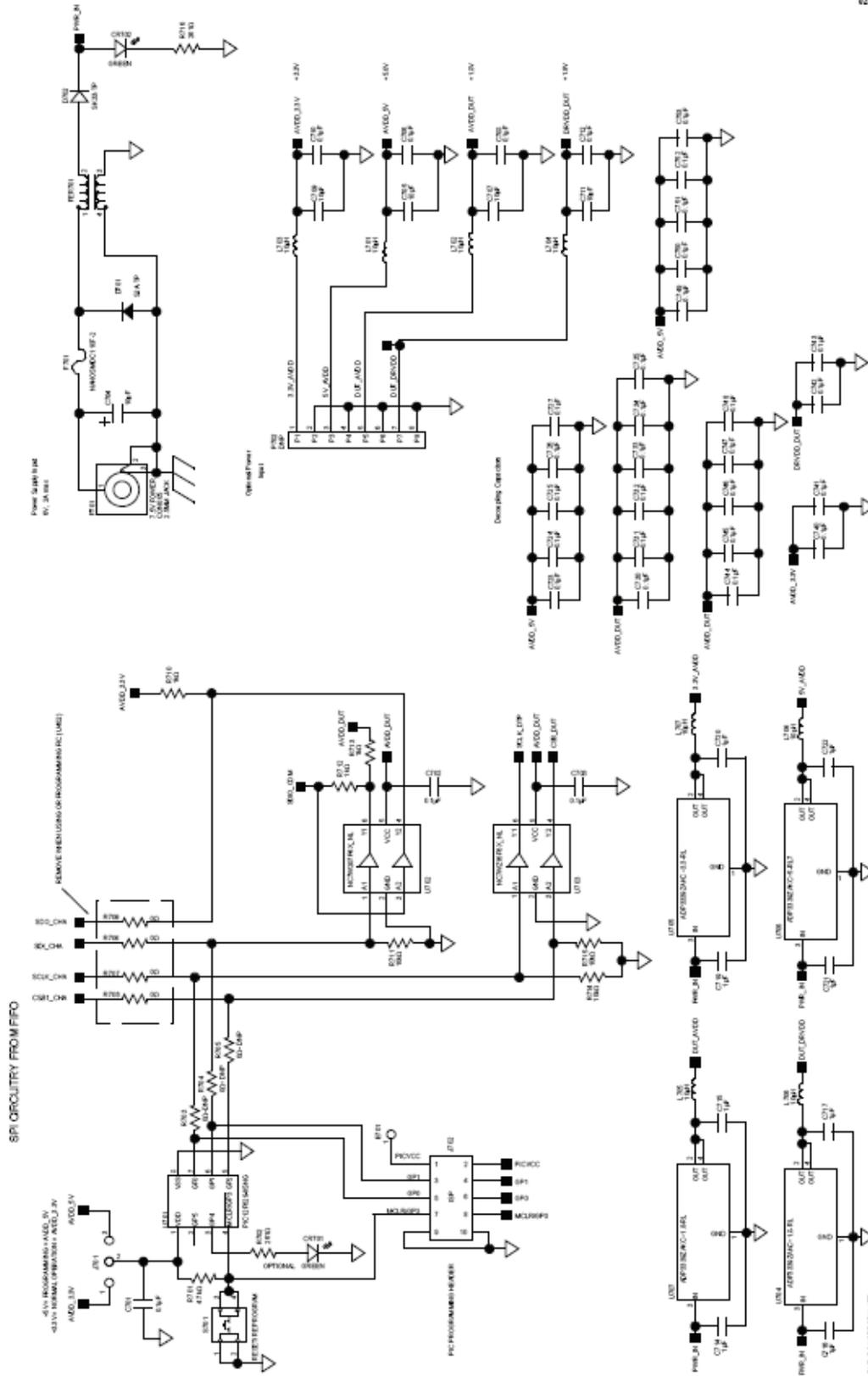


图 96. 评估板原理图，电源输入和 SPI 接口电路

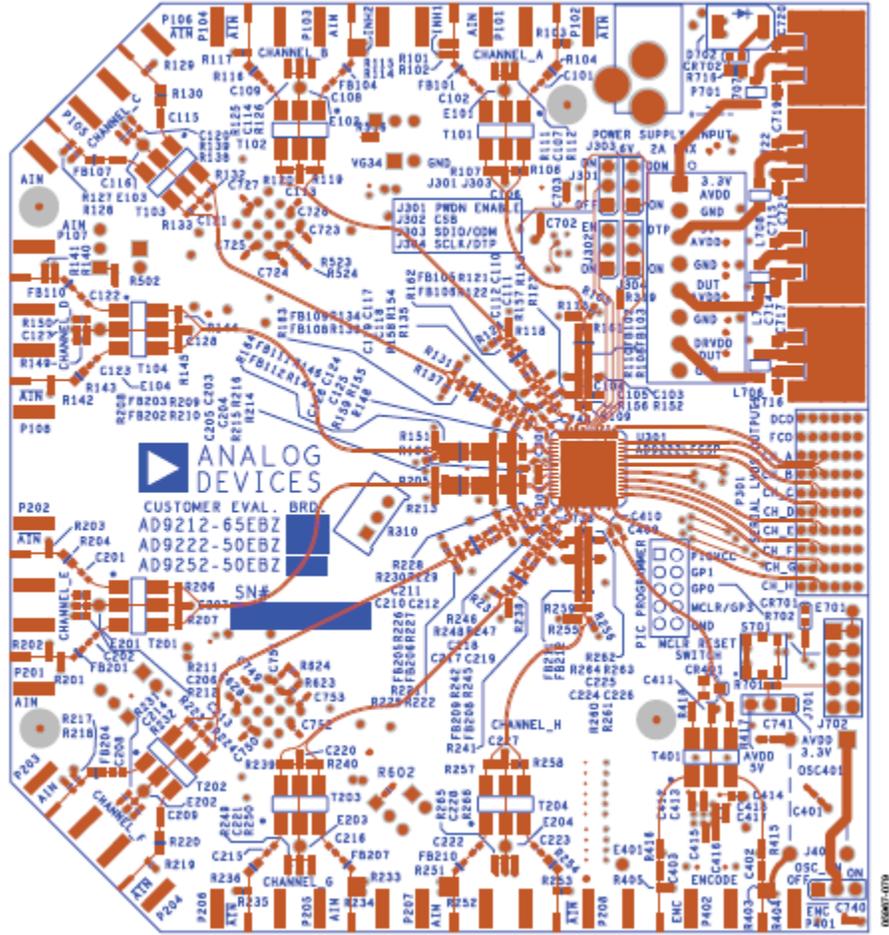


图 97. 评估板布局布线——主面

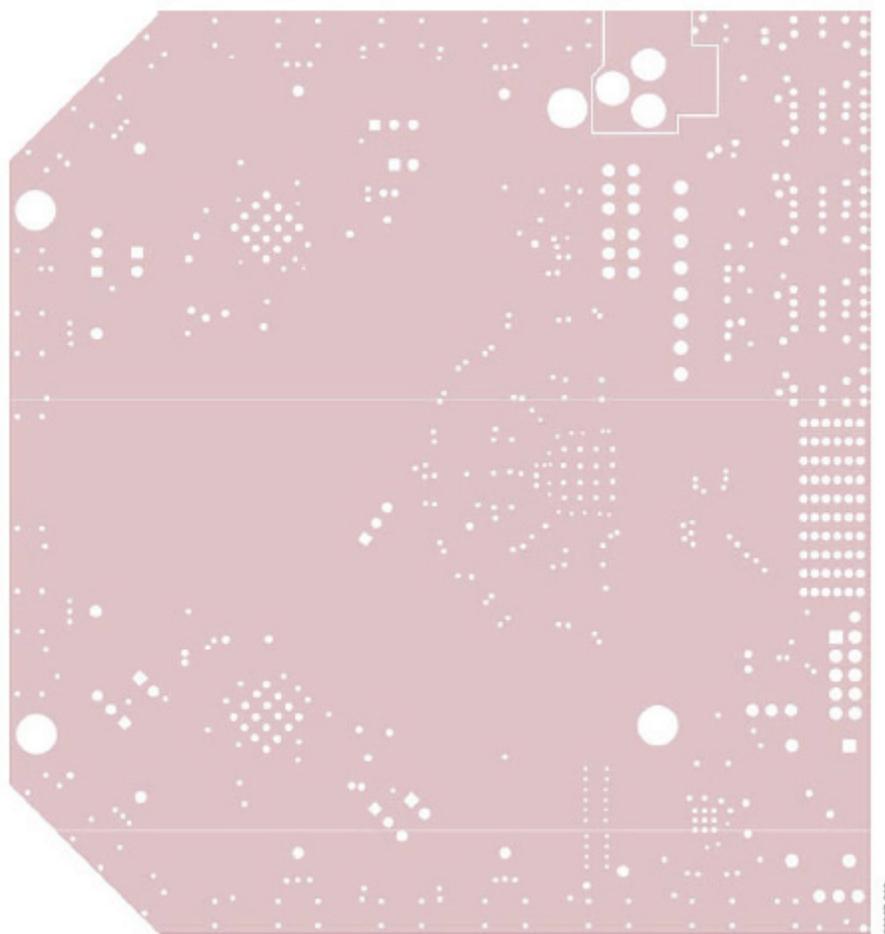


图 98. 评估板布局布线——接地层

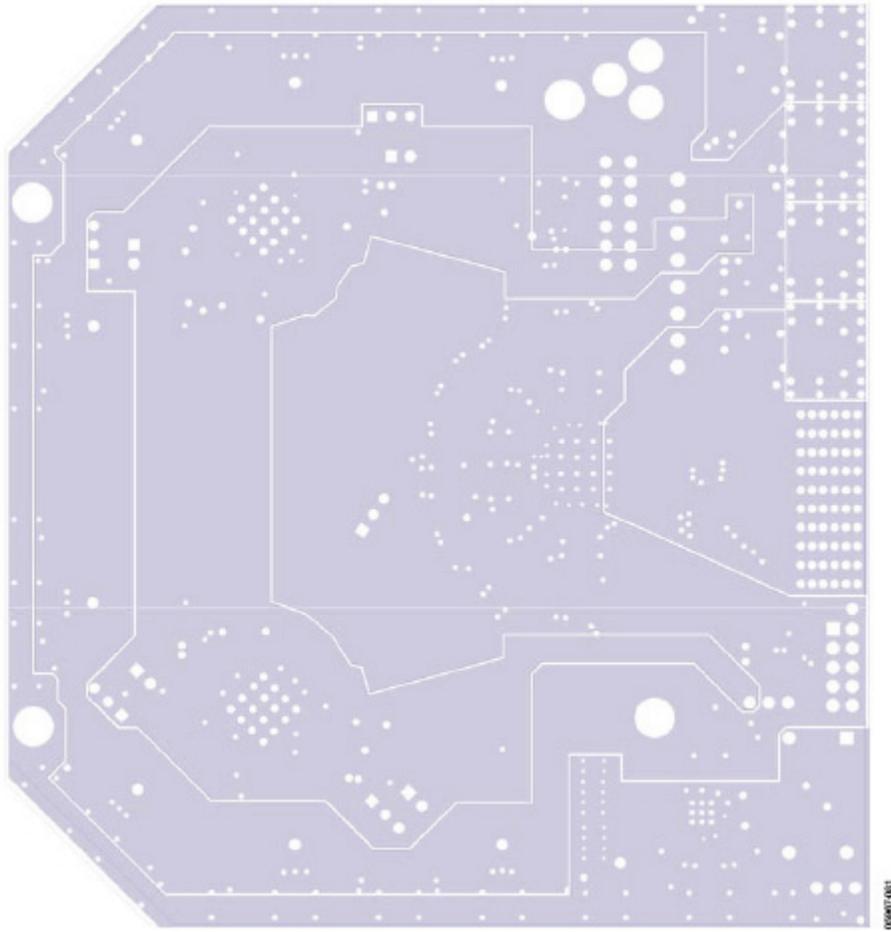


图 99. 评估板布局布线——电源层

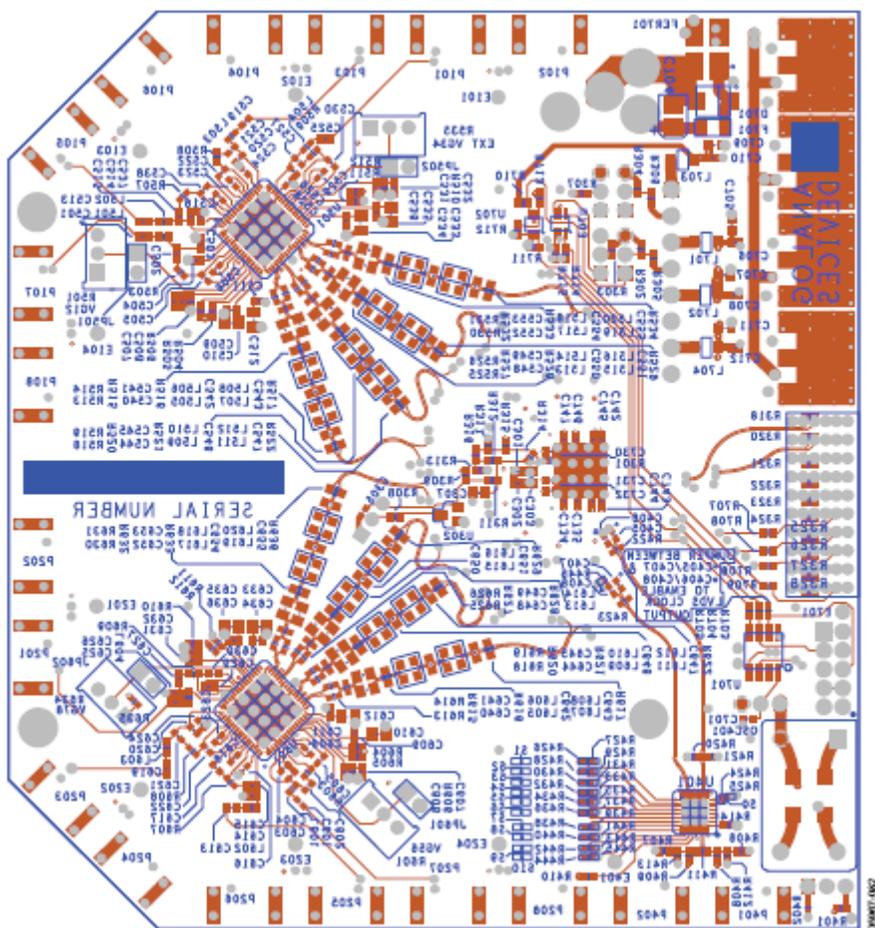


图100. 评估板布局布线——辅面（镜像）

AD9222

表 17. 评估板物料清单(BOM)¹

项目	每块板的数量	索引标识符	器件	封装	描述	制造商	厂家产品型号
1	1	AD9222-65EBZ	PCB	PCB	PCB		
2	118	C101, C102, C107, C108, C109, C114, C115, C116, C121, C122, C123, C128, C201, C202, C207, C208, C209, C214, C215, C216, C221, C222, C223, C228, C301, C302, C304, C305, C306, C401, C402, C403, C409, C410, C411, C412, C413, C414, C415, C416, C417, C418, C501, C504, C505, C506, C508, C509, C511, C513, C518, C519, C522, C523, C524, C525, C528, C529, C530, C532, C534, C536, C537, C538, C601, C604, C605, C606, C608, C609, C611, C613, C616, C617, C618, C619, C622, C623, C624, C625, C628, C629, C630, C632, C634, C636, C701, C702, C703, C706, C708, C710, C712, C723, C724, C725, C726, C727, C730, C731, C732, C733, C734, C735, C740, C741, C742, C743, C744, C745, C746, C747, C748, C749, C750, C751, C752, C753	电容	402	0.1 μ F, 陶瓷, X5R, 10 V, 10%容差	Murata	GRM155R71C104KA88D
3	8	C104, C111, C118, C125, C204, C211, C218, C225	电容	402	2.2 pF, 陶瓷, COG, 0.25 pF 容差, 50 V	Murata	GRM1555C1H2R20CZ01D
4	8	C510, C512, C533, C535, C610, C612, C633, C635	电容	805	10 μ F, 6.3 V \pm 10%, 陶瓷, X5R	Murata	GRM219R60J106KE19D
5	1	C303	电容	603	4.7 μ F, 陶瓷, X5R, 6.3 V, 10%容差	Murata	GRM188R60J475KE19D
6	4	C507, C531, C607, C631	电容	402	1000 pF, 陶瓷, X7R, 25 V, 10%容差	Murata	GRM155R71H102KA01D
7	8	C502, C515, C521, C527, C602, C615, C621, C627	电容	402	0.018 μ F, 陶瓷, X7R, 16 V, 10%容差	AVX	0402YC183KAT2A

项目	每块板的数量	索引标识符	器件	封装	描述	制造商	厂家产品型号
8	8	C503, C514, C520, C526, C603, C614, C620, C626	电容	402	22 pF, 陶瓷, NPO, 5%容差, 50 V	Murata	GRM1555C1H220JZ01D
9	1	C704	电容	1206	10 μ F, 钽, 16 V, 20%容差	Rohm	TCA1C106M8R
10	9	C307, C714, C715, C716, C717, C719, C720, C721, C722	电容	603	1 μ F, 陶瓷, X5R, 6.3 V, 10%容差	Murata	GRM188R61C105KA93D
11	16	C540, C541, C544, C545, C548, C549, C552, C553, C640, C641, C644, C645, C648, C649, C652, C653	电容	805	0.1 μ F, 陶瓷, X7R, 50 V, 10%容差	Murata	GRM21BR71H104KA01L
12	4	C705, C707, C709, C711	电容	603	10 μ F, 陶瓷, X5R, 6.3 V, 20%容差	Murata	GRM188R60J106ME47D
13	1	CR401	二极管	SOT-23	30 V, 20 mA、双肖特基	Avago Technologies	HSMS-2812-TR1G
14	2	CR701, CR702	LED	603	绿色, 4 V, 5 m 烛光	Panasonic	LNJ314G8TRA
15	1	D702	二极管	DO-214AB	3 A, 30 V, SMC	Micro Commercial Co.	SK33-TP
16	1	D701	二极管	DO-214AA	5 A, 50 V, SMC	Micro Commercial Co.	S2A-TP
17	1	F701	保险丝	1210	6.0 V, 2.2 A 动作电流自复保险丝	Tyco/Raychem	NANOSMDC110F-2
18	1	FER701	扼流圈	2020	10 μ H, 5 A, 50 V, 190 Ω @ 100 MHz	Murata	DLW5BSN191SQ2L
19	24	FB101, FB102, FB103, FB104, FB105, FB106, FB107, FB108, FB109, FB110, FB111, FB112, FB201, FB202, FB203, FB204, FB205, FB206, FB207, FB208, FB209, FB210, FB211, FB212	铁氧体磁珠	603	10 Ω , 测试频率, 100 MHz, 25%容差, 500 mA	Murata	BLM18BA100SN1D
20	4	JP501, JP502, JP601, JP602	连接器	2-pin	100 密耳排针跳线, 2 引脚	Samtec	TSW-102-07-G-S
21	6	J301, J302, J303, J304, J401, J701	连接器	3-pin	100 密耳排针跳线, 3 引脚	Samtec	TSW-103-07-G-S
23	1	J702	连接器	10-pin	100 密耳 2 \times 5 双排直脚排针	Samtec	TSW-105-08-G-D
24	8	L701, L702, L703, L704, L705, L706, L707, L708	铁氧体磁珠	1210	10 μ H, 串芯磁珠 3.2 \times 2.5 \times 1.6 SMD, 2 A	Murata	BLM31PG500SN1L
25	8	L501, L502, L503, L504, L601, L602, L603, L604	电感	402	120 nH, 测试频率 100 MHz, 5%容差, 150 mA	Murata	LQG15HNR12J02D

AD9222

项目	每块板的数量	索引标识符	器件	封装	描述	制造商	厂家产品型号
26	32	L505, L506, L507, L508, L509, L510, L511, L512, L513, L514, L515, L516, L517, L518, L519, L520, L605, L606, L607, L608, L609, L610, L611, L612, L613, L614, L615, L616, L617, L618, L619, L620	电阻	805	0 Ω, 1/8 W, 5%容差	NIC Components Corp.	NRC04Z0TRF
27	1	OSC401	振荡器	SMT	时钟振荡器, 50.00 MHz, 3.3 V, ±5%占空比	Valphey Fisher	VFAC3H-L-50MHz
28	9	P101, P103, P105, P107, P201, P203, P205, P207, P401	连接器	SMA	侧装 SMA, 板厚 0.063"	Johnson Components	142-0701-851
29	1	P301	连接器	HEADER	1469169-1, 直角 2 对, 25 mm, 排针组件	Tyco 6469169-1	
30	1	P701	连接器	0.1", PCMT	RAPC722, 电源连接器	Switchcraft	RAPC722X
31	21	R301, R307, R401, R402, R410, R413, R504, R505, R511, R512, R523, R524, R604, R605, R611, R612, R623, R624, R711, R714, R715	电阻	402	10 kΩ, 1/16 W, 5%容差	NIC Components Corp.	NRC04J103TRF
32	18	R103, R117, R129, R142, R203, R219, R235, R253, R317, R405, R415, R416, R417, R418, R706, R707, R708, R709	电阻	402	0 Ω, 1/16 W, 5%容差	NIC Components Corp.	NRC04Z0TRF
33	8	R102, R115, R128, R141, R202, R218, R234, R252	电阻	402	64.9 Ω, 1/16 W, 1%容差	NIC Components Corp.	NRC04F64R9TRF
34	8	R104, R116, R130, R143, R204, R220, R236, R254	电阻	603	0 Ω, 1/10 W, 5%容差	NIC Components Corp.	NRC06Z0TRF
35	28	R109, R111, R112, R123, R125, R126, R135, R138, R139, R148, R149, R150, R211, R212, R214, R228, R231, R232, R246, R249, R250, R262, R265, R266, R319, R710, R712, R713	电阻	402	1 kΩ, 1/16 W, 1%容差	NIC Components Corp.	NRC04F1001TRF
36	16	R108, R110, R121, R122, R134, R136, R146, R147, R209, R210, R226, R227, R242, R245, R260, R261	电阻	402	33 Ω, 1/16 W, 5%容差	NIC Components Corp.	NRC04J330TRF

项目	每块板的数量	索引标识符	器件	封装	描述	制造商	厂家产品型号
37	8	R161, R162, R163, R164, R208, R225, R241, R259	电阻	402	499 Ω , 1/16 W, 1%容差	NIC Components Corp.	NRC04F4990TRF
38	3	R303, R305, R306	电阻	402	100 k Ω , 1/16 W, 1%容差	NIC Components Corp.	NRC04F1003TRF
39	1	R414	电阻	402	4.12 k Ω , 1/16 W, 1%容差	NIC Components Corp.	NRC04F4121TRF
40	1	R404	电阻	402	49.9 Ω , 1/16 W, 0.5%容差	Susumu	RR0510R-49R9-D
41	1	R309	电阻	402	4.99 k Ω , 1/16 W, 5%容差	NIC Components Corp.	NRC04F4991TRF
42	5	R310, R501, R535, R601, R634	电位计	3 引脚	10 k Ω , 陶瓷金属调整电位计, 18 匝顶部调节, 10%, 1/2 W	COPAL ELECTRONICS	CT94EW103
43	1	R308	电阻	402	470 k Ω , 1/16 W, 5%容差	NIC Components Corp.	NRC04J474TRF
44	4	R502, R536, R602, R635	电阻	402	39 k Ω , 1/16 W, 5%容差	NIC Components Corp.	NRC04J393TRF
45	16	R513, R514, R518, R519, R525, R526, R530, R531, R613, R614, R618, R619, R625, R626, R630, R631	电阻	402	187 Ω , 1/16 W, 1%容差	NIC Components Corp.	NRC04F1870TRF
46	8	R515, R520, R527, R532, R615, R620, R627, R632	电阻	402	374 Ω , 1/16 W, 1%容差	NIC Components Corp.	NRC04F3740TRF
47	8	R503, R507, R508, R509, R603, R607, R608, R609	电阻	402	274 Ω , 1/16 W, 1%容差	NIC Components Corp.	NRC04F2740TRF
48	11	R425, R427, R429, R431, R433, R435, R436, R439, R441, R443, R445	电阻	201	0 Ω , 1/20 W, 5%容差	NIC Components Corp.	NRC02Z0TRF
49	1	R701	电阻	402	4.7 k Ω , 1/16 W, 1%容差	NIC Components Corp.	NRC04J472TRF
50	1	R702	电阻	402	261 Ω , 1/16 W, 1%容差	NIC Components Corp.	NRC04F2610TRF
51	1	R716	电阻	603	261 Ω , 1/16 W, 1%容差	NIC Components Corp.	NRC06F261OTRF
52	2	R420, R421	电阻	402	240 Ω , 1/16 W, 5%容差	NIC Components Corp.	NRC04J241TRF
53	2	R422, R423	电阻	402	100 Ω , 1/16 W, 1%容差	NIC Components Corp.	NRC04F1000TRF
54	1	S701	开关	SMD	轻触型, 100GE, 5 mm	Panasonic	EVQ-PLDA15

AD9222

项目	每块板的数量	索引标识符	器件	封装	描述	制造商	厂家产品型号
55	9	T101, T102, T103, T104, T201, T202, T203, T204, T401	变压器	CD542	ADT1-1WT+, 1:1 阻抗比变压器	微型电路	ADT1-1WT+
56	2	U704, U707	IC	SOT-223	ADP33339AKC-1.8-RL, 1.5 A, 1.8 V LDO 调节器	Analog Devices	ADP33339AKCZ-1.8-RL
57	2	U501, U601	IC	CP-64-3	AD8334ACPZ-REEL, 超低噪声精密双通道 VGA	Analog Devices	AD8334ACPZ-REEL
58	1	U706	IC	SOT-223	ADP33339AKC-5-RL7	Analog Devices	ADP33339AKCZ-5-RL
59	1	U705	IC	SOT-223	ADP33339AKC-3.3-RL	Analog Devices	ADP33339AKCZ-3.3-RL
60	1	U301	IC	CP-64-3	AD9222BCPZ-65, 8 通道、12 位、50 MSPS 串行 LVDS 1.8 V ADC	Analog Devices	AD9222BCPZ-65
61	1	U302	IC	SOT-23	ADR510ARTZ, 1.0 V 精密低噪声分流基准电压源	Analog Devices	ADR510ARTZ
62	1	U401	IC	LFCSP CP-32-2	AD9515BCPZ, 1.6 GHz 时钟分配 IC	Analog Devices	AD9515BCPZ
63	1	U702	IC	SC70, MAA06A	NC7WZ07P6X_NL, UHS 双缓冲器	Fairchild	NC7WZ07P6X_NL
64	1	U703	IC	SC70, MAA06A	NC7WZ16P6X_NL, UHS 双缓冲器	Fairchild	NC7WZ16P6X_NL
65	1	U701	IC	8-SOIC	Flash 程序存储器 1kx14, RAM 大小 64 x 8, 20 MHz 速度, PIC12F 控制器系列	Microchip	PIC12F629-I/SNG

¹ 本物料清单符合 RoHS 标准。

外形尺寸

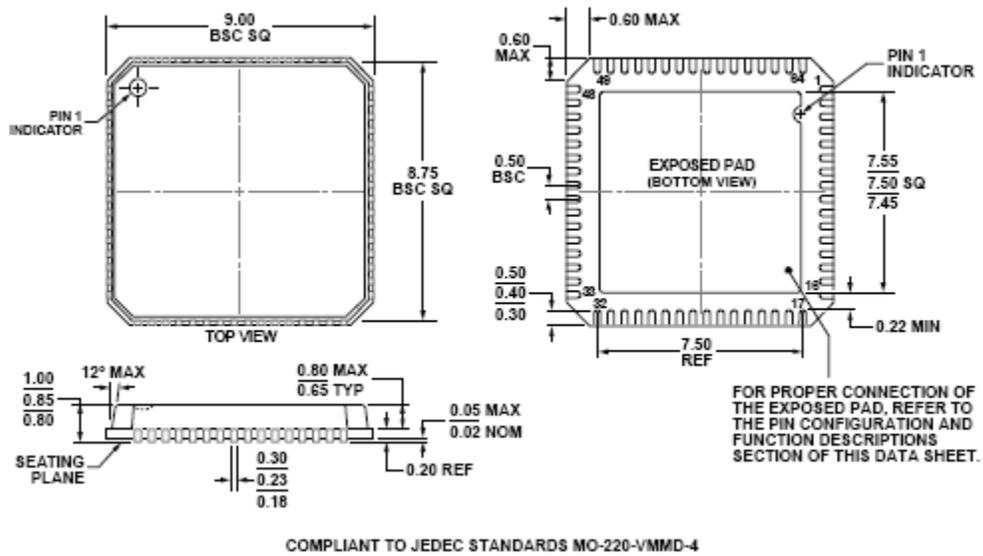


图 101. 64 引脚 LFCSP_VQ
 9 mm × 9 mm, 超薄体
 (CP-64-6)
 尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD9222ABCPZ-40	-40°C 至 +85°C	64 引脚 LFCSP_VQ	CP-64-6
AD9222ABCPZRL7-40	-40°C 至 +85°C	64 引脚 LFCSP_VQ 卷带和卷盘	CP-64-6
AD9222ABCPZ-50	-40°C 至 +85°C	64 引脚 LFCSP_VQ	CP-64-6
AD9222ABCPZRL7-50	-40°C 至 +85°C	64 引脚 LFCSP_VQ 卷带和卷盘	CP-64-6
AD9222ABCPZ-65	-40°C 至 +85°C	64 引脚 LFCSP_VQ	CP-64-6
AD9222ABCPZRL7-65	-40°C 至 +85°C	64 引脚 LFCSP_VQ 卷带和卷盘	CP-64-6
AD9222-65EBZ		评估板	

¹Z = 符合 RoHS 标准的器件

注释