

AD9776A/AD9778A/AD9779A

特性

低功耗(全部工作条件下): 1.0 W (1 GSPS),

600 mW (500 MSPS)

单载波W-CDMA ACLR = 80 dBc (80 MHz 中频)

可调模拟输出: 8.7 mA至31.7 mA($R_L = 25 \Omega$ 至 50Ω)

新颖的2×、4×、8×插值器/粗调复数调制器可以将载波放在DAC

带宽中的任何位置

辅助DAC可以控制外部VGA及失调

多芯片同步接口

高性能、低噪声锁相环(PLL)时钟倍频器

数字反sinc滤波器

100引脚、裸露焊盘TQFP封装

应用

无线基础设施: W-CDMA、CDMA2000、TD-SCDMA、WiMAX、
GSM、LTE

数字高/低中频合成

内部数字上变频功能

发射分集

宽带通信: LMDS/MMDS、点对点

概述

AD9776A/AD9778A/AD9779A分别是双通道、12/14/16位、高动态范围数模转换器(DAC),提供1 GSPS采样速率,可以产生最高达奈奎斯特频率的多载波。这些器件具有针对直接变频传输应用进行优化的特性,包括复数数字调制以及增益与失调补偿。DAC输出经过优化,可以与模拟正交调制器无缝接口,例如ADI公司的ADL537x FMOD系列调制器。三线式接口允许对许多内部参数进行编程和回读。满量程输出电流可以在10 mA至30 mA范围内进行编程。这些器件采用先进的 $0.18 \mu\text{m}$ CMOS工艺制造,采用1.8 V和3.3 V电源供电,总功耗为1.0 W,并采用100引脚超薄四方扁平封装(TQFP)。

产品聚焦

1. 利用超低噪声与交调失真(IMD)特性,从基带到高中频的宽带信号可以实现高质量合成。
2. 专用的DAC输出开关技术可增强动态性能。
3. 电流输出配置简便,可以用于各种单端或差分电路拓扑结构。
4. CMOS数据输入接口,具有可调的建立与保持功能。
5. 新颖的2×、4×、8×插值器/粗调复数调制器可以将载波放在DAC带宽中的任何位置。

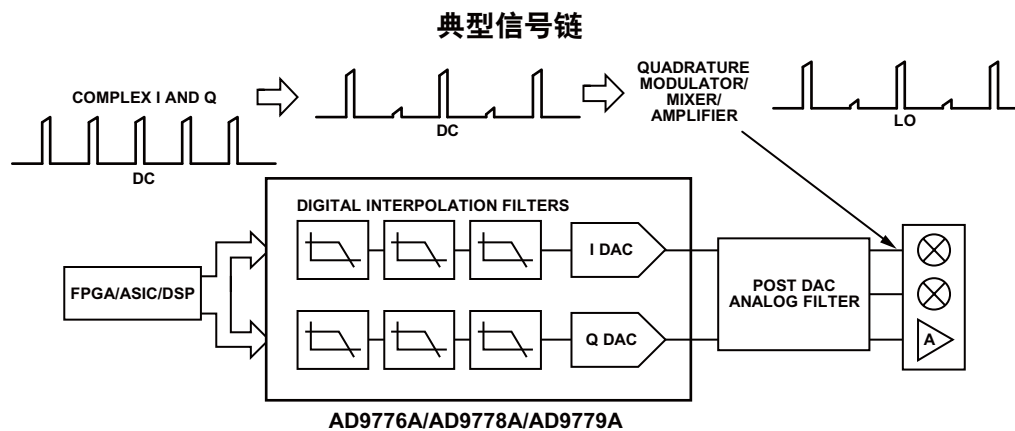


图1

08452-114

Rev. B

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2007–2008 Analog Devices, Inc. All rights reserved.

ADI中文版数据手册是英文版数据手册的译文,敬请谅解翻译中可能存在的语言组织或翻译错误,ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性,请参考ADI提供的最新英文版数据手册。

目录

特性	1	反Sinc滤波器	38
应用	1	DAC采样时钟源	39
概述	1	直接输入时钟	39
产品聚焦	1	时钟倍频	39
典型信号链	1	驱动REFCLK输入	42
修订历史	3	产生满量程电流	43
功能框图	4	内部基准电压源	43
技术规格	5	增益和失调校正	44
直流规格	5	I/Q通道增益匹配	44
数字规格	6	辅助DAC操作	44
数字输入数据时序规格	7	LO馈通补偿	45
交流规格	8	增益和失调校正结果	45
绝对最大额定值	9	输入数据端口	46
热阻	9	单端口模式	46
ESD警告	9	双端口模式	46
引脚配置和功能描述	10	输入数据以DATACLK为参考	46
典型工作特性	16	输入数据以REFCLK为参考	47
术语	24	优化数据输入时序	48
工作原理	25	器件同步	49
AD9776/AD9778/AD9779与AD9776A/AD9778A/ AD9779A的区别	25	同步逻辑概述	49
三线式接口	26	器件与系统时钟同步	50
串行接口的通用操作	26	中断请求操作	50
指令字节	26	功耗	51
串行接口端口引脚功能描述	27	掉电和休眠模式	52
MSB/LSB传输	27	评估板概述	53
三线式接口寄存器映射	28	评估板操作	53
插值滤波器结构	33	外形尺寸	55
插值滤波器带宽限制	37	订购指南	55

修订历史

2008年9月—修订版A至修订版B

串行外设接口(SPI)全部改为三线式接口	1
更改特性部分	1
更改应用部分	1
更改表1的积分非线性(INL)参数	5
更改表2的DAC时钟输入(REFCLK+, REFCLK-)参数	6
更改表3的输入数据参数	7
更改表3的保持时间参数	7
表3增加三线式接口参数	7
表3增加复位参数	7
更改表3的尾注	7
图3增加裸露焊盘注释, 更改表7	10
图4增加裸露焊盘注释, 更改表8	12
图5增加裸露焊盘注释, 更改表9	14
更改DATACLK延迟范围部分	25
更改版本寄存器部分	25
更改表10	25
更改表12	26
更改表13	28
更改表14	29
更改插值滤波器结构部分	33
更改图60	34
更改表19	36
更改插值滤波器带宽限制部分	37
更改图70	37
增加数字调制部分	37
增加表20和表21; 重新按序编号	38
增加反Sinc滤波器部分	38
增加图71; 重新按序编号	38
更改时钟倍频部分	39
更改图72	39
更改配置PLL频段选择值部分	39
更改利用温度检测配置PLL频段选择部分	41
更改利用存储器进行已知温度校准部分	41
更改“一劳永逸”的器件选项部分	41
增加表26	41
更改内部基准电压源部分	43
发射路径增益和失调校正标题改为增益和失调校正	44
更改I/Q通道增益匹配部分	44
更改辅助DAC操作部分	44
更换图79	45

删除图79; 重新按序编号	41
更改LO馈通补偿部分	45
更改表28	47
更改优化数据输入时序部分	48
更改同步逻辑概述部分	49
更改图88	49
更改图101	53
删除使用ADL5372正交调制器部分和图104	51
删除评估板原理图部分和图105; 重新按序编号	52
删除图106	53
删除图107	54
删除图108	55
删除图109	56
删除图110	57
删除图111	58
删除图112	59
更新外形尺寸	60

2008年3月—修订版0至修订版A

更改特性	1
增加注释2	4
更改表2	5
更改表3	6
更改热阻部分	7
插入表6	8
更改表7的引脚39描述	9
更改表8的引脚39描述	10
更改表9的引脚39描述	12
更改工作原理部分	23
更改表10	23
更改表13	26
更改表14	27
更改插值滤波器结构部分	33
替换DAC采样时钟源部分	36
替换发射路径增益和失调校正部分	40
替换输入数据端口部分	42
替换器件同步部分	45
删除图112至图117	58

2007年8月—修订版0: 初始版

AD9776A/AD9778A/AD9779A

功能框图

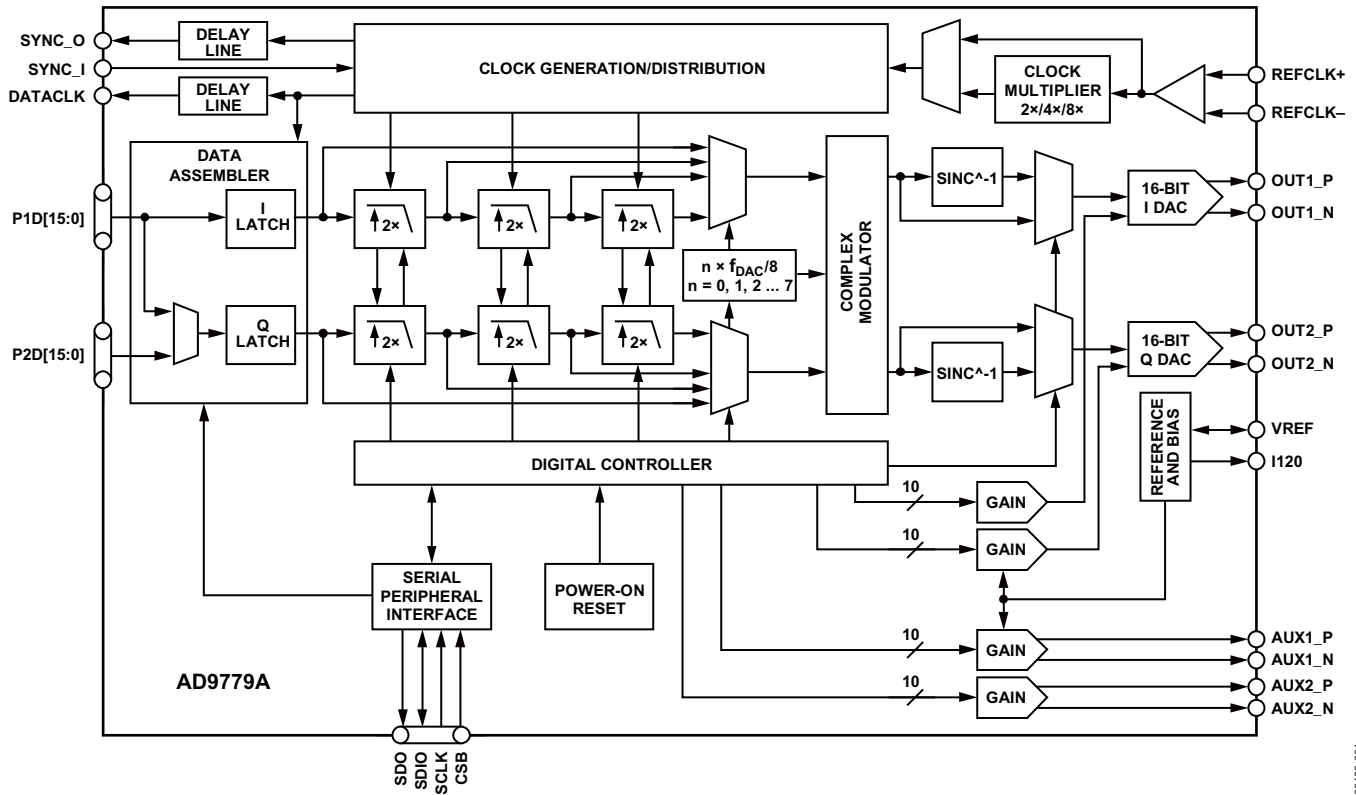


图2. AD9779A功能框图

技术规格

直流规格

T_{MIN} 至 T_{MAX} , AVDD33 = 3.3 V, DVDD33 = 3.3 V, DVDD18 = 1.8 V, CVDD18 = 1.8 V, $I_{OUTFS} = 20$ mA, 最大采样速率, 除非另有说明,

表1

参数	AD9776A			AD9778A			AD9779A			单位
	最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
分辨率	12			14			16			Bits
精度										
微分非线性(DNL)	±0.1			±0.65			±2.1			LSB
积分非线性(INL)	±0.86			±1.5			±6.0			LSB
主DAC输出										
失调误差	-0.001	0	+0.001	-0.001	0	+0.001	-0.001	0	+0.001	% FSR
增益误差(使用内部基准电压源)	±2			±2			±2			% FSR
满量程输出电流 ¹	8.66	20.2	31.66	8.66	20.2	31.66	8.66	20.2	31.66	mA
输出电压范围	-1.0		+1.0	-1.0		+1.0	-1.0		+1.0	V
输出电阻	10			10			10			MΩ
主DAC单调性	保证			保证			保证			
主DAC温度漂移										
失调	0.04			0.04			0.04			ppm/°C
增益	100			100			100			ppm/°C
基准电压	30			30			30			ppm/°C
辅助DAC输出										
分辨率	10			10			10			Bits
满量程输出电流 ¹	-1.998		+1.998	-1.998		+1.998	-1.998		+1.998	mA
输出电压范围(源)	0		1.6	0		1.6	0		1.6	V
输出电压范围(吸)	0.8		1.6	0.8		1.6	0.8		1.6	V
输出电阻	1			1			1			MΩ
辅助DAC单调性	保证			保证			保证			
基准电压										
内部基准电压	1.2			1.2			1.2			V
输出电阻	5			5			5			kΩ
模拟电源电压										
AVDD33	3.13	3.3	3.47	3.13	3.3	3.47	3.13	3.3	3.47	V
CVDD18	1.70	1.8	2.05	1.70	1.8	2.05	1.70	1.8	2.05	V
数字电源电压										
DVDD33	3.13	3.3	3.47	3.13	3.3	3.47	3.13	3.3	3.47	V
DVDD18	1.70	1.8	2.05	1.70	1.8	2.05	1.70	1.8	2.05	V
功耗 ²										
1×模式, $f_{DAC}=100$ MSPS, IF=1MHz	250		300	250		300	250		300	mW
2×模式, $f_{DAC} = 320$ MSPS, IF = 16 MHz, PLL关	498			498			498			mW
2×模式, $f_{DAC} = 320$ MSPS, IF = 16 MHz, PLL开	588			588			588			mW
4×模式, $f_{DAC}/4$ 调制, $f_{DAC}=500$ MSPS, IF = 137.5 MHz, Q DAC关	572			572			572			mW
8×模式, $f_{DAC}/4$ 调制, $f_{DAC} = 1$ GSPS, IF = 262.5 MHz	980			980			980			mW
掉电模式	2.5		9.8	2.5		9.8	2.5		9.8	mW
电源电压抑制比(AVDD33)	-0.3		+0.3	-0.3		+0.3	-0.3		+0.3	% FSR/V
工作范围	-40	+25	+85	-40	+25	+85	-40	+25	+85	°C

¹ 基于10 kΩ外部电阻

² 详情见功耗部分。

AD9776A/AD9778A/AD9779A

数字规格

T_{MIN} 至 T_{MAX} , AVDD33 = 3.3 V, DVDD33 = 3.3 V, DVDD18 = 1.8 V, CVDD18 = 1.8 V, $I_{OUTFS} = 20$ mA, 最大采样速率, 除非另有说明, LVDS驱动器和接收器兼容IEEE-1596小范围链路, 除非另有说明。

表2

参数	条件	最小值	典型值	最大值	单位
CMOS输入逻辑电平					
输入 V_{IN} 逻辑高		2.0			V
输入 V_{IN} 逻辑低			0.8		V
插值时最大输入数据速率					
1x		300			MSPS
2x		250			MSPS
4x		200			MSPS
8x	DVDD18, CVDD18 = 1.8 V \pm 5%	112.5			MSPS
	DVDD18, CVDD18 = 1.9 V \pm 5%	125			MSPS
	DVDD18, CVDD18 = 2.0 V \pm 2%	137.5			MSPS
CMOS输出逻辑电平(DATACLK, PIN 37) ¹					
输出 V_{OUT} 逻辑高		2.4			V
输出 V_{OUT} 逻辑低				0.4	V
DATACLK输出占空比	250 MHz频率, 5 pF负载	40	50	60	%
LVDS接收器输入(SYNC_I+, SYNC_I-)	SYNC_I+ = V_{IA} , SYNC_I- = V_{IB}				
输入电压范围 V_{IA} 或 V_{IB}		825		1575	mV
输入差分阈值 V_{IDTH}		-100		+100	mV
输入差分迟滞 $V_{IDTHH} - V_{IDTHL}$			20		mV
接收器差分输入阻抗 R_{IN}		80		120	Ω
LVDS输入速率	f_{SYNC_I} 应用附加限制; 参见表14中寄存器0x05, 位[3:1]的描述			250	MSPS
SYNC_I至REFCLK建立时间		0.4			ns
SYNC_I至REFCLK保持时间		0.55			ns
LVDS驱动器输出(SYNC_O+, SYNC_O-)	SYNC_O+ = V_{OA} , SYNC_O- = V_{OB} , 100 Ω 端接电阻				
输出电压高 V_{OA} 或 V_{OB}				1375	mV
输出电压低 V_{OA} 或 V_{OB}		1025			mV
输出差分电压 $ V_{OD} $		150	200	250	mV
输出失调电压 V_{OS}		1150		1250	mV
输出阻抗 R_O	单端	80	100	120	Ω
DAC时钟输入(REFCLK+, REFCLK-)					
差分峰峰值电压		400	800	2000	mV
共模电压		300	400	500	mV
最大时钟速率	DVDD18, CVDD18 = 1.8 V \pm 5%, PLL关	900			MHz
	DVDD18, CVDD18 = 1.9 V \pm 5%, PLL关	1000			MHz
	DVDD18, CVDD18 = 2.0 V \pm 2%, PLL关	1100			MHz
	DVDD18, CVDD18 = 2.0 V \pm 2%, PLL开	250			MHz

¹ 条件: 100 MHz DATACLK频率, 1 k Ω 负载, 最大8 mA驱动能力。对于更高速度或更大负载, 最佳做法是对此信号使用外部缓冲器。

数字输入数据时序规格

所有模式，-40°C至+85°C。

表3

参数	条件	最小值	典型值	最大值	单位
输入数据 ¹					
建立时间	输入数据至DATACLK	3.0			ns
保持时间	输入数据至DATACLK	-0.05			ns
建立时间	输入数据至REFCLK	-0.80			ns
保持时间	输入数据至REFCLK	3.80			ns
延迟					
1×插值	有或无调制		25		DACCLK周期
2×插值	有或无调制		70		DACCLK周期
4×插值	有或无调制		146		DACCLK周期
8×插值	有或无调制		297		DACCLK周期
反Sinc			18		DACCLK周期
三线式接口					
最大时钟速率(SCLK)		40			MHz
最短脉冲宽度(高电平) t_{PWH}				12.5	ns
最短脉冲宽度(低电平) t_{PWL}				12.5	ns
建立时间 t_{DS}	SDIO至SCLK	2.8			ns
保持时间 t_{DH}	SDIO至SCLK	0.0			ns
建立时间 t_{DS}	CSB至SCLK	2.8			ns
数据有效 t_{DV}	SDO至SCLK	2.0			ns
上电时间 ²			260		ms
复位					
最短脉冲宽度(高电平)				2	DACCLK周期

¹ 额定值在PLL禁用条件下测得。时序与温度的关系以及数据有效阻挡窗口(为确保正确采样，器件有效数据必须出现的最短时间)见表28。

² 当寄存器0x00位4从1写为0时，从CSB上升沿测得的值；VREF去耦电容为0.1 μ F。

AD9776A/AD9778A/AD9779A

交流规格

T_{MIN} 至 T_{MAX} , AVDD33 = 3.3 V, DVDD33 = 3.3 V, DVDD18 = 1.8 V, CVDD18 = 1.8 V, $I_{OUTFS} = 20$ mA, 最大采样速率, 除非另有说明,

表4

参数	AD9776A			AD9778A			AD9779A			单位
	最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
无杂散动态范围(SFDR)										
$f_{DAC} = 100$ MSPS, $f_{OUT} = 20$ MHz		82			82			82		dBc
$f_{DAC} = 200$ MSPS, $f_{OUT} = 50$ MHz		81			81			82		dBc
$f_{DAC} = 400$ MSPS, $f_{OUT} = 70$ MHz		80			80			80		dBc
$f_{DAC} = 800$ MSPS, $f_{OUT} = 70$ MHz		85			85			87		dBc
双音交调失真(IMD)										
$f_{DAC} = 200$ MSPS, $f_{OUT} = 50$ MHz		87			87			91		dBc
$f_{DAC} = 400$ MSPS, $f_{OUT} = 60$ MHz		80			85			85		dBc
$f_{DAC} = 400$ MSPS, $f_{OUT} = 80$ MHz		75			81			81		dBc
$f_{DAC} = 800$ MSPS, $f_{OUT} = 100$ MHz		75			80			81		dBc
噪声谱密度(NSD), 八音, 500 kHz音间距										
$f_{DAC} = 200$ MSPS, $f_{OUT} = 80$ MHz		-152			-155			-158		dBm/Hz
$f_{DAC} = 400$ MSPS, $f_{OUT} = 80$ MHz		-155			-159			-160		dBm/Hz
$f_{DAC} = 800$ MSPS, $f_{OUT} = 80$ MHz		-157.5			-160			-161		dBm/Hz
W-CDMA邻道泄漏比(ACLR), 单载波										
$f_{DAC} = 491.52$ MSPS, $f_{OUT} = 100$ MHz		76			78			79		dBc
$f_{DAC} = 491.52$ MSPS, $f_{OUT} = 200$ MHz		69			73			74		dBc
W-CDMA第二邻道泄漏比(ACLR), 单载波										
$f_{DAC} = 491.52$ MSPS, $f_{OUT} = 100$ MHz		77.5			80			81		dBc
$f_{DAC} = 491.52$ MSPS, $f_{OUT} = 200$ MHz		76			78			78		dBc

绝对最大额定值

表5

参数	相对于	额定值
AVDD33, DVDD33	AGND, DGND, CGND	-0.3 V 至 +3.6 V
DVDD18, CVDD18	AGND, DGND, CGND	-0.3 V 至 +2.1 V
AGND	DGND, CGND	-0.3 V 至 +0.3 V
DGND	AGND, CGND	-0.3 V 至 +0.3 V
CGND	AGND, DGND	-0.3 V 至 +0.3 V
I120, VREF, IPTAT	AGND	-0.3 V 至 AVDD33 + 0.3 V
OUT1_P, OUT1_N, OUT2_P, OUT2_N, AUX1_P, AUX1_N, AUX2_P, AUX2_N P1D[15:0], P2D[15:0]	AGND	-1.0 V 至 AVDD33 + 0.3 V
DATACLK, TXENABLE	DGND	-0.3 V 至 DVDD33 + 0.3 V
REFCLK+, REFCLK-	CGND	-0.3 V 至 CVDD18 + 0.3 V
RESET, IRQ, PLL_LOCK, SYNC_O+, SYNC_O-, SYNC_I+, SYNC_I-, CSB, SCLK, SDIO, SDO 结温 存储温度范围	DGND	-0.3 V 至 DVDD33 + 0.3 V +125°C -65°C 至 +150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这些只是最大额定值，不意味着器件可以在这些或者任何其它超出本技术规格书中功能性操作章节里标明的条件下能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

对于100引脚、散热增强型TQFP封装，为实现最佳散热性能，应将裸露焊盘(EPAD)焊接至接地层。

典型 θ_{JA} 和 θ_{JC} 规格适用于静止空气下的4层电路板。空气流动可增强散热，有效降低 θ_{JA} 。

表6. 热阻

封装类型	θ_{JA}	θ_{JB}	θ_{JC}	单位
100引脚TQFP				
焊接EPAD	19.1	12.4	7.1	°C/W
不焊EPAD	27.4			°C/W

ESD 警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

AD9776A/AD9778A/AD9779A

引脚配置和功能描述

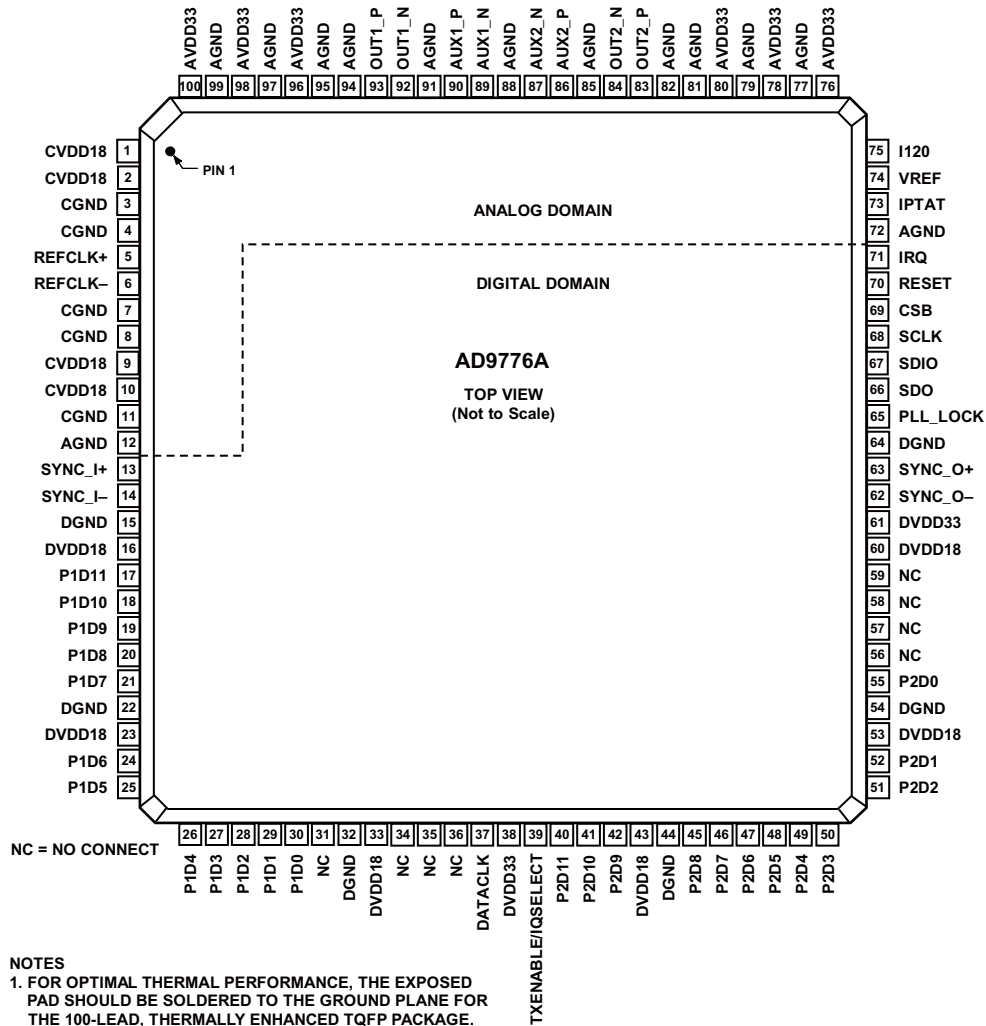


图3. AD9776A引脚配置

表7. AD9776A引脚功能描述

引脚编号	引脚名称	描述	引脚编号	引脚名称	描述
1	CVDD18	1.8 V时钟电源	17	P1D11	端口1数据输入D11(MSB)
2	CVDD18	1.8 V时钟电源	18	P1D10	端口1数据输入D10
3	CGND	时钟地	19	P1D9	端口1数据输入D9
4	CGND	时钟地	20	P1D8	端口1数据输入D8
5	REFCLK+	差分时钟输入	21	P1D7	端口1数据输入D7
6	REFCLK-	差分时钟输入	22	DGND	数字地
7	CGND	时钟地	23	DVDD18	1.8 V数字电源
8	CGND	时钟地	24	P1D6	端口1数据输入D6
9	CVDD18	1.8 V时钟电源	25	P1D5	端口1数据输入D5
10	CVDD18	1.8 V时钟电源	26	P1D4	端口1数据输入D4
11	CGND	时钟地	27	P1D3	端口1数据输入D3
12	AGND	模拟地	28	P1D2	端口1数据输入D2
13	SYNC_+	差分同步输入	29	P1D1	端口1数据输入D1
14	SYNC_-	差分同步输入	30	P1D0	端口1数据输入D0(LSB)
15	DGND	数字地	31	NC	不连接
16	DVDD18	1.8 V数字电源	32	DGND	数字地

引脚编号	引脚名称	描述
33	DVDD18	1.8 V数字电源
34	NC	不连接
35	NC	不连接
36	NC	不连接
37	DATACLK	数据时钟输出
38	DVDD33	3.3 V数字电源
39	TXENABLE/ IQSELECT	发送使能。单端口模式下，此引脚也用作IQSELECT。
40	P2D11	端口2数据输入D11 (MSB)
41	P2D10	端口2数据输入D10
42	P2D9	端口2数据输入D9
43	DVDD18	1.8 V数字电源
44	DGND	数字地
45	P2D8	端口2数据输入D8
46	P2D7	端口2数据输入D7
47	P2D6	端口2数据输入D6
48	P2D5	端口2数据输入D5
49	P2D4	端口2数据输入D4
50	P2D3	端口2数据输入D3
51	P2D2	端口2数据输入D2
52	P2D1	端口2数据输入D1
53	DVDD18	1.8 V数字电源
54	DGND	数字地
55	P2D0	端口2数据输入D0 (LSB)
56	NC	不连接
57	NC	不连接
58	NC	不连接
59	NC	不连接
60	DVDD18	1.8 V数字电源
61	DVDD33	3.3 V数字电源
62	SYNC_O-	差分同步输出
63	SYNC_O+	差分同步输出
64	DGND	数字地
65	PLL_LOCK	PLL锁定指示
66	SDO	三线式接口端口数据输出
67	SDIO	三线式接口端口数据输入/输出
68	SCLK	三线式接口端口时钟

引脚编号	引脚名称	描述
69	CSB	三线式接口端口片选信号
70	RESET	复位，高电平有效
71	IRQ	中断请求
72	AGND	模拟地
73	IPTAT	工厂测试引脚。 输出电流与绝对温度成比例，25°C时约为14 μ A，斜率约为20 nA/°C。此引脚应保持浮空。
74	VREF	基准电压输出
75	I120	120 μ A基准电流
76	AVDD33	3.3 V模拟电源
77	AGND	模拟地
78	AVDD33	3.3 V模拟电源
79	AGND	模拟地
80	AVDD33	3.3 V模拟电源
81	AGND	模拟地
82	AGND	模拟地
83	OUT2_P	通道2差分DAC电流输出
84	OUT2_N	通道2差分DAC电流输出
85	AGND	模拟地
86	AUX2_P	通道2辅助DAC电流输出
87	AUX2_N	通道2辅助DAC电流输出
88	AGND	模拟地
89	AUX1_N	通道1辅助DAC电流输出
90	AUX1_P	通道1辅助DAC电流输出
91	AGND	模拟地
92	OUT1_N	通道1差分DAC电流输出
93	OUT1_P	通道1差分DAC电流输出
94	AGND	模拟地
95	AGND	模拟地
96	AVDD33	3.3 V模拟电源
97	AGND	模拟地
98	AVDD33	3.3 V模拟电源
99	AGND	模拟地
100	AVDD33	3.3 V模拟电源

AD9776A/AD9778A/AD9779A

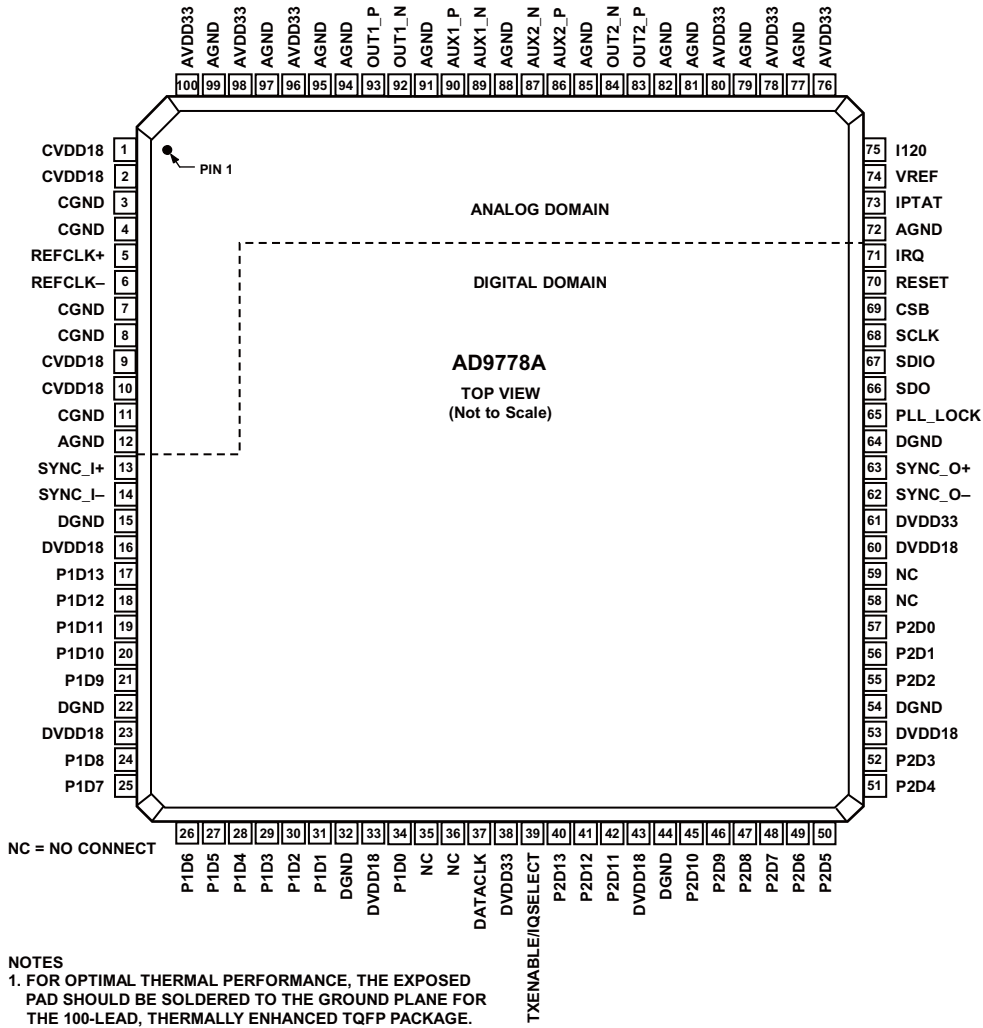


图4. AD9778A引脚配置

表8. AD9778A引脚功能描述

引脚编号	引脚名称	描述	引脚编号	引脚名称	描述
1	CVDD18	1.8 V时钟电源	19	P1D11	端口1数据输入D11
2	CVDD18	1.8 V时钟电源	20	P1D10	端口1数据输入D10
3	CGND	时钟地	21	P1D9	端口1数据输入D9
4	CGND	时钟地	22	DGND	数字地
5	REFCLK+	差分时钟输入	23	DVDD18	1.8 V数字电源
6	REFCLK-	差分时钟输入	24	P1D8	端口1数据输入D8
7	CGND	时钟地	25	P1D7	端口1数据输入D7
8	CGND	时钟地	26	P1D6	端口1数据输入D6
9	CVDD18	1.8 V时钟电源	27	P1D5	端口1数据输入D5
10	CVDD18	1.8 V时钟电源	28	P1D4	端口1数据输入D4
11	CGND	时钟地	29	P1D3	端口1数据输入D3
12	AGND	模拟地	30	P1D2	端口1数据输入D2
13	SYNC_I+	差分同步输入	31	P1D1	端口1数据输入D1
14	SYNC_I-	差分同步输入	32	DGND	数字地
15	DGND	数字地	33	DVDD18	1.8 V数字电源
16	DVDD18	1.8 V数字电源	34	P1D0	端口1数据输入D0 (LSB)
17	P1D13	端口1数据输入D13 (MSB)	35	NC	不连接
18	P1D12	端口1数据输入D12	36	NC	不连接

AD9776A/AD9778A/AD9779A

引脚编号	引脚名称	描述
37	DATACLK	数据时钟输出
38	DVDD33	3.3 V数字电源
39	TXENABLE/ IQSELECT	发送使能。单端口模式下，此引脚也用作IQSELECT。
40	P2D13	端口2数据输入D13 (MSB)
41	P2D12	端口2数据输入D12
42	P2D11	端口2数据输入D11
43	DVDD18	1.8 V数字电源
44	DGND	数字地
45	P2D10	端口2数据输入D10
46	P2D9	端口2数据输入D9
47	P2D8	端口2数据输入D8
48	P2D7	端口2数据输入D7
49	P2D6	端口2数据输入D6
50	P2D5	端口2数据输入D5
51	P2D4	端口2数据输入D4
52	P2D3	端口2数据输入D3
53	DVDD18	1.8 V数字电源
54	DGND	数字地
55	P2D2	端口2数据输入D2
56	P2D1	端口2数据输入D1
57	P2D0	端口2数据输入D0 (LSB)
58	NC	不连接
59	NC	不连接
60	DVDD18	1.8 V数字电源
61	DVDD33	3.3 V数字电源
62	SYNC_O-	差分同步输出
63	SYNC_O+	差分同步输出
64	DGND	数字地
65	PLL_LOCK	PLL锁定指示
66	SDO	三线式接口端口数据输出
67	SDIO	三线式接口端口数据输入/输出
68	SCLK	三线式接口端口时钟
69	CSB	三线式接口端口片选信号
70	RESET	复位，高电平有效

引脚编号	引脚名称	描述
71	IRQ	中断请求
72	AGND	模拟地
73	IPTAT	工厂测试引脚。 输出电流与绝对温度成比例，25°C时约为14 μ A，斜率约为20 nA/°C。 此引脚应保持浮空。
74	VREF	基准电压输出
75	I120	120 μ A基准电流
76	AVDD33	3.3 V模拟电源
77	AGND	模拟地
78	AVDD33	3.3 V模拟电源
79	AGND	模拟地
80	AVDD33	3.3 V模拟电源
81	AGND	模拟地
82	AGND	模拟地
83	OUT2_P	通道2差分DAC电流输出
84	OUT2_N	通道2差分DAC电流输出
85	AGND	模拟地
86	AUX2_P	通道2辅助DAC电流输出
87	AUX2_N	通道2辅助DAC电流输出
88	AGND	模拟地
89	AUX1_N	通道1辅助DAC电流输出
90	AUX1_P	通道1辅助DAC电流输出
91	AGND	模拟地
92	OUT1_N	通道1差分DAC电流输出
93	OUT1_P	通道1差分DAC电流输出
94	AGND	模拟地
95	AGND	模拟地
96	AVDD33	3.3 V模拟电源
97	AGND	模拟地
98	AVDD33	3.3 V模拟电源
99	AGND	模拟地
100	AVDD33	3.3 V模拟电源

AD9776A/AD9778A/AD9779A

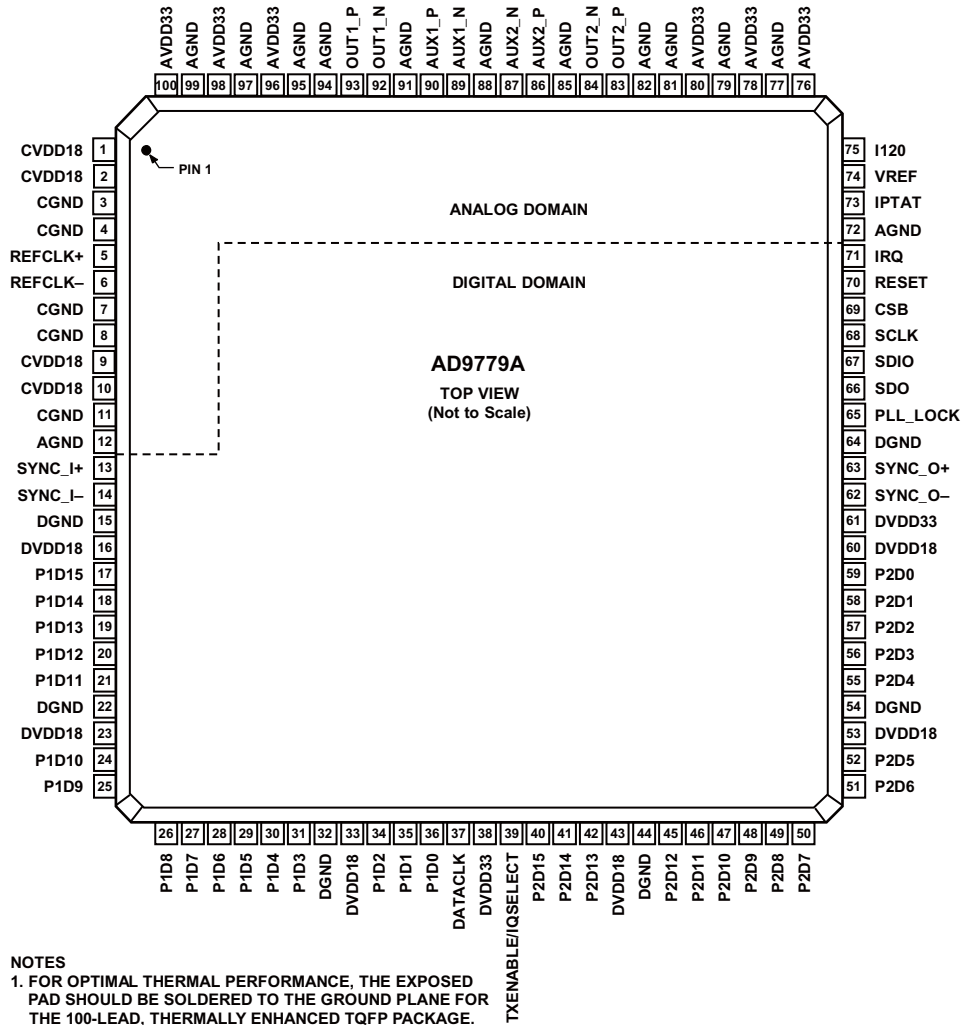


图5. AD9779A引脚配置

表9. AD9779A引脚功能描述

引脚编号	引脚名称	描述	引脚编号	引脚名称	描述
1	CVDD18	1.8 V时钟电源	19	P1D13	端口1数据输入D13
2	CVDD18	1.8 V时钟电源	20	P1D12	端口1数据输入D12
3	CGND	时钟地	21	P1D11	端口1数据输入D11
4	CGND	时钟地	22	DGND	数字地
5	REFCLK+	差分时钟输入	23	DVDD18	1.8 V数字电源
6	REFCLK-	差分时钟输入	24	P1D10	端口1数据输入D10
7	CGND	时钟地	25	P1D9	端口1数据输入D9
8	CGND	时钟地	26	P1D8	端口1数据输入D8
9	CVDD18	1.8 V时钟电源	27	P1D7	端口1数据输入D7
10	CVDD18	1.8 V时钟电源	28	P1D6	端口1数据输入D6
11	CGND	时钟地	29	P1D5	端口1数据输入D5
12	AGND	模拟地	30	P1D4	端口1数据输入D4
13	SYNC_I+	差分同步输入	31	P1D3	端口1数据输入D3
14	SYNC_I-	差分同步输入	32	DGND	数字地
15	DGND	数字地	33	DVDD18	1.8 V数字电源
16	DVDD18	1.8 V数字电源	34	P1D2	端口1数据输入D2
17	P1D15	端口1数据输入D15 (MSB)	35	P1D1	端口1数据输入D1
18	P1D14	端口1数据输入D14	36	P1D0	端口1数据输入D0 (LSB)

AD9776A/AD9778A/AD9779A

引脚编号	引脚名称	描述
37	DATACLK	数据时钟输出
38	DVDD33	3.3V数字电源
39	TXENABLE/ IQSELECT	发送使能。单端口模式下，此引脚也用作IQSELECT。
40	P2D15	端口2数据输入D15 (MSB)
41	P2D14	端口2数据输入D14
42	P2D13	端口2数据输入D13
43	DVDD18	1.8V数字电源
44	DGND	数字地
45	P2D12	端口2数据输入D12
46	P2D11	端口2数据输入D11
47	P2D10	端口2数据输入D10
48	P2D9	端口2数据输入D9
49	P2D8	端口2数据输入D8
50	P2D7	端口2数据输入D7
51	P2D6	端口2数据输入D6
52	P2D5	端口2数据输入D5
53	DVDD18	1.8V数字电源
54	DGND	数字地
55	P2D4	端口2数据输入D4
56	P2D3	端口2数据输入D3
57	P2D2	端口2数据输入D2
58	P2D1	端口2数据输入D1
59	P2D0	端口2数据输入D0 (LSB)
60	DVDD18	1.8V数字电源
61	DVDD33	3.3V数字电源
62	SYNC_O-	差分同步输出
63	SYNC_O+	差分同步输出
64	DGND	数字地
65	PLL_LOCK	PLL锁定指示
66	SDO	三线式接口端口数据输出
67	SDIO	三线式接口端口数据输入/输出
68	SCLK	三线式接口端口时钟
69	CSB	三线式接口端口片选信号
70	RESET	复位，高电平有效

引脚编号	引脚名称	描述
71	IRQ	中断请求
72	AGND	模拟地
73	IPTAT	工厂测试引脚。输出电流与绝对温度成比例，25°C时约为14 μ A，斜率约为20 nA/°C。此引脚应保持浮空。
74	VREF	基准电压输出
75	I120	120 μ A基准电流
76	AVDD33	3.3V模拟电源
77	AGND	模拟地
78	AVDD33	3.3V模拟电源
79	AGND	模拟地
80	AVDD33	3.3V模拟电源
81	AGND	模拟地
82	AGND	模拟地
83	OUT2_P	通道2差分DAC电流输出
84	OUT2_N	通道2差分DAC电流输出
85	AGND	模拟地
86	AUX2_P	通道2辅助DAC电流输出
87	AUX2_N	通道2辅助DAC电流输出
88	AGND	模拟地
89	AUX1_N	通道1辅助DAC电流输出
90	AUX1_P	通道1辅助DAC电流输出
91	AGND	模拟地
92	OUT1_N	通道1差分DAC电流输出
93	OUT1_P	通道1差分DAC电流输出
94	AGND	模拟地
95	AGND	模拟地
96	AVDD33	3.3V模拟电源
97	AGND	模拟地
98	AVDD33	3.3V模拟电源
99	AGND	模拟地
100	AVDD33	3.3V模拟电源

典型工作特性

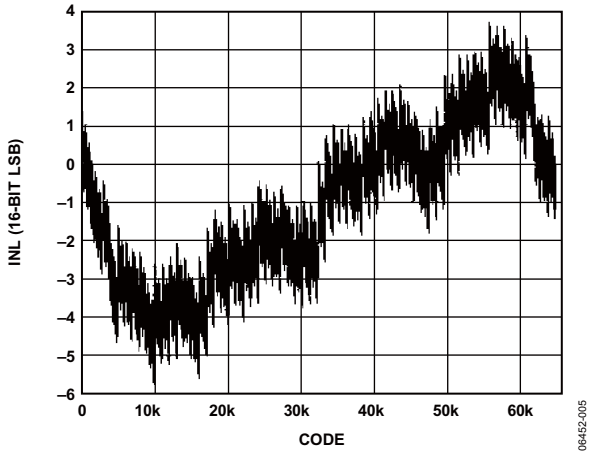


图6. AD9779A典型INL

06452-005

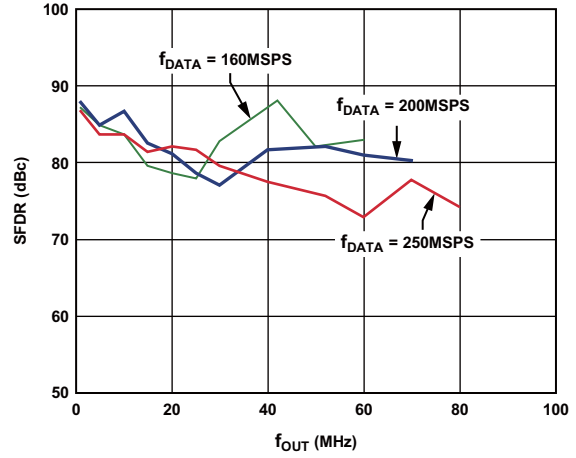


图9. AD9779A带内SFDR与 f_{OUT} 的关系, 2×插值

06452-008

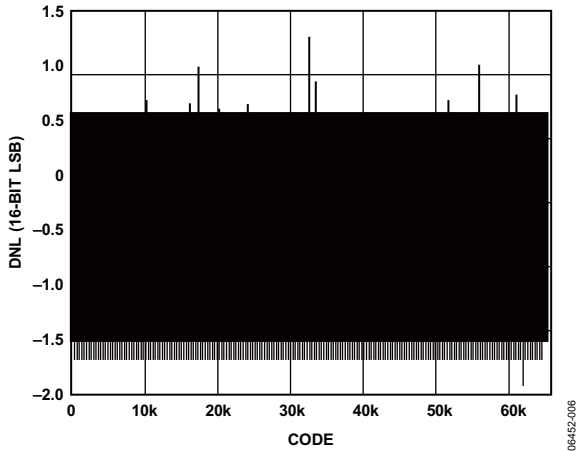


图7. AD9779A典型DNL

06452-006

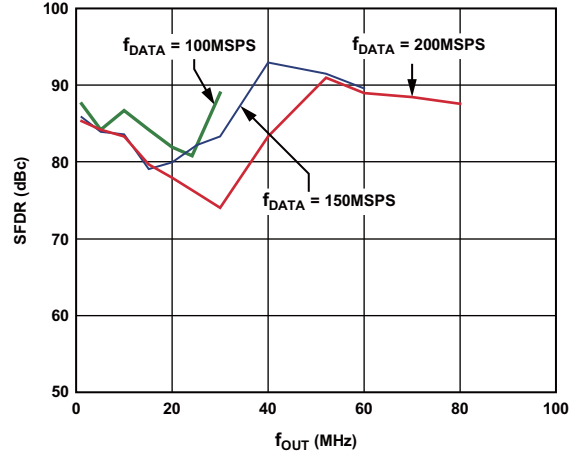


图10. AD9779A带内SFDR与 f_{OUT} 的关系, 4×插值

06452-009

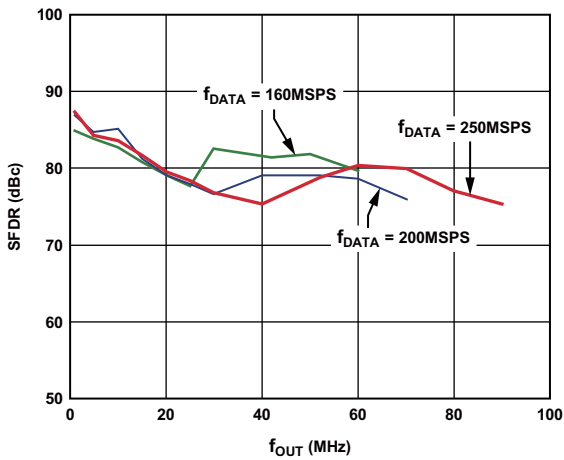


图8. AD9779A带内SFDR与 f_{OUT} 的关系, 1×插值

06452-007

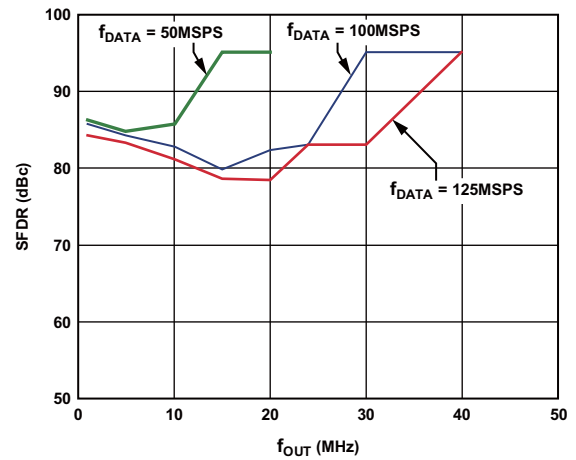


图11. AD9779A带内SFDR与 f_{OUT} 的关系, 8×插值

06452-010

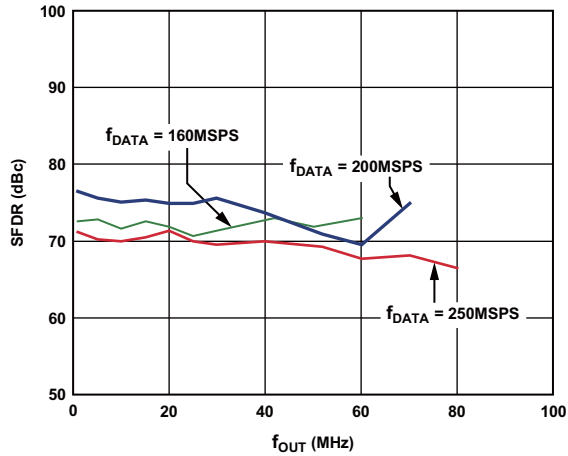


图12. AD9779A带外SFDR与 f_{OUT} 的关系, 2×插值

06452-011

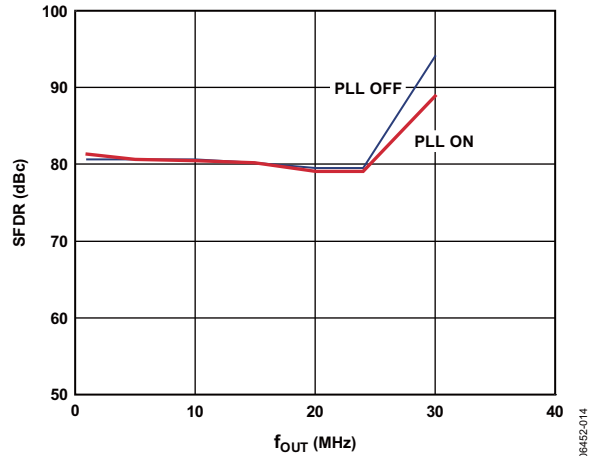


图15. AD9779A带内SFDR与 f_{OUT} 的关系, 4×插值, $f_{DATA} = 100 \text{ MSPS}$, PLL开/关

06452-014

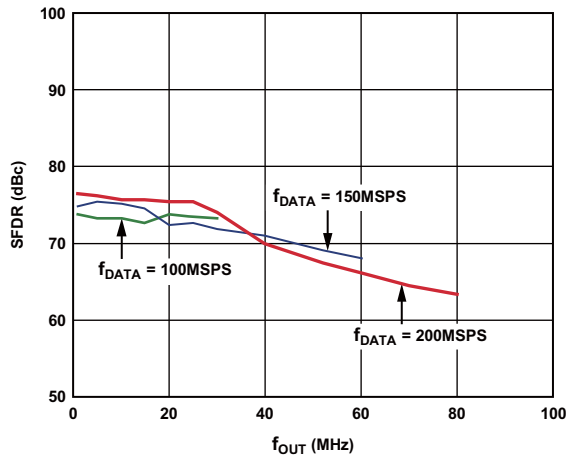


图13. AD9779A带外SFDR与 f_{OUT} 的关系, 4×插值

06452-012

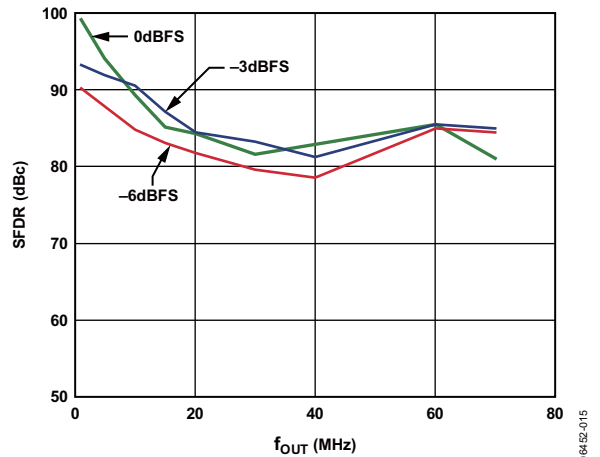


图16. AD9779A带内SFDR与 f_{OUT} 的关系, 数字满量程

06452-015

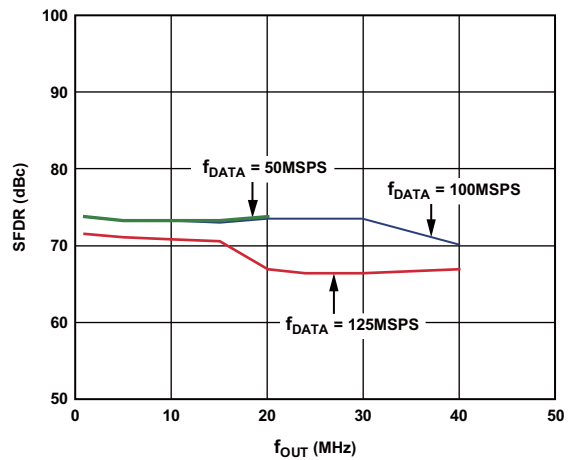


图14. AD9779A带外SFDR与 f_{OUT} 的关系, 8×插值

06452-013

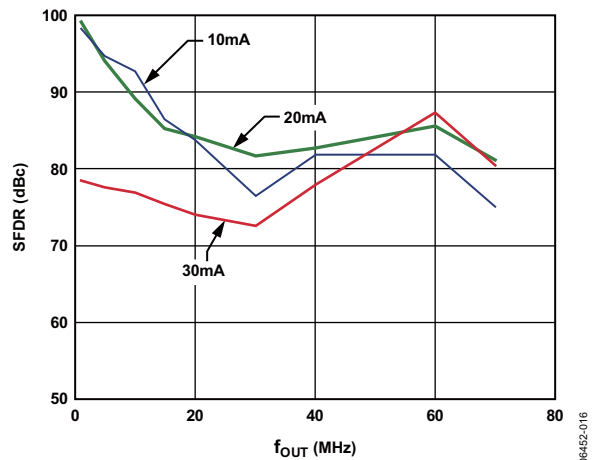


图17. AD9779A带内SFDR与 f_{OUT} 的关系, 输出满量程电流

06452-016

AD9776A/AD9778A/AD9779A

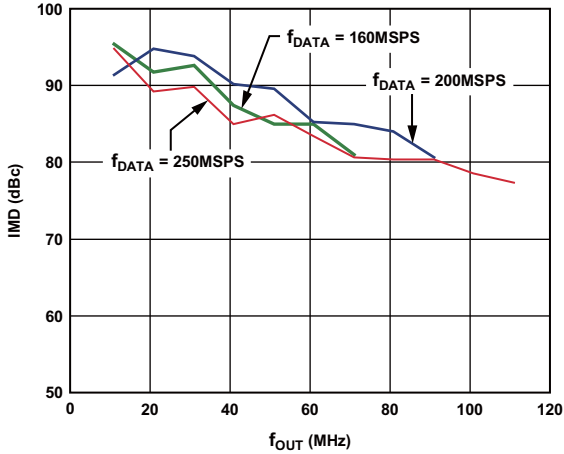


图18. AD9779A三阶IMD与 f_{OUT} 的关系, 1×插值

06452-017

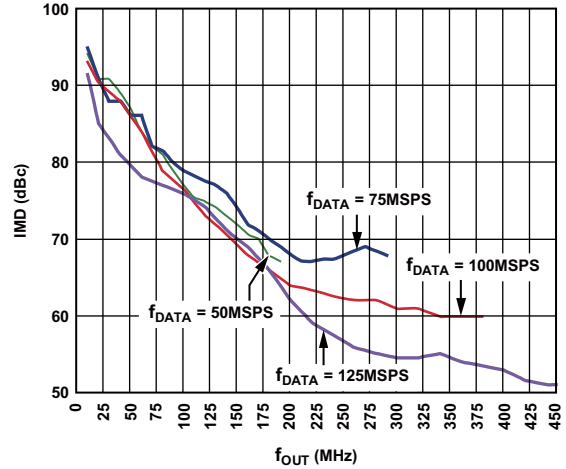


图21. AD9779A三阶IMD与 f_{OUT} 的关系, 8×插值

06452-020

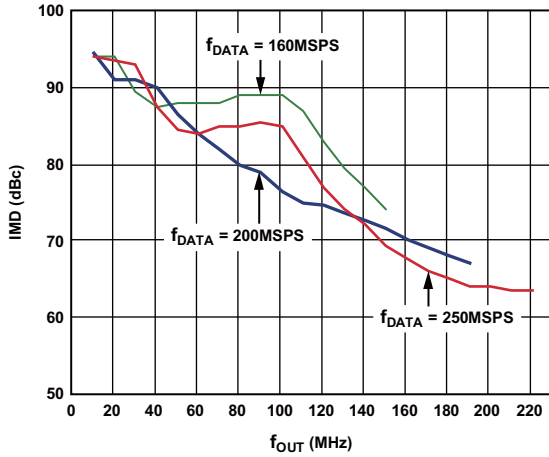


图19. AD9779A三阶IMD与 f_{OUT} 的关系, 2×插值

06452-018

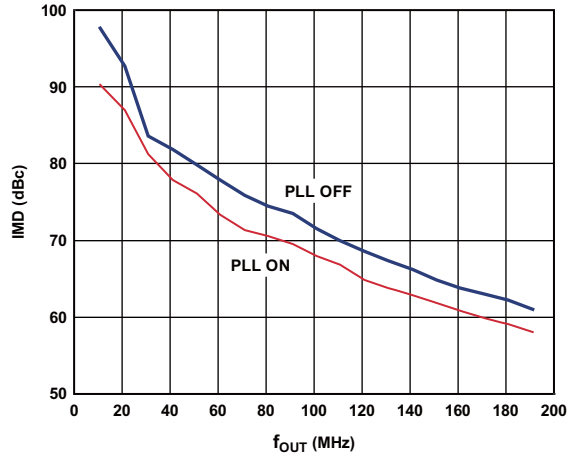


图22. AD9779A三阶IMD与 f_{OUT} 的关系, 4×插值, $f_{DATA} = 100\text{MSPS}$, PLL开/关

06452-021

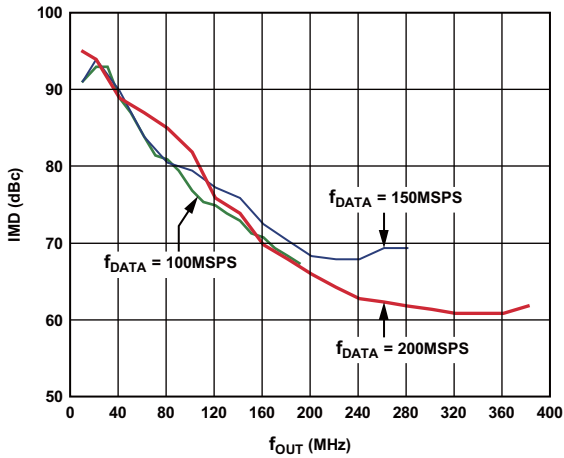


图20. AD9779A三阶IMD与 f_{OUT} 的关系, 4×插值

06452-019

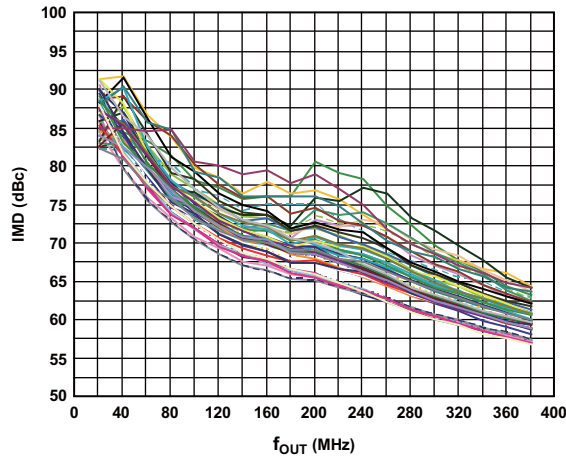


图23. AD9779A三阶IMD与 f_{OUT} 的关系, 50个以上器件, 4×插值, $f_{DATA} = 200\text{MSPS}$

06452-022

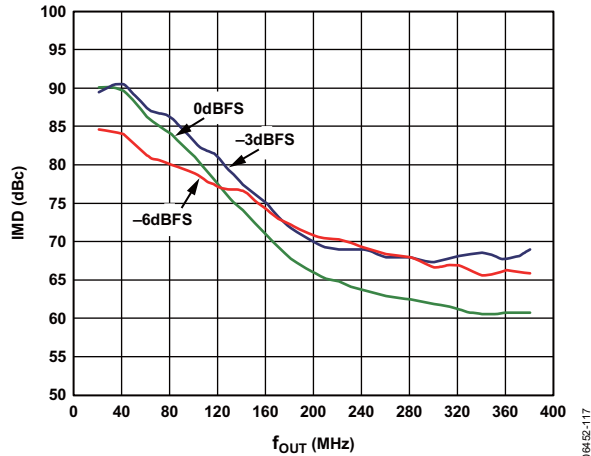


图24. AD9779A IMD性能与 f_{OUT} 的关系, 数字满量程输入(输出频率范围内), 4×插值, $f_{DATA} = 200$ MSPS

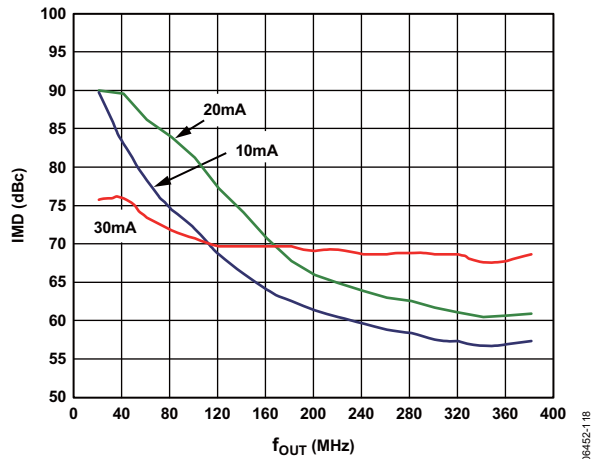


图25. AD9779A IMD性能与 f_{OUT} 的关系, 满量程输出电流(输出频率范围内), 4×插值, $f_{DATA} = 200$ MSPS

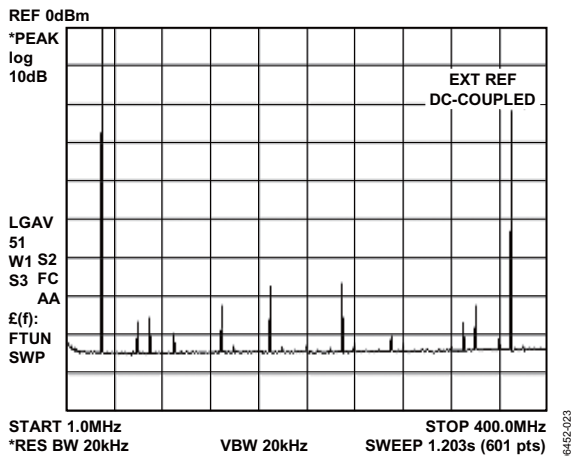


图26. AD9779A单音频谱, 4×插值, $f_{DATA} = 100$ MSPS, $f_{OUT} = 30$ MHz

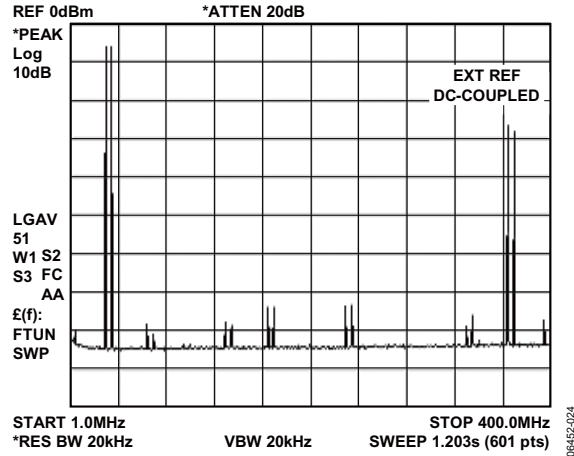


图27. AD9779A双音频谱, 4×插值, $f_{DATA} = 100$ MSPS, $f_{OUT} = 30$ MHz, 35 MHz

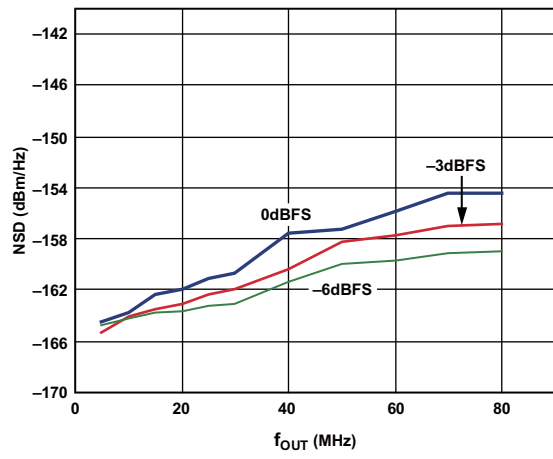


图28. AD9779A噪声谱密度与 f_{OUT} 的关系, 数字满量程(输出频率范围内), 单音输入, 2×插值, $f_{DATA} = 200$ MSPS

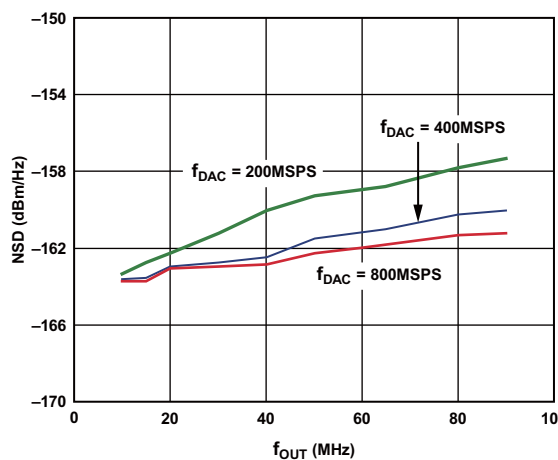


图29. AD9779A噪声谱密度与 f_{OUT} 的关系, f_{DAC} (输出频率范围内), 间距500 kHz的八音输入, $f_{DATA} = 200$ MSPS

AD9776A/AD9778A/AD9779A

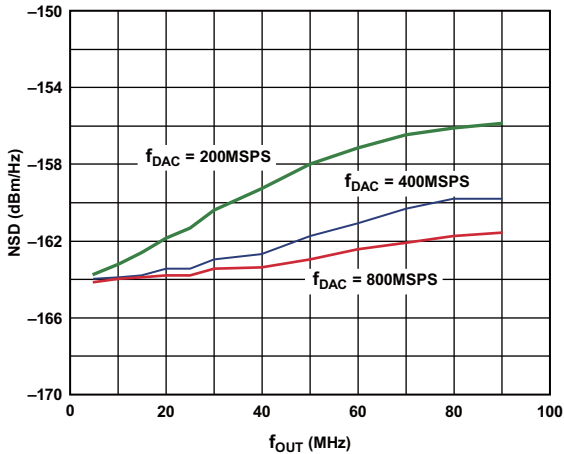


图30. AD9779A噪声谱密度与 f_{OUT} 的关系, f_{DAC} (输出频率范围内), -6 dBFS单音输入

06452-027

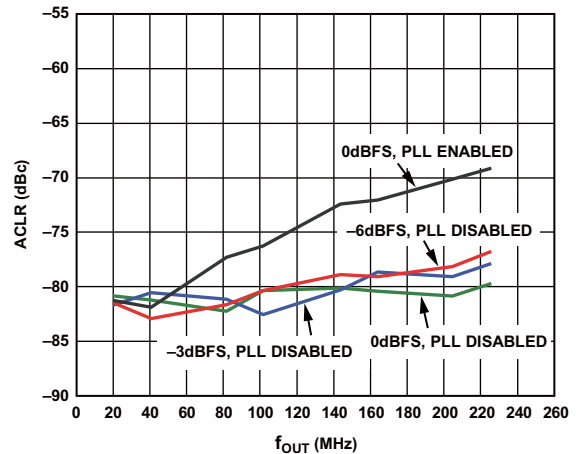


图33. AD9779A第二相邻频段W-CDMA的ACLR, 4×插值, $f_{DATA} = 122.88$ MSPS, 片内调制将基带信号转换为IF

06452-301

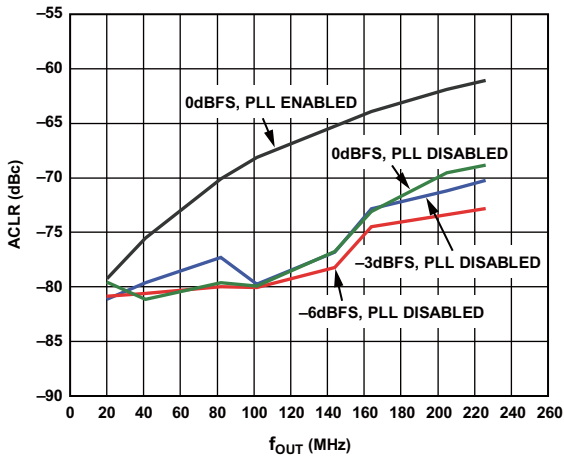


图31. AD9779A第一相邻频段W-CDMA的ACLR, 4×插值, $f_{DATA} = 122.88$ MSPS, 片内调制将基带信号转换为IF

06452-300

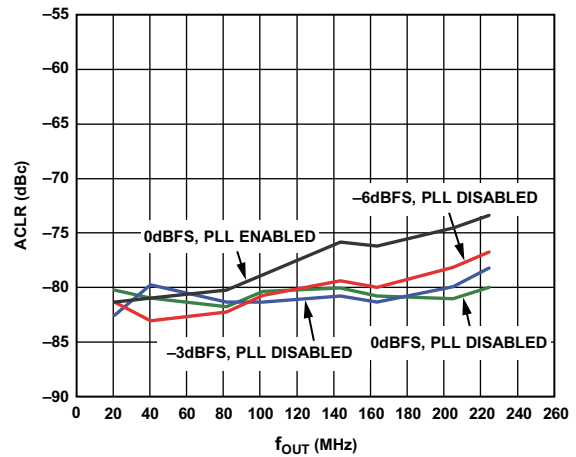


图34. AD9779A第三相邻频段W-CDMA的ACLR, 4×插值, $f_{DATA} = 122.88$ MSPS, 片内调制将基带信号转换为IF

06452-302

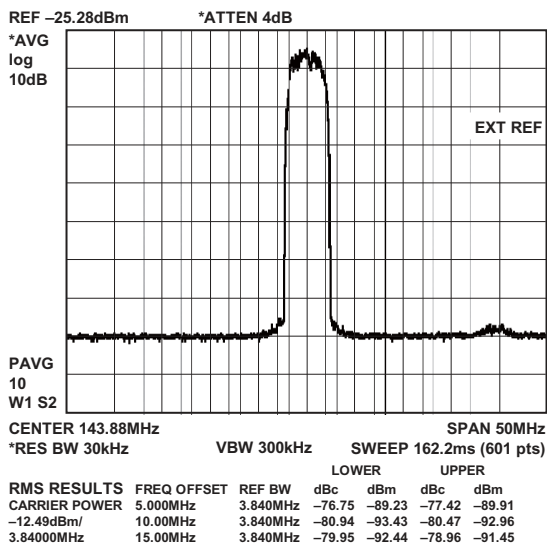


图32. AD9779A W-CDMA信号, 4×插值, $f_{DATA} = 122.88$ MSPS, $f_{DAC}/4$ 调制

06452-031

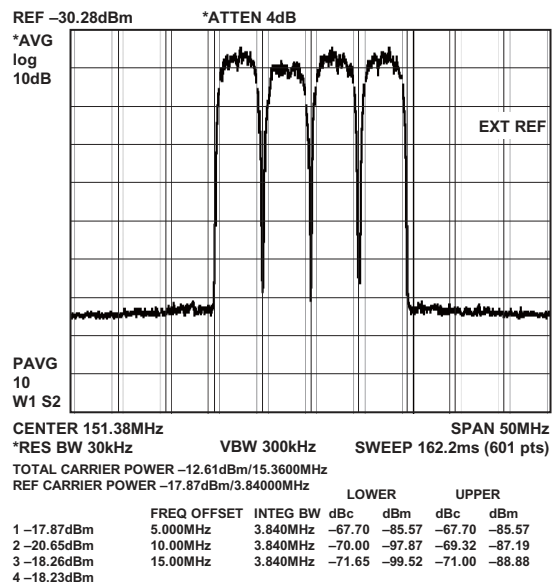


图35. AD9779A多载波W-CDMA信号, 4×插值, $f_{DAC} = 122.88$ MSPS, $f_{DAC}/4$ 调制

06452-032

AD9776A/AD9778A/AD9779A

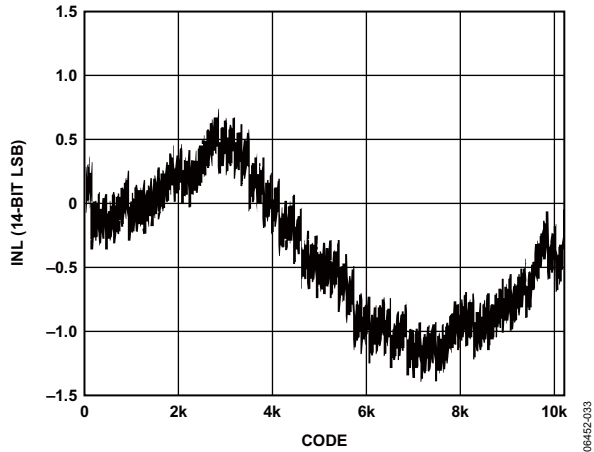


图36. AD9778A典型INL

06452-033

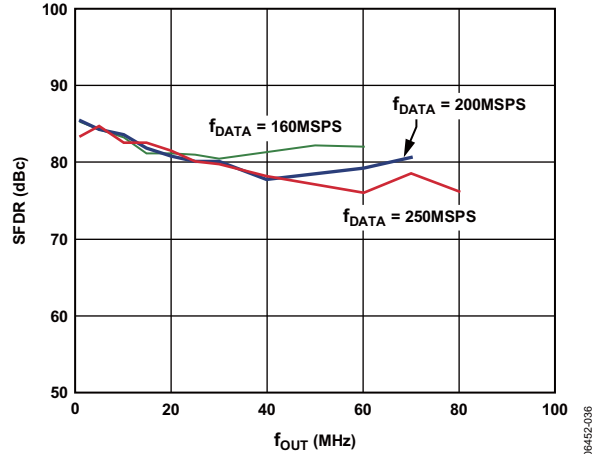


图39. AD9778A带内SFDR与 f_{OUT} 的关系, 2×插值

06452-036

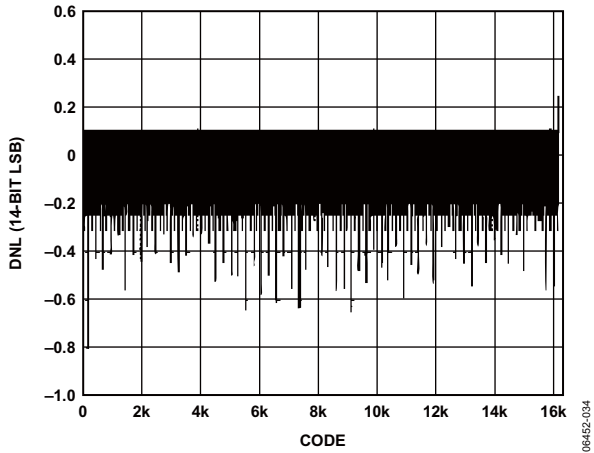


图37. AD9778A典型DNL

06452-034

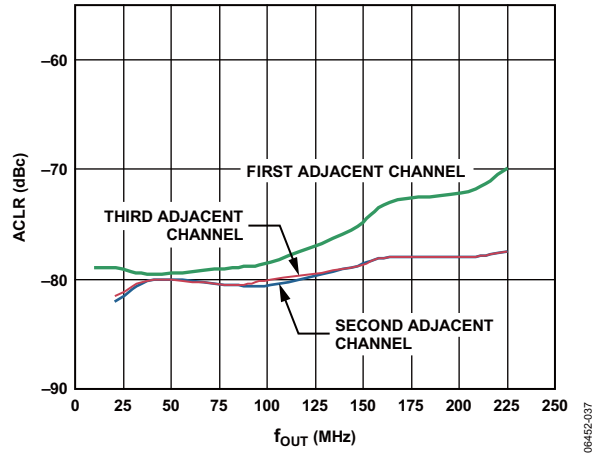


图40. AD9778A ACLR, 单载波W-CDMA信号, 4×插值, $f_{DATA} = 122.88$ MSPS, 幅值 = -3 dBFS

06452-037

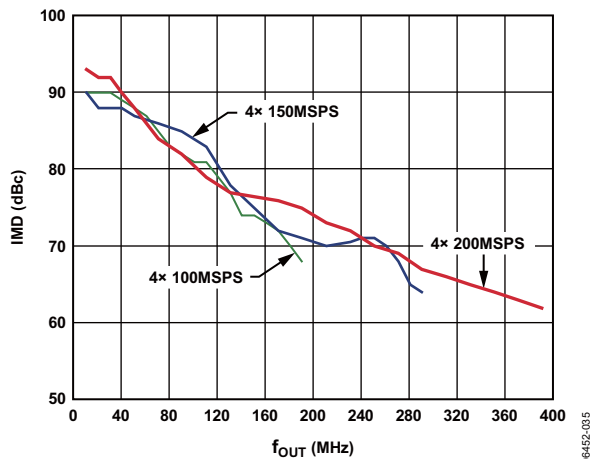


图38. AD9778A IMD与 f_{OUT} 的关系, 4×插值

06452-035

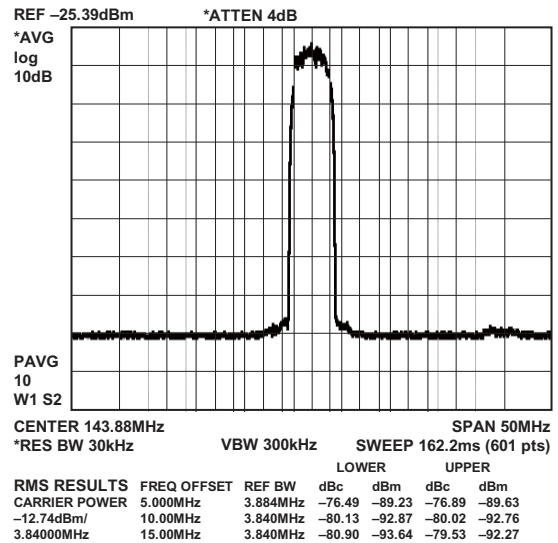


图41. AD9778A ACLR, $f_{DATA} = 122.88$ MSPS, 4×插值, $f_{DAC}/4$ 调制

06452-038

AD9776A/AD9778A/AD9779A

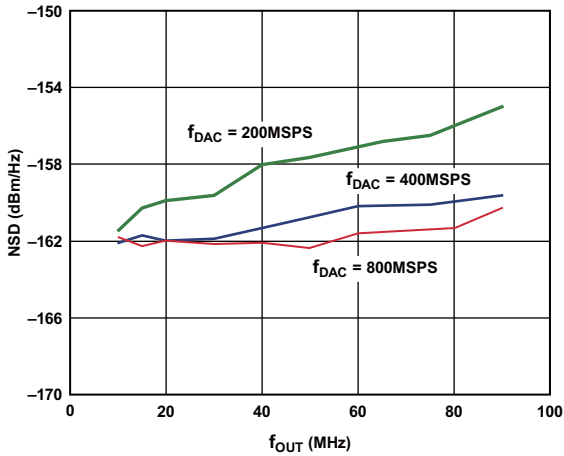


图42. AD9778A噪声谱密度与 f_{OUT} 的关系，间距500 kHz的八音输入， $f_{DATA} = 200$ MSPS

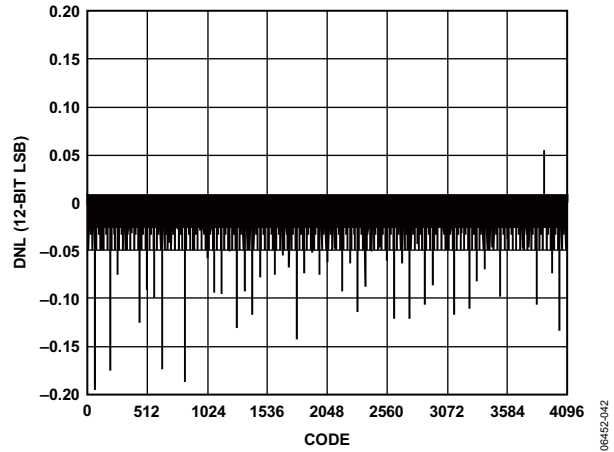


图45. AD9776A典型DNL

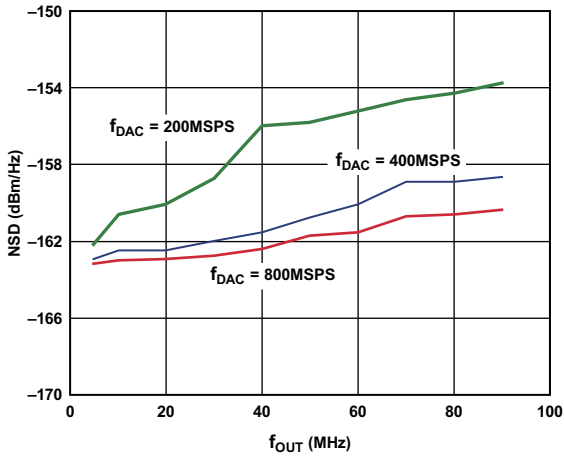


图43. AD9778A噪声谱密度与 f_{OUT} 的关系，-6 dBFS单音输入， $f_{DATA} = 200$ MSPS

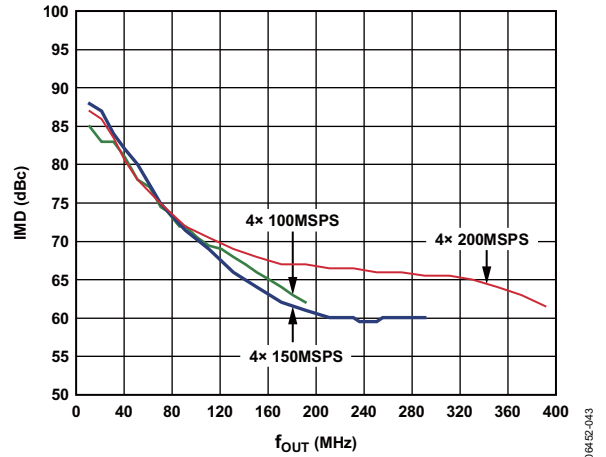


图46. AD9776A IMD与 f_{OUT} 的关系，4×插值

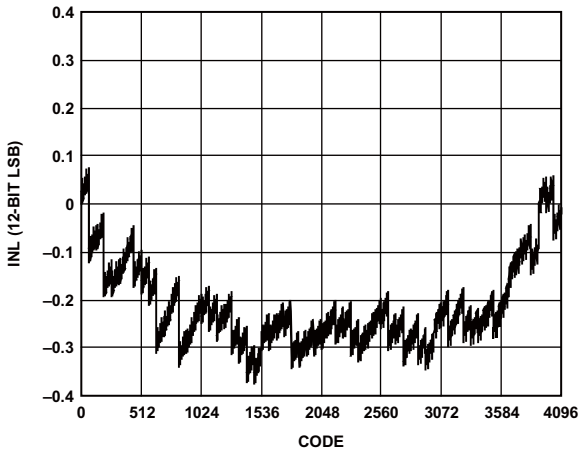


Figure 44. AD9776A Typical INL

图44. AD9776A典型INL

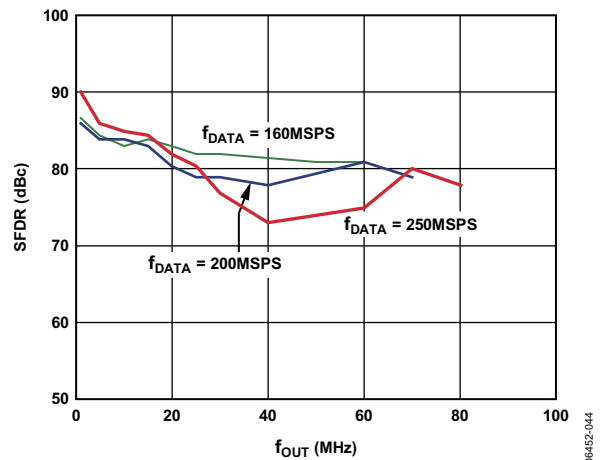


图47. AD9776A带内SFDR与 f_{OUT} 的关系，2×插值

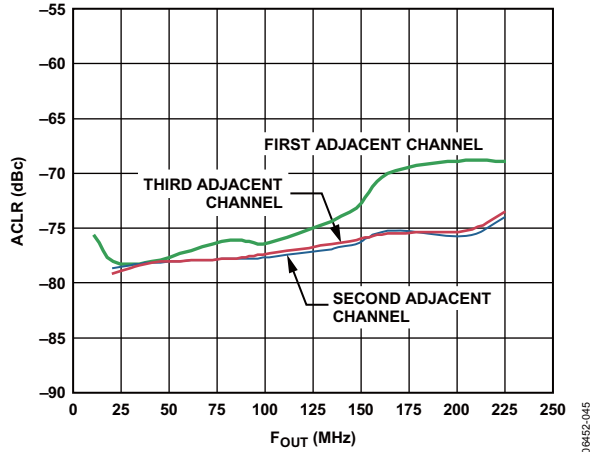


图48. AD9776A ACLR与 f_{OUT} 的关系, $f_{DATA} = 122.88$ MSPS, $4\times$ 插值, $f_{DAC}/4$ 调制

06452-045

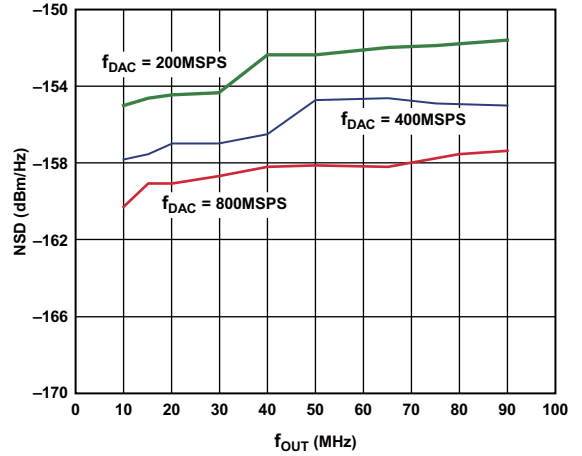


图50. AD9776A噪声谱密度与 f_{OUT} 的关系, 间距500 kHz的八音输入, $f_{DATA} = 200$ MSPS

06452-047

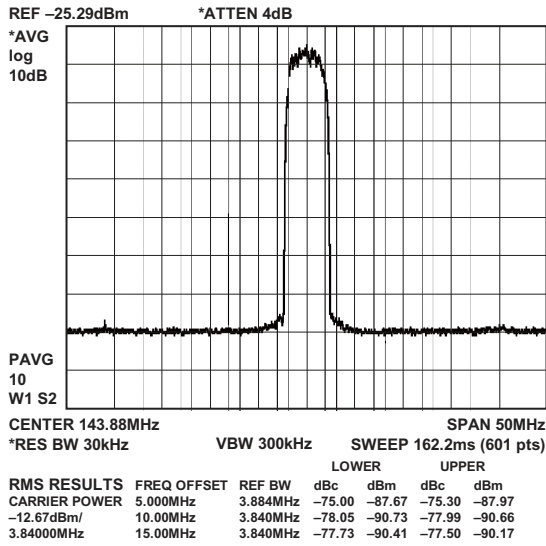


图49. AD9776A单载波W-CDMA信号, $4\times$ 插值, $f_{DATA} = 122.88$ MSPS, 幅值 = -3 dBFS

06452-046

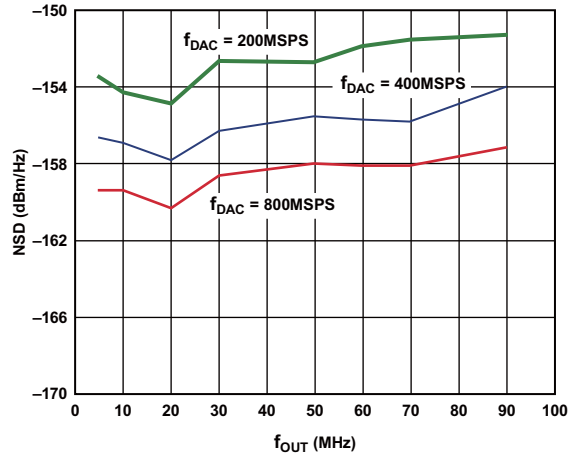


图51. AD9776A噪声谱密度与 f_{OUT} 的关系, -6 dBFS单音输入, $f_{DATA} = 200$ MSPS

06452-048

术语

积分非线性(INL)

INL定义为实际模拟输出与理想输出的最大偏差，理想输出由从零电平到满量程所画的直线确定。

微分非线性(DNL)

DNL衡量的是数字输入码改变1 LSB时模拟值(归一化为满量程)的变化。

单调性

如果一个DAC的输出随着数字输入的增加而增加，或者保持不变，则该DAC是单调的。

失调误差

码0时的输出电流与理想0值的偏差称为失调误差。对于 I_{OUTA} ，当输入为全0时，期望输出为0 mA。对于 I_{OUTB} ，当输入为全1时，期望输出为0 mA。

增益误差

增益误差指实际输出范围与理想输出范围之差，实际范围由满刻度输出与底部刻度输出之差确定。

输出电压范围

输出电压范围指电流输出DAC输出端容许电压的范围。超出最大限值工作可能会引起输出级饱和或击穿，导致非线性性能。

温度漂移

温度漂移衡量的是环境温度(25°C)值与 T_{MIN} 或 T_{MAX} 值之间的最大变化范围。失调和增益漂移用每摄氏度满量程范围(FSR)的ppm表示；基准电压漂移用每摄氏度ppm表示。

电源抑制(PSR)

PSR衡量的是电源从最小额定电压变为最大额定电压时，满量程输出的最大变化。

建立时间

建立时间指输出达到并保持在最终值一定误差范围内所需的时间，从输出转换开始起测量。

带内无杂散动态范围(SFDR)

带内SFDR指输出信号的峰值幅度与峰值杂散信号之差，用分贝表示；该峰值杂散信号位于直流和输入数据速率一半的频率之间。

带外无杂散动态范围(SFDR)

带外SFDR指输出信号的峰值幅度与峰值杂散信号之差，用分贝表示；该峰值杂散信号位于输入数据速率的频率至DAC输出采样速率的奈奎斯特频率的频段范围之内。此频段内的能量一般会被插值滤波器抑制。因此，该特性衡量的是插值滤波器的表现好坏以及至DAC输出端的其它寄生耦合路径的影响。

总谐波失真(THD)

THD指前六个谐波成分的均方根和与所测得基波的均方根值之比，用百分比或分贝表示。

信噪比(SNR)

SNR指所测得输出信号的均方根值与除前六个谐波和直流之外的所有频谱分量的均方根和之比，用分贝表示。

插值滤波器

如果以 f_{DATA} 的倍率(插值率)对DAC的数字输入进行采样，则可以构建一个在 $f_{DATA}/2$ 附近具有锐过渡带的数字滤波器。这样可以大大抑制通常位于 f_{DAC} (输出数据速率)附近的镜像。

邻道泄漏比(ACLR)

ACLR指一个通道内的测量功率与其相邻通道内的测量功率之比，用dBc表示。

复数镜像抑制

在传统的两段上变频中，靠近第二中频频率会产生两个镜像。这些镜像会造成发射器功率和系统带宽的浪费。将第二复数调制器的实部与第一复数调制器串联，便可以抑制第二中频附近的较高或较低频率镜像。

工作原理

AD9776A/AD9778A/AD9779A具有许多特性，非常适合有线和无线通信系统。设计单边带发射器时，其双路数字信号路径和双通道DAC结构很容易与普通正交调制器接口。与以前提供的DAC相比，这些器件的速度和性能支持更高的带宽及更多载波的合成。数字引擎采用集插值滤波器和数字正交调制器于一体的创新滤波器结构，因而这些器件能够执行数字正交上变频。利用片内同步电路，多个器件可以彼此同步，或者与系统时钟同步。

AD9776/AD9778/AD9779与AD9776A/AD9778A/AD9779A的区别

REFCLK最大频率与电源的关系

AD9776A/AD9778A/AD9779A支持最大1100 MHz的采样速率，但对DVDD18和CVDD18有一些限制。表2列出了各电源电压对应的有效工作频率。

REFCLK幅值

将一个差分正弦时钟施加于REFCLK时，AD9776/AD9778/AD9779上的PLL无法实现最佳噪声性能，除非将REFCLK差分幅值提高到2 V峰峰值。请注意，如果AD9776/AD9778/AD9779使用LVPECL驱动器，则当REFCLK幅值在LVPECL额定值范围内(<1.6 V差分峰峰值)时，PLL将表现出最佳性能。AD9779A的PLL设计已得到改进，即便是正弦时钟，如果摆幅为1.6 V峰峰值，PLL仍然能实现最佳幅值。

PLL锁定范围

AD9776A/AD9778A/AD9779A PLL的锁定范围均宽于AD9776/AD9778/AD9779。这意味着，AD9776A/AD9778A/AD9779A PLL在给定范围内保持锁定的温度范围宽于

AD9776/AD9778/AD9779。AD9776A/AD9778A/AD9779A的PLL锁定范围见表23。

PLL优化设置

AD9776/AD9778/AD9779的优化设置与AD9776A/AD9778A/AD9779A不同。详情请参考PLL偏置设置部分。

输入数据延迟线、手动和自动校正模式

可以对AD9776A/AD9778A/AD9779A进行编程，使其不仅要检测输入数据的时序余量何时下降到预设阈值以下，而且要采取措施。具体措施有两种：一是IRQ置1(引脚和寄存器)，一是自动重新优化输入数据时序。

输入数据时序

时序规格与温度的关系见表28。AD9776A/AD9778A/AD9779A的输入数据时序规格(建立和保持)与AD9776/AD9778/AD9779不同。

DATACLK延迟范围

在AD9776/AD9778/AD9779中，输入数据延迟由寄存器0x04位[7:4]控制。25°C时，延迟步幅约为180 ps/增量。AD9776A/AD9778A/AD9779A增加了一个额外位，延迟范围因而加倍。该位位于寄存器0x01位1。AD9776A/AD9778A/AD9779A的步幅仍然是大约180 ps/增量。

版本寄存器

AD9776A/AD9778A/AD9779A版本寄存器(寄存器0x1F)的读取值为0x07，AD9776/AD9778/AD9779版本寄存器的读取值则为0x03。

表10. AD9776/AD9778/AD9779与AD9776A/AD9778A/AD9779A的寄存器值差异

产品型号	PLL环路带宽 寄存器0x0A位[4:0]	PLL偏置 寄存器0x09位[2:0]	VCO控制电压 寄存器0x0A位[7:5]	PLL VCO驱动 寄存器0x08位[1:0]
AD9776/AD9778/AD9779	11111	111	010	00
AD9776A/AD9778A/AD9779A	01111	011	011	11

三线式接口

三线式接口是一种灵活的同步串行通讯端口，可以很方便地与多种工业标准微控制器和微处理器接口。该端口兼容大多数同步传输格式，包括Motorola SPI和Intel® SSR协议。

此接口可进行读写操作，访问用来配置AD9776A/AD9778A/AD9779A的所有寄存器。支持单字节和多字节传输，以及MSB优先和LSB优先传输格式。通过单个双向引脚(SDIO)或两个单向引脚(SDIO/SDO)，可以实现串行数据输入/输出。

串行端口配置由寄存器0x00位[7:6]控制。必须注意，对串行端口配置所做的任何更改，都会在写入此字节的最后一位时立即生效。因此，可以使用多字节传输写入此寄存器，并在通信周期进行中更改配置。必须注意，对于当前通信周期的剩余字节，要使用新的配置。

更改串行端口配置时，建议使用单字节传输，以免器件发生无法预料的行为。

如本节所述，写入器件或从器件读出的所有串行端口数据传输均与SCLK引脚同步。如果同步丢失，器件有能力异步终止I/O操作，将串行端口控制器置于已知状态，从而再次获得同步。

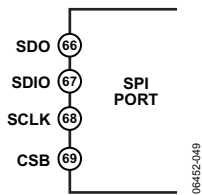


图52. 三线式接口端口

串行接口的通用操作

AD9776A/AD9778A/AD9779A的通信周期可分为两个阶段。第一阶段是指令周期(将指令字节写入器件)，与前8个SCLK上升沿重合。指令字节向串行端口控制器提供有关数据传输周期，即通信周期第二阶段的信息。第一阶段的指令字节定义即将发生的数据传输是读操作还是写操作，数据传输有多少字节，以及数据传输的第一个字节的起始寄存器地址是什么。各通信周期的前8个SCLK上升沿用来将指令字节写入器件。

CSB引脚的逻辑电平先高后低，使三线式接口端口的时序复位到指令周期的初始状态。由此状态开始，后续8个SCLK上升沿代表当前I/O操作的指令位，而与内部寄存器的状态或三线式接口端口输入的其它信号电平无关。如果此时三线式接口端口处于指令周期或数据传输周期，则不会写入任何现有数据。

其余SCLK沿用于通信周期的第二阶段。第二阶段是器件与系统控制器之间实际进行数据传输的阶段。根据指令字节所提供的信息，第二阶段传输一个、两个、三个或四个数据字节。最好使用一个多字节传输。当寄存器访问只需要一个字节时，可以使用单字节数据传输，以降低CPU开销。写入各传输字节的最后一位后，寄存器立即改变。

指令字节

指令字节所包含的信息见表11。

表11. 三线式接口指令字节

MSB						LSB	
I7	I6	I5	I4	I3	I2	I1	I0
R/ \overline{W}	N1	N0	A4	A3	A2	A1	A0

指令字节位7(R/ \overline{W})决定指令字节写周期结束后是进行读操作还是写操作。逻辑1表示读操作。逻辑0表示写操作。

指令字节位6(N1)和位5(N0)决定数据传输周期需传输的字节数。表12列出了需传输的字节数对照表。

A4、A3、A2、A1和A0—指令字节的位4、位3、位2、位1和位0决定通信周期的数据传输期间访问哪一个寄存器。对于多字节传输，此地址是起始字节地址。其余寄存器地址由器件根据LSB优先位(寄存器0x00位6)产生。

表12. 字节传输计数

N1	N0	描述
0	0	传输一个字节
0	1	传输两个字节
1	0	传输三个字节
1	1	传输四个字节

串行接口端口引脚功能描述

串行时钟(SCLK)

串行时钟引脚用于同步输入/输出器件的数据，并控制内部状态机。SCLK的最高频率为40 MHz。所有数据输入都在SCLK的上升沿有效。所有数据都在SCLK的下降沿输出。

片选(CSB)

低电平有效输入启动并选通一个通信周期。它允许同一串行通信线路连接多个器件。当此输入高电平时，SDO和SDIO引脚会进入高阻抗状态。在整个通信周期，片选应保持低电平。

串行数据输入/输出(SDIO)

向器件写入数据必须通过此引脚进行。不过，该引脚也能作为双向数据线使用。寄存器0x00的位7控制此引脚配置。缺省为逻辑0，将SDIO引脚配置为单向数据线。

串行数据输出(SDO)

如果协议选择用不同的通信线来发送和接收数据，那么数据是从该引脚读出的。当器件以单独的双向I/O模式运行时，此引脚不会输出数据，并置为高阻抗状态。

MSB/LSB传输

串行端口可以支持MSB优先和LSB优先两种数据格式。此功能由LSB/MSB优先寄存器位(寄存器0x00的位6)控制。缺省为MSB优先格式(LSB/MSB优先=0)。

当选择MSB优先格式(LSB/MSB优先=0)时，指令和数据位必须按照从MSB到LSB的顺序写入。采用MSB优先格式的多字节数据传输以一个指令字节开始，该指令字节包括最高数据字节的寄存器地址。后续数据字节应从高地址到低地址的顺序传输。在MSB优先模式下，多字节通信周期每传输一个数据字节，串行端口内部字节地址发生器便递减1。

当LSB/MSB优先=1(LSB优先)时，指令和数据位必须按照从LSB到MSB的顺序写入。采用LSB优先格式的多字节数据传输以一个指令字节开始，该指令字节包括最低数据字节的寄存器地址，其后是多个数据字节。多字节通信周期每传输一个字节，串行端口内部字节地址发生器便递增1。

如果MSB优先格式有效，对于多字节I/O操作，串行端口控制器数据地址将从写入0x00的数据地址开始递减。如果LSB优先格式有效，对于多字节I/O操作，串行端口控制器数据地址将从写入0x1F的数据地址开始递增。

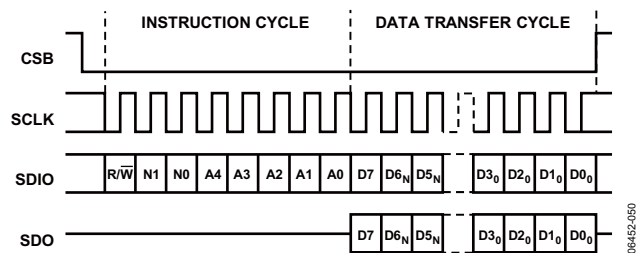


图53. 串行寄存器接口时序，MSB优先

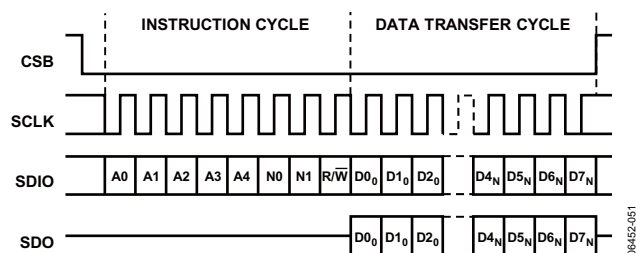


图54. 串行寄存器接口时序，LSB优先

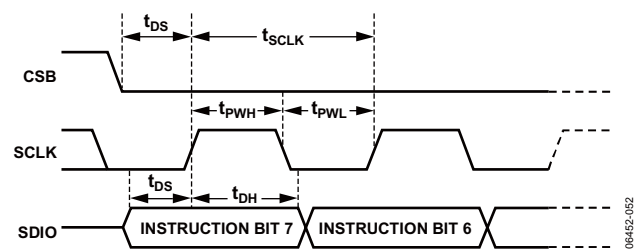


图55. 三线式接口寄存器写操作时序图

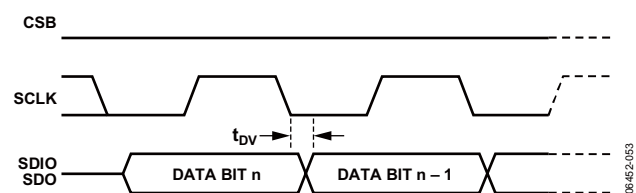


图56. 三线式接口寄存器读操作时序图

AD9776A/AD9778A/AD9779A

三线式接口寄存器映射

请注意，所有不用的寄存器位应保持器件默认值。

表13

寄存器名称	地址		位7	位6	位5	位4	位3	位2	位1	位0	缺省 值
	十六进制	十进制									
通信	0x00	00	SDIO双向	LSB/MSB 优先	软件复位	掉电模式	自动 掉电 使能		PLL 锁定指示 (只读)		0x00
数字控制	0x01	01	插值系数[1:0]			滤波器调制模式[3:0]			DATACLK 延迟[4]	零值 填充使能	0x00
	0x02	02	数据格式	单端口	实数模式	DATACLK 延迟使能	反sinc 使能	DATACLK 反相	TxEnable 反相	Q优先	0x00
同步控制	0x03	03	DATACLK 延迟模式	保留(置1)	DATACLK分频[1:0]		数据时序余量[3:0]				0x00
	0x04	04	DATACLK延迟[3:0]				SYNC_O分频[2:0]		SYNC_O 延迟[4]		0x00
	0x05	05	SYNC_O延迟[3:0]				SYNC_I比值[2:0]		SYNC_I 延迟[4]		0x00
	0x06	06	SYNC_I延迟[3:0]				SYNC_I时序余量[3:0]				0x00
	0x07	07	SYNC_I 使能	SYNC_O 使能	SYNC_O 触发沿	时钟状态[4:0]				0x00	
PLL控制	0x08	08	PLL频段选择[5:0]						PLL VCO驱动[1:0]		0xE7
	0x09	09	PLL使能	PLL VCO分频比[1:0]		PLL环路分频比[1:0]		PLL偏置[2:0]		0x52	
其它控制	0x0A	10	VCO控制电压[2:0] (只读)			PLL环路带宽[4:0]				0x1F	
I DAC 控制	0x0B	11	I DAC增益调整[7:0]							0xF9	
	0x0C	12	I DAC休眠	I DAC掉电					I DAC增益调整[9:8]		0x01
辅助 DAC1 控制	0x0D	13	辅助DAC1数据[7:0]							0x00	
	0x0E	14	辅助DAC1 符号	辅助DAC1 电流方向	辅助DAC1 掉电				辅助DAC1 数据[9:8]		0x00
Q DAC 控制	0x0F	15	Q DAC增益调整[7:0]							0xF9	
	0x10	16	Q DAC sleep	Q DAC power- down					Q DAC 增益调整[9:8]		0x01
辅助 DAC2 控制	0x11	17	辅助DAC2数据[7:0]							0x00	
	0x12	18	辅助DAC2 符号	辅助DAC2 电流方向	辅助DAC2 掉电				辅助DAC2 数据[9:8]		0x00
	0x13 to 0x18	19至24	保留								
中断	0x19	25	数据时序 错误IRQ	同步时序 错误IRQ		数据时序 错误类型	数据时序 错误IRQ 使能	同步时序 错误IRQ 使能		内部同步 回送	0x00
版本	0x1F	31	版本[7:0]							0x07	

表14. 三线式接口寄存器描述

寄存器名称	寄存器地址	位	参数	功能	缺省值
通信	0x00	7	SDIO双向	0: SDIO引脚仅用于输入数据。 1: SDIO引脚用于输入和输出数据。	0
	0x00	6	LSB/MSB优先	0: 串行数据的第一位是数据字节的MSB。 1: 串行数据的第一位是数据字节的LSB。	0
	0x00	5	软件复位	该位必须先写入1, 再写入0, 才能使三线式接口寄存器映射软复位。	0
	0x00	4	掉电模式	0: 所有电路均有效。 1: 禁用所有数字和模拟电路, 仅三线式接口端口有效。	
	0x00	3	自动掉电使能	控制自动掉电模式。 参见掉电和休眠模式部分。	0
	0x00	1	PLL锁定指示(只读)	0: PLL未锁定。 1: PLL锁定。	
数字控制	0x01	7:6	插值系数[1:0]	00: 1×插值。 01: 2×插值。 10: 4×插值。 11: 8×插值。	00
	0x01	5:2	滤波器调制模式[3:0]	滤波器模式见表19。	0000
	0x01	1	DATACLK延迟[4]	设置REFCLK输入相对于DATACLK输出的延迟的MSB。	0
	0x01	0	零值填充使能	0: 零值填充关。 1: 零值填充开。	0
	0x02	7	数据格式	0: 二进制补码。 1: 无符号二进制。	0
	0x02	6	单端口	0: P1D和P2D数据端口均使能。 1: 两个DAC的数据均通过P1D数据端口接收。	0
	0x02	5	实数模式	0: 使能Q路径进行信号处理。 1: 禁用Q路径数据 (内部Q通道时钟禁用, I和Q调制器禁用)。	0
	0x02	4	DATACLK延迟使能	使能DATACLK延迟特性。 关于此特性的更多信息见优化数据输入时序部分。	
	0x02	3	反sinc使能	0: 反Sinc滤波器禁用。 1: 反Sinc滤波器使能。	0
	0x02	2	DATACLK反相	0: 输出DATACLK与内部数据采样时钟DCLK_SMP信号同相。 1: 输出DATACLK与内部数据采样时钟DCLK_SMP信号相位相反。	0
	0x02	1	TxEnable反相	引脚39—TXENABLE输入引脚 (也用作IQSELECT)的极性反相。	0
	0x02	0	Q优先	0: 交错模式下, 输入端口上I数据先于Q数据。 1: 交错模式下, 输入端口上Q数据先于I数据。	

AD9776A/AD9778A/AD9779A

寄存器名称	寄存器地址	位	参数	功能	缺省值
同步控制	0x03	7	DATACLK延迟模式	0: 手动数据时序错误检测模式。 1: 自动数据时序错误检测模式。	0
	0x03	6	保留	应始终置1。	0
	0x03	5:4	DATACLK分频[1:0]	DATACLK输出分频器值。 00: 1分频。 01: 2分频。 10: 4分频。 11: 1分频。	00
	0x03	3:0	数据时序余量[3:0]	设置防止数据时序错误IRQ位置位所需要的时序余量。	0000
	0x04	7:4	DATACLK延迟[3:0]	设置REFCLK输入相对于DATACLK输出的延迟(详情见表29)。	0000
	0x04	3:1	SYNC_O分频[2:0]	SYNC_O信号的频率等于 $\frac{f_{DA}}{C/N}$, 其中N设置如下: 000: N = 32. 001: N = 16. 010: N = 8. 011: N = 4. 100: N = 2. 101: N = 1. 110: N = 未定义。 111: N = 未定义。	000
	0x04	0	SYNC_O延迟[4]	SYNC_O延迟[4:0]的值设置SYNC_O信号延迟线的值。	0
	0x05	7:4	SYNC_O延迟[3:0]	SYNC_O的延迟相对于REFCLK而言。 延迟线分辨率为每步进80 ps。 00000: 标称延迟。 00001: 在SYNC_O上增加80 ps延迟。 00010: 在SYNC_O上增加160 ps延迟。 ... 11111: 在SYNC_O上增加2480 ps延迟。	0000
	0x05	3:1	SYNC_I比值[2:0]	此值控制产生同步脉冲所需的SYNC_I输入脉冲数(详情见表30)。	000
	0x05	0	SYNC_I延迟[4]	SYNC_I延迟[4:0]的值设置SYNC_I信号延迟线的值。 延迟线分辨率为每步进80 ps。	0
	0x06	7:4	SYNC_I延迟[3:0]	00000: 标称延迟。 00001: 在SYNC_I上增加80 ps延迟。 00010: 在SYNC_I上增加160 ps延迟。 ... 11111: 在SYNC_I上增加2480 ps延迟。	0000
	0x06	3:0	SYNC_I时序余量[3:0]		0000
	0x07	7	SYNC_I使能	1: 使能SYNC_I输入。	0
	0x07	6	SYNC_O使能	1: 使能SYNC_O输出。	0
	0x07	5	SYNC_O触发沿	0: SYNC_O在REFCLK下降沿改变。 1: SYNC_O在REFCLK上升沿改变。	0
0x07	4:0	时钟状态[4:0]	此值确定同步时内部时钟发生状态机的状态。	0	

AD9776A/AD9778A/AD9779A

寄存器名称	寄存器地址	位	参数	功能	缺省值
PLL控制	0x08	7:2	PLL频段选择[5:0]	设置VCO的工作频率范围。详情见表23。	111001
	0x08	1:0	PLL VCO驱动[1:0]	控制VCO输出的信号强度。 设为11可实现最佳性能。	11
	0x09	7	PLL使能	0: PLL关, DAC采样时钟直接由REFCLK输入提供。 1: PLL开, DAC时钟由REFCLK输入 通过PLL时钟倍频器在内部产生。	0
	0x09	6:5	PLL VCO分频比[1:0]	设置VCO输出分频器的值, 以确定VCO输出频率 与DAC采样时钟频率的比: f_{VCO}/f_{DACCLK} 。 00: $f_{VCO}/f_{DACCLK} = 1$. 01: $f_{VCO}/f_{DACCLK} = 2$. 10: $f_{VCO}/f_{DACCLK} = 4$. 11: $f_{VCO}/f_{DACCLK} = 8$.	10
	0x09	4:3	PLL环路分频比[1:0]	设置DACCLK分频器的值, 以确定DAC采样时钟 频率与REFCLK频率的比: f_{DACCLK}/f_{REFCLK} 。 00: $f_{DACCLK}/f_{REFCLK} = 2$. 01: $f_{DACCLK}/f_{REFCLK} = 4$. 10: $f_{DACCLK}/f_{REFCLK} = 8$. 11: $f_{DACCLK}/f_{REFCLK} = 16$.	10
其它控制	0x0A	7:5	VCO控制电压[2:0](只读)	000至111, 与VCO控制电压输入端的电压成比例, 只能回读。值011表示VCO位于其频率范围中心	000
	0x0A	4:0	PLL环路带宽[4:0]	控制PLL滤波器的带宽。增大该值将降低 环路带宽。设为01111可实现最佳性能。	11111
I DAC控制	0x0C	1:0	I DAC增益调整[9:8]	I DAC增益调整[9:0]值为I DAC 10位增益设置 字。位9为MSB, 位0为LSB。	01
	0x0B	7:0	I DAC增益调整[7:0]		11111001
	0x0C	7	I DAC休眠	0: I DAC开。 1: I DAC关, 但基准电压源仍有电。	0
	0x0C	6	I DAC掉电	0: I DAC开。 1: I DAC关。	0
辅助DAC1控制	0x0E	1:0	辅助DAC1数据[9:8]	辅助DAC1数据[9:0]值为辅助DAC1 10位输出电流 控制字。辅助DAC电流的幅值随着该值增大而 增大。位9为MSB, 位0为LSB。	00
	0x0D	7:0	辅助DAC1数据[7:0]		00000000
	0x0E	7	辅助DAC1符号	0: AUX1_P有效。 1: AUX1_N有效。	0
	0x0E	6	辅助DAC1电流方向	0: 源电流。 1: 吸电流。	0
Q DAC控制	0x10	1:0	Q DAC增益调整[9:8]	Q DAC增益调整[9:0]值为Q DAC 10位增益设置 字。位9为MSB, 位0为LSB。	01
	0x0F	7:0	Q DAC增益调整[7:0]		11111001
	0x10	7	Q DAC休眠	0: Q DAC开。 1: Q DAC关。	0
	0x10	6	Q DAC掉电	0: Q DAC开。 1: Q DAC关。	0

AD9776A/AD9778A/AD9779A

寄存器名称	寄存器地址	位	参数	功能	缺省值
辅助DAC2控制	0x12	1:0	辅助DAC2数据[9:8]	辅助DAC2数据[9:0]为10位输出电流控制字。辅助DAC电流的幅值随着该值增大而增大。位9为MSB，位0为LSB。 0: AUX2_P有效。 1: AUX2_N有效。 0: 源电流。 1: 吸电流。 0: 辅助DAC2开。 1: 辅助DAC2关。	00 00000000
	0x11	7:0	辅助DAC2数据[7:0]		
	0x12	7	辅助DAC2符号		
	0x12	6	辅助DAC2电流方向		
	0x12	5	辅助DAC2掉电		
	0x13 to 0x18		保留		
中断	0x19	7	数据时序错误IRQ	只读。高电平有效，表示输入数据端口发生时序错误。IRQ锁存。读取中断寄存器后，此位清0。	0
	0x19	6	同步时序错误IRQ	只读。高电平有效，表示SYNC_I输入发生时序错误。IRQ锁存。读取中断寄存器后，此位清0。	0
	0x19	4	数据时序错误类型	只读。表示时序错误类型。 0: 保持时间错误。 1: 建立时间错误。 数据时序错误IRQ有效时有意义。	0
	0x19	3	数据时序错误IRQ使能	0: 数据时序错误IRQ屏蔽。 1: 数据时序错误IRQ使能。	0
	0x19	2	同步时序错误IRQ使能	0: 同步时序错误IRQ屏蔽。 1: 同步时序错误IRQ使能。	0
	0x19	0	内部同步回送	接收到的SYNC_O信号回送至SYNC_I信号。	0
版本	0x1F	7:0	版本[7:0]	表示器件硬件版本号。	00000111

插值滤波器结构

AD9776A/AD9778A/AD9779A可以提供最高达8×插值，也可以完全禁用插值滤波器。必须注意，为了避免插值滤波器溢出，输入信号应比满量程回退0.01 dB。表15至表18给出了低通滤波器和反sinc滤波器的系数。滤波器响应的频谱图如图57至图59所示。

表15. 低通滤波器1

低系数	高系数	整数值
H(1)	H(55)	-4
H(2)	H(54)	0
H(3)	H(53)	+13
H(4)	H(52)	0
H(5)	H(51)	-34
H(6)	H(50)	0
H(7)	H(49)	+72
H(8)	H(48)	0
H(9)	H(47)	-138
H(10)	H(46)	0
H(11)	H(45)	+245
H(12)	H(44)	0
H(13)	H(43)	-408
H(14)	H(42)	0
H(15)	H(41)	+650
H(16)	H(40)	0
H(17)	H(39)	-1003
H(18)	H(38)	0
H(19)	H(37)	+1521
H(20)	H(36)	0
H(21)	H(35)	-2315
H(22)	H(34)	0
H(23)	H(33)	+3671
H(24)	H(32)	0
H(25)	H(31)	-6642
H(26)	H(30)	0
H(27)	H(29)	+20,755
H(28)		+32,768

表16. 低通滤波器2

低系数	高系数	整数值
H(1)	H(23)	-2
H(2)	H(22)	0
H(3)	H(21)	+17
H(4)	H(20)	0
H(5)	H(19)	-75
H(6)	H(18)	0
H(7)	H(17)	+238
H(8)	H(16)	0
H(9)	H(15)	-660
H(10)	H(14)	0
H(11)	H(13)	+2530
H(12)		+4096

表17. 低通滤波器3

低系数	高系数	整数值
H(1)	H(15)	-39
H(2)	H(14)	0
H(3)	H(13)	+273
H(4)	H(12)	0
H(5)	H(11)	-1102
H(6)	H(10)	0
H(7)	H(9)	+4964
H(8)		+8192

表18. 反Sinc滤波器

低系数	高系数	整数值
H(1)	H(9)	+2
H(2)	H(8)	-4
H(3)	H(7)	+10
H(4)	H(6)	-35
H(5)		+401

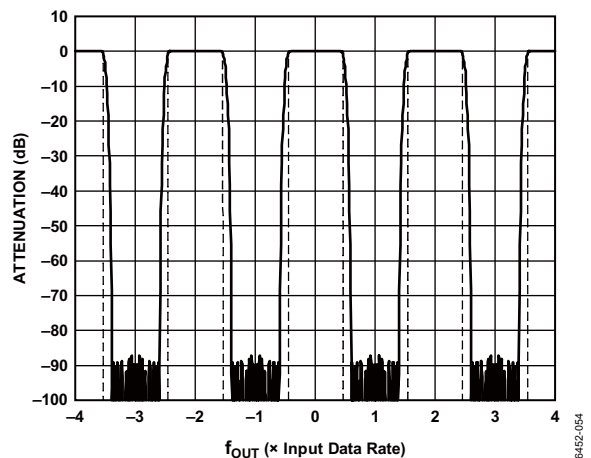


图57. 2×插值，低通响应，±4×输入数据速率
(虚线表示1 dB滚降)

AD9776A/AD9778A/AD9779A

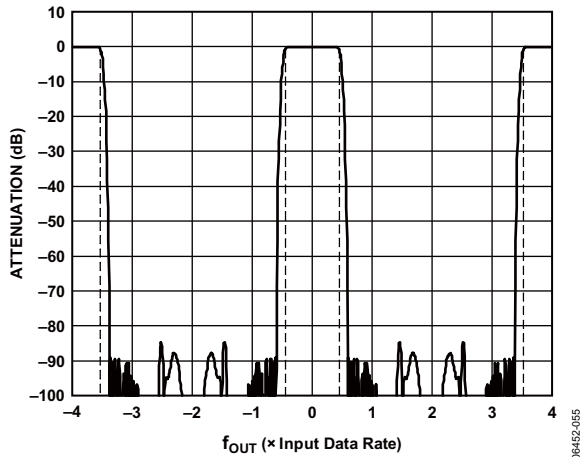


图58. 4×插值, 低通响应, ±4×输入数据速率
(虚线表示1 dB滚降)

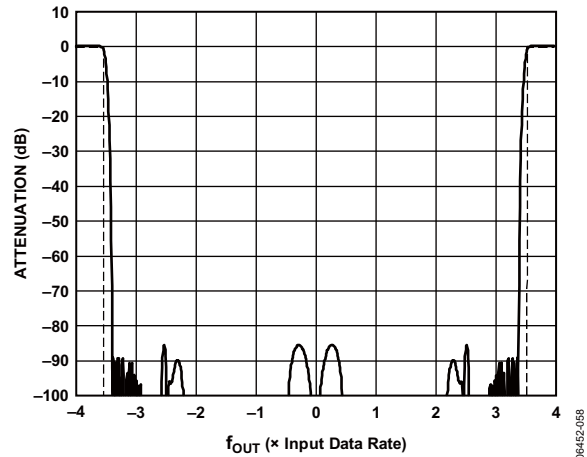


图61. $4f_{DAC}/8$ 滤波器的插值/调制组合

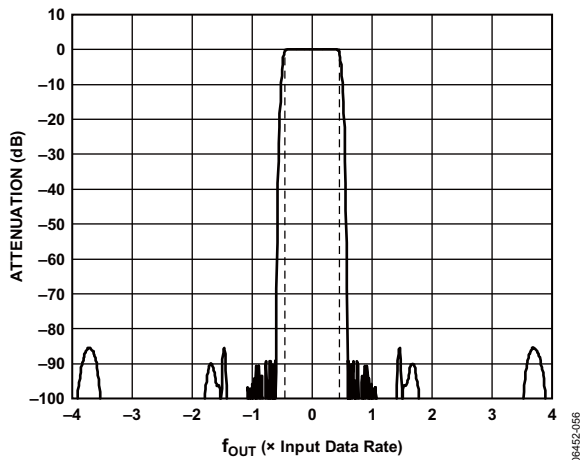


图59. 8×插值, 低通响应, ±4×输入数据速率
(虚线表示1 dB滚降)

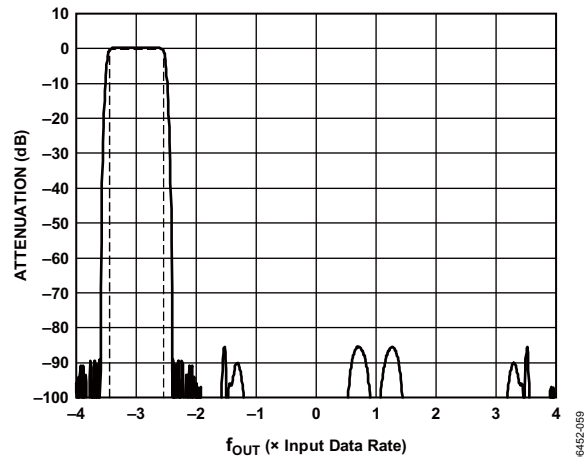


图62. $-3f_{DAC}/8$ 滤波器的插值/调制组合

插值滤波器与调制器相结合, 使输入信号可以放在DAC输出采样速率的奈奎斯特区内的任意位置。当输入信号为复数时, 此结构可以将输入信号调制到正或负奈奎斯特区 (见表19)。

图60显示了最高达输入数据速率4倍的奈奎斯特区。

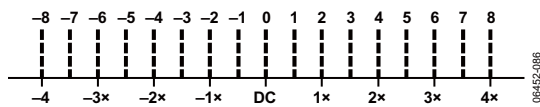


图60. 奈奎斯特区

图57、图58和图59显示了无调制时数字滤波器的低通响应。启用调制特性后, 可以将数字滤波器的响应调制到DAC带宽内的任意位置。作为示例, 图61至图67显示了8×插值的非偏移模式滤波器响应(偏移/非偏移模式滤波器响应见表19)。

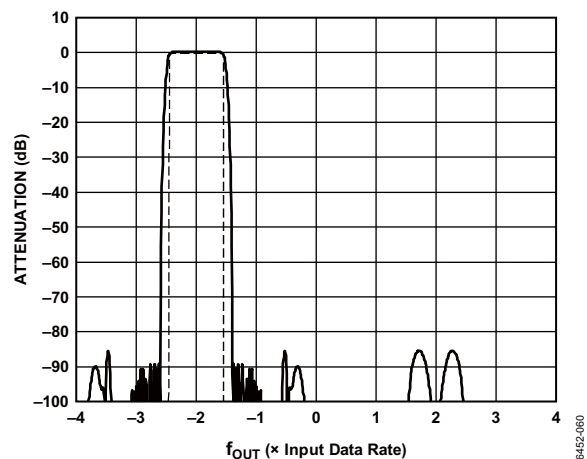


图63. $-2f_{DAC}/8$ 滤波器的插值/调制组合

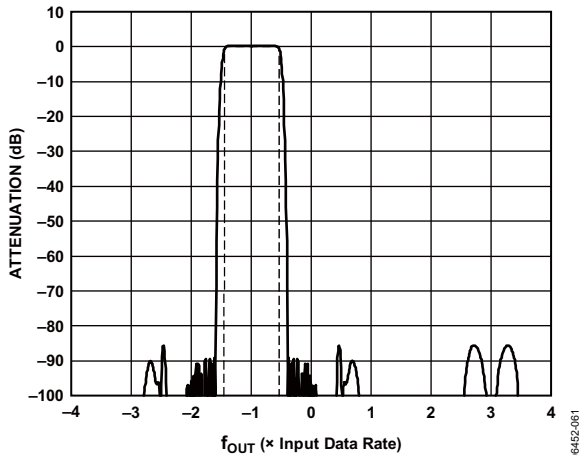


图64. $-f_{DAC}/8$ 滤波器的插值/调制组合

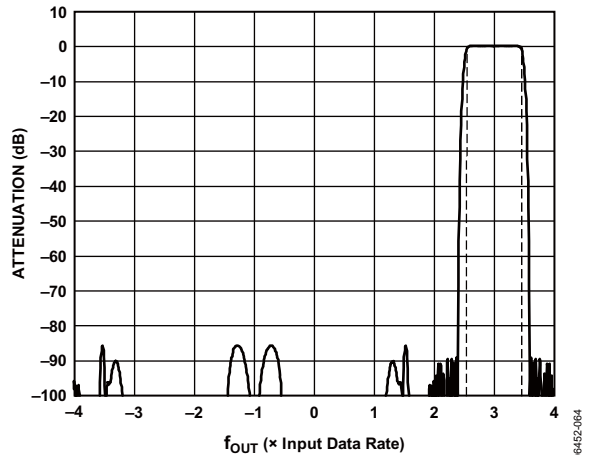


图67. $3f_{DAC}/8$ 滤波器的插值/调制组合

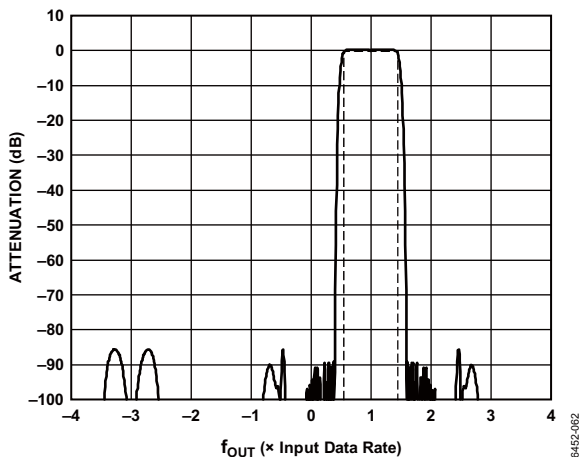


图65. $f_{DAC}/8$ 滤波器的插值/调制组合

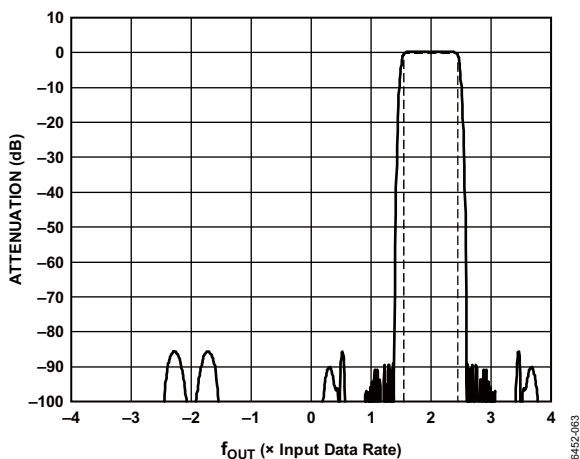


图66. $2f_{DAC}/8$ 滤波器的插值/调制组合

偏移模式滤波器响应允许通带以 $\pm 0.5 f_{DATA}$ 、 $\pm 1.5 f_{DATA}$ 、 $\pm 2.5 f_{DATA}$ 和 $\pm 3.5 f_{DATA}$ 为中心。切换到偏移模式响应不会影响信号的中心频率，只不过是使滤波器的通带偏移。以图67所示的响应为例，并假设带内信号为 $3.2 f_{DATA}$ 至 $3.3 f_{DATA}$ 带宽内的复数信号。然后选择偏移模式滤波器响应，通带的中心频率变为 $3.5 f_{DATA}$ 。但是，信号在频谱中的位置保持不变。偏移模式功能使滤波器通带能被放在DAC奈奎斯特带宽中的任意位置。

AD9776A/AD9778A/AD9779A均为双通道DAC，内部复数调制器集成于插值滤波器响应中。双通道模式下，器件期望复数信号的实部和虚部分别出现在数字输入端口1和数字输入端口2(即I和Q)。经过复数载波($f_{DAC}/2$ 、 $f_{DAC}/4$ 或 $f_{DAC}/8$)的调制，DAC输出代表输入信号的实部和虚部。

寄存器0x02的位6置1时，器件在端口1上接受I、Q、I、Q...序列的交错数据。请注意，在交错模式下，由于数据交错输入，I和Q数据路径开始处的通道数据速率只有输入数据速率的一半。最大输入数据速率仍然受器件最大额定值的限制，因而交错模式下输入端可用的合成带宽也会受到限制。

寄存器0x02的位5(实数模式位)置1时，Q通道和内部I、Q数字调制关闭。经过 $1\times$ 、 $2\times$ 、 $4\times$ 或 $8\times$ 插值，I DAC输出频谱代表数字输入端口1的信号。

一般建议是，如果所需信号在 $\pm 0.4 \times f_{DATA}$ 范围内，应使用非偏移滤波器模式。超出此范围时，应使用偏移滤波器模式。任何情况下，信号的总带宽都小于 $0.8 \times f_{DATA}$ 。

AD9776A/AD9778A/AD9779A

表19. 插值滤波器模式 (寄存器0x01位[5:2])

插值系数[7:6]	滤波器 调制模式[5:2]	调制	奈奎斯特区 通带	归一化为f _{DAC} 的频率			备注
				低	中	高	
8	0x00	DC	0	-0.05	0	+0.05	8×插值; BW(最小值)=0.0375 × f _{DAC} BW(最大值)=0.1 × f _{DAC}
8	0x01	DC偏移	+1	+0.0125	+0.0625	+0.1125	
8	0x02	f _{DAC} /8	+2	+0.075	+0.125	+0.175	
8	0x03	f _{DAC} /8偏移	+3	+0.1375	+0.1875	+0.2375	
8	0x04	f _{DAC} /4	+4	+0.2	+0.25	+0.3	
8	0x05	f _{DAC} /4偏移	+5	+0.2625	+0.3125	+0.3625	
8	0x06	3f _{DAC} /8	+6	+0.325	+0.375	+0.425	
8	0x07	3f _{DAC} /8偏移	+7	+0.3875	+0.4375	+0.4875	
8	0x08	f _{DAC} /2	±8	-0.55	-0.5	-0.45	
8	0x09	f _{DAC} /2偏移	-7	-0.4875	-0.4375	-0.3875	
8	0x0A	-3f _{DAC} /8	-6	-0.425	-0.375	-0.343	
8	0x0B	-3f _{DAC} /8偏移	-5	-0.3625	-0.3125	-0.2625	
8	0x0C	-f _{DAC} /4	-4	-0.3	-0.25	-0.2	
8	0x0D	-f _{DAC} /4偏移	-3	-0.2375	-0.1875	-0.1375	
8	0x0E	-f _{DAC} /8	-2	-0.175	-0.125	-0.075	
8	0x0F	-f _{DAC} /8偏移	-1	-0.1125	-0.0625	-0.0125	
4	0x00	DC	0	-0.1	0	+0.1	4×插值; BW(最小值)= 0.075 × f _{DAC} BW(最大值)= 0.2 × f _{DAC}
4	0x01	DC偏移	+1	+0.025	+0.125	+0.225	
4	0x02	f _{DAC} /4	+2	+0.15	+0.25	+0.35	
4	0x03	f _{DAC} /4偏移	+3	+0.275	+0.375	+0.475	
4	0x04	f _{DAC} /2	±4	-0.6	-0.5	-0.4	
4	0x05	f _{DAC} /2偏移	-3	-0.475	-0.375	-0.275	
4	0x06	-f _{DAC} /4	-2	-0.35	-0.25	-0.15	
4	0x07	-f _{DAC} /4偏移	-1	-0.225	-0.125	-0.025	
2	0x00	DC	0	-0.2	0	+0.2	2×插值; BW(最小值)= 0.15 × f _{DAC} BW(最大值)= 0.4 × f _{DAC}
2	0x01	DC偏移	+1	+0.05	+0.25	+0.45	
2	0x02	f _{DAC} /2	±2	-0.7	-0.5	-0.3	
2	0x03	f _{DAC} /2偏移	-1	-0.45	-0.25	-0.05	

插值滤波器带宽限制

AD9776A/AD9778A/AD9779A采用新颖的插值滤波器结构，DAC IF频率可以在频谱中的任意位置产生。图68显示DAC IF输出带宽位置的传统选择。请注意，其中不可能有这样的滤波器模式，即将载波放在 $0.5 \times f_{\text{DATA}}$ 、 $1.5 \times f_{\text{DATA}}$ 、 $2.5 \times f_{\text{DATA}}$ 等频率附近。

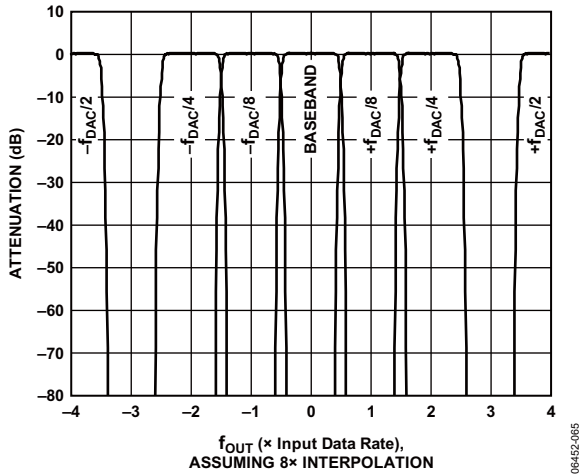


图68. TxDAC输出IF的传统带宽选项

该滤波器结构不仅允许插值滤波器通带以输入奈奎斯特区中的频率为中心(如上节所述)，而且在使用 $8 \times$ 插值时，还允许出现 $3 \times f_{\text{DAC}}/8$ 调制模式。利用所有这些滤波器组合，可以将给定带宽的载波放在频谱中的任意位置，并落在插值滤波器的可能通带内。图69和图70显示了该滤波器结构可使用的可能带宽。请注意，偏移和非偏移滤波器模式都可以使用，只要根据特定插值率设置滤波器模式。

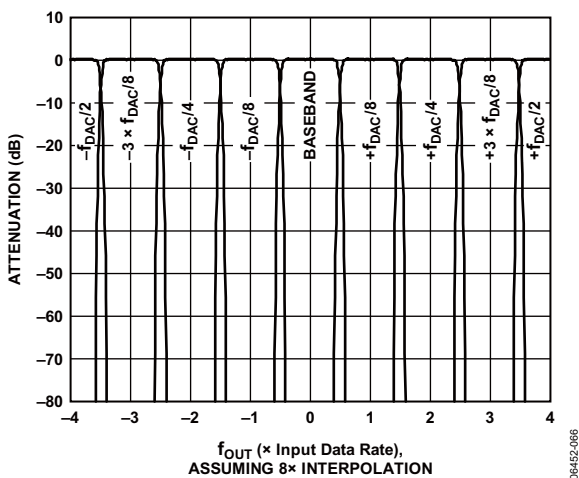


图69. 该滤波器结构可使用的非偏移带宽

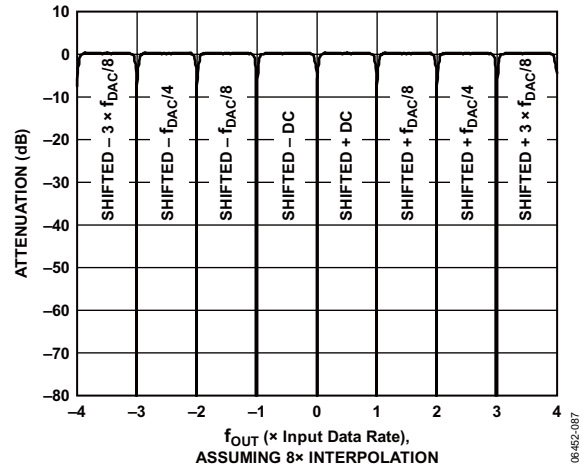


图70. 该滤波器结构可使用的偏移带宽

利用这种滤波器结构，可以将信号放在频谱中的任意位置。不过，信号带宽要受到DAC输入采样速率和载波在频谱中的特定位置的限制。滤波器响应和输入采样速率组合所引起的带宽限制通常称为合成带宽，因为这是DAC可以合成的最大带宽。

如果将载波直接放在其中一个滤波器通带的中心，则存在最大带宽条件。此时，插值滤波器的0.1 dB总带宽等于 $0.8 \times f_{\text{DATA}}$ 。如表19所示，插值率每提高一倍，作为DAC输出采样速率的分频的合成带宽降低一倍。如果将载波放在 $0.25 \times f_{\text{DATA}}$ 等位置，则存在最小带宽条件。此时，如果非偏移滤波器响应使能，滤波器响应的高端将在 $0.4 \times f_{\text{DATA}}$ 处截止，从而限制信号带宽的高端。如果使能的是偏移滤波器响应，滤波器响应的低端将在 $0.1 \times f_{\text{DATA}}$ 处截止，从而限制信号带宽的低端。因此，对于放在 $0.25 \times f_{\text{DATA}}$ 处的载波，最小带宽规定为 $0.3 \times f_{\text{DATA}}$ 。对于放在 $(\pm n \pm 0.25) \times f_{\text{DATA}}$ 处的载波(其中n为任意整数)，最小带宽行为会在整个频谱内重复出现。

数字调制

数字正交调制发生在插值滤波器内部。调制使输入数据的频谱偏移所选的频率。可用频率偏移为输入数据速率的倍数。调制相当于将正交输入信号乘以一个如下形式的复数载波信号 $C(t)$ ：

$$C(t) = \cos(\omega_c t) + j \sin(\omega_c t)$$

AD9776A/AD9778A/AD9779A

如表20所示，在大多数模式下，混频功能会导致样本在I通道与Q通道之间交叉耦合。只有在 $f_s/2$ 模式，I通道和Q通道才彼此独立工作。这意味着，同时使用I和Q DAC输出的实数调制只能在 $f_s/2$ 模式下进行。所有其它调制模式都需要复数输入数据，并产生复数输出信号。

表20. 调制混频序列

调制	混频序列
$f_{DAC}/2$	I = I, -I, I, -I, ... Q = Q, -Q, Q, -Q, ...
$f_{DAC}/4$	I = I, Q, -I, -Q, ... Q = Q, -I, -Q, I, ...
$-f_{DAC}/4$	I = I, -Q, -I, Q, ... Q = Q, I, -Q, -I, ...
$f_{DAC}/8$	I = I, r(I + Q), Q, r(-I + Q), -I, -r(I + Q), -Q, r(I - Q), ... Q = Q, r(Q - I), -I, -r(Q + I), -Q, r(-Q + I), I, r(Q + I), ... 其中 $r = \sqrt{2}/2$

反Sinc滤波器

反Sinc滤波器由一个9抽头FIR滤波器实现。它可以对最高达 $0.4 \times f_{DATA}$ 的频率提供 ± 0.05 dB以下通带纹波。为了在通带的上端提供必要的增益，反sinc滤波器具有3.4 dB的本征插入损耗。其传递函数如图71所示，抽头系数如表21所示。

表21. 反Sinc滤波器

低系数	高系数	整数值
H(1)	H(9)	+2
H(2)	H(8)	-4
H(3)	H(7)	+10
H(4)	H(6)	-35
H(5)	N/A	+401

反sinc滤波器默认禁用。将寄存器0x02中的反sinc使能位(位3)置1可以将其使能。

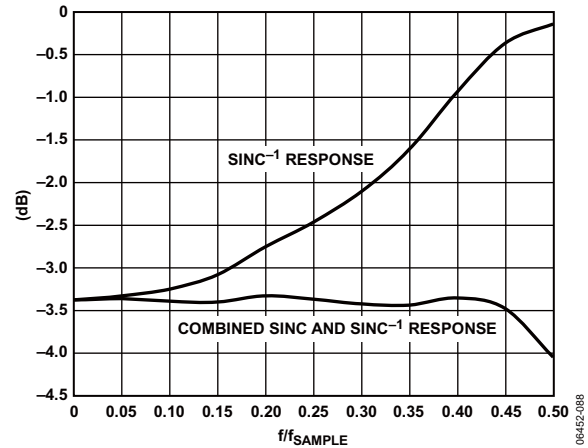


图71. 反Sinc滤波器的传递函数，DAC $\sin(x)/x$ 输出

DAC采样时钟源

AD9776A/AD9778A/AD9779A可以通过两种模式提供DAC采样时钟(DACCLK)。第一种模式采用片内时钟倍频器，它可以接受一个以较低输入频率(通常是数据输入频率)工作的参考时钟。然后，片内PLL将该参考时钟倍乘至较高频率，以用来产生DAC所需的全部内部时钟。该时钟倍频器提供的高质量时钟，可满足大多数应用的性能要求。使用片内时钟倍频器可以避免在电路板上产生和分配高速DACCLK的困难。第二种模式是旁路时钟倍频器电路，让DACCLK直接通过REFCLK引脚提供。利用这种模式，用户可以将非常高的输入时钟直接提供给DAC内核。对于要求在较高输出频率时DAC输出噪声尽可能低的苛刻应用，通过REFCLK引脚直接提供DACCLK可能是必需的。

无论何种情况(使用片内时钟倍频器或通过REFCLK引脚直接提供DACCLK)，均要求REFCLK信号的抖动很低，以尽可能提高DAC噪声性能。

直接输入时钟

PLL禁用时(寄存器0x09的位7 = 0)，REFCLK输入直接用作DAC采样时钟(DACCLK)。REFCLK频率需要等于输入数据速率乘以插值系数(如果零值填充使能，则还需要再乘以2)。

时钟倍频

PLL使能时(寄存器0x09的位7 = 1)，时钟倍频电路从较低频率的REFCLK输入产生DAC采样时钟。时钟倍频器的功能框图如图72所示。

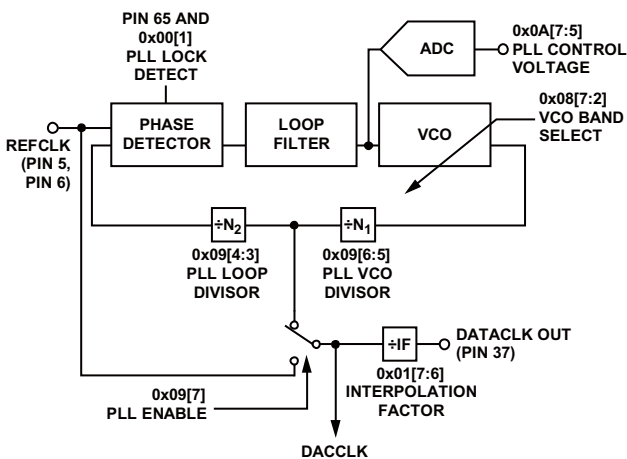


图72. 时钟倍频器电路

时钟倍频器电路的作用是使VCO输出频率 f_{VCO} 等于REFCLK输入信号频率乘以 $N1 \times N2$ 。

$$f_{VCO} = f_{REFCLK} \times (N1 \times N2)$$

DAC采样时钟频率 f_{DACCLK} 等于

$$f_{DACCLK} = f_{REFCLK} \times N2$$

PLL使能时，最大输入时钟频率 f_{REFCLK} 为250 MHz。必须适当选择N1和N2的值，使得 f_{VCO} 总是在1.0 GHz至2.0 GHz的最佳工作范围内。一旦知道VCO输出频率，便可以选择正确的PLL频段选择(寄存器0x08的位[7:2])值。

PLL偏置设置

PLL电路有三种偏置设置，应将这些设置编程为其标称值。表22所示的PLL值是这些参数的推荐设置。

表22. PLL设置

PLL三线式接口控制	地址		优化设置
	寄存器	位	
PLL环路带宽	0x0A	[4:0]	01111
PLL VCO驱动	0x08	[1:0]	11
PLL偏置	0x09	[2:0]	011

PLL环路带宽变量配置PLL环路滤波器的带宽。设置为00000时，带宽约为1 MHz。设置为11111时，带宽约为10 MHz。优化值为01111，此时环路带宽约为3 MHz。

配置PLL频段选择值

PLL VCO的有效工作范围约为1.0 GHz至2.0 GHz。该范围由63个有重叠的频段组成，如表23所示。对于任何需要的VCO输出频率，都存在多个有效的PLL频段选择值。必须注意，表23所示的数据是针对典型器件而言。器件之间的差异可能会使实际VCO输出频率范围偏移30 MHz到40 MHz。此外，VCO输出频率随着温度而变化。因此，最佳PLL频段选择值必须根据具体器件和特定工作温度确定。

器件具有片内PLL频段自动选择特性。当该特性使能时，器件将自动确定给定温度下的最佳PLL频段设置。在环境温度度的 $\pm 60^\circ\text{C}$ 变化幅度内，此设置始终有效。如果器件所在的工作环境发生更大幅度的温度波动，则需要对自动选择的PLL频段做一个偏移。

AD9776A/AD9778A/AD9779A

表23. 典型VCO频率范围与PLL频段选择值

-40°C至+85°C温度范围内的PLL锁定范围			-40°C至+85°C温度范围内的PLL锁定范围		
PLL频段选择	VCO频率范围(MHz)		PLL频段选择	VCO频率范围(MHz)	
	f _{LOW}	f _{HIGH}		f _{LOW}	f _{HIGH}
111111 (63)	自动模式		011111 (31)	1402	1468
111110 (62)	1975	2026	011110 (30)	1397	1451
111101 (61)	1956	2008	011101 (29)	1361	1427
111100 (60)	1938	1992	011100 (28)	1356	1412
111011 (59)	1923	1977	011011 (27)	1324	1389
111010 (58)	1902	1961	011010 (26)	1317	1375
111001 (57)	1883	1942	011001 (25)	1287	1352
111000 (56)	1870	1931	011000 (24)	1282	1336
110111 (55)	1848	1915	010111 (23)	1250	1313
110110 (54)	1830	1897	010110 (22)	1245	1299
110101 (53)	1822	1885	010101 (21)	1215	1277
110100 (52)	1794	1869	010100 (20)	1210	1264
110011 (51)	1779	1853	010011 (19)	1182	1242
110010 (50)	1774	1840	010010 (18)	1174	1231
110001 (49)	1748	1825	010001 (17)	1149	1210
110000 (48)	1729	1810	010000 (16)	1141	1198
101111 (47)	1730	1794	001111 (15)	1115	1178
101110 (46)	1699	1780	001110 (14)	1109	1166
101101 (45)	1685	1766	001101 (13)	1086	1145
101100 (44)	1684	1748	001100 (12)	1078	1135
101011 (43)	1651	1729	001011 (11)	1055	1106
101010 (42)	1640	1702	001010 (10)	1047	1103
101001 (41)	1604	1681	001001 (9)	1026	1067
101000 (40)	1596	1658	001000 (8)	1019	1072
100111 (39)	1564	1639	000111 (7)	998	1049
100110 (38)	1555	1606	000110 (6)	991	1041
100101 (37)	1521	1600	000101 (5)	976	1026
100100 (36)	1514	1575	000100 (4)	963	1011
100011 (35)	1480	1553	000011 (3)	950	996
100010 (34)	1475	1529	000010 (2)	935	981
100001 (33)	1439	1505	000001 (1)	922	966
100000 (32)	1435	1489	000000 (0)	911	951

利用温度检测配置PLL频段选择

下述步骤说明了为工作在特定温度的器件设置PLL频段选择值的方法；当环境温度在器件的工作温度范围(-40°C至+85°C)内变化时，该值始终有效，无需用户进一步干预。请注意，在执行此步骤的过程中，必须将REFCLK施加于器件。

1. 编程设置N1(寄存器0x09的位[6:5])和N2 (寄存器0x09的位[4:3]) 的值，以及表22所示的PLL设置。
2. 将PLL频段(寄存器0x08的位[7:2])设为63，以使能PLL自动模式。
3. 等待PLL_LOCK引脚或PLL锁定指示(寄存器0x00的位1)变为高。这应当在5 ms内发生。
4. 读回6位PLL频段(寄存器0x08的位[7:2])。
5. 根据执行PLL自动频段选择时的温度，将读回的值按照表24或表25所示的PLL频段设定方法重新写入PLL频段选择参数(寄存器0x08的位[7:2])。

为了选择能够在整个工作温度范围内保持有效的最佳PLL频段选择值，此步骤要求在器件启动或复位时进行温度检测。如果优化频段处于0至31(较低的VCO频率)之内，请参考表24。

表24. 当频段处于较低范围(0至31)时，设置优化PLL频段

如果系统启动温度为	按以下方法设定PLL频段
-40°C 至 -10°C	使PLL频段=回读频段+2
-10°C 至 +15°C	使PLL频段=回读频段+1
15°C 至 55°C	使PLL频段=回读频段
55°C 至 85°C	使PLL频段=回读频段-1

如果优化频段处于32至62(较高的VCO频率)之内，请参考表25。

表25. 当频段处于较高范围(32至62)时，设置优化PLL频段

如果系统启动温度为	按以下方法设定PLL频段
-40°C 至 -30°C	使PLL频段=回读频段+3
-30°C 至 -10°C	使PLL频段=回读频段+2
-10°C 至 +15°C	使PLL频段=回读频段+1
15°C 至 55°C	使PLL频段=回读频段
55°C 至 85°C	使PLL频段=回读频段-1

利用存储器进行已知温度校准

如果系统不提供温度检测功能，则在已知温度进行工厂校准是保证在温度范围锁定的另一种方法。工厂校准可以按照下述步骤执行：

1. 编程设置N1(寄存器0x09的位[6:5])和N2 (寄存器0x09的位[4:3])的值，以及表22所示的PLL设置。
2. 将PLL频段(寄存器0x08的位[7:2])设为63，以使能PLL自动模式。
3. 等待PLL_LOCK引脚或PLL锁定指示(寄存器0x00的位1)变为高。这应当在5 ms内发生。
4. 读回6位PLL频段(寄存器0x08的位[7:2])。
5. 根据执行PLL自动频段选择时的温度，将表24或表25所示的PLL频段存入非易失性存储器。在系统上电或重新启动时，将存储的PLL频段值载入PLL频段选择参数(寄存器0x08的位[7:2])。

“一劳永逸”的器件选项

如果在特定系统中无法实施上述PLL频段选择配置方法，则可能有一个隐藏的器件选项可以满足系统要求。它允许用户预载入适合所有器件的特定PLL频段选择值，该值在整个温度范围内始终有效。REFCLK和VCO频率示例如表26所示。

表26. 典型VCO频率范围与PLL频段选择值

f _{REFCLK} (MHz)	f _{VCO} (MHz)	保证PLL频段	总PLL分频比
59.73335	955.7336	2	16
61.44	1966.08	61	32
67.2	1075.2	11	16
76.8	1228.8	20	16
80.01	1280	23	16
81.92	1310.72	25	16
92.16	1474.56	34	16
112.0	1792.0	50	16
119.4667	955.7336	2	8
122.88	1966.08	61	16

AD9776A/AD9778A/AD9779A

驱动REFCLK输入

REFCLK输入要求一个低抖动差分驱动信号。该信号的电平可以在以400 mV输入共模电压为中心的400 mV峰峰值差分至1.6 V峰峰值差分范围内。查看单端输入REFCLK+或REFCLK-，各输入引脚均能在以400 mV共模电压为中心的200 mV峰峰值至800 mV峰峰值范围内摆动。虽然这些输入电平并不直接兼容LVDS，但REFCLK可以由一个偏移交流耦合LVDS信号驱动，如图73所示。

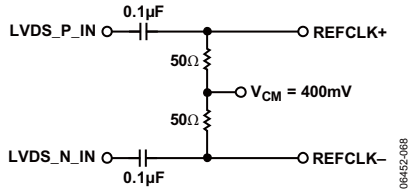


图73. LVDS REFCLK驱动电路

如果有干净的正弦时钟可用，则可以将其通过变压器耦合至REFCLK，如图74所示。对于较低的采样速率，也可以使用CMOS或TTL时钟。它可以经过一个CMOS转LVDS转换器，然后再按照本节所述进行交流耦合。或者，也可以将其通过变压器耦合并箝位，如图74所示。

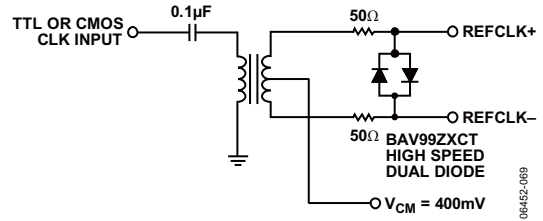


图74. TTL或CMOS REFCLK驱动电路

A simple bias network for generating V_{CM} is shown in Figure 75. It is important to use CVDD18 and CGND for the clock bias circuit. Any noise or other signal that is coupled onto the clock is multiplied by the DAC digital input signal and can degrade DAC performance.

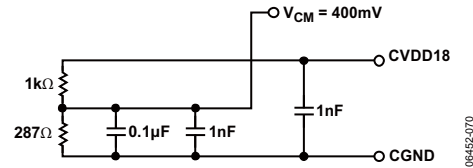


图75. REFCLK V_{CM} 发生器电路

产生满量程电流

内部基准电压源

I DAC和Q DAC的满量程电流可以在8.66 mA至31.66 mA范围内设置。开始时，使用1.2 V带隙基准电压源设置与I120引脚(引脚75)相连的外部电阻中的电流。基准电压电路的简化框图如图76所示。外部电阻的建议值为10 kΩ，它设置电阻中的基准电流 $I_{\text{REFERENCE}}$ 为120 μA，进而提供DAC输出满量程电流20 mA。增益误差是此电阻的线性函数，因此高精度电阻可以改善与器件内部匹配特性的增益匹配。增益的温度漂移也会受此电阻影响。在要求良好增益稳定性的应用中，建议使用低温度系数的电阻。

内部电流镜提供电流增益缩放，其中I DAC或Q DAC增益为三线式接口端口寄存器中的一个10位字(寄存器0x0B、寄存器0x0C、寄存器0x0F和寄存器0x10)。DAC增益寄存器的默认值使IFS约为20 mA。 I_{FS} 等于：

$$I_{\text{FS}} = \frac{1.2 \text{ V}}{R} \times \left(\frac{27}{12} + \left(\frac{6}{1024} \times \text{DAC Gain} \right) \right) \times 32$$

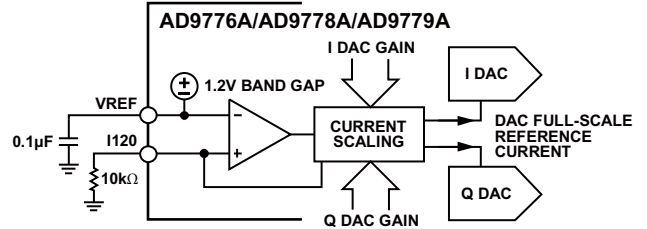


图76. 基准电压电路

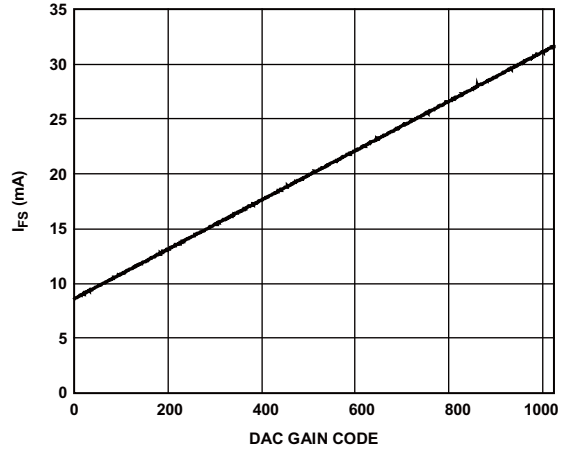


图77. I_{FS} 与DAC增益码字的关系

增益和失调校正

利用模拟正交调制器，非常容易实现单边带无线电。不过，正交调制器有多个降低模拟性能的非理想特性，其中包括：

- 增益失配：正交调制器实数和虚数信号路径的增益可能不完全匹配。这会导致镜像抑制性能达不到最佳，因为负频率镜像不能完全抵消。
- 本振(LO)馈通：正交调制器具有有限的直流失调，而且存在LO端口至信号输入端的耦合。这因素可能会导致在正交调制器LO频率处出现明显的频谱杂散。

AD9776A/AD9778A/AD9779A能够消除所有这些不利影响。请注意，这些影响会随着温度而漂移；因此，如果希望实现近乎最佳的单边带性能，可能需要检测这些影响随温度的变化，并予以校正。

I/Q通道增益匹配

增益匹配是通过调整DAC增益寄存器的值而实现。对于I DAC，这些值位于0x0B和0x0C I DAC控制寄存器中。对于Q DAC，这些值位于0x0F和0x10 Q DAC控制寄存器中。这些值有10位。执行增益补偿时，按照固定的步幅增大或减小其中一个寄存器的值，然后测量干扰镜像的幅值。如果干扰镜像的幅值增大，则应停止，转而对另一个DAC控制寄存器尝试同样的调整，直到无法通过调整这些寄存器使镜像抑制得到进一步改善为止。

应当注意，LO馈通补偿独立于增益。不过，增益补偿可能会影响LO补偿，因为增益补偿可能会改变信号的共模电平。某些调制器的直流失调与共模电平相关。因此，建议增益调整先于LO补偿执行。

辅助DAC操作

AD9776A/AD9778A/AD9779A提供了两个辅助DAC。这些DAC的满量程输出电流是由1.2 V带隙基准电压源和I120引脚与地之间的外部电阻决定。当辅助DAC增益设置为满量程时(10位值，三线式接口寄存器0x0D和0x11)，从基准电压放大器电流($I_{\text{REFERENCE}}$)到辅助DAC基准电流的增益比例为16.67。这使得辅助DAC1和辅助DAC2的满量程电流约为2 mA。

有效输出可以用作源电流或吸电流。提供源电流时，输出顺从电压为0 V至1.6 V。提供吸电流时，输出顺从电压为0.8 V至1.6 V。输出引脚是作为源电流还是吸电流，取决于对寄存器0x0E和0x12的位6所写的值。

辅助DAC结构如图78所示。辅助DAC的两个输出引脚在任一时间只有一个有效。无效端变为高阻抗状态(>100 kΩ)。哪一个输出引脚有效，取决于对寄存器0x0E和0x12的位7所写的值。

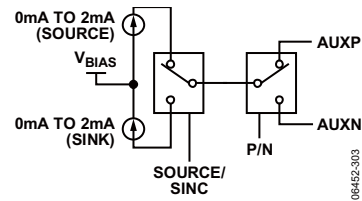


图78. AD9776A/AD9778A/AD9779A的辅助DAC源电流/吸电流

辅助DAC1的电流幅值由0x0D和0x0E辅助DAC1控制寄存器控制，辅助DAC2的电流幅值由0x11和0x12辅助DAC2控制寄存器控制。这些辅助DAC能够提供源电流或吸电流，具体是由各辅助DAC控制寄存器的位6控制。提供源电流或吸电流，应在电路设计阶段做出选择。电路定型后，在电流源和电流吸收器之间切换并无益处。

当DAC输出端后接正交调制器时，辅助DAC可以用于LO抵消。该LO馈通是由正交调制器的输入参考直流失调电压(以及DAC输出失调电压失配)引起的，可能会降低系统性能。

DAC与正交调制器的典型接口如图79所示。调制器的输入共模电压一般远高于DAC的输出电压，因此有必要使用交流耦合或直流电平转换。如果正交调制器所需的共模输入电压与DAC电压匹配，则可以使用图79所示的直流方式。当正交调制器输入端来自DAC的杂散信号(失真和DAC镜像)可能影响系统性能时，建议使用低通或带通滤波器。将滤波器放在图79所示位置可以简化滤波器设计，因为源阻抗和负载阻抗很容易设计为接近50 Ω。

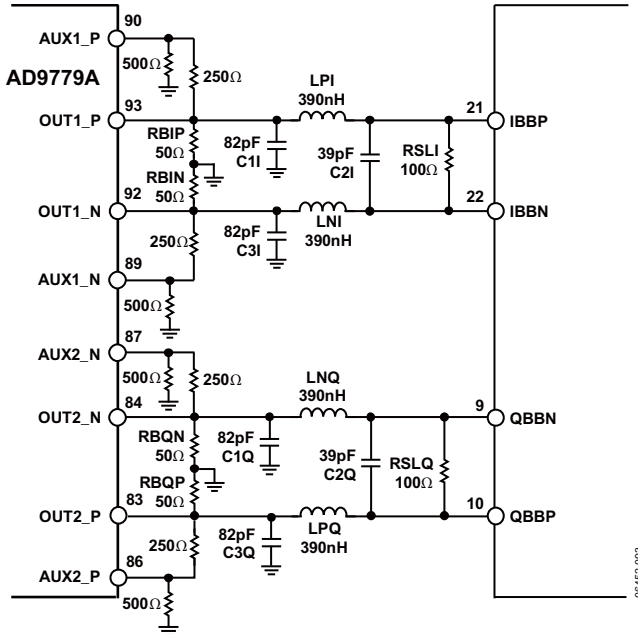


图79. 辅助DAC交流耦合至正交调制器的典型用法

LO馈通补偿

LO馈通补偿是所有三种操作中最复杂的一种。这是由失调辅助DAC的结构所决定的，如图78所示。为在电路实现LO馈通补偿，这些辅助DAC的四路输出各自都可以通过一个500 Ω电阻接地，并通过一个250 Ω电阻连接到四路正交调制器信号输入端之一。这些连接的作用是将非常小的电流驱动至正交调制器输入端的结点，使其中一路正交调制器信号输入端增加微小直流偏置。

为实现LO馈通补偿，用户应从辅助DAC符号寄存器的默认条件开始，然后递增某个辅助DAC输出电流的幅值。完成之后，应检测正交调制器输出端LO馈通的幅值。如果LO馈通幅值增大，请尝试更改所调整的辅助DAC的符号，或者调整另一个辅助DAC的输出电流。为了获得有效的算法，可能需要进行练习。

使用AD9776A/AD9778A/AD9779A评估板，LO馈通通常可以调整到本底噪声水平，不过这并不稳定，会随温度而变化。

增益和失调校正结果

增益和失调校正的结果可以从图80和图81看出。图80显示了增益和失调校正之前正交调制器的输出频谱。图81显示了校正之后的输出频谱。2.1 GHz频率处的LO馈通已被抑制到噪声水平。运用校正可以实现该结果，但如果温度发生较大变化，则需要重新校正。

请注意，增益匹配改善了负频率镜像抑制，但仍然存在明显的镜像。剩余镜像来源于正交调制器的相位失配。相位失配与增益失配可以通过镜像的形状来区分。注意图80中的镜像相对较平坦，图81中的镜像则随频率增加而下降。相位失配与频率相关，因此相位失配占主导的镜像具有这种倾斜特征。

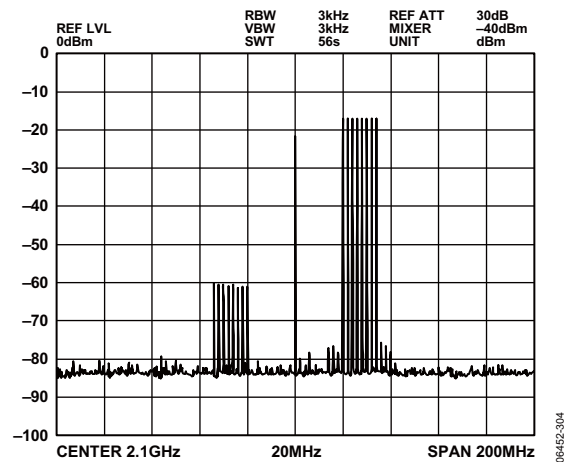


图81. AD9779A和ADL5372, 2.1 GHz多音信号, 经过增益和LO补偿优化

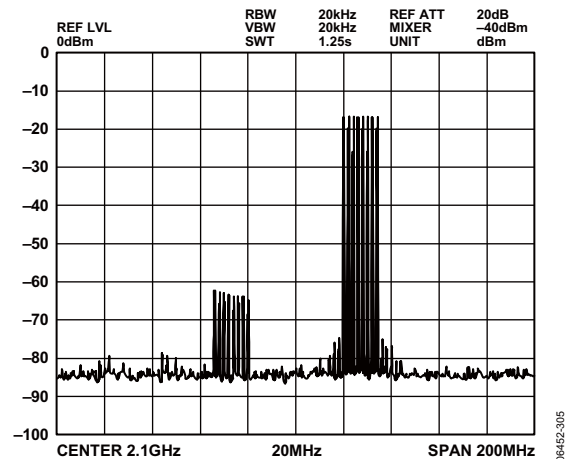


图81. AD9779A和ADL5372, 2.1 GHz多音信号, 经过增益和LO补偿优化

输入数据端口

AD9776A/AD9778A/AD9779A能以两种数据输入模式工作：双端口模式和单端口模式。默认模式是双端口模式(单端口位 = 0)，各DAC从专用输入端口接收数据。单端口模式(单端口位 = 1)下，两个DAC均从端口1接收数据，DAC1和DAC2数据交错，TXENABLE输入用来将数据引导至目标DAC。双端口模式下，TXENABLE输入用来关断数字数据路径。

双端口模式下，必须以输入数据速率提供数据。单端口模式下，必须以各DAC输入数据速率的两倍提供数据。数据输入的最高速率为300 MSPS，因此在单端口模式下，每个DAC的输入数据速率最高可达150 MHz。

在双端口和单端口模式下，可以用一个数据时钟输出(DATACLK)信号作为固定时间基础，以便从FPGA或其它数据源获得数据。此输出信号以输入数据速率工作。

单端口模式

单端口模式下，两个DAC的数据均在端口1输入总线(P1D[15:0])上接收。I和Q数据样本交错，并在DATACLK的上升沿进行采样。与数据一道，还必须在TXENABLE输入(引脚39)上提供一个帧传输信号，以便将输入数据引导至相应的DAC。当TXENABLE为高时，对应的数据字送至I DAC。当TXENABLE为低时，对应的数据字送至Q DAC。交错模式下数字接口的时序如图83所示。

Q首位(寄存器0x02的位0)控制输入数据的配对顺序。当Q首位设为默认值0时，送至DAC的I-Q对为对应于TXENABLE先低后高的两个输入数据字。当Q首位设为1时，送至DAC的I-Q对为对应于TXENABLE先高后低的两个输入数据字。请注意，无论按照何种顺序配对，对应于TXENABLE高的数据都是被引导至I DAC，对应于TXENABLE低的数据都是被引导至Q DAC。

双端口模式

双端口模式下，各DAC的数据在相应的输入总线(P1D[15:0]或P2D[15:0])上接收。I和Q数据同时到达，并在DATACLK信号的上升沿进行采样。TXENABLE信号必须为高才能使能发射路径。

输入数据以DATACLK为参考

当输入数据以DATACLK输出为参考时，与AD9776A/AD9778A/AD9779A的接口最为简单。DATACLK输出为用来锁存输入数据的内部时钟的缓冲版本(含某种固定延迟)。因此，如果符合输入数据相对于DATACLK的建立和保持时间，就能正确锁存输入数据。图82给出了以DATACLK为时序参考的单端口模式和双端口模式详细时序图。

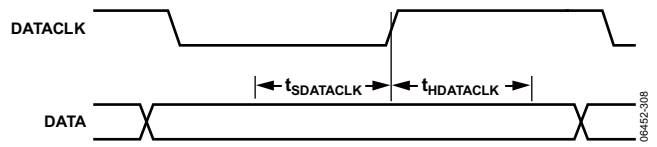


图82. 输入数据端口时序，数据以DATACLK为参考

表28显示了在器件的工作温度范围内输入数据的建立和保持时间要求，同时显示了阻挡窗口(KOW)。阻挡窗口是接口的建立和保持时间之和，表明为了确保正确采样，这是有效数据必须出现在器件上的最短时间。

DATACLK频率设置

DATACLK信号从内部DAC采样时钟DACCLK获得。DATACLK输出的频率取决于多个编程设置。一般而言，DATACLK的频率等于输入数据速率。DACCLK与DATACLK的关系式如下：

$$f_{DATACLK} = \frac{f_{DACCLK}}{IF \cdot ZS \cdot SP \times DATACLKDIV}$$

其中，变量IF、ZS、SP和DATACLKDIV的值如表27所示。

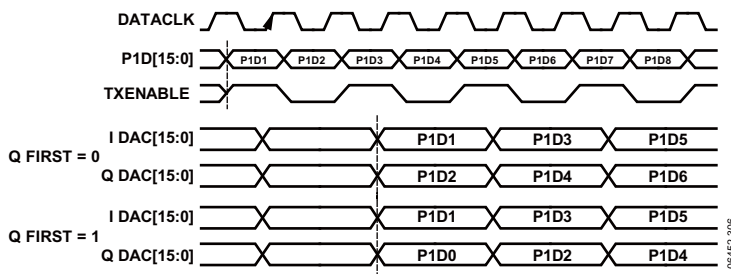


图83. 单端口模式数字接口时序

DATACLKDIV仅影响DATACLK输出频率，而不影响数据采样时钟的频率。为使输入数据采样频率 $f_{DATACLK}$ 始终与期望数据速率保持一致，DATACLKDIV应设为00。

表27. 从DACCLK获得DATACLK的分频值

变量	值	地址	
		寄存器	位
IF	插值系数(1、2、4或8)	0x01	[7:6]
ZS	1(零值填充禁用) 2(零值填充使能)	0x01	[0]
SP	0.5(单端口使能) 1(选择双端口)	0x02	[6]
DATACLKDIV	1、2或4	0x03	[5:4]

输入数据以REFCLK为参考

某些系统中，用REFCLK输入比用DATACLK输出作为输入数据时序参考更方便。如果DACCLK的频率等于数据输入的频率(无插值)，则相对于REFCLK±表28所示时序规格的数据可以直接使用，无需更多考虑。如果DACCLK的频率大于输入数据的频率，则可以利用分频器产生DATACLK输出(以及内部数据采样时钟)。此分频器会在REFCLK和DATACLK之间造成相位模糊，导致采样时间不确定。为了确立数据接口的固定的建立和保持时间，必须消除这种相位模糊。

为了消除相位模糊，必须使用SYNC_I输入引脚(引脚13和14)，强迫数据在特定REFCLK沿进行采样。REFCLK、SYNC_I和输入数据之间的关系如图84和图85所示。因此，为了可靠地将数据传输至器件，SYNC_I和数据均必须满足表28的时序要求。

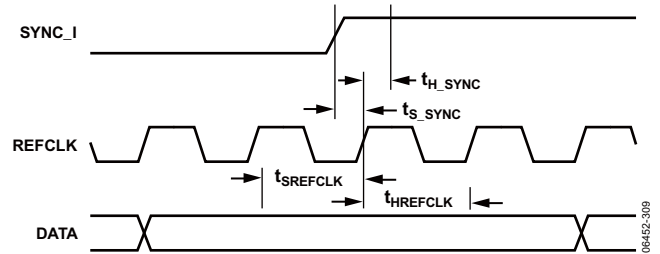


图84. 输入数据端口时序，数据以REFCLK为参考， $f_{DACCLK} = f_{REFCLK}$

请注意，虽然SYNC_I的建立和保持时间是相对于REFCLK而言，但SYNC_I输入是以内部DACCLK速率进行采样。当采用PLL时，SYNC_I必须置位以满足相对于REFCLK(t_{S_SYNC})的建立时间要求，但不能在内部SYNC_I采样时钟的前一个上升沿之前置位。换言之，SYNC_I置位沿必须放在连续两个阻挡窗口之间，这些阻挡窗口是以DACCLK速率重复的，而不是REFCLK速率。针对PLL提供的DACCLK频率的为四倍REFCLK频率的情况，图85的阴影部分显示了SYNC_I置位的有效窗口。因此，最短建立时间为 t_{S_SYNC} ，最长建立时间为 $t_{DACCLK} - t_{H_SYNC}$ 。

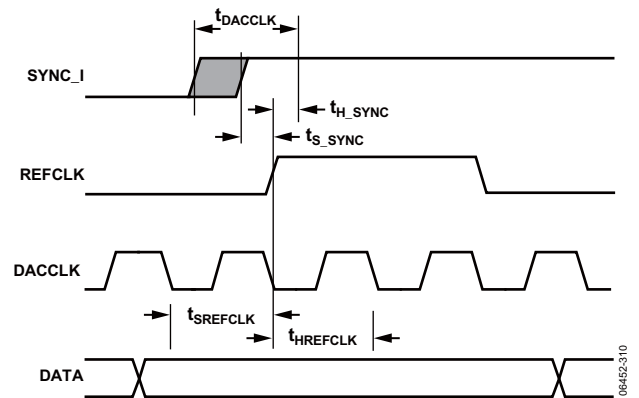


Figure 85. Input Data Port Timing, Data Referenced to REFCLK, $f_{DACCLK} = f_{REFCLK} \times 4$

图85. 输入数据端口时序，数据以REFCLK为参考， $f_{DACCLK} = f_{REFCLK} \times 4$

表28. 数据时序规格与温度

时序参数	温度	PLL禁用			PLL使能		
		Min t_s (ns)	Min t_h (ns)	Min KOW (ns)	Min t_s (ns)	Min t_h (ns)	Min KOW (ns)
数据相对于REFCLK±	-40°C	-0.80	3.35	2.55	-0.83	3.87	2.99
	+25°C	-1.00	3.50	2.50	-1.06	4.04	2.98
	+85°C	-1.10	3.80	2.70	-1.19	4.37	3.16
	-40°C 至 +85°C	-0.80	3.80	3.00	-0.83	4.37	3.54
数据相对于DATACLK	-40°C	2.50	-0.05	2.45	2.50	-0.05	2.45
	+25°C	2.70	-0.20	2.50	2.70	-0.20	2.50
	+85°C	3.00	-0.40	2.60	3.00	-0.40	2.60
	-40°C 至 +85°C	3.00	-0.05	2.95	3.00	-0.05	2.95
SYNC_I±至REFCLK±	-40°C	0.30	0.65	0.95	0.27	1.17	1.39
	+25°C	0.25	0.75	1.00	0.19	1.29	1.48
	+85°C	0.15	0.90	1.05	0.06	1.47	1.51
	-40°C 至 +85°C	0.30	0.90	1.20	0.27	1.47	1.74

AD9776A/AD9778A/AD9779A

优化数据输入时序

AD9776A/AD9778A/AD9779A具有片内电路，允许用户调整DATACLK输出与DCLK_SMP(采样输入数据的内部时钟)之间的关系，以优化输入数据时序。这种优化是通过一系列三线式接口寄存器读写操作来实现。时序优化可以在用户的严格控制之下完成，也可以对器件进行编程，使之自动保持在一定的时序余量(时序余量可配置)。该功能仅在输入数据以DATACLK输出为参考时才能使用。后续部分将详细说明每种方法。

图86显示用来检测采样时序错误并调整数据接口时序的电路。DCLK_SMP信号是用来锁存输入数据的内部时钟。最终，此信号的上升沿需要处于输入数据有效采样周期的中心。其实现方式是调整时间延迟 t_D ，以改变DATACLK时序，从而改变输入数据相对于DCLK_SMP的到达时间。

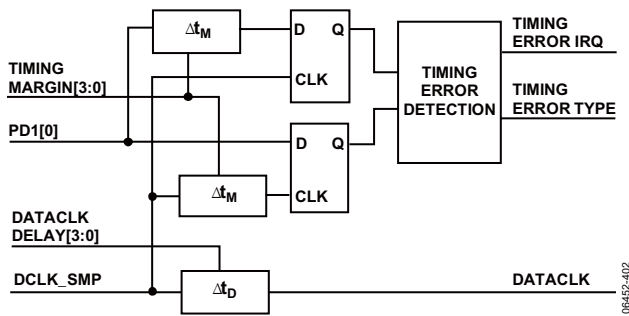


图86. 时序错误检测和优化电路

除了器件数据路径所用的实际采样数据外，错误检测电路还会产生两组采样数据(称为余量测试数据)。一组采样数据在实际数据采样点之前锁存，另一组采样数据在实际数据采样点之后锁存。如果余量测试数据与实际数据匹配，则认为采样有效，没有错误。如果实际数据与余量测试数据不匹配，则会声明出错。

数据时序余量[3:0]变量决定余量测试数据在实际数据采样点之前和之后多久进行锁存。因此，数据时序余量变量决定接口需要多少建立和保持余量，才能使数据时序错误IRQ保持无效(表明操作无误)。由此可知，只要建立和保持余量降到数据时序余量[3:0]值以下，时序错误IRQ就会置1，但并不一定意味着锁存至器件中的数据不正确。

发生错误时，除了设置数据时序错误IRQ外，还会设置数据时序错误类型位。数据时序错误类型位为低时，表示保持错误；为高时，表示建立错误。图87显示了数据接口的时序图和数据时序错误类型位的状态。

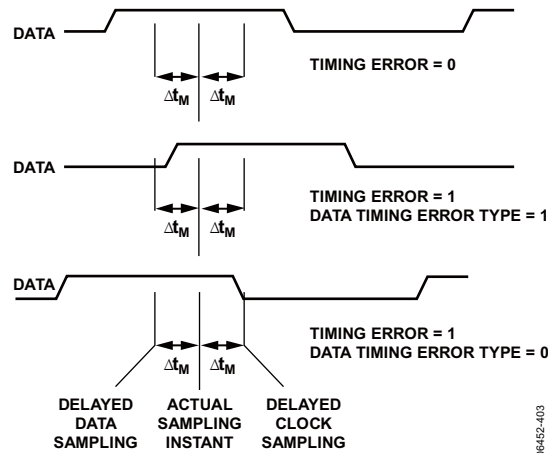


图87. 余量测试数据的时序图

自动时序优化

当自动时序优化模式使能(寄存器0x03的位7=1)时，器件持续监视数据时序错误IRQ位和数据时序错误类型位。检测到建立错误时，DATACLK延迟[3:0]增加；检测到保持错误时，DATACLK延迟[3:0]减少。用户可以回读当前使用的DATACLK延迟[3:0]设置值。

手动时序优化

手动时序优化模式(寄存器0x03的位7 = 0)下，器件不会改变用户编程设置的DATACLK延迟[3:0]值。默认情况下，DATACLK延迟使能位无效。要使用DATACLK延迟[3:0]值，该位必须设为高。在00000至11111范围内设置DATACLK延迟时，延迟(绝对时间)范围约为700 ps至6.5 ns。表29列出了整个温度范围内每步递增的典型延迟。

表29. 整个温度范围内数据延迟线的典型延迟

延迟	-40°C	+25°C	+85°C	单位
零码延迟 (使能延迟线时的延迟)	630	700	740	ps
平均单位延迟	175	190	210	ps

将器件置于手动模式时，就会激活差错校验逻辑。如果IRQ使能，则检测到建立/保持冲突时会产生中断。每配置一次器件，就会执行一次差错校验操作。对数据时序余量[3:0]或DATACLK延迟[3:0]值所做的任何改变，都会触发新的差错校验操作。

器件同步

系统需求可能会对同步提出两种不同要求。某些系统要求多个DAC彼此同步。支持发射分集或波束形成时就是这种情况，因为需要使用多根天线来发射相关信号。此时，DAC输出需要彼此相位对准，但可能不要求DAC输出与系统级参考时钟对准。在采用时分复用发射链路的系统中，一个或多个DAC可能需要与系统级参考时钟同步。同步逻辑概述部分和器件与系统时钟同步部分将说明这两种条件下的器件同步选项。

同步逻辑概述

图88显示了片内同步逻辑的框图。同步逻辑的基本操作是产生宽度为DACCLK周期的单个初始化脉冲，以将时钟发生状态机逻辑设置为已知状态。该初始化脉冲将时钟状态[4:0]的值载入时钟发生状态机，作为其下一个状态。如果同步逻辑正确产生初始化脉冲，则它将在每32个DACCLK周期中的一个DACCLK周期内有效。时钟发生状态机有32个状态以DACCLK速率工作，因此在第一个脉冲之后接收到的每个初始化脉冲都会加载状态机目前所在的状态，从而使器件以正确的时钟工作。

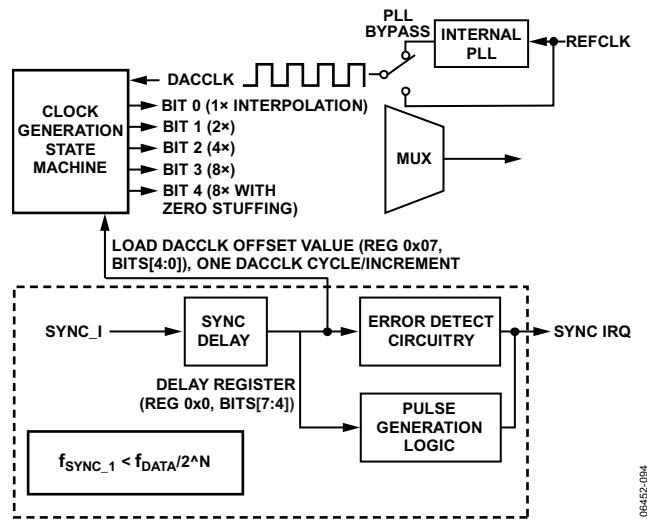


图88. 同步电路功能框图

名义上，为了保持正确同步，SYNC_I输入在每32个时钟周期(或32个时钟周期的倍数)中应有一个上升沿。可以对脉冲产生逻辑进行编程，使之在输入SYNC_I频率高于DACCLK/32时抑制输出脉冲。多余脉冲可以按照表30所列

的比值进行抑制。只要脉冲产生电路以32个DACCLK周期的倍数产生输出脉冲，SYNC_I频率便可以低于DACCLK/32。任何情况下，SYNC_I的最大频率必须低于 f_{DATACLK} 。

表30. 支持各种SYNC_I频率所需的设置

SYNC_I 比值[2:0]	同步脉冲所需的SYNC_I上升沿
000	1 (默认)
001	2
010	4
011	8
100	16
101	无效设置
110	无效设置
111	无效设置

例如，如果使用频率为 $f_{\text{DACCLK}}/4$ 的SYNC_I信号，则对于SYNC_I比值[2:0]，011和100均为有效设置。011设置导致每32个DACCLK周期产生一个初始化脉冲，100设置导致每64个DACCLK周期产生一个初始化脉冲。两种情况均可实现正确的器件同步。

时钟状态[4:0]值是时钟发生状态机在初始化时的复位状态。通过改变此值，可以调整内部时钟相对于SYNC_I信号的时序。时钟状态[4:0]值每递增1，内部时钟就会提前一个DACCLK周期。

同步时序错误检测

同步逻辑具有与输入数据时序相似的错误检测电路。SYNC_I时序余量[3:0]变量决定同步接口需要多少建立和保持余量，才能使同步时序错误IRQ位保持无效(即表明操作无误)。因此，只要建立和保持余量降到SYNC_I时序余量[3:0]值以下，同步错误IRQ位就会置1，但这并不意味着SYNC_I输入锁存不正确。

当同步时序错误IRQ位置1时，可以采取纠正措施以恢复时序余量。一种措施是暂时减少时序余量，直到同步时序错误IRQ清0为止。然后将SYNC_I延迟增加两个增量，检查时序余量是增加还是减少。如果时序余量增加，则继续递增SYNC_I延迟的值，直到余量达到最大为止。但是，如果递增SYNC_I延迟导致时序余量减少，则应缩短延迟，直到时序余量达到最佳为止。

AD9776A/AD9778A/AD9779A

器件与系统时钟同步

AD9776A/AD9778A/AD9779A提供了脉冲模式同步方案(见图89), 可以将一个系统内多个器件的DAC输出与同一DACCLK沿同步。内部时钟通过向SYNC_I输入(SYNC_I+、SYNC_I-)提供一个一次性脉冲或一个周期信号而实现同步。SYNC_I信号按照内部DACCLK采样速率时钟进行采样。

SYNC_I输入频率具有以下限制:

$$f_{\text{SYNC}_I} \leq f_{\text{DATA}}$$

内部时钟同步时, 所有器件的数据采样时钟均相位对准。数据输入时序关系可以用REFCLK或DATACLK作为参考。

对于这种同步方案, 所有器件均为从器件, 系统时钟产生/分配芯片充当主器件。各DAC的SYNC_I信号之间的时钟偏移必须很低。同样, 各DAC的REFCLK信号之间的时钟偏移也必须很低。DAC之间这些信号的任何偏移都必须在时序预算中加以考虑。图89显示了时钟和同步输入方案示例。

图90显示了SYNC_I输入相对于REFCLK输入的时序。请注意, 虽然该时序是相对于REFCLK信号而言, 但SYNC_I是以DACCLK速率进行采样。这意味着, SYNC_I信号的上升沿必须发生在前一DACCLK上升沿的保持时间之后, 而不是在前一REFCLK上升沿处。

中断请求操作

当器件发生时序错误时, IRQ引脚(引脚71)用作报警, 应当予以查询(通过读取寄存器0x19)以确定确切的故障条件。IRQ引脚是开漏型低电平有效输出。应在器件外部拉高IRQ引脚。此引脚可以连接到其它器件的开漏输出IRQ引脚, 以使这些引脚形成线“或”连接。

有两个不同的错误标志可以触发中断请求: 数据时序错误标志和同步时序错误标志。默认情况下, 只要有一个错误标志置1, IRQ引脚便为低电平有效。可以屏蔽所有错误标志或只屏蔽其中的一个, 防止其激活IRQ引脚上的中断。

错误标志会被锁存并保持有效, 直到读取中断寄存器0x19或者错误标志位被覆盖。

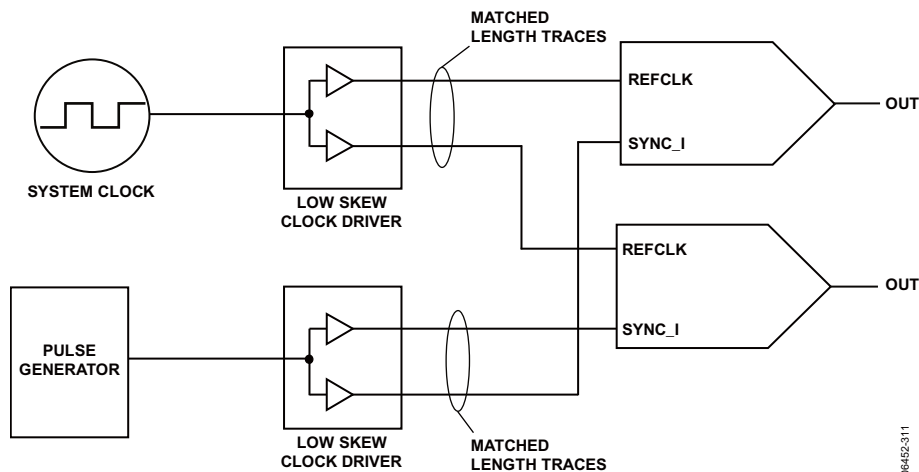


图 89. 脉冲模式下的多器件同步

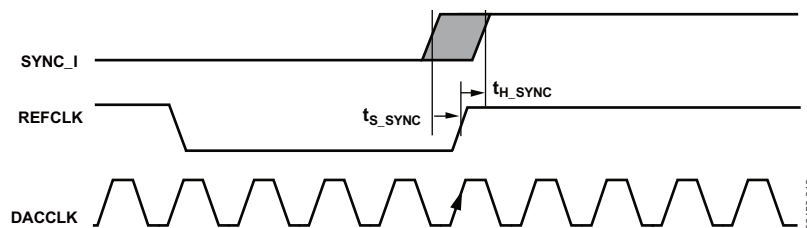


图90. 多器件彼此同步时, SYNC_I相对于REFCLK的时序图

功耗

图91至图99显示单DAC模式和双DAC模式下1.8 V和3.3 V数字和时钟电源的功耗。此外，单DAC模式下3.3 V模拟电源(与模式和速度无关)的功耗/电流为102 mW/31 mA，双DAC模式下为182 mW/55 mA。PLL使能时，1.8 V时钟电源的电流/功耗增加50 mA/90 mW。

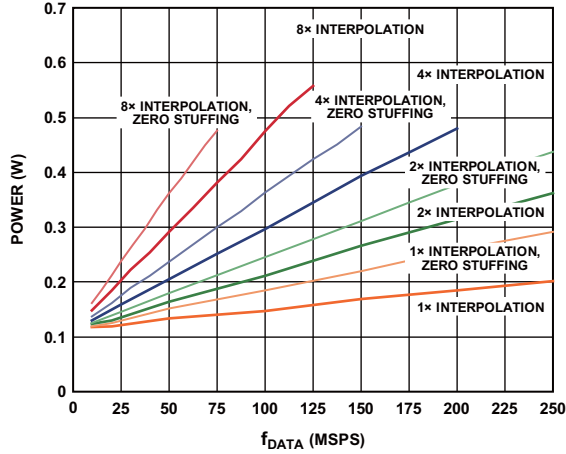


图91. 总功耗, 仅I数据, 实数模式

06452-076

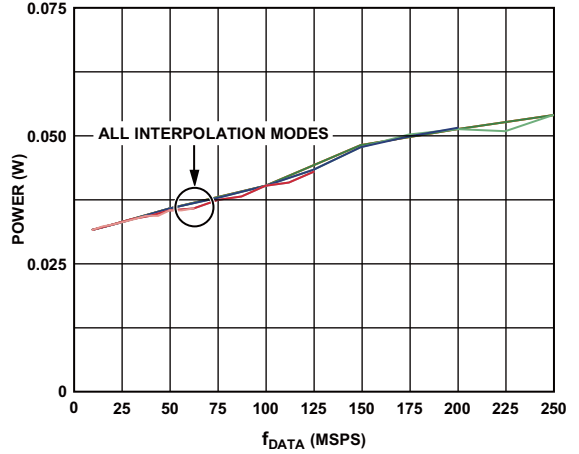


图94. 功耗, 数字3.3 V电源, 仅I数据, 实数模式, 包括调制模式和零值填充

06452-080

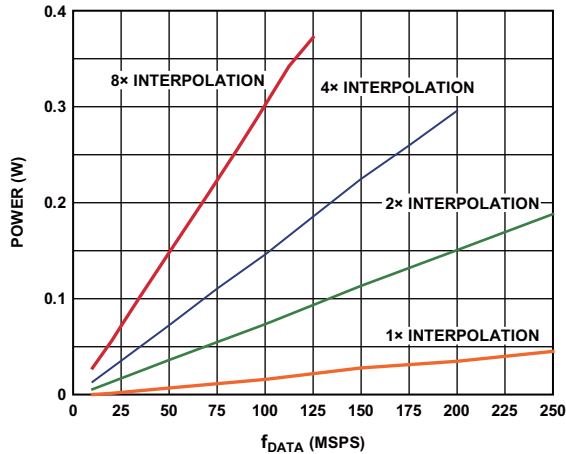


图92. 功耗, 数字1.8 V电源, 仅I数据, 实数模式, 不包括零值填充

06452-078

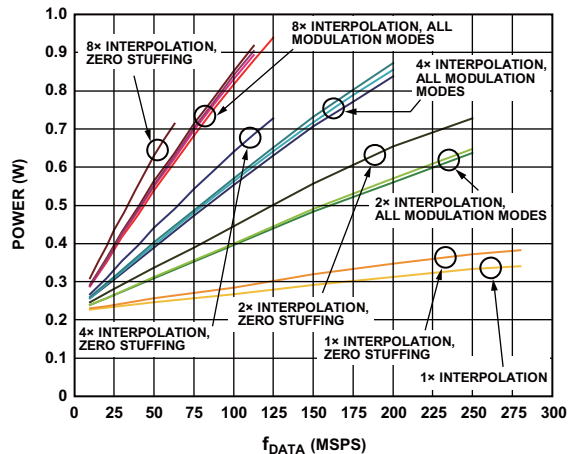


图95. 总功耗, 双DAC模式

06452-077

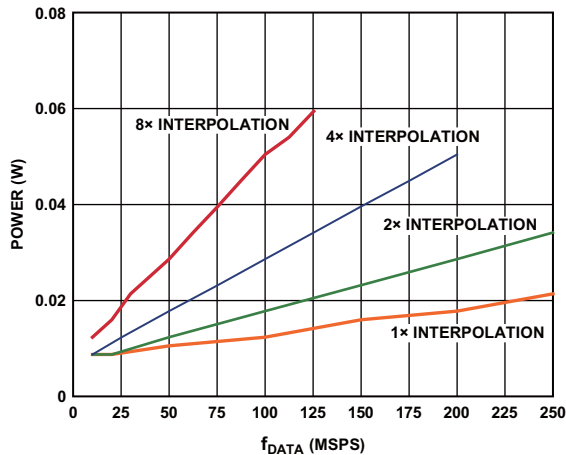


图93. 功耗, 时钟1.8 V电源, 仅I数据, 实数模式, 包括调制模式, 不包括零值填充

06452-079

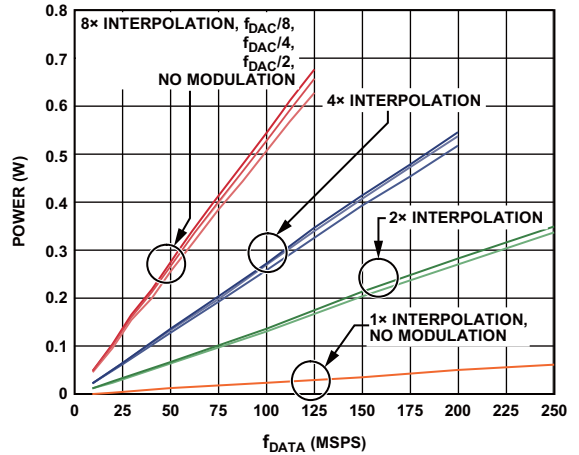


图96. 功耗, 数字1.8 V电源, I和Q数据, 双DAC模式, 不包括零值填充

06452-081

AD9776A/AD9778A/AD9779A

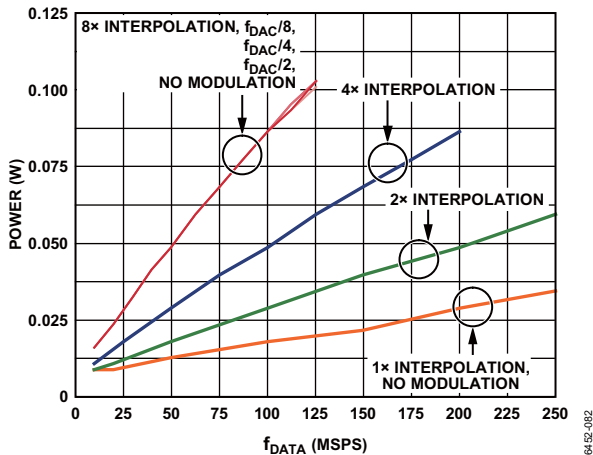


图97. 功耗, 时钟1.8 V电源, I和Q数据, 双DAC模式, 不包括零值填充

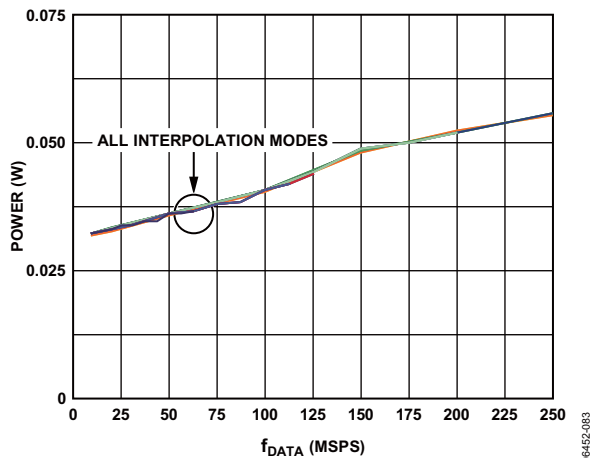


图98. 功耗, 数字3.3 V电源, I和Q数据, 双DAC模式

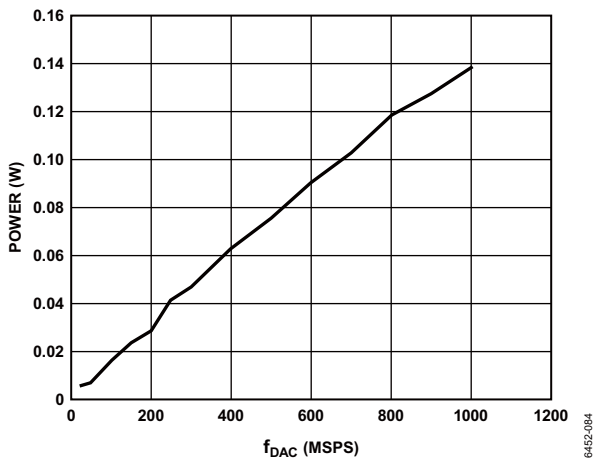


图99. 反Sinc滤波器的DVDD18功耗

掉电和休眠模式

AD9776A/AD9778A/AD9779A具有多种掉电模式, 数字引擎、主TxDAC和辅助DAC可以分别或同时掉电。通过三线式接口端口, 可以将主TxDAC置于休眠或掉电模式。休眠模式下, TxDAC输出关闭, 从而降低功耗。不过, 基准电压源仍然保持通电, 以便能从休眠模式快速恢复。掉电模式位(寄存器0x00的位4)置1时, 所有模拟和数字电路均掉电, 包括基准电压源。该模式下, 三线式接口端口仍然保持活动。该模式比休眠模式更省电, 但启动时间也更长。辅助DAC也可以通过三线式接口端口编程进入休眠模式。自动掉电使能位(寄存器0x00的位3)控制器件数字部分的掉电功能。自动掉电功能与TXENABLE引脚(引脚39)一起发挥作用, 详情见表31。

表31

TXENABLE (引脚39)	描述
0	如果自动掉电使能位 = 0, 则用0清空数据路径。 如果自动掉电使能位 = 1, 则清空多个REFCLK周期的数据, 然后将数字引擎自动置于掉电状态。DAC、基准电压源和三线式接口端口不受影响。
1	正常工作

评估板概述

评估板操作

AD9776A/AD9778A/AD9779A评估板旨在帮助用户快速熟悉器件的操作，并评估器件的性能。要使用评估板，用户需准备一台PC、5 V电源、时钟源和数字数据源。用户还需要通过频谱分析仪或示波器来观察DAC输出。

典型评估设置如图100所示。可以用一个正弦波或方波时钟作为DAC采样时钟源。时钟的频谱纯度会直接影响器件性能。要求使用低噪声、低抖动时钟源。

评估板的所有必要连接详见图101。

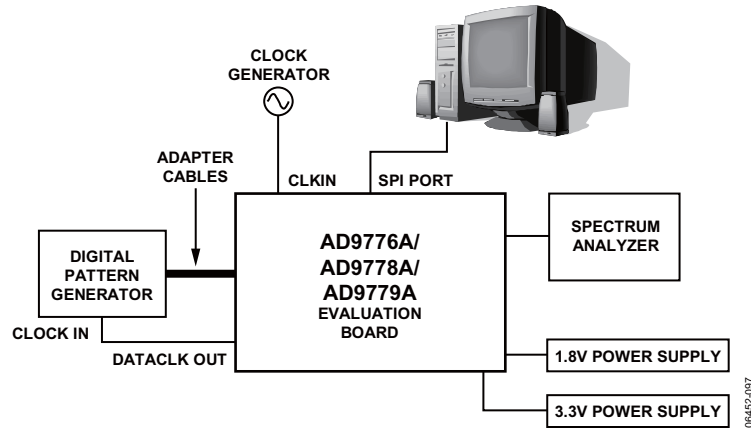


图100. 典型测试设置

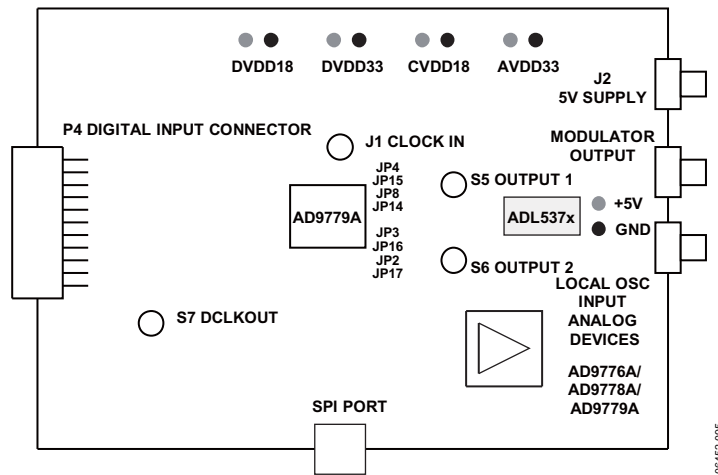


图101. 显示所有连接的AD9776A/AD9778A/AD9779A评估板

AD9776A/AD9778A/AD9779A

利用评估板随附的软件，用户可以对片内配置寄存器进行编程。通过三线式接口端口，可以将器件设置为任何可用的工作模式。图102显示了该软件的默认窗口。

评估板上还有ADL537x调制器，以便对RF子系统进行评估。评估板的详细资料和三线式接口软件可以从ADI公司网站下载。

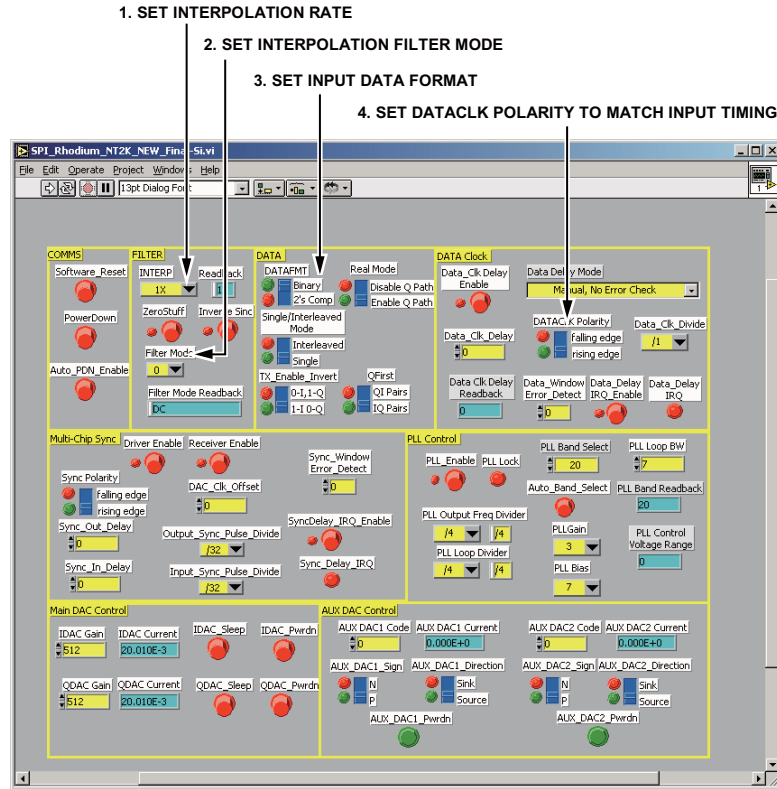
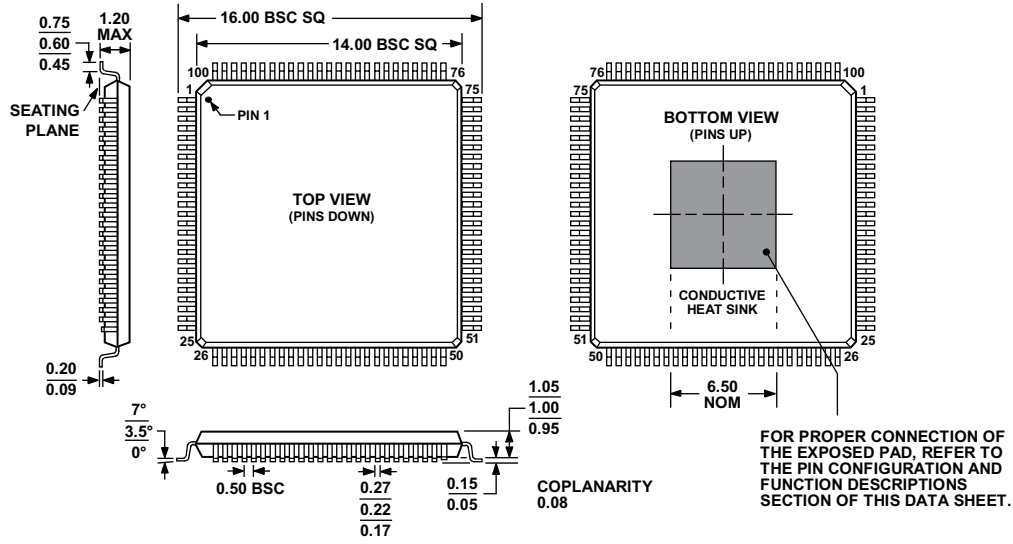


图102. 三线式接口端口软件窗口

外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-026-AED-HDT

072408-A

图103. 100引脚裸露焊盘、超薄四方扁平封装
[TQFP_EP](SV-100-1)
尺寸(单位: mm)

订购指南

型号	温度范围	封装描述	封装选项
AD9776ABSVZ ¹	-40°C 至 +85°C	100引脚裸露焊盘、超薄四方扁平封装(TQFP_EP)	SV-100-1
AD9776ABSVZRL ¹	-40°C 至 +85°C	100引脚裸露焊盘、超薄四方扁平封装(TQFP_EP)	SV-100-1
AD9778ABSVZ ¹	-40°C 至 +85°C	100引脚裸露焊盘、超薄四方扁平封装(TQFP_EP)	SV-100-1
AD9778ABSVZRL ¹	-40°C 至 +85°C	100引脚裸露焊盘、超薄四方扁平封装(TQFP_EP)	SV-100-1
AD9779ABSVZ ¹	-40°C 至 +85°C	100引脚裸露焊盘、超薄四方扁平封装(TQFP_EP)	SV-100-1
AD9779ABSVZRL ¹	-40°C 至 +85°C	100引脚裸露焊盘、超薄四方扁平封装(TQFP_EP)	SV-100-1
AD9776A-EBZ ¹		评估板	
AD9778A-EBZ ¹		评估板	
AD9779A-EBZ ¹		评估板	

¹Z = 符合RoHS标准的兼容器件。

注释