

特性

- 双通道12位SAR ADC
- 同步采样
- 吞吐速率：每通道5 MSPS
- 额定电压(V_{DD})：2.5 V
- 无转换延迟
- 功耗：36 mW (5 MSPS)
- 片上基准电压源：2.048 V \pm 0.25%、6 ppm/ $^{\circ}$ C
- 双通道转换及读取
- 高速串行接口：SPI/QSPI[™]/MICROWIRE[™]/DSP兼容
- 工作温度：-40 $^{\circ}$ C至+125 $^{\circ}$ C
- 采用16引脚TSSOP封装

概述

AD7356¹是一款双通道、12位、高速、低功耗的逐次逼近型ADC，采用2.5 V单电源供电，具有高达5 MSPS的吞吐速率。该器件内置两个ADC，每各ADC之前均配有一个低噪声、宽带宽采样保持电路，可处理高达110MHz的输入频率。

转换过程和数据采集过程均采用标准控制输入，可与微处理器或DSP轻松接口。在 \overline{CS} 的下降沿对输入信号进行采样，同时在此时刻开始转换。转换时间由SCLK频率决定。

AD7356采用先进的设计技术，可在高吞吐速率下实现极低的功耗。在采用2.5 V电源供电，吞吐速率为5 MSPS时，典型功耗为14 mA。该器件还提供灵活的功耗/吞吐速率管理选项。

该器件的模拟输入范围为差分共模 $\pm V_{REF}/2$ 。AD7356内置2.048 V基准电压源，也可使用外部基准电压源。

AD7356提供16引脚超薄紧缩小型封装(TSSOP)。

¹ 受美国专利第6,681,332号保护。

Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

功能框图

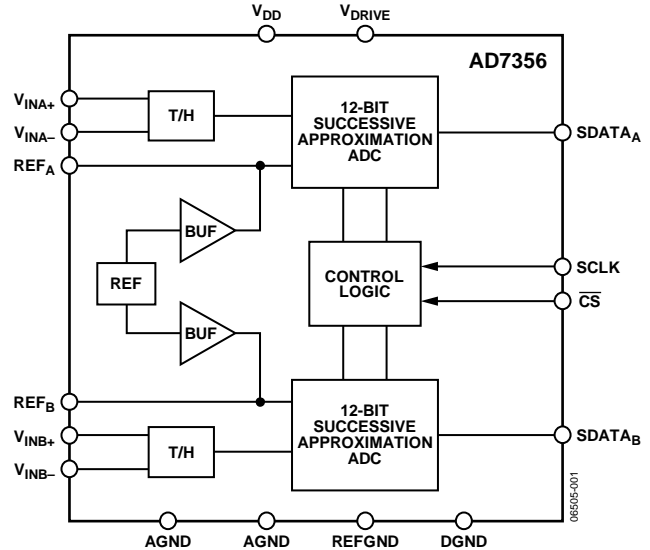


图1.

产品聚焦

1. 两个完整的ADC，允许两个通道同步采样和转换。两个通道的转换结果可通过独立的数据线路同时获得，或如果仅有一个串行端口可用，则通过一条数据线路先后获得。
2. 高吞吐速率、低功耗。AD7356提供5 MSPS吞吐速率，功耗为36 mW。
3. 无转换延迟。AD7356采用两个标准逐次逼近型ADC，通过 \overline{CS} 输入和转换控制能够精确控制采样时刻。

表1. 相关器件

产品型号	分辨率	吞吐速率	模拟输入
AD7352	12位	3 MSPS	差分
AD7266	12位	2 MSPS	差分/单端
AD7866	12位	1 MSPS	单端
AD7366	12位	1 MSPS	单端双极性
AD7367	14位	1 MSPS	单端双极性

目录

特性.....	1	模拟输入	13
功能框图.....	1	驱动差分输入	14
概述.....	1	ADC传递函数.....	14
产品聚焦.....	1	工作模式.....	15
修订历史.....	2	正常模式	15
技术规格.....	3	部分掉电模式	15
时序规格	5	完全掉电模式	16
绝对最大额定值.....	6	上电时间	17
ESD警告	6	功耗与吞吐速率	17
引脚配置和功能描述	7	串行接口.....	18
典型工作特性.....	8	应用须知.....	19
术语.....	10	接地和布局布线	19
工作原理.....	12	AD7356性能评估	19
电路信息	12	外形尺寸.....	20
转换器工作原理	12	订购指南	20
模拟输入结构	12		

修订历史

2008年10月—修订版0：初始版

技术规格

除非另有说明, $V_{DD} = 2.5 \text{ V} \pm 10\%$, $V_{DRIVE} = 2.25 \text{ V}$ 至 3.6 V , 内部基准电压 = 2.048 V , $f_{SCLK} = 80 \text{ MHz}$, $f_{SAMPLE} = 5 \text{ MSPS}$, $T_A = T_{MIN}$ 至 T_{MAX}^1 。

表2.

参数	最小值	典型值	最大值	单位	测试条件/注释
动态性能					$f_{IN} = 1 \text{ MHz}$ 正弦波
信噪比(SNR) ²	70	71.5		dB	
信纳比(SINAD) ²	69.5	71		dB	
总谐波失真(THD) ²		-84	-77.5	dB	
无杂散动态范围(SFDR) ²		-85	-78.5	dB	
交调失真(IMD) ²					$f_a = 1 \text{ MHz} + 50 \text{ kHz}$, $f_b = 1 \text{ MHz} - 50 \text{ kHz}$
二阶项		-84		dB	
三阶项		-76		dB	
ADC间的隔离 ²		-100		dB	$f_{IN} = 1 \text{ MHz}$, $f_{NOISE} = 100 \text{ kHz}$ 至 2.5 MHz
共模抑制比(CMRR) ²		-100		dB	$f_{NOISE} = 100 \text{ kHz}$ 至 2.5 MHz
采样保持器					
孔径延迟			3.5	ns	
孔径延迟匹配			40	ps	
孔径抖动		16		ps	
全功率带宽					
@ 3 dB		110		MHz	
@ 0.1 dB		77		MHz	
直流精度					
分辨率	12			位	
积分非线性(INL) ²		± 0.5	± 1	LSB	保证12位无失码
微分非线性(DNL) ²		± 0.5	± 0.99	LSB	
正满量程误差 ²		± 1	± 6	LSB	
正满量程误差匹配 ²		± 2	± 8	LSB	
中间电平误差 ²		+5	0/+11	LSB	
中间电平误差匹配 ²		± 2	± 8	LSB	
负满量程误差 ²		± 1	± 6	LSB	
负满量程误差匹配 ²		± 2	± 8	LSB	
模拟输入					
全差分输入范围 (V_{IN+} 和 V_{IN-})			$V_{CM} \pm V_{REF}/2$	V	V_{CM} = 共模电压, V_{IN+} 和 V_{IN-} 必须始终在GND和 V_{DD} 范围内
共模电压范围	0.5		1.9	V	V_{IN+} 和 V_{IN-} 的中心电压
直流漏电流		± 0.5	± 5	μA	
输入电容		32		pF	采样模式下
		8		pF	保持模式下
基准电压输入/输出					
V_{REF} 输入电压范围	$2.048 + 0.1$		V_{DD}	V	
V_{REF} 输入电流		0.3	0.45	mA	基准电压过驱模式下
V_{REF} 输出电压	2.038		2.058	V	$2.048 \text{ V} \pm 0.5\%$ 最大值($V_{DD} = 2.5 \text{ V} \pm 5\%$ 时)
	2.043		2.053	V	$2.048 \text{ V} \pm 0.25\%$ 最大值($V_{DD} = 2.5 \text{ V} \pm 5\%$ 、 25°C 时)
V_{REF} 温度系数		6	20	ppm/ $^\circ\text{C}$	
V_{REF} 长期稳定性		100		ppm	1000小时
V_{REF} 热迟滞 ²		50		ppm	
V_{REF} 噪声		60		$\mu\text{V rms}$	
V_{REF} 输出阻抗		1		Ω	

AD7356

参数	最小值	典型值	最大值	单位	测试条件/注释
逻辑输入					
输入高电压(V_{INH})	$0.6 \times V_{DRIVE}$			V	$V_{IN} = 0\text{ V}$ 或 V_{DRIVE}
输入低电压(V_{INL})			$0.3 \times V_{DRIVE}$	V	
输入电流(I_{IN})			± 1	μA	
输入电容(C_{IN})		3		pF	
逻辑输出					
输出高电压(V_{OH})	$V_{DRIVE} - 0.2$			V	
输出低电压(V_{OL})			0.2	V	
浮空态漏电流			± 1	μA	
浮空态输出电容		5.5		pF	
输出编码	直接二进制				
转换速率					
转换时间	$t_2 + 13 \times t_{SCLK}$			ns	满量程阶跃输入，建立至0.5 LSB
采样保持器采集时间 ²			30	ns	
吞吐速率			5	MSPS	
电源要求 ³					
V_{DD}	2.25		2.75	V	标称 $V_{DD} = 2.5\text{ V}$
V_{DRIVE}	2.25		3.6	V	
I_{TOTAL} ⁴					数字输入 = 0 V或 V_{DRIVE}
正常模式(工作状态)		14	20	mA	
正常模式(静态)		6	7.8	mA	SCLK开启或关闭
部分掉电模式		3.5	4.5	mA	SCLK开启或关闭
完全掉电模式		5	40	μA	SCLK开启或关闭, -40°C 至 $+85^\circ\text{C}$
			90	μA	SCLK开启或关闭, 85°C 至 125°C
功耗					
正常模式(工作状态)		36	59	mW	
正常模式(静态)		16	21.5	mW	SCLK开启或关闭
部分掉电模式		9.5	11.5	mW	SCLK开启或关闭
完全掉电模式		16	110	μW	SCLK开启或关闭, -40°C 至 $+85^\circ\text{C}$
			250	μW	SCLK开启或关闭, 85°C 至 125°C

¹ 温度范围如下：Y级 -40°C 至 $+125^\circ\text{C}$ ；B级 -40°C 至 $+85^\circ\text{C}$ 。

² 参见“术语”部分。

³ 电流和功耗的典型规格基于 $V_{DD} = 2.5\text{ V}$ 和 $V_{DRIVE} = 3.0\text{ V}$ 下的结果。

⁴ I_{TOTAL} 是流入 V_{DD} 和 V_{DRIVE} 的总电流。

时序规格

除非另有说明, $V_{DD} = 2.5 V \pm 10\%$, $V_{DRIVE} = 2.25 V$ 至 $3.6 V$, 内部基准电压 = $2.048 V$, $T_A = T_{MIN}$ 至 T_{MAX} ¹。

表3.

参数	在 T_{MIN} 、 T_{MAX} 时的限值	单位	描述
f_{SCLK}	50 80	kHz 最小值 MHz 最大值	
$t_{CONVERT}$	$t_2 + 13 \times t_{SCLK}$	ns 最大值	$t_{SCLK} = 1/f_{SCLK}$
t_{QUIET}	5	ns 最小值	串行读取结束与下一个 \overline{CS} 下降沿之间的最短时间
t_2	5	ns 最小值	\overline{CS} 到SCLK建立时间
t_3^2	6	ns 最大值	从 \overline{CS} 到SDATA _A 和SDATA _B 三态禁用的延迟时间
$t_4^{2,3}$	12.5	ns 最大值	SCLK下降沿后的数据访问时间
	11	ns 最大值	$1.8 V \leq V_{DRIVE} < 2.25 V$
	9.5	ns 最大值	$2.25 V \leq V_{DRIVE} < 2.75 V$
	9	ns 最大值	$2.75 V \leq V_{DRIVE} < 3.3 V$
t_5	5	ns 最小值	$3.3 V \leq V_{DRIVE} \leq 3.6 V$
t_6	5	ns 最小值	SCLK低电平脉冲宽度
t_7^2	3.5	ns 最小值	SCLK高电平脉冲宽度
t_8^2	9.5	ns 最大值	SCLK到数据的有效保持时间
t_9	5	ns 最小值	\overline{CS} 上升沿到SDAT _A 、SDATA _B 高阻态
t_{10}^2	4.5	ns 最小值	\overline{CS} 上升沿到下降沿脉冲宽度
	9.5	ns 最大值	SCLK下降沿到SDAT _A 、SDATA _B 高阻态
			SCLK下降沿到SDAT _A 、SDATA _B 高阻态

¹ 温度范围如下: Y级-40°C至+125°C; B级-40°C至+85°C。

² 在SDATA_A和SDATA_B上有10 pF负载电容的情况下测得。

³ 输出跨越0.4 V或2.4 V所需的时间。

绝对最大额定值

表4.

参数	额定值
V_{DD} 至 AGND、DGND、REFGND	-0.3 V 至 +3 V
V_{DRIVE} 至 AGND、DGND、REFGND	-0.3 V 至 +5 V
V_{DD} 至 V_{DRIVE}	-5 V 至 +3 V
AGND 至 DGND 至 REFGND	-0.3 V 至 +0.3 V
模拟输入电压 ¹ 至 AGND	-0.3 V 至 $V_{DD} + 0.3 V$
数字输入电压 ² 至 DGND	-0.3 V 至 $V_{DRIVE} + 0.3 V$
数字输出电压 ³ 至 DGND	-0.3 V 至 $V_{DRIVE} + 0.3 V$
除电源引脚外的任何引脚的输入电流 ⁴	±10 mA
工作温度范围	
Y级	-40°C 至 +125°C
B级	-40°C 至 +85°C
存储温度范围	-65°C 至 +150°C
结温	150°C
TSSOP	
θ_{JA} 热阻	143°C/W
θ_{JC} 热阻	45°C/W
引脚温度, 焊接	
回流焊温度(10秒至30秒)	255°C
ESD	1.5 kV

¹ 模拟输入电压为 V_{INA+} 、 V_{INA-} 、 V_{INB+} 、 V_{INB-} 、 REF_A 和 REF_B 。

² 数字输入电压为 CS 和 $SCLK$ 。

³ 数字输出电压为 $SDAT_A$ 和 $SDAT_B$ 。

⁴ 100 mA 以下的瞬态电流不会造成 SCR 门锁。

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下, 器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

引脚配置和功能描述

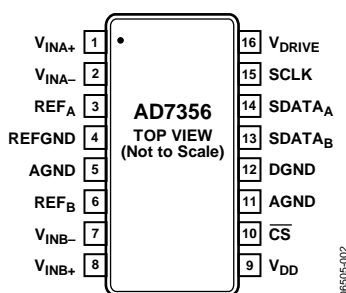


图2. 引脚配置

表5. 引脚功能描述

引脚编号	引脚名称	描述
1, 2	V _{INA+} , V _{INA-}	ADCA的模拟输入。这些模拟输入形成一个全差分对。
3, 6	REF _A , REF _B	基准电压去耦电容引脚。去耦电容连接在这些引脚与REFGND引脚之间，以便对相应ADC的基准电压源缓冲进行去耦。建议通过一个10 μF电容对各基准电压引脚进行去耦。如果对输出进行缓冲，则片上基准电压可以从这些引脚获得，并外加于系统的其余部分。这些引脚上的内部基准电压的标称值为2.048 V。也可以在这些引脚上加载一个外部基准电压。外部基准电压的输入范围为2.048 V + 100 mV至V _{DD} 。
4	REFGND	基准电压地。这是AD7356上基准电压电路的接地基准点。任何外部基准电压信号都参考此REFGND电压。必须在该引脚与REF _A 和REF _B 引脚之间放置去耦电容。REFGND引脚连到系统的AGND平面。
5, 11	AGND	模拟地。这是AD7356上所有模拟电路的接地基准点。所有模拟输入信号都应参考此AGND电压。AGND和DGND电压在理想情况下应保持等电位，并且电位差（即使在瞬态情况下）不得超过0.3 V。
7, 8	V _{INB-} , V _{INB+}	ADC B的模拟输入。这些模拟输入形成一个全差分对。
9	V _{DD}	电源输入。AD7356的V _{DD} 范围为2.5 V ± 10%。应通过并联0.1 μF电容与10 μF钽电容将该电源去耦到AGND。
10	\overline{CS}	片选。低电平有效逻辑输入。此输入提供两个功能：启动AD7356的转换和同步串行数据帧。
12	DGND	数字地。这是AD7356上所有数字电路的接地基准点。将该引脚连接到系统的DGND平面。DGND和AGND电压在理想情况下应保持等电位，并且电位差（即使在瞬态情况下）不得超过0.3 V。
13, 14	SDATA _B , SDATA _A	串行数据输出。数据输出以串行数据流形式提供给各引脚。各数据位在SCLK输入的下降沿输出。要访问AD7356的12位数据，需要14个SCLK下降沿。两个ADC同步转换时，数据同时出现在两个数据输出引脚上。数据流包括两个前导零，随后是12位转换数据。数据以MSB优先方式提供。如果AD7356的 \overline{CS} 低电平状态持续16个SCLK周期，而不是14个，则在12位数据后会出现两个尾随零。如果在SDAT _A 或SDATA _B 上， \overline{CS} 的低电平状态再持续16个SCLK周期，则来自另一个ADC的数据会出现在SDATA引脚上。这样可以将同步转换的两个ADC的数据输出以串行格式集中在SDATA _A 或SDATA _B 上。
15	SCLK	串行时钟。逻辑输入。串行时钟输入提供用于访问AD7356中的数据的串行时钟。此时钟也用作转换过程的时钟源。
16	V _{DRIVE}	逻辑电源输入。此引脚的电源电压决定逻辑接口的工作电压。此引脚的电压可以与V _{DD} 电压不同。应通过并联0.1 μF电容与10 μF钽电容将V _{DRIVE} 电源去耦到DGND。

典型工作特性

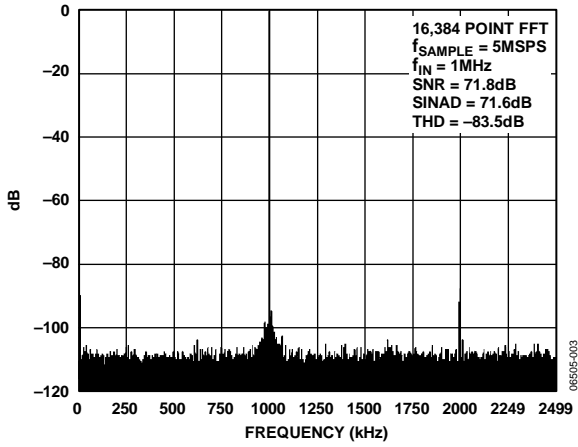


图3. 典型FFT

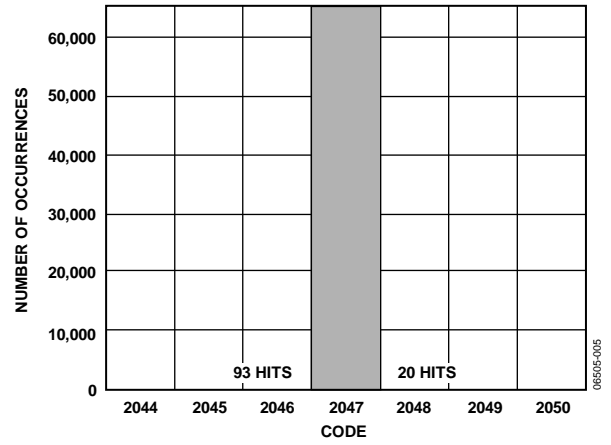


图6. 65,000采样点的码字柱状图

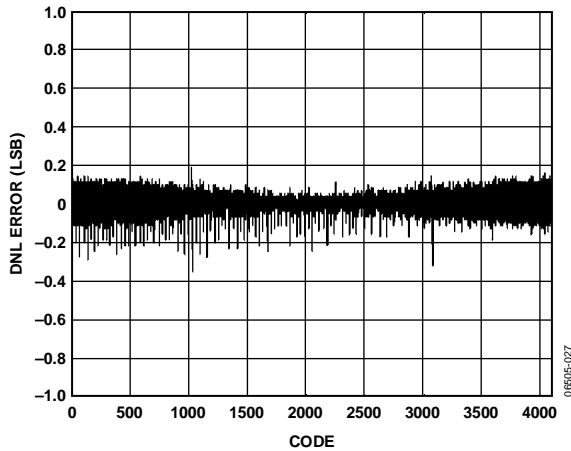


图4. 典型DNL误差

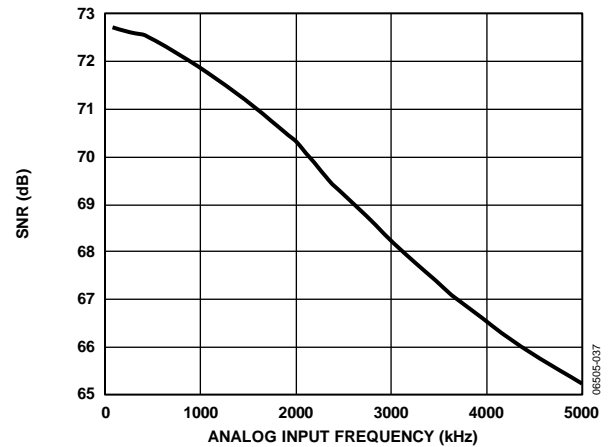


图7. SNR与模拟输入频率的关系

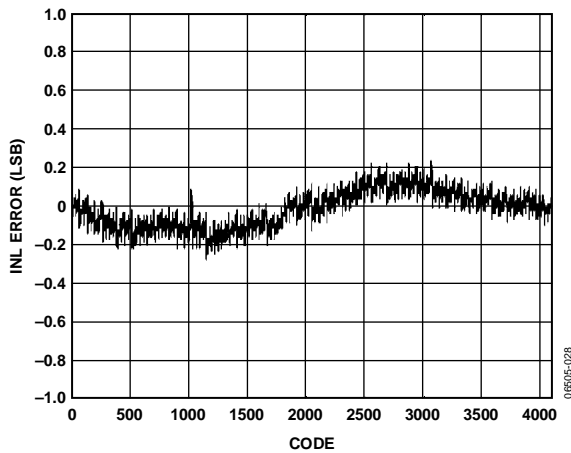


图5. 典型INL误差

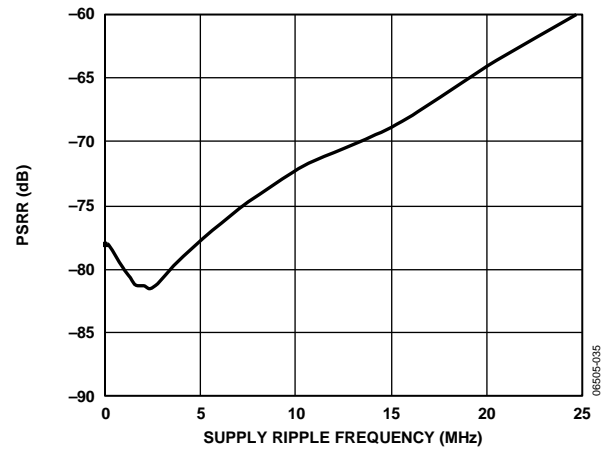


图8. PSRR与电源纹波频率的关系，无电源去耦

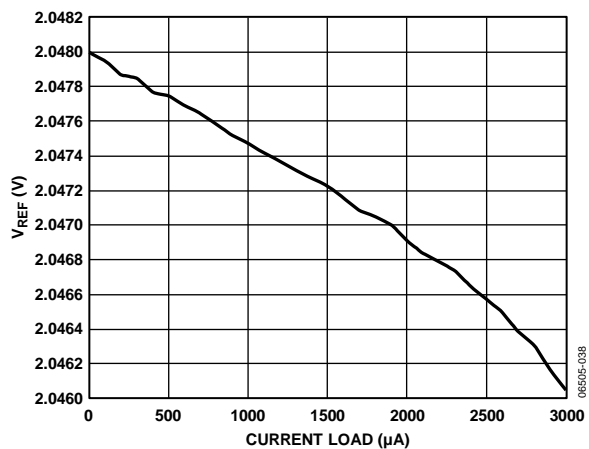


图9. V_{REF} 与基准输出电流驱动的关系

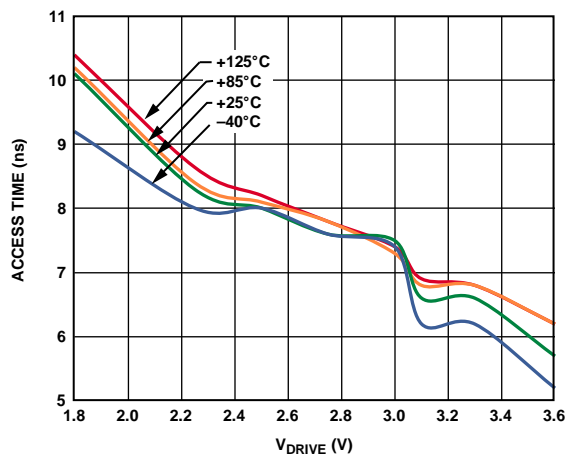


图12. 访问时间与 V_{DRIVE} 的关系

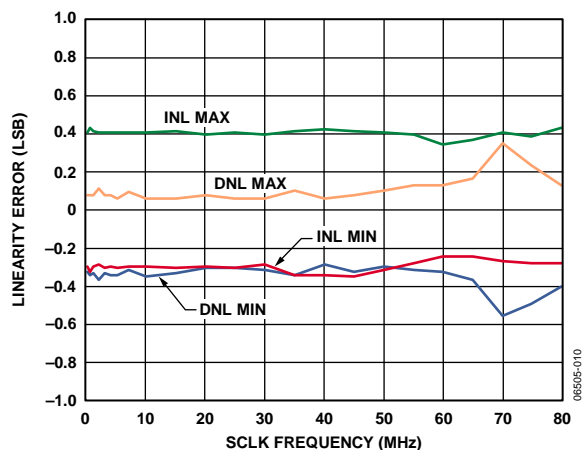


图10. 线性误差与SCLK频率的关系

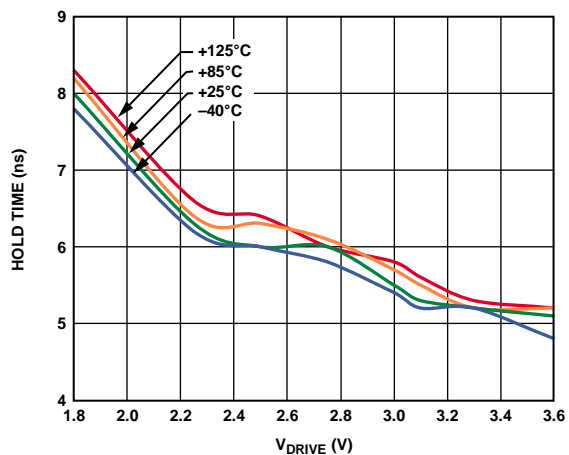


图13. 保持时间与 V_{DRIVE} 的关系

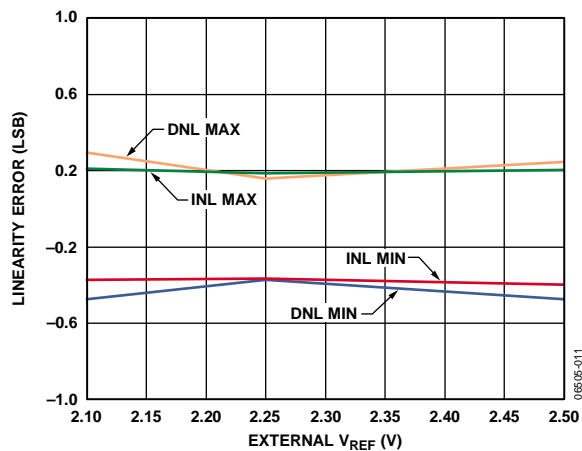


图11. 线性误差与外部 V_{REF} 的关系

术语

积分非线性(INL)

INL指ADC传递函数与一条通过ADC传递函数端点的直线的最大偏差。传递函数有两个端点，起点在低于第一个码跃迁1 LSB处的零电平，终点在高于最后一个码跃迁1 LSB处的满量程。

微分非线性(DNL)

DNL指ADC中任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。

负满量程误差

负满量程误差是指校正中间电平误差之后，第一个码跃迁(00...000到00...001)与理想值(即 $-V_{REF} + 0.5 \text{ LSB}$)的偏差。

负满量程误差匹配

负满量程误差匹配是指两个ADC的负满量程误差之差。

中间电平误差

中间电平误差是指中间电平码跃迁(011 ... 111到100 ... 000)与理想值(即0 V)的偏差。

中间电平误差匹配

中间电平误差匹配是指两个ADC的中间电平误差之差。

正满量程误差

正满量程误差是指校正中间电平误差之后，最后一个码跃迁(111 ... 110到111 ... 111)与理想值(即 $V_{REF} - 1.5 \text{ LSB}$)的偏差。

正满量程误差匹配

正满量程误差匹配是指两个ADC的正满量程误差之差。

ADC间的隔离

ADC间的隔离用来衡量ADC A与ADC B之间的串扰水平。测量方法是向其中一个ADC施加一个满量程1 MHz正弦波信号，而向另一个ADC施加一个可变频率的满量程信号。ADC间的隔离定义为出现在FFT中的被转换ADC上的1 MHz信号功率与另一个ADC上的噪声信号功率之比。未选通道上的噪声频率变化范围为100 kHz至2.5 MHz。

电源抑制比(PSRR)

电源抑制比定义为ADC输出中的满量程、频率 f 的功率与施加于ADC V_{DD} 电源的频率 f_s 的100 mV p-p正弦波功率的比值。输入信号的频率变化范围为5 kHz至25 MHz。

$$PSRR \text{ (dB)} = 10 \log(P_f/P_{f_s})$$

其中：

P_f 为ADC的输出中频率 f 的功率。

P_{f_s} 为ADC的输出中频率 f_s 的功率。

共模抑制比(CMRR)

共模抑制比定义为ADC输出中的满量程、频率 f 的功率与施加于 V_{IN+} 和 V_{IN-} 共模电压的频率 f_s 的100 mV p-p正弦波功率的比值。

$$CMRR \text{ (dB)} = 10 \log(P_f/P_{f_s})$$

其中：

P_f 为ADC的输出中频率 f 的功率。

P_{f_s} 为ADC的输出中频率 f_s 的功率。

采样保持器采集时间

采样保持放大器在转换结束后恢复跟踪模式。采样保持器采集时间是转换结束后，采样保持放大器输出达到最终值(在 $\pm 0.5 \text{ LSB}$ 内)所需的时间。

信纳比(SINAD)

信纳比是指在ADC输出端测得的信号对噪声及失真的比值。这里的“信号”是基波的均方根幅值。噪声为采样频率一半($f_s/2$)以内的除直流信号外的非基波信号之和。这个比值的大小取决于在数字化过程中的量化级数，量化级数越多，量化噪声就越小。

对于一个正弦波输入的理想N位转换器，信纳比理论值计算公式为：

$$SINAD = (6.02 N + 1.76) \text{ dB}$$

因此，12位转换器的SINAD为74 dB，14位转换器的SINAD为86 dB。

总谐波失真(THD)

THD指所有谐波均方根和与基波的比值。对于AD7356，其定义为

$$THD (dB) = -20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

其中：

V_1 是基波振幅的均方根值。

V_2 、 V_3 、 V_4 、 V_5 及 V_6 是二次到六次谐波幅度的均方根值。

无杂散动态范围(SFDR)

SFDR指在ADC输出频谱($f_s/2$ 以下，直流信号除外)中，下一个最大分量的均方根值与基波均方根值的比。通常情况下，此参数值由频谱内的最大谐波决定，但对于谐波淹没于本底噪声内的ADC，它为噪声峰值。

交调失真(IMD)

当输入由两个频率分别为 f_a 和 f_b 的正弦波组成时，任何非线性有源器件都会以和频与差频 $m f_a \pm n f_b$ (其中 $m, n = 0, 1, 2, 3, \dots$)的形式产生失真产物。交调失真项的 m 和 n 都不等于0。例如，二阶项包括 $(f_a + f_b)$ 和 $(f_a - f_b)$ ，而三阶项包括 $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 和 $(f_a - 2f_b)$ 。

AD7356经过CCIF标准测试，此标准使用最大输入带宽附近的两个输入频率。在此情况下，二阶项频率通常远离原始正弦波，而三阶项频率通常靠近输入频率。因此，二阶和三阶项需分别指定技术规格。交调失真与THD指标的计算相同，它是单个失真产物的均方根和与基波和的振幅均方根的比值，用分贝(dB)表示。

热滞

热滞定义为器件经历以下温度循环后，基准输出电压的绝对最大变化：

$$T_{HYS+} = +25^\circ\text{C} \text{ 至 } T_{MAX} \text{ 至 } +25^\circ\text{C}$$

$$T_{HYS-} = +25^\circ\text{C} \text{ 至 } T_{MIN} \text{ 至 } +25^\circ\text{C}$$

热滞用ppm表示，计算公式如下：

$$V_{HYS} (\text{ppm}) = \left| \frac{V_{REF}(25^\circ\text{C}) - V_{REF}(T_{HYS})}{V_{REF}(25^\circ\text{C})} \right| \times 10^6$$

其中：

$V_{REF}(25^\circ\text{C})$ 为 25°C 时的 V_{REF} 。

$V_{REF}(T_{HYS})$ 为 V_{REF} 在 T_{HYS+} 或 T_{HYS-} 下的最大变化。

工作原理

电路信息

AD7356是一款高速、双通道、12位、单电源、逐次逼近型模数转换器(ADC)，采用2.5 V电源供电，吞吐速率可高达5 MSPS。

AD7356配有2个片上差分采样保持放大器、2个逐次逼近型ADC、1个串行接口(带有2个独立数据输出引脚)。它采用16引脚TSSOP封装，与其它解决方案相比，非常节省空间。

串行时钟输入访问器件中的数据，也向各逐次逼近型ADC提供时钟源。AD7356片上集成2.048 V基准电压源。如果需要外部基准电压，也可以使用(2.048 V + 100 mV)至 V_{DD} 范围内的基准电压过驱内部基准电压源。如果系统其它地方需要使用内部基准电压，则首先必须对基准电压输出进行缓冲。

AD7356的差分模拟输入范围为 $V_{CM} \pm V_{REF}/2$ 。

AD7356具备掉电选项，可在两次转换间隙进入掉电状态以降低功耗。掉电特性通过标准串行接口实现，详见“工作模式”部分。

转换器工作原理

AD7356具有2个逐次逼近型ADC，各ADC均基于2个电容型DAC。图14和图15分别为这些ADC的采样阶段和转换阶段简图。ADC由一个控制逻辑、一个SAR和两个电容型DAC组成。在信号采样阶段，如图14所示，SW3闭合，SW1和SW2都置于A上，比较器保持在平衡状态，采样电容阵列，采集输入端的差分信号。

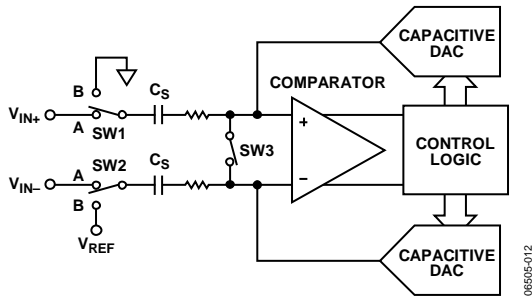


图14. ADC采样阶段

当ADC启动转换(见图15)时，SW3断开，而SW1和SW2移至位置B，使得比较器变得不平衡。一旦转换开始，两个输入均会断开。控制逻辑和电荷再分配DAC可以从采样电容阵列中加上和减去的固定数量的电荷，使得比较器恢复到平衡状态。当比较器重新平衡后，转换完成。控制逻辑产生ADC的输出码字。注意这里驱动 V_{IN+} 和 V_{IN-} 引脚的源输出阻抗一定要匹配，否则两个输入的建立时间不同会导致错误。

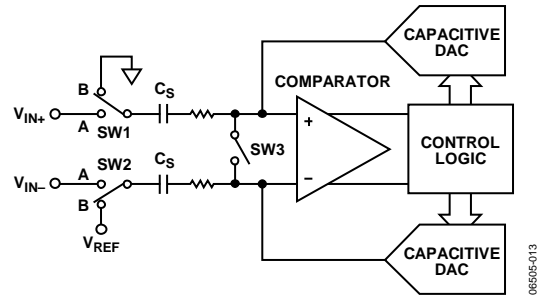


图15. ADC转换阶段

模拟输入结构

AD7356模拟输入结构等效电路如图16所示，图中4个二极管为模拟输入提供ESD保护。切记，模拟输入信号不得超过供电轨300mV以上，否则会造成这些二极管正偏，并开始向基板内导电电流。这些二极管在不会导致器件彻底损坏的情况下可以导通的最大电流为10 mA。

图16中，电容C1典型值为8 pF，基本上为引脚寄生电容。R1电阻是由开关导通阻抗构成的集总元件。电阻典型值为30 Ω 左右；电容C2为ADC采样电容，典型值为32 pF。

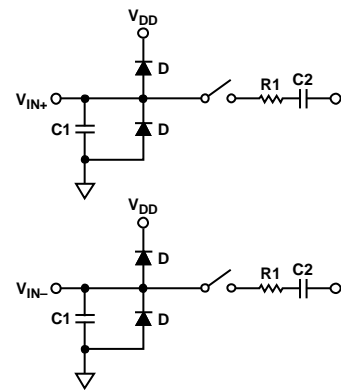


图16. 等效模拟输入电路：转换阶段—开关断开，采样阶段—开关闭合

在交流应用中，建议在模拟输入引脚用一个RC低通滤波器来滤除模拟输入信号的高频成份。在对谐波失真和信噪比要求严格的应用中，模拟输入应采用一个低阻抗源进行驱动。高源阻抗会明显影响该ADC的交流性能，因此，可能需要使用一个输入缓冲放大器。通常根据具体应用来选择运算放大器。

当不用放大器来驱动模拟输入端时，应将源阻抗的值限制在较低水平。最大的源阻抗取决于可容许的总谐波失真(THD)。随着输入源阻抗的增加总谐波失真会增大，从而使ADC性能下降。图17为各种源阻抗下THD与模拟输入信号频率的关系图。

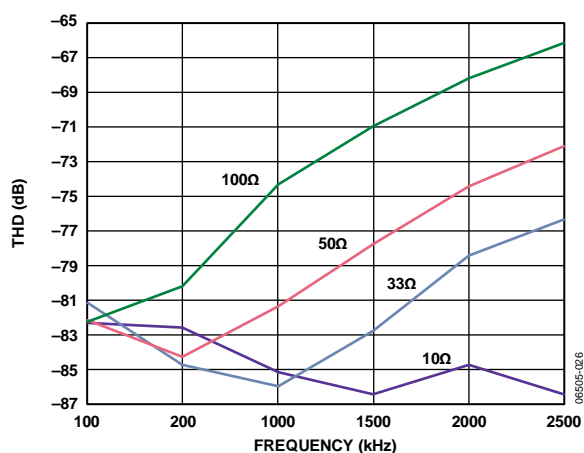


图17. 不同源阻抗下THD与模拟输入信号频率的关系

图18为5 MSPS采样速率下THD与模拟输入频率的关系图。其中，源阻抗为33Ω。

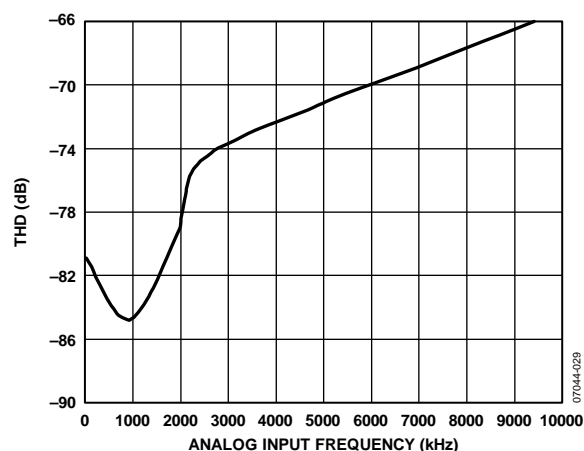


图18. THD与模拟输入频率的关系

模拟输入

差分信号在某些方面优于单端信号，例如：基于器件共模抑制的抗噪声能力更高，而且失真性能更佳。图19定义了AD7356的全差分输入。

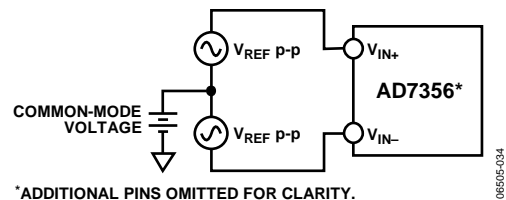


图19. 差分输入定义

差分信号的幅度为各差分对中输入引脚 V_{IN+} 和输入引脚 V_{IN-} 的信号差值(即 $V_{IN+} - V_{IN-}$)。 V_{IN+} 和 V_{IN-} 应采用两个幅度均为 V_{REF} 、相位相差 180° 的信号同时驱动。因此，差分信号的幅度为 $-V_{REF}$ 至 $+V_{REF}$ 峰峰值，与共模电压(CM)无关。

CM是两个输入信号的平均值，同时也是两个输入电压的中点。

$$CM = (V_{IN+} + V_{IN-})/2$$

这使得各输入端的范围为 $CM \pm V_{REF}/2$ 。这一电压必须在外部设定。设置CM时，应确保 V_{IN+} 和 V_{IN-} 始终在GND/ V_{DD} 范围内。转换发生时，CM受到抑制，所产生的信号几乎无噪声，其幅度范围为 $-V_{REF}$ 至 $+V_{REF}$ ，与AD7356的数字码0至4095相对应。

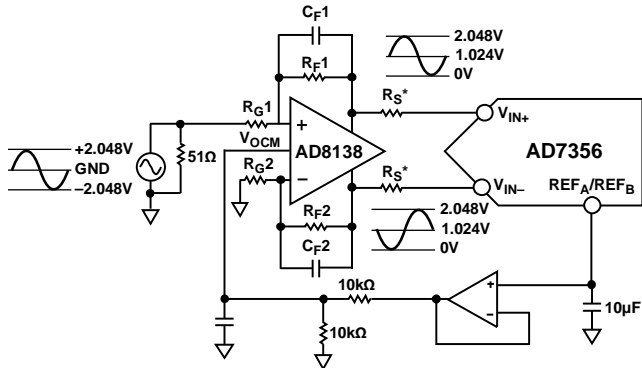
AD7356

驱动差分输入

差分工作要求用两个相位相差 180° 、幅度相等的信号同时驱动 V_{IN+} 和 V_{IN-} 。并非所有应用都会针对差分工作预先调理信号，因此经常需要执行单端转差分转换。

差分放大器

对AD7356进行差分驱动的理想方法是采用AD8138之类的差分放大器。该器件可以用作单端转差分放大器或差分转差分放大器。AD8138还能提供共模电平转换。图20显示如何将AD8138用作单端转差分放大器。AD8138的正负输出端通过一对串联电阻分别与ADC的相应输入端相连，从而使ADC前端的开关电容的影响最小。AD8138的这种架构使得输出可以在很宽的频率范围内保持高度平衡，而不需要严格匹配的外部元件。



*MOUNT AS CLOSE TO THE AD7356 AS POSSIBLE AND ENSURE THAT HIGH PRECISION R_S RESISTORS ARE USED. $R_S = 33\Omega$; $R_{G1} = R_{F1} = R_{F2} = 499\Omega$; $C_{F1} = C_{F2} = 39\text{pF}$; $R_{G2} = 523\Omega$

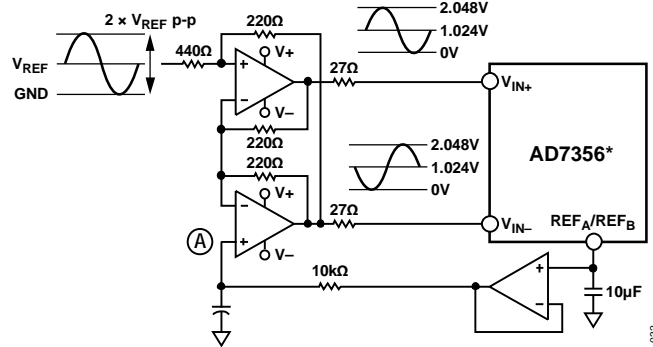
图20. AD8138用作单端转差分放大器

如果所用的模拟输入源具有零阻抗，则所有四个电阻(R_{G1} 、 R_{G2} 、 R_{F1} 和 R_{F2})的值应当相等。例如，如果模拟输入源具有 50Ω 阻抗和 50Ω 端接电阻，则 R_{G2} 值应增大 25Ω 以平衡输入端的并联阻抗，从而确保正负模拟输入的增益相同。放大器输出为完全匹配的平衡差分输出，幅度完全相等，相位恰好相差 180° 。

运算放大器对

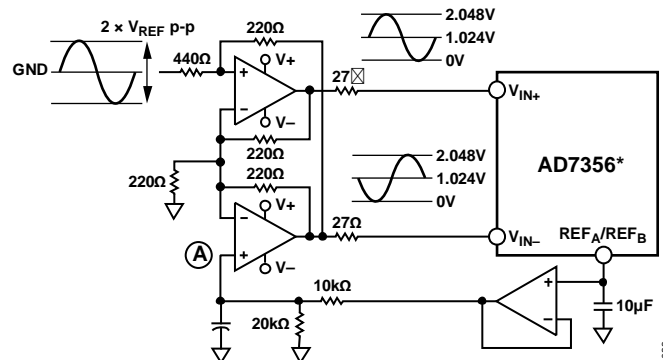
可以利用一对运算放大器，将差分信号直接耦合到AD7356的模拟输入对。图21和图22所示的电路配置分别说明如何使用一对运算放大器，将双极性和单极性单端输入信号转换为差分信号。

施加于A点的电压可设置共模电压。在两个图中，它均以某种方式连接到基准电压。AD8022是一款合适的双通道运算放大器，可以用在此配置中为AD7356提供差分驱动。



*ADDITIONAL PINS OMITTED FOR CLARITY.

图21. 将一个单端单极性信号转换为一个差分信号的双通道运算放大器电路



*ADDITIONAL PINS OMITTED FOR CLARITY.

图22. 将一个单端双极性信号转换为一个差分单极性信号的双通道运算放大器电路

ADC传递函数

AD7356的输出为直接二进制编码方式。所设计的码跃迁发生在每个LSB值上(即1 LSB、2 LSB等等)。LSB大小为 $(2 \times V_{REF})/4096$ 。AD7356的理想传递特性如图23所示。

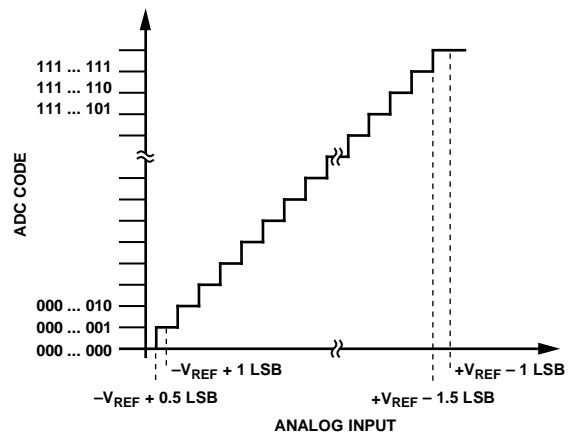


图23. AD7356理想传递特性

工作模式

在转换期间通过控制 \overline{CS} 信号的逻辑状态，可以选择AD7356的工作模式。有三种可能的工作模式：正常模式、部分掉电模式和完全掉电模式。转换启动后， \overline{CS} 被拉高的时间点决定器件进入何种掉电模式(如有)。类似地，如果已经处于掉电模式，则 \overline{CS} 可以控制器件是返回正常工作模式，还是继续保持掉电模式。

这些工作模式旨在提供灵活的电源管理选项。针对不同的应用要求，可以选择这些选项以优化功耗/吞吐速率比。

正常模式

正常模式旨在用于需要最快吞吐速率的应用，AD7356始终处于完全上电状态，用户不必担心上电时间问题。图24显示了AD7356在正常模式下的一般工作时序图。

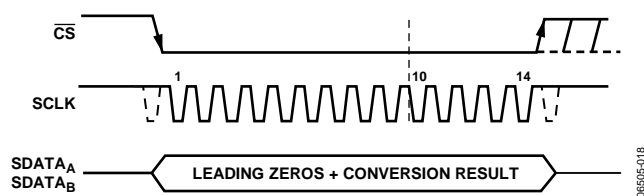


图24. 正常工作模式

如“串行接口”部分所述，转换在 \overline{CS} 的下降沿启动。为确保器件始终处于完全上电状态， \overline{CS} 必须保持低电平，直到在 \overline{CS} 下降沿之后至少过去了10个SCLK下降沿。如果在第10个SCLK下降沿之后、第14个SCLK下降沿之前的任何时间将 \overline{CS} 变为高电平，则器件仍然保持上电状态，但转换终止，SDATA_A和SDATA_B返回三态。完成转换并访问转换结果需要14个串行时钟周期。14个SCLK周期过去之后，SDATA线不会返回三态，而是在 \overline{CS} 再次变为高电平时才返回三态。如果 \overline{CS} 的低电平状态再持续2个SCLK周期，则数据之后会输出2个尾随零。如果 \overline{CS} 的低电平状态又再持续14个SCLK周期，则来自片上另一个ADC的转换结果也可以在同一SDATA线上进行访问(参见图31和“串行接口”部分)。

32个SCLK周期过去之后，SDATA线在第32个SCLK下降沿返回三态。如果 \overline{CS} 在此之前变为高电平，SDATA线将同时返回三态。因此，经过32个SCLK周期之后， \overline{CS} 可以处于低电平空闲状态，直到在下一次转换前的某个时间再次变为高电平，总线仍然会在两个结果读取完成后返回三态。

一旦数据传输完毕，并且SDATA_A和SDATA_B已返回三态，便可以在安静时间 t_{QUIET} 逝去后再次将 \overline{CS} 变为低电平，以启动另一次转换(假设已满足所需的采集时间)。

部分掉电模式

部分掉电模式旨在用于需要较低吞吐速率的应用。可以在每次转换完成后关断ADC，或者以高吞吐速率执行一系列转换，然后将ADC关断，直到迎来下一系列的转换。对于AD7356处于部分掉电模式的时间，建议不要超过100 μs 。当AD7356处于部分掉电模式时，除片上基准电压源和缓冲以外的所有模拟电路均被关断。

若要进入部分掉电模式，必须在SCLK的第2个下降沿之后、第10个下降沿之前的任意时间将 \overline{CS} 变为高电平，以中断转换过程，如图25所示。当 \overline{CS} 在SCLK的此时间窗口内变为高电平时，器件即进入部分掉电模式， \overline{CS} 下降沿所启动的转换被终止，SDATA_A和SDATA_B返回三态。如果 \overline{CS} 在第2个SCLK下降沿之前变为高电平，则器件仍将处于正常模式，不会关断。这可以避免 \overline{CS} 线上的毛刺引起意外关断。

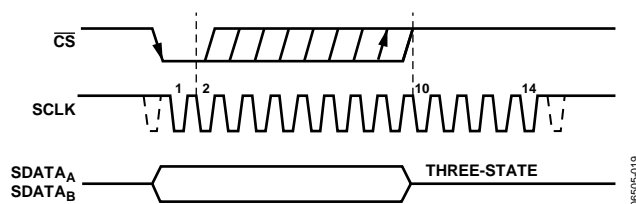


图25. 进入部分掉电模式

若要退出这种工作模式并使AD7356再次上电，需要执行一次哑转换。在 \overline{CS} 的下降沿，器件开始上电，并且只要 \overline{CS} 处于低电平直到第10个SCLK的下降沿之后，器件就继续上电。大约经过200 ns(或一次完全转换)后，器件完全上电，下一次转换将产生有效数据，如图26所示。如果 \overline{CS} 在第2个SCLK下降沿之前变为高电平，则AD7356再次进入部分掉电模式。这可以避免线 \overline{CS} 上的毛刺引起意外上电。虽然器件可以在 \overline{CS} 的下降沿开始上电，但它又会在 \overline{CS} 上升沿关断。如果AD7356已经处于部分掉电模式，并且 \overline{CS} 在SCLK的第2个下降沿与第10个下降沿之间变为高电平，则器件将进入完全掉电模式。

AD7356

完全掉电模式

某些应用所需的吞吐速率比部分掉电模式下的吞吐速率更低，此时可使用完全掉电模式，因为从完全掉电模式上电所需的时间比从部分掉电模式上电长得多。这种模式更适合以相对较高的吞吐速率执行一系列转换，然后是一段长时间的无活动状态，因此关断器件的应用。当AD7356处于完全掉电模式时，包括片上基准电压源和缓冲的所有模拟电路均被关断。进入完全掉电模式的方法与进入部分掉电模式相似，只不过图25所示的时序必须执行两次。转换过程必须以类似方式中断，即在SCLK的第2个下降沿之后、第10个下降沿之前的任意时间将

\overline{CS} 变为高电平。此时器件进入部分掉电模式。

要达到完全掉电状态，必须以同样的方式中断下一个转换周期，如图27所示。当 \overline{CS} 在SCLK的此时间窗口内变为高电平时，器件即完全掉电。

请注意，一旦 \overline{CS} 变为高电平以进入掉电模式，便不需要完成14或16个SCLK周期。

若要退出完全掉电模式并使AD7356上电，需要像从部分掉电模式上电一样执行一次哑转换。在 \overline{CS} 的下降沿，只要 \overline{CS} 处于低电平直到第10个SCLK的下降沿之后，器件开始上电。必须等到所需的上电时间逝去之后，才能启动转换，如图28所示。

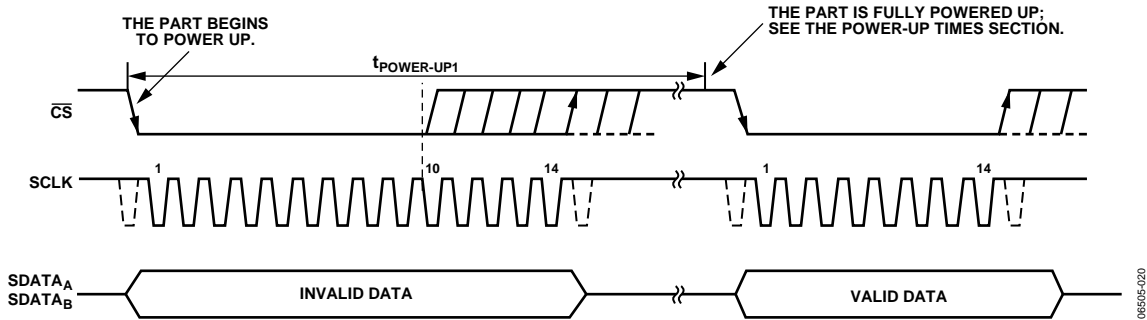


图26. 退出部分掉电模式

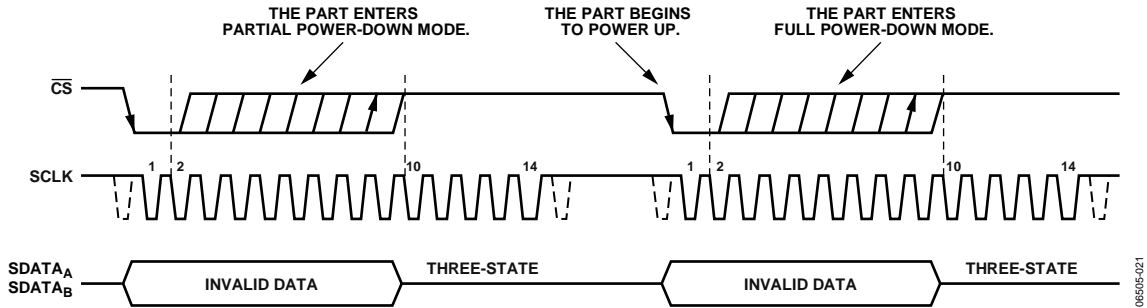


图27. 进入完全掉电模式

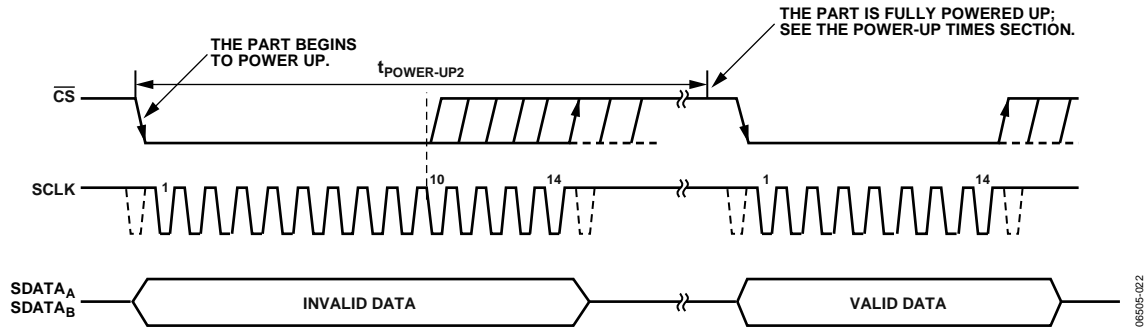


图28. 退出完全掉电模式

上电时间

AD7356有两种掉电模式：部分掉电模式和完全掉电模式，“正常模式”、“部分掉电模式”和“完全掉电模式”部分已对这些模式做了详细说明。本部分说明退出这些模式所需的上电时间。应当注意，这些上电时间的适用前提条件是REF_A和REF_B引脚上放置有推荐的去耦电容。

若要从部分掉电模式上电，需要执行一次哑转换。从 \overline{CS} 下降沿起，经过大约200 ns后，器件完全上电。部分上电时间过去之后，ADC完全上电，可以正常采集输入信号。从哑转换后总线回到三态起一直到下一个 \overline{CS} 下降沿的这段期间，仍必须留出一段安静时间 t_{QUIET} 。

要从完全掉电模式上电，从 \overline{CS} 下降沿开始应留出大约6 ms的时间，如图28的 $t_{\text{POWER-UP2}}$ 所示。

注意，在从部分掉电模式上电的期间，采样保持器(当器件掉电时它处于保持模式)在 \overline{CS} 下降沿后器件接收到的第一个SCLK沿之后会返回采样模式。

当AD7356首次接通电源时，ADC可能上电至任一种掉电模式或正常模式。因此，最好历经一个哑转换周期，以确保器件完全上电后再执行有效转换。类似地，如果接通电源后希望器件处于部分掉电模式，则必须启动两个哑转换周期。在第一个哑转换周期中， \overline{CS} 必须保持低电平，直到第10个SCLK下降沿之后；在第二个哑转换周期中， \overline{CS} 必须在第2个与第10个SCLK下降沿之间变为高电平(见图25)。

或者，如果接通电源后希望器件处于完全掉电模式，则必须启动三个哑转换周期。在第一个哑转换周期中， \overline{CS} 必须保持低电平，直到第10个SCLK下降沿之后；第二和第三个

哑转换周期使器件进入完全掉电模式(见图27和“工作模式”部分)。

功耗与吞吐速率

AD7356的功耗随吞吐速率而变化。当使用非常低的吞吐速率和尽可能高的SCLK频率时，可以利用各种掉电选项明显降低功耗。但是，AD7356的静态电流非常低，即使不使用掉电选项，其功耗也会随着采样速率的变化而发生明显变化。无论使用固定的SCLK频率，还是使用与采样速率成比例的SCLK频率，均是如此。图29显示了正常工作模式下功耗与吞吐速率的关系，图中的两条曲线分别对应于一个固定最大SCLK频率和一个与采样速率成比例的SCLK频率。图29所示的情形使用了内部基准电压。

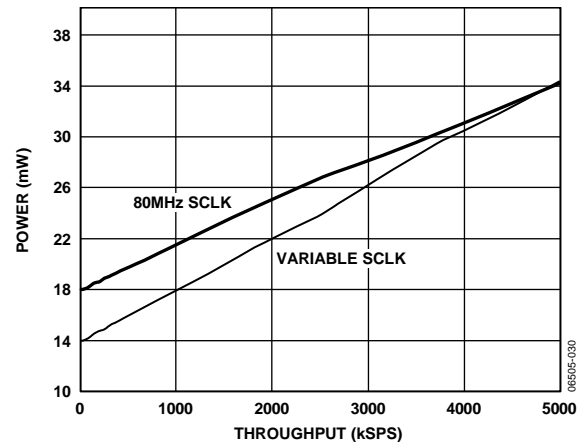


图29. 功耗与吞吐速率的关系

串行接口

图30给出了AD7356串行接口的详细时序图。串行时钟提供转换时钟，并在转换期间控制来自AD7356的信息传输。

\overline{CS} 信号启动数据传输和转换过程。 \overline{CS} 下降沿将采样保持器置于保持模式，同时器件对模拟输入进行采样，总线脱离三态。转换也在此时启动，需要至少14个SCLK才能完成。13个SCLK下降沿过去之后，采样保持器在下一个SCLK上升沿返回跟踪模式，如图30的B点所示。如果AD7356使用16位数据传输模式，则最后一个LSB之后会出现2个尾随零。在 \overline{CS} 上升沿，转换终止，SDATA_A和SDATA_B返回三态。如果 \overline{CS} 在接下来的14个SCLK周期未变为高电平，而是保持低电平，则来自ADCB的转换数据将在SDATA_A上输出(参见图31)。类似地，来自ADCA的转换数据在SDATA_B上输出。本例中，所使用的SDATA线在第32个SCLK下降

沿或CS上升沿(以最先出现者为准)返回三态。

执行转换过程并在AD7356的任一数据线上获取一次转换的数据至少需要14个串行时钟周期。 \overline{CS} 变为低电平，以提供微控制器或DSP需读取的前导零。在第二个前导零之后，余下的数据则在随后的SCLK下降沿输出。因此，在串行时钟的第一个下降沿不仅会提供前导零，而且会输出第二个前导零。然后输出12位结果，数据传输中的最后一位在第14个下降沿有效(已在前一个(第13个)下降沿输出)。在SCLK较慢的应用中，可以在各SCLK上升沿读取数据，具体视SCLK频率而定。对于较慢的SCLK，第二个前导零会出现在 \overline{CS} 下降沿之后的第一个SCLK上升沿，DB0会出现在第13个SCLK上升沿。

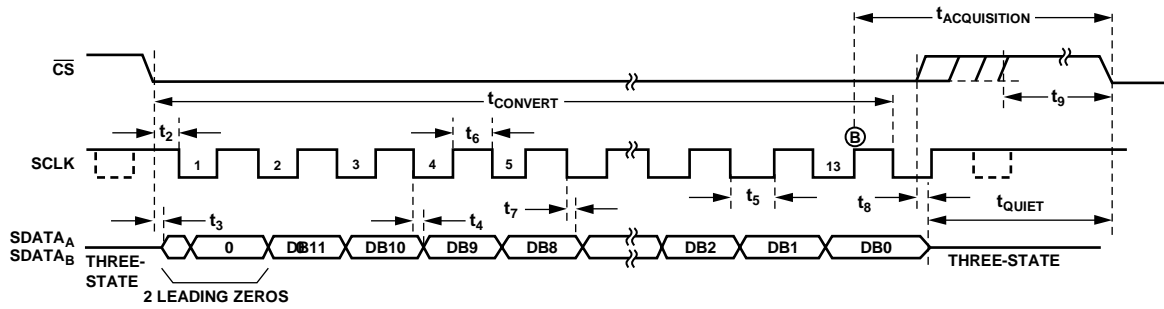


图30. 串行接口时序图

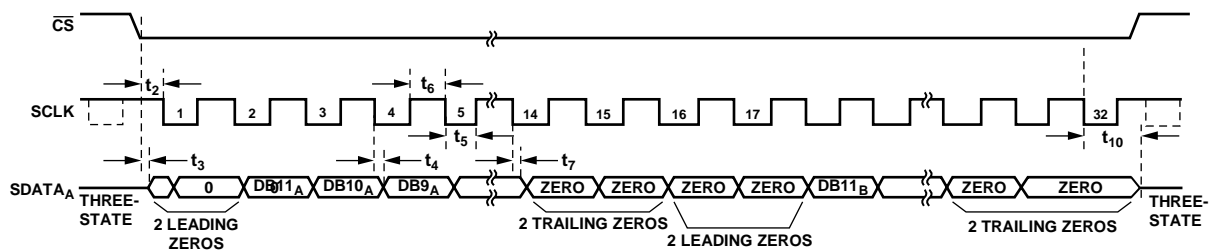


图31. 利用32个SCLK周期在一条SDATA线上读取来自两个ADC的数据

应用须知

接地和布局布线

为将器件的模拟部分与数字部分之间的耦合降至最低，AD7356的模拟电源和数字电源彼此独立，各有单独的引脚。AD7356所在的印刷电路板(PCB)应采用模拟部分与数字部分分离设计，并分别限制在电路板的一定区域内。这种设计便于地平面的分割。

为实现地平面的最佳屏蔽，一般应尽量少采用蚀刻技术。AD7356的两个AGND引脚都应下沉到AGND平面。REFGND引脚也应下沉到AGND平面。数字地平面和模拟地平面应单点连接。如果AD7356系统内有多个器件需要将AGND和DGND进行连接，仍应坚持单点接地，在尽可能靠近AD7356接地引脚处使用一个星型接地点。

应避免在器件下方布设数字线路，否则会将噪声耦合至管芯。应将模拟地平面布设在AD7356下方，以避免噪声耦合。AD7356的电源线路应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺噪声影响。

为避免向电路板上的其它部分辐射噪声，时钟等快速开关信号应利用数字地屏蔽起来，并且时钟信号绝不应靠近模拟输入。

避免数字信号与模拟信号串扰。为减小电路板内的馈通影响，电路板相反两层上的走线应彼此垂直。微带线技术是最佳方法，但这种技术对于双面电路板未必总是可行。采用这种技术时，电路板的元件层专用于地平面，信号走线则布设在焊接层。

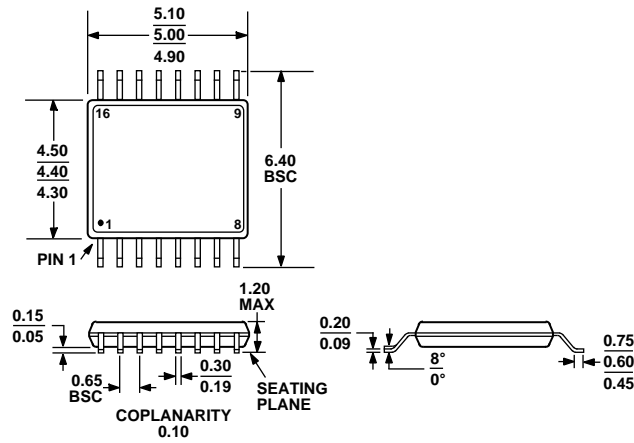
良好的去耦很重要；应通过并联10 μF 钽电容与0.1 μF 电容，将所有电源去耦到GND。为使这些去耦元件实现最佳效果，必须使其尽可能靠近器件，最好是紧贴器件。0.1 μF 电容应具有低有效串联电阻(ESR)和低有效串联电感(ESI)，例如普通陶瓷型或表贴型。这种低ESR和ESI电容可在高频时提供低阻抗接地路径，以便处理逻辑开关所引起的瞬态电流。

AD7356性能评估

评估板文档描述了AD7356的推荐布局布线。评估板套件包括装配完善且经过测试的评估板、文档，以及用于从PC通过转换器评估与开发板(CED)控制评估板的软件。CED可以配合AD7356评估板(及带ED标志后缀的其它许多ADI评估板)使用，以演示和评估AD7356的交流和直流性能。

用户可以利用软件对AD7356执行交流(快速傅里叶变换)和直流(线性)测试。软件和文档位于随评估板提供的CD上。

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-153-AB

图32. 16引脚超薄紧缩小型封装[TSSOP]
(RU-16)

图示尺寸单位: mm

订购指南

型号	温度范围	封装描述	封装选项
AD7356BRUZ ¹	-40°C至+85°C	16引脚TSSOP	RU-16
AD7356BRUZ-500RL7 ¹	-40°C至+85°C	16引脚TSSOP	RU-16
AD7356BRUZ-RL ¹	-40°C至+85°C	16引脚TSSOP	RU-16
AD7356YRUZ ¹	-40°C至+85°C	16引脚TSSOP	RU-16
AD7356YRUZ-500RL7 ¹	-40°C至+85°C	16引脚TSSOP	RU-16
AD7356YRUZ-RL ¹	-40°C至+85°C	16引脚TSSOP	RU-16
EVAL-AD7356EDZ ^{1,2}		评估板	
EVAL-CED1Z ^{1,3}		转换器评估与开发板	

¹ Z = 符合RoHS标准的器件

² 此评估板可单独用作评估板，或与EVAL-CED1Z板配合用于评估/演示。

³ 此评估板是个完整单元，允许PC对所有带ED标志后缀的ADI评估板进行控制并与之通信。