

### 特性

一对匹配的可编程滤波器和可变增益放大器 (VGA)

连续增益控制范围 : -5 dB 至 +45 dB

6 极滤波器

1 MHz 至 30 MHz, 步进 1 MHz, 0.5 dB 转折频率

可编程 SPI

6 dB 前端增益步长

IMD3 : >55 dBc (1.5 V p-p 复合输出)

HD2、HD3 : >60 dBc (1.5 V p-p 输出)

差分输入和输出

可调输出共模电压

可选直流输出失调校正

省电特性

5 V 单电源供电

### 应用

基带 I/Q 接收机

分集接收机

ADC 驱动器

### 概述

ADRF6510 包括一对匹配的完全差分低噪声、低失真可编程滤波器和可变增益放大器 (VGA)。每个通道都能够抑制较大的带外干扰信号, 同时忠实放大所需信号, 因而模数转换器 (ADC) 的带宽和分辨率要求得以降低。两个通道匹配出色, 而且在所有增益和带宽设置下都具有很高的无杂散动态范围, 因此 ADRF6510 非常适合具有密集星座图、多个载波并存在邻近干扰的正交 (I-Q) 通信系统。

滤波器提供 6 极点巴特沃兹响应, 其 0.5 dB 转折频率可通过 SPI 在 1 MHz 至 30 MHz 范围内进行编程, 步进为 1 MHz。滤波器之前的前置放大器提供 6 dB 或 12 dB 的引脚可编程增益选项, 它可设置 400  $\Omega$  的差分输入阻抗, 并具有 1.5 V 至 2.5 V 驱动范围、默认值为 2.1 V 的共模电压。

### 功能框图

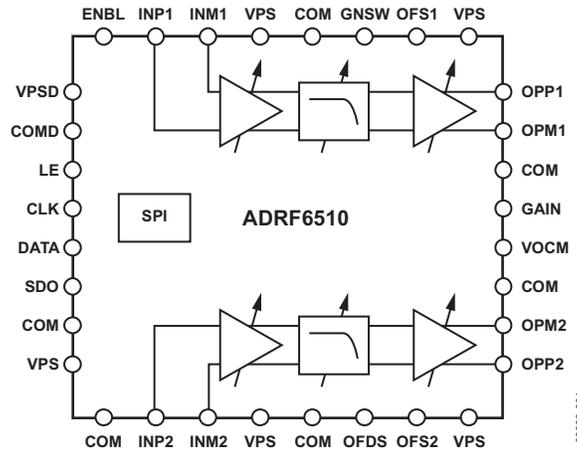


图 1.

滤波器之后的可变增益放大器提供 50 dB 的连续增益控制, 斜率为 30 mV/dB。输出缓冲器提供 20  $\Omega$  的差分输出阻抗, 能够以 1.5 V p-p 驱动 1 k $\Omega$  负载。输出共模电压默认为 VPS/2, 但可以通过 VOCM 引脚进行编程。如果希望进行直流耦合操作, 可以禁用内置的直流失调校正环路。高通转折频率由引脚 OFS1 和 OFS2 上的外部电容确定。

ADRF6510 的工作电源电压为 4.75 V 至 5.25 V; 当编程为最高带宽设置时, 其最大功耗为 258 mA。禁用时的功耗为 2 mA。ADRF6510 采用先进的硅 - 锗 BiCMOS 工艺制造, 提供 32 引脚、裸露焊盘 LFCSP 封装, 额定温度范围为 -40°C 至 +85°C。

### Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI 中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI 不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考 ADI 提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 [www.analog.com](http://www.analog.com)  
Fax: 781.461.3113

©2011 Analog Devices, Inc. All rights reserved.

## 目录

特性 .....	1	滤波器编程 .....	16
应用 .....	1	噪声特性 .....	16
功能框图 .....	1	失真特性 .....	17
概述 .....	1	动态范围最大化 .....	17
修订历史 .....	2	正交接收机的关键参数 .....	18
技术规格 .....	3	应用信息 .....	19
时序图 .....	5	基本连接 .....	19
绝对最大额定值 .....	6	误差矢量幅度 (EVM) 性能 .....	19
ESD 警告 .....	6	低 IF 镜像抑制 .....	20
引脚配置和功能描述 .....	7	示例基带接口 .....	21
典型工作特性 .....	8	评估板 .....	23
工作原理 .....	14	评估板控制软件 .....	23
输入缓冲器 .....	14	原理图和 PCB 布局图 .....	23
可编程滤波器 .....	14	评估板配置选项 .....	25
可变增益放大器 (VGA) .....	15	外形尺寸 .....	27
输出缓冲器 /ADC 驱动器 .....	15	订购指南 .....	27
直流失调补偿环路 .....	15		

## 修订历史

2010 年 4 月—修订版 0 : 初始版

## 技术规格

除非另有说明， $V_{PS} = 5\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 、 $Z_{SOURCE} = 400\ \Omega$ 、 $Z_{LOAD} = 1\ \text{k}\Omega$ 、 $V_{OUT} = 1.5\ \text{V p-p}$ 、带宽为 30 MHz、 $GNSW = 0\ \text{V}$ 。

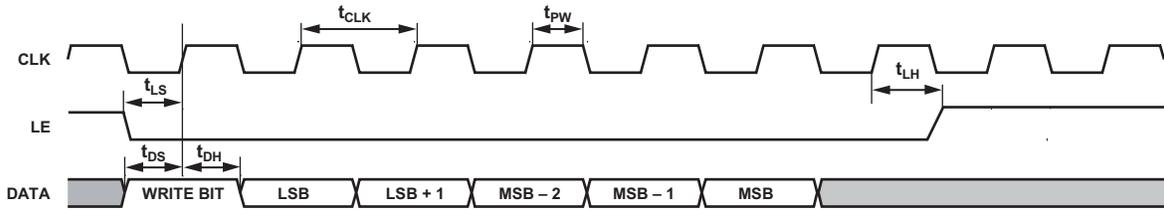
表 1

参数	测试条件 / 注释	最小值	典型值	最大值	单位
频率响应					
低通转折频率 ( $f_c$ )	6 极点巴特沃兹滤波器, 0.5 dB 带宽	1		30	MHz
步进			1		MHz
转折频率绝对精度	整个工作温度范围		$\pm 15$		$\% f_c$
转折频率匹配	通道 A 和通道 B 具有相同的增益和带宽设置		$\pm 0.5$		$\% f_c$
通带纹波			0.5		dB p-p
增益匹配	通道 A 和通道 B 具有相同的增益和带宽设置		$\pm 0.1$		dB
群延时变化	从中频带到峰值频带				
转折频率 = 1 MHz			135		ns
转折频率 = 30 MHz			11		ns
群延时匹配	通道 A 和通道 B 具有相同的增益				
转折频率 = 1 MHz			5		ns
转折频率 = 30 MHz			0.2		ns
阻带抑制					
相对于通带	$2 \times f_c$		30		dB
	$5 \times f_c$		75		dB
输入级	INP1、INM1、INP2 和 INM2				
最大输入摆幅	增益最小时, $V_{GAIN} = 0\ \text{V}$		1		V p-p
差分输入阻抗			400		$\Omega$
输入共模范围	1 V p-p 输入电压 输入引脚悬空	1.5		$V_{PS}/2$	V
			$V_{PS}/2$		V
增益控制	GAIN、GNSW				
电压增益范围	$GNSW = 0\ \text{V}$ 、 $V_{GAIN} = 0\ \text{V}$ 至 $2\ \text{V}$ $GNSW = 5\ \text{V}$	- 5		+45	dB
		1		51	dB
增益斜率			30		mV/dB
增益误差	$V_{GAIN} = 500\ \text{mV}$ 至 $1.7\ \text{V}$		0.2		dB
增益步进	$GNSW = 0\ \text{V}$ 至 $5\ \text{V}$		6		dB
输出级	OPP1、OPM1、OPP2、OPM2 和 VOCM				
最大输出摆幅	增益最大时, $R_{LOAD} = 1\ \text{k}\Omega$ $HD2 > 60\ \text{dBc}$ , $HD3 > 60\ \text{dBc}$		2		V p-p
			1.5		V p-p
差分输出阻抗			20		$\Omega$
输出直流失调	输入短接, 失调环路禁用		35		mV
输出共模范围	1.5 V p-p 输出电压 VOCM 悬空	1.5		3.0	V
			$V_{PS}/2$		V
噪声 / 失真					
1 MHz 转折频率					
输出噪声密度	当频率为 $f_c/2$ 时, 增益为 0 dB		- 129		dBV/ $\sqrt{\text{Hz}}$
	当频率为 $f_c/2$ 时, 增益为 20 dB		- 127		dBV/ $\sqrt{\text{Hz}}$
	当频率为 $f_c/2$ 时, 增益为 40 dB		- 111		dBV/ $\sqrt{\text{Hz}}$
二次谐波 (HD2)	250 kHz 基频, 1.5 V p-p 输出电压				
	增益为 0 dB		46.2		dBc
	增益为 40 dB		43.2		dBc
三次谐波 (HD3)	250 kHz 基频, 1.5 V p-p 输出电压				
	增益为 0 dB		52.2		dBc
	增益为 40 dB		51.2		dBc

# ADRF6510

参数	测试条件 / 注释	最小值	典型值	最大值	单位
IMD3	f1 = 500 kHz, f2 = 550 kHz, 1.5 V p-p 复合输出电压 增益为 5 dB		61		dBc
	增益为 35 dB		57		dBc
IMD3 (输入 CW 阻塞)	f1 = 500 kHz, f2 = 550 kHz, 1.5 V p-p 复合输出, 增益为 5 dB; 在 5 MHz 频率下产生阻塞, 10 dBc 相对于双音复合输出电压		40		dBc
30 MHz 转折频率					
输出噪声密度	中频带, 增益为 0 dB		-130		dBV/√Hz
	中频带, 增益为 20 dB		-130		dBV/√Hz
	中频带, 增益为 40 dB		-123		dBV/√Hz
二次谐波 (HD2)	8 MHz 基频, 1.5 V p-p 输出电压 增益为 0 dB		63		dBc
	增益为 40 dB		84		dBc
三次谐波 (HD3)	8 MHz 基频, 1.5 V p-p 输出电压 增益为 0 dB		54		dBc
	增益为 40 dB		87		dBc
IMD3	f1 = 15 MHz, f2 = 16 MHz, 1.5 V p-p 复合输出电压 增益为 5 dB		59		dBc
	增益为 35 dB		77.5		dBc
IMD3 (输入 CW 阻塞)	f1 = 15 MHz, f2 = 16 MHz, 1.5 V p-p 复合输出, 增益为 5 dB; 在 150 MHz 频率下产生阻塞, 10 dBc 相对于双音复合输出电压		55		dBc
数字逻辑	LE、CLK、DATA、SDO、OFDS 和 GNSW				
输入高电平 $V_{INH}$			>2		V
输入低电平 $V_{INL}$			<0.8		V
输入电流 $I_{INH}/I_{INL}$			<1		μA
输入电容 $C_{IN}$			2		pF
SPI 时序	LE、CLK、DATA 和 SDO				
$f_{SCLK}$	$1/t_{SCLK}$		20		MHz
$t_{DH}$	DATA 保持时间		5		ns
$t_{DS}$	DATA 建立时间		5		ns
$t_{LH}$	LE 保持时间		5		ns
$t_{LS}$	LE 建立时间		5		ns
$t_{PW}$	CLK 高电平脉冲宽度		5		ns
$t_D$	CLK 至 SDO 延迟		5		ns
电源与使能	VPS、VPSD、COM、COMD 和 ENBL				
电源电压范围		4.75	5.0	5.25	V
总电源电流	ENBL = 5 V 最高带宽设置		258		mA
	最低带宽设置		131		mA
禁用电流	ENBL = 0 V		2		mA
禁用阈值			2.5		V
使能响应时间	在发生 ENBL 由低到高的变换后产生延迟		20		μs
禁用响应时间	在发生 ENBL 由高到低的变换后产生延迟		300		ns

时序图

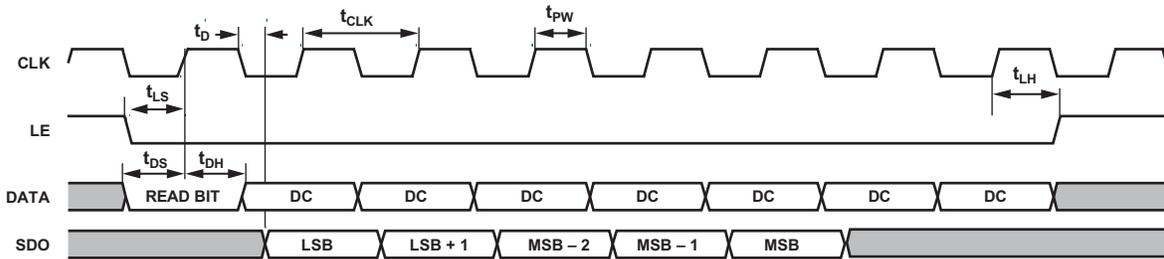


NOTES

1. THE FIRST DATA BIT DETERMINES WHETHER THE PART IS WRITING TO OR READING FROM THE INTERNAL CORNER FREQUENCY WORD REGISTER. FOR A WRITE OPERATION, THE FIRST BIT SHOULD BE A LOGIC 1. THE CORNER FREQUENCY WORD BIT IS THEN REGISTERED INTO THE DATA PIN ON CONSECUTIVE RISING EDGES OF THE CLOCK.

09002-003

图 2. 写入模式时序图



NOTES

1. THE FIRST DATA BIT DETERMINES WHETHER THE PART IS WRITING TO OR READING FROM THE INTERNAL CORNER FREQUENCY WORD REGISTER. FOR A READ OPERATION, THE FIRST BIT SHOULD BE A LOGIC 0. THE CORNER FREQUENCY WORD BIT IS THEN UPDATED AT THE SDO PIN ON CONSECUTIVE FALLING EDGES OF THE CLOCK.

09002-004

图 3. 读出模式时序图

## 绝对最大额定值

表 2

参数	额定值
电源电压 : VPS、VPSD	5.25 V
ENBL、GNSW、OFDS、LE、CLK、DATA 和 SDO	VPS + 0.6 V
INP1、INM1、INP2 和 INM2	VPS + 0.6 V, GND – 0.6 V
OPP1、OPM1、OPP2 和 OPM2	VPS + 0.6 V
OFS1 和 OFS2	VPS + 0.6 V
增益	VPS + 0.6 V
内部功耗	1.4 W
$\theta_{JA}$ (裸露焊盘焊接到板)	37.4°C/W
最高结温	150°C
工作温度范围	-40°C 至 +85°C
存储温度范围	-65°C 至 +150°C
引脚温度 (焊接 60 秒)	300°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

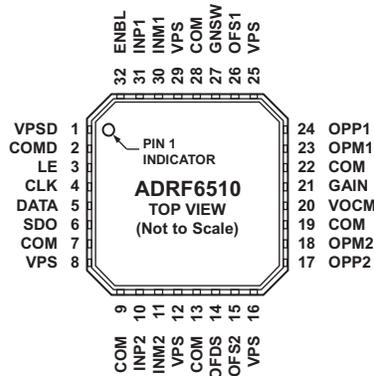
### ESD 警告



#### ESD (静电放电) 敏感器件。

带电器件和电路板可能在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。

## 引脚配置和功能描述



NOTES  
1. CONNECT THE EXPOSED PADDLE TO A LOW IMPEDANCE GROUND PAD.

09002-002

图 4. 引脚配置

表 3. 引脚功能描述

引脚编号	引脚名称	描述
1	VPSD	数字正电源电压：4.75 V 至 5.25 V。
2	COMD	数字公共端。使用尽可能低的阻抗，连接至外部电路公共端。
3	LE	锁存使能。SPI 编程引脚。CMOS 电平： $V_{LOW} < 0.8 V$ ， $V_{HIGH} > 2 V$ 。
4	CLK	SPI 端口时钟。CMOS 电平： $V_{LOW} < 0.8 V$ ， $V_{HIGH} > 2 V$ 。
5	DATA	SPI 数据输入。CMOS 电平： $V_{LOW} < 0.8 V$ ， $V_{HIGH} > 2 V$ 。
6	SDO	SPI 数据输出。CMOS 电平： $V_{LOW} < 0.8 V$ ， $V_{HIGH} > 2 V$ 。
7, 9, 13, 19, 22, 28	COM	模拟公共端。通过一个 1 k $\Omega$ 电阻，连接至外部电路公共端。
8, 12, 16, 25, 29	VPS	模拟正电源电压：4.75 V 至 5.25 V。
10, 11, 30, 31	INP2, INM2, INM1, INP1	差分输入。400 $\Omega$ 输入阻抗。共模电压范围：1.5 V 至 2.5 V（默认：2.1 V）。
14	OFDS	禁用失调校正环路。将该引脚拉高，以禁用失调校正环路。
15, 26	OF52, OF51	失调校正环路补偿电容。将电容连接至电路公共端。
17, 18, 23, 24	OPP2, OPM2, OPM1, OPP1	差分输出。20 $\Omega$ 输出阻抗。共模电压范围：1.5 V 至 3 V（默认： $VPS/2$ ）。
20	VOVM	输出共模设定点。在开路的情况下，默认值为 $VPS/2$ 。
21	增益	模拟增益控制。0 V 至 2 V，30 mV/dB 增益调整。
27	GNSW	前端增益切换：6 dB 或 12 dB。拉低，则增益为 6 dB；拉高，则增益为 12 dB。
32	ENBL	芯片使能。拉高以使能芯片。
	EP	底部焊盘。将裸露焊盘与低阻抗接地焊盘相连。

## 典型工作特性

除非另有说明,  $V_{PS} = 5\text{ V}$ ,  $T_A = 25^\circ\text{C}$ ,  $Z_{SOURCE} = 400\ \Omega$ ,  $Z_{LOAD} = 1\ \text{k}\Omega$ ,  $V_{OUT} = 1.5\ \text{V p-p}$ ,  $G_{NSW} = 0\ \text{V}$ 。

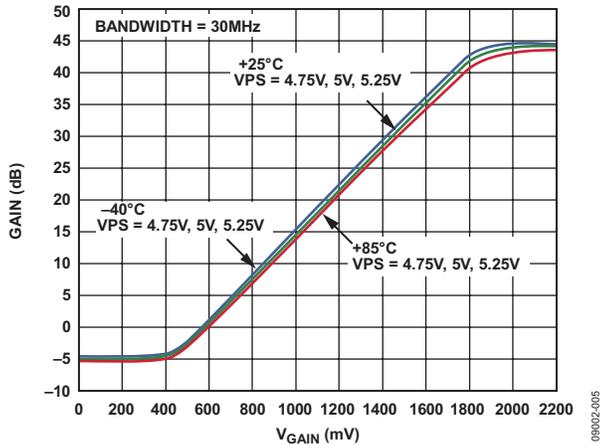


图 5. 在不同电源电压和温度条件下, 带内增益与  $V_{GAIN}$  的关系 (带宽为 30 MHz)

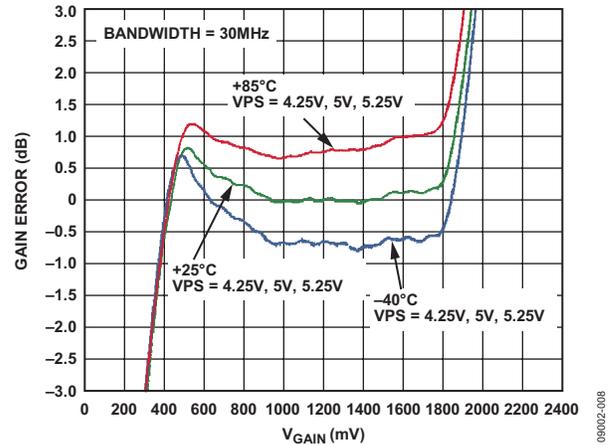


图 8. 在不同电源电压和温度条件下, 增益一致性与  $V_{GAIN}$  的关系 (带宽为 30 MHz)

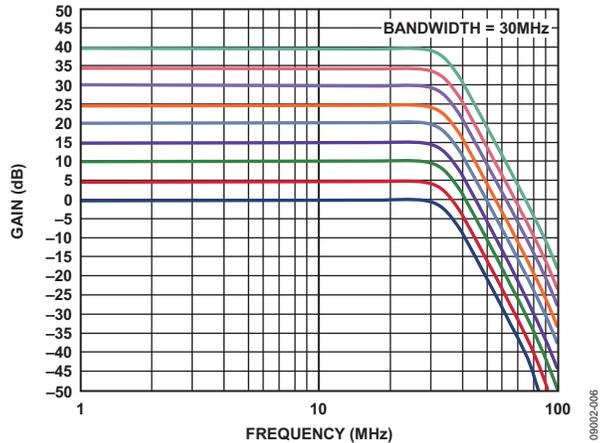


图 6. 在不同  $V_{GAIN}$  条件下, 增益与频率的关系 (带宽为 30 MHz)

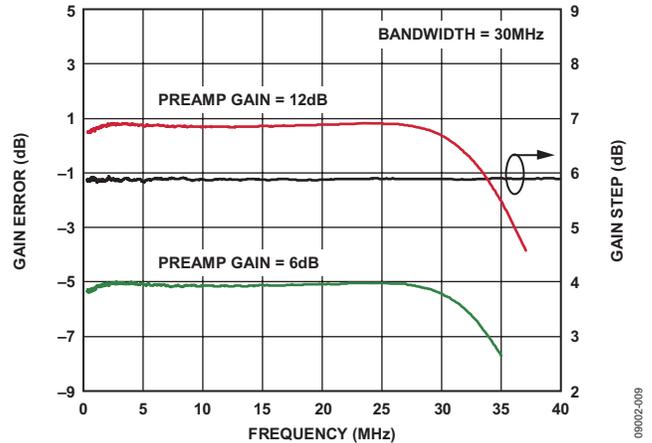


图 9. 6 dB 增益步进和增益误差与频率的关系 (带宽为 30 MHz,  $V_{GAIN} = 0\ \text{V}$ )

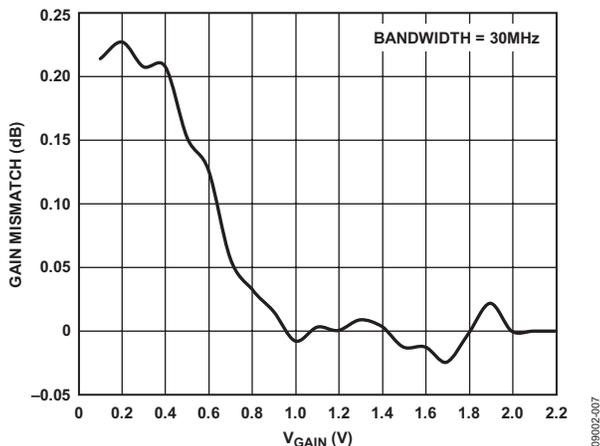


图 7. 增益匹配与  $V_{GAIN}$  的关系 (带宽为 30 MHz)

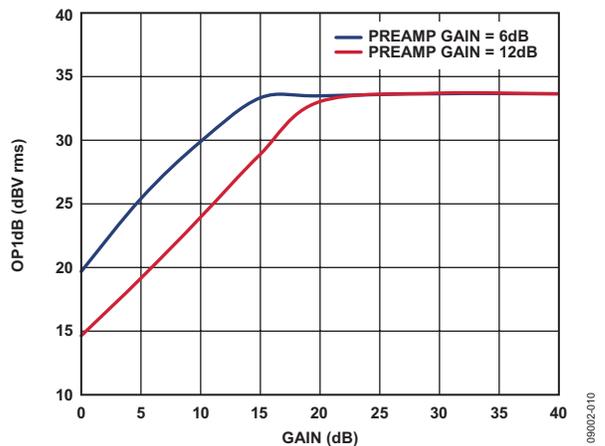


图 10. 在 15 MHz 条件下输出 P1dB 与增益的关系 (带宽为 30 MHz)

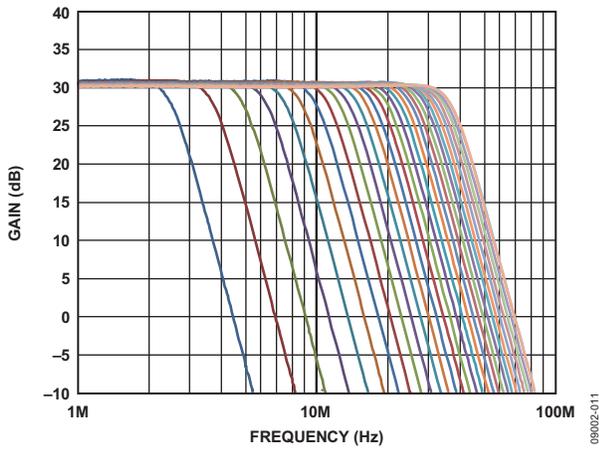


图 11. 频率响应与带宽设置的关系 (增益为 30 dB, 取对数)

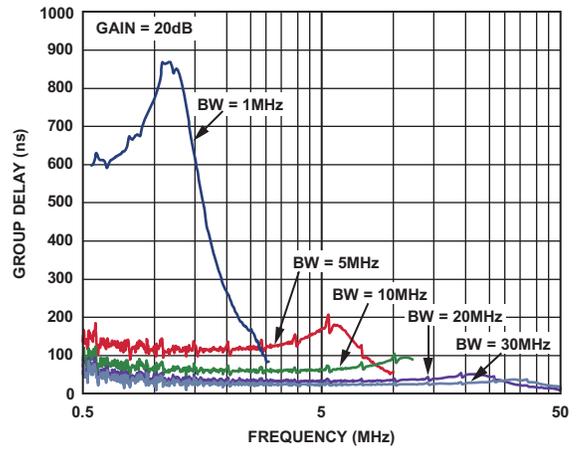


图 14. 群延迟与频率的关系 (增益为 20 dB)

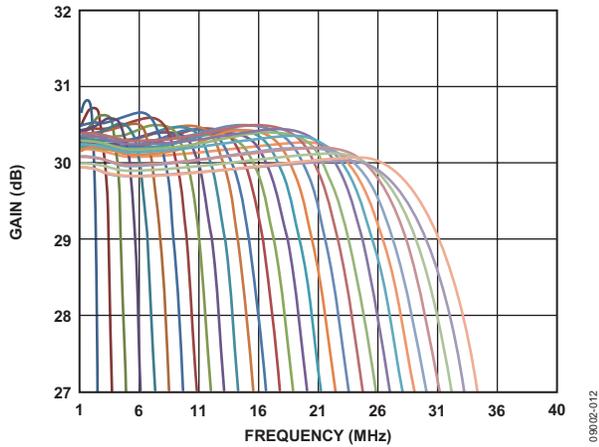


图 12. 频率响应与带宽设置的关系 (增益为 30 dB, 取对数)

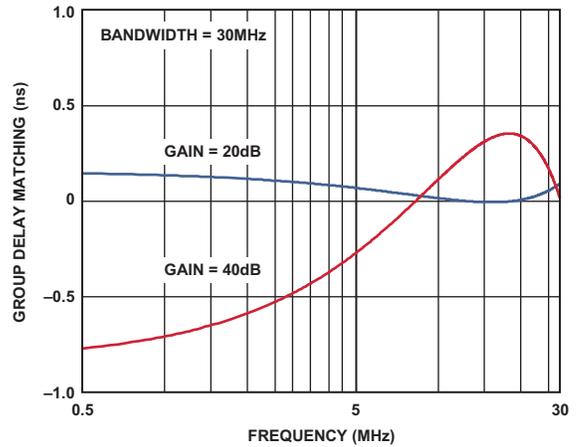


图 15. 群延迟失配与频率的关系 (带宽为 30 MHz)

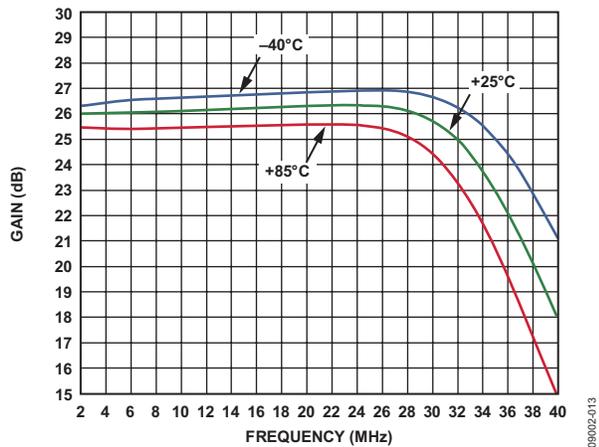


图 13. 频率响应与温度的关系 (增益为 26 dB, 带宽为 30 MHz)

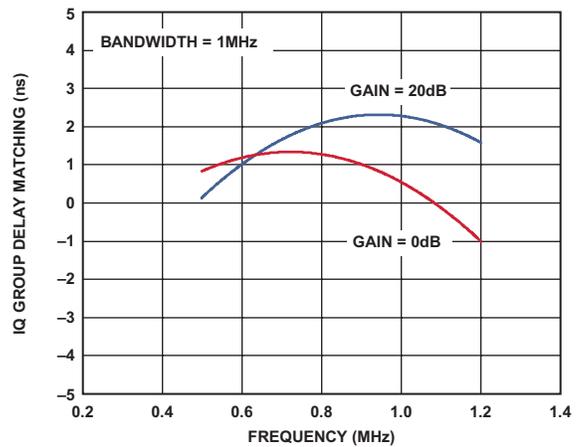


图 16. IQ 群延迟失配与频率的关系 (带宽为 1 MHz)

# ADRF6510

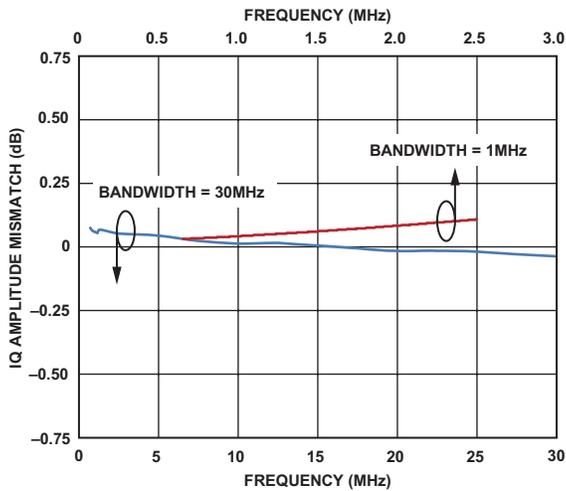


图 17. IQ 幅度失配与频率的关系

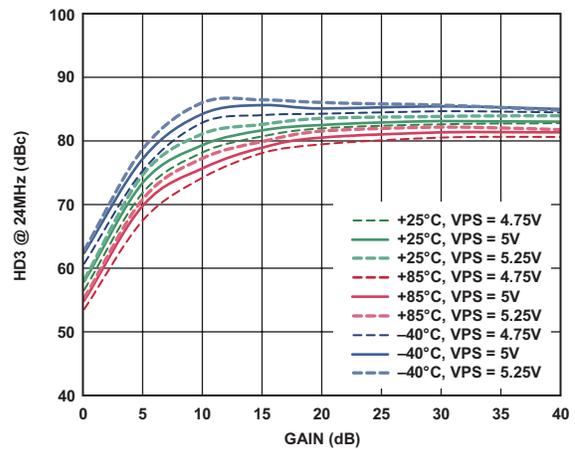


图 20. 在不同电源电压和温度条件下, HD3 与增益的关系 (带宽为 30 MHz)

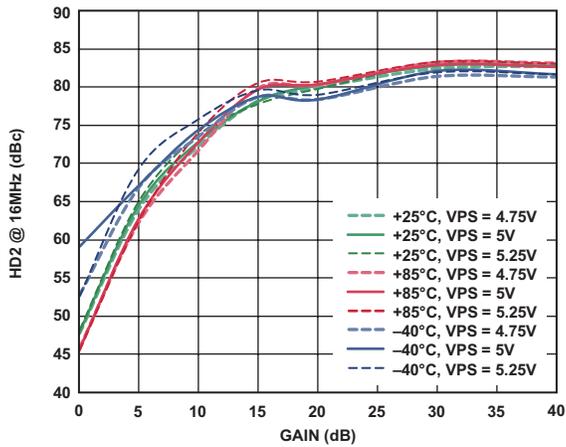


图 18. 在不同电源电压和温度条件下, HD2 与增益的关系 (带宽为 30 MHz)

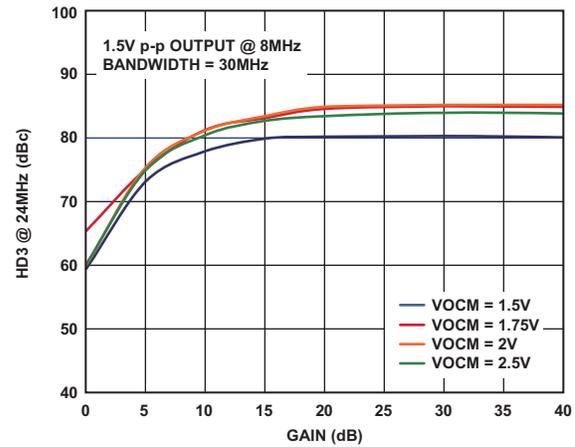


图 21. 在不同输出共模电压条件下, HD3 与增益的关系 (带宽为 30 MHz)

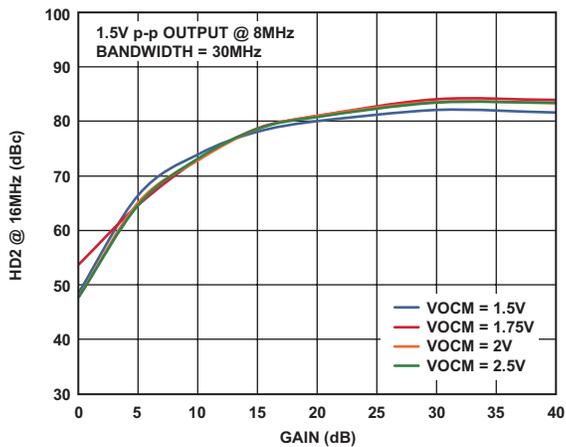


图 19. 在不同输出共模电压条件下, HD2 与增益的关系 (带宽为 30 MHz)

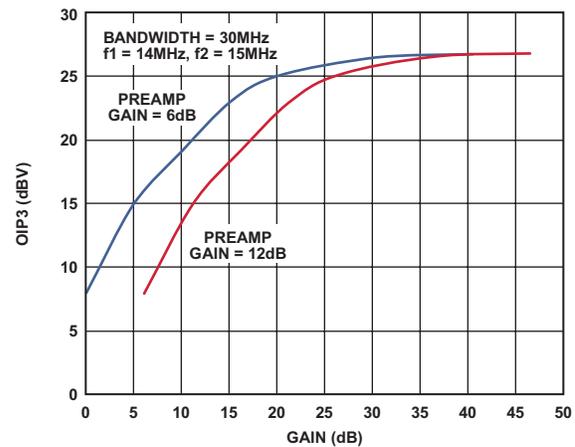


图 22. 带内 OIP3 与增益的关系 (带宽为 30 MHz)

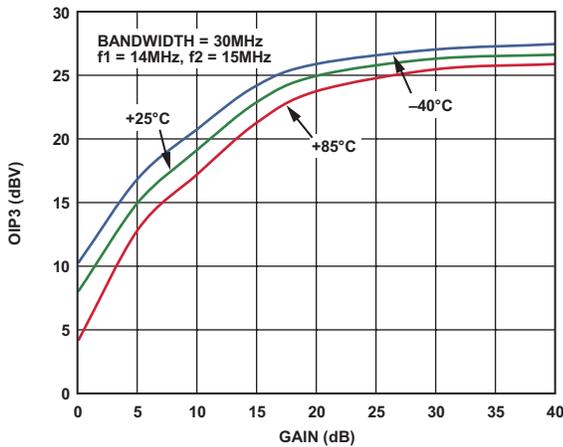


图 23. 在不同温度条件下，带内 OIP3 与增益的关系 (前置放大增益为 6 dB，带宽为 30 MHz)

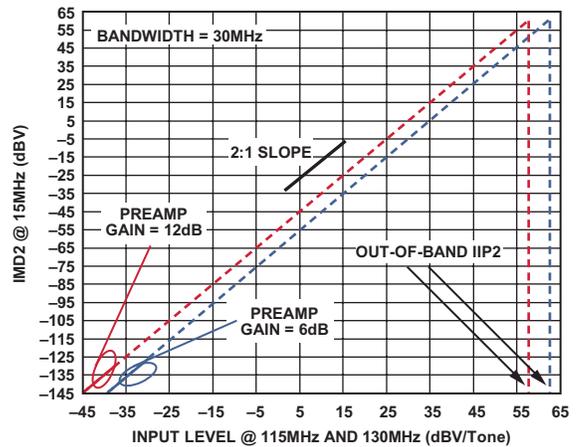


图 26. 带外 IIP2：中段 IMD2 音频 (带宽为 30 MHz)

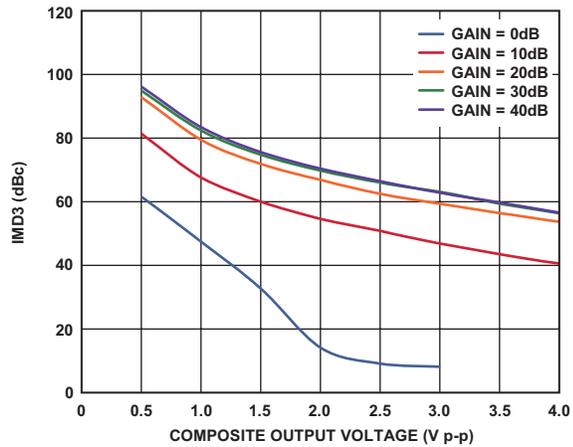


图 24. 带内第三阶互调失真 (前置放大增益为 6 dB，带宽为 30 MHz)

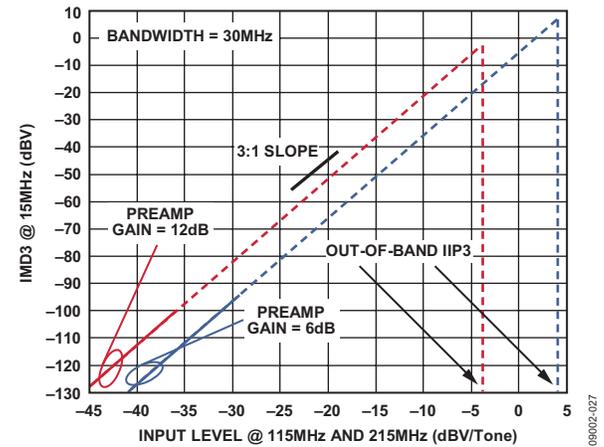


图 27. 带外 IIP3：中段 IMD3 音频 (带宽为 30 MHz)

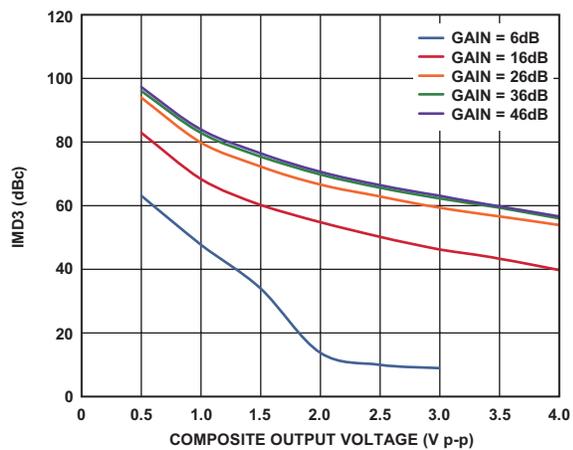


图 25. 带内第三阶互调失真 (前置放大增益为 12 dB，带宽为 30 MHz)

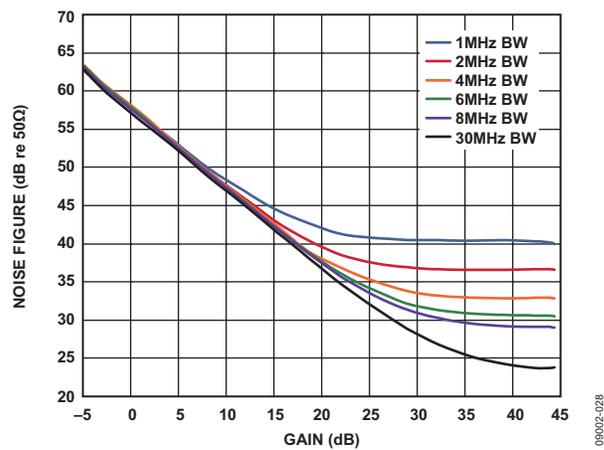


图 28. 在不同带宽设置条件下，噪声系数与增益的关系 (前置放大增益为 6 dB，1/2 带宽时的噪声系数)

# ADRF6510

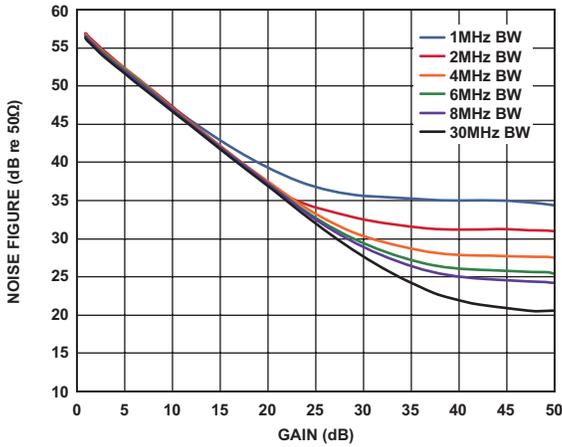


图 29. 在不同带宽设置条件下，噪声系数与增益的关系  
(前置放大增益为 12 dB, 1/2 带宽时的噪声系数)

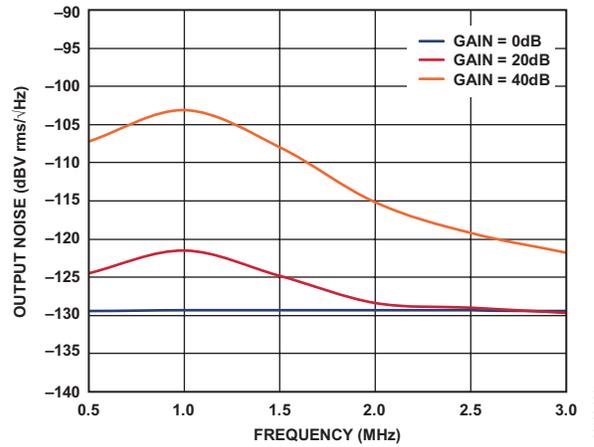


图 32. 输出噪声密度与增益的关系 (带宽设置为 1 MHz)

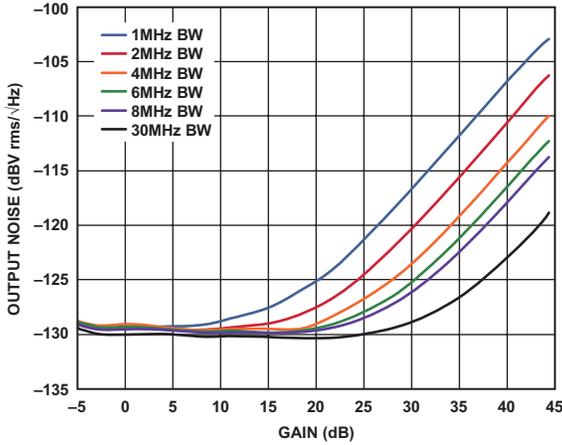


图 30. 在不同带宽设置条件下，输出噪声密度与增益的关系  
(前置放大增益为 6 dB, 1/2 带宽时的噪声)

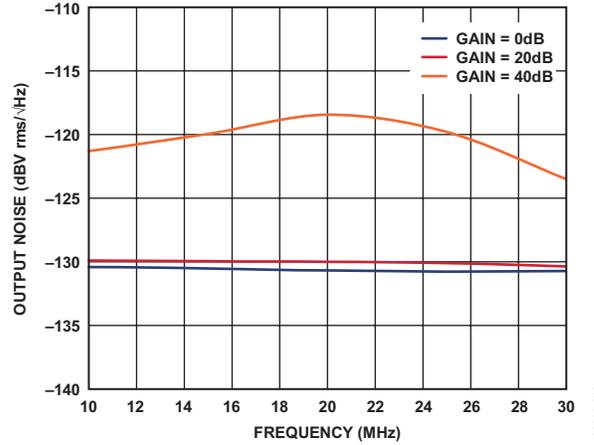


图 33. 输出噪声密度与频率的关系 (带宽设置为 20 MHz)

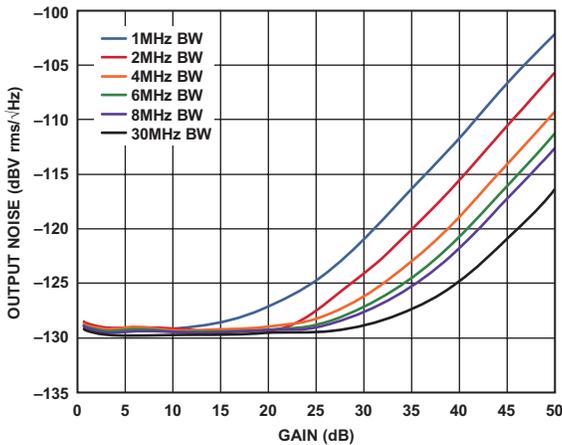


图 31. 在不同带宽设置条件下，输出噪声密度与增益的关系  
(前置放大增益为 12 dB, 1/2 带宽时的噪声)

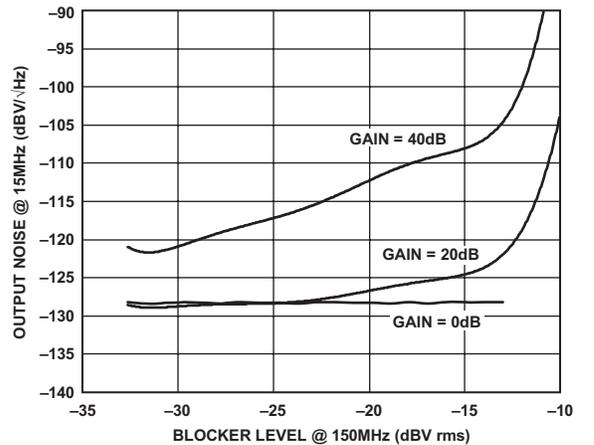


图 34. 输出噪声密度与阻塞电平的关系  
(带宽设置为 30 MHz, 发生阻塞的频率为 150 MHz)

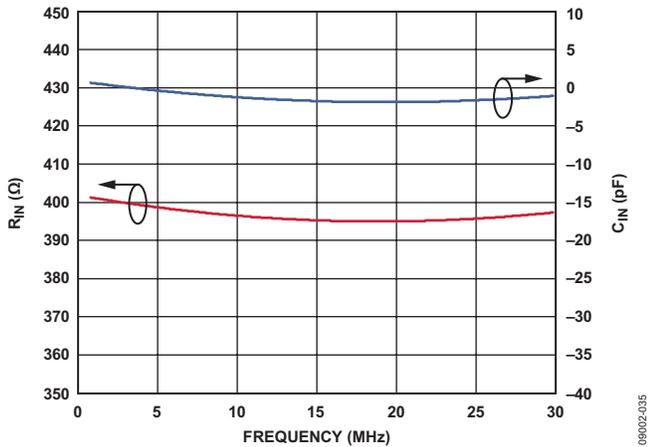


图 35. 输入阻抗与频率的关系 (带宽为 30 MHz)

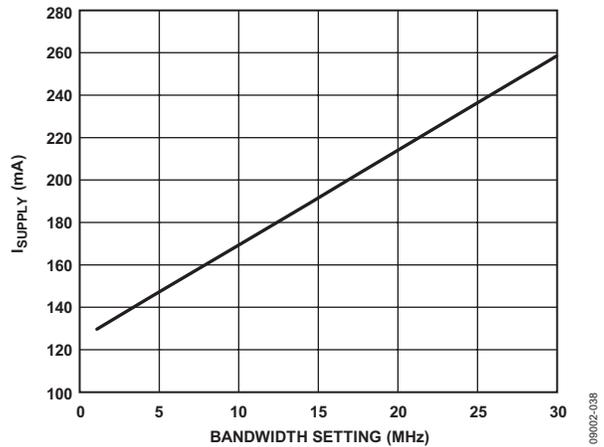


图 38. 功耗与带宽设置的关系 (增益为 20 dB)

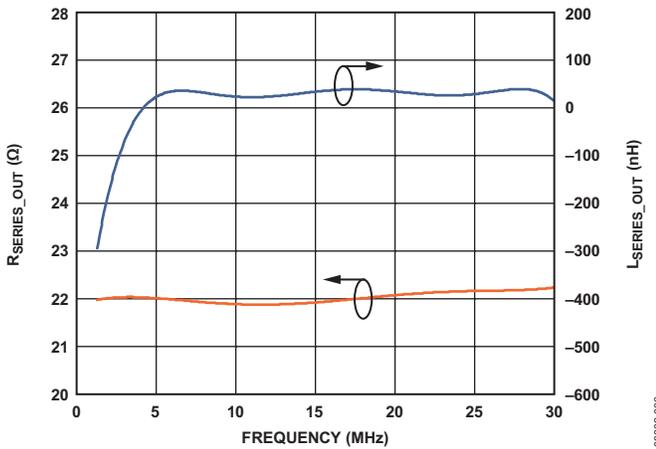


图 36. 输出阻抗与频率的关系 (带宽为 30 MHz)

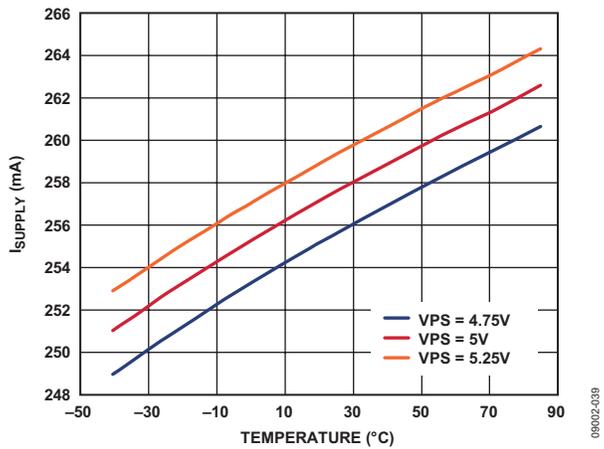


图 39. 在不同电源电压条件下, 功耗与温度的关系 (带宽为 30 MHz)

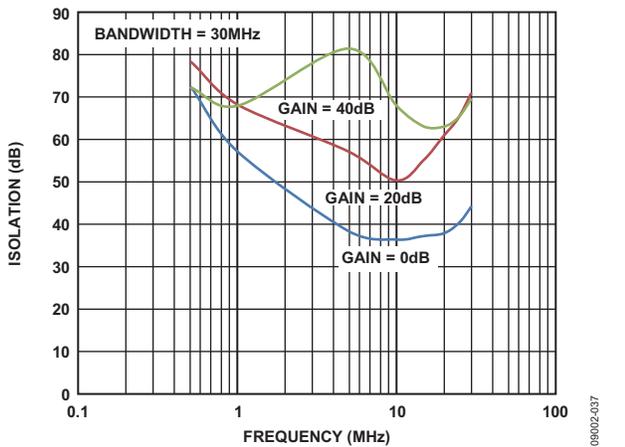


图 37. 通道隔离、输出至输出与频率的关系 (带宽为 30 MHz)

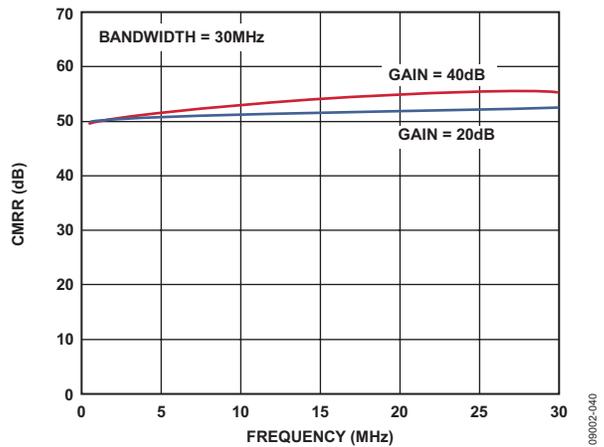


图 40. 共模抑制比与频率的关系 (带宽为 30 MHz)

## 工作原理

ADRF6510 包括一对匹配的缓冲可编程滤波器、数个可变增益放大器和数个输出 ADC 驱动器。单通道器件框图见图 41。带宽和前、后置滤波增益均具有可编程的特性，便于器件处理各种噪声和较大的干扰信号。整个差分信号链可与输入端和输出端的灵活接口进行直流耦合。两个通道的带宽和增益设置控制是共用的，确保其幅度和相位响应严格匹配。通过 ENBL 引脚可以完全禁用 ADRF6510。

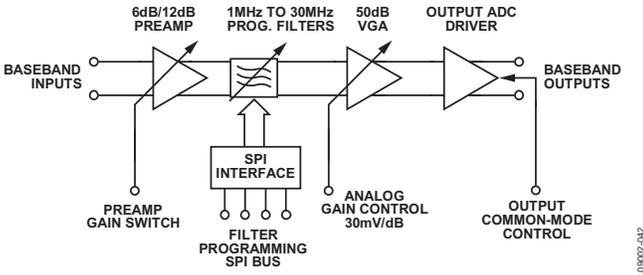


图 41. ADRF6510 单通道信号路径框图

滤波和放大在任何信号处理系统中都是基本操作。滤波器的作用是在抑制带外噪声和干扰信号的同时选择所需的信号。放大器的作用是提高有用信号的电平，以克服系统产生的噪声。同时用滤波器和放大器，能够把有用低电平信号和噪声 / 带外干扰信号区分开。这一模拟信号处理能够降低对模拟信号、混合信号和随后产生的数字器件的要求。

### 输入缓冲器

每个输入缓冲器都有一个方便连接敏感的滤波器的接口。它们能够设置 400 Ω 差分输入阻抗，支持的标称共模电压为 VPS/2。输入引脚支持直 / 交流耦合。如采用直接的直流耦合，则共模电压 (V<sub>CM</sub>) 的范围为 1.5 V 至 3 V。电流流入或流出输入引脚，以调节共模电压的差异。流入各个引脚的电流的强度如下：

$$(V_{CM} - (VPS/2))/200 \Omega$$

两个通道内的输入缓冲器的增益可通过 GNSW 引脚同时配置为 6 dB 或 12 dB。当增益为 6 dB 时，缓冲器可支持高达 1 V p-p 差分输入电平 (>50 dBc 谐波失真)。当增益为 12 dB 时，缓冲器可支持 0.5 V p-p 输入。

### 可编程滤波器

集成的可编程滤波器是 ADRF6510 的关键信号处理器件。滤波器与一个 6 极点巴特沃兹原型响应相连，能够处理带外抑制、波纹和群延迟之间的差异。0.5 dB 带宽可通过串行编程接口 (SPI) 在 1 MHz 至 30 MHz 范围内进行编程，步进为 1 MHz (参阅“滤波器编程”部分的说明)。

这种滤波器的设计保证了在任何带宽条件下，巴特沃兹原型滤波整形和群延迟响应与频率的关系不会发生变化。理想的 6 极点巴特沃兹增益和群延迟响应分别见图 42 和图 43。群延迟 ( $\tau_g$ ) 的定义如下：

$$\tau_g = -\partial\phi/\partial\omega$$

其中：

$\phi$  为相位 (单位：弧度)。

$\omega = 2\pi f$  为频率 (单位：弧度 / 秒)。

注意：对于一个频率可变滤波器原型来说，群延迟的绝对幅度与带宽成反比；但波形保持不变。例如：带宽为 28 MHz 时的峰值群延迟比带宽为 2 MHz 时的群延迟小 14 倍。

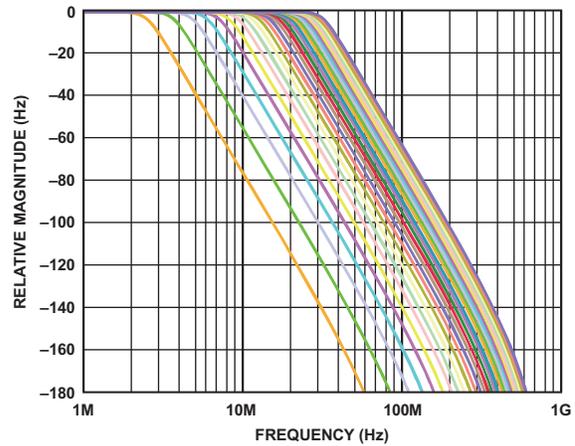


图 42. 0.5 dB 带宽的 6 阶巴特沃兹幅度响应 (可在 2 MHz 至 29 MHz 范围内进行编程，步进为 1 MHz)

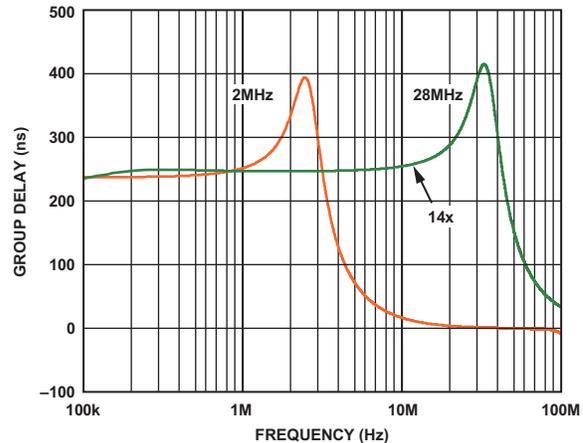


图 43. 0.5 dB 带宽的 6 阶巴特沃兹群延迟响应 (可在 2 MHz 至 28 MHz 范围内进行编程)

滤波器的转折频率由 RC 积决定（在典型工艺中，变化范围为  $\pm 30\%$ ）。因此，所有器件的转折频率已经工厂校准，在  $-40^{\circ}\text{C}$  至  $+85^{\circ}\text{C}$  工作温度范围内，转折频率的变化率为  $\pm 10\%$ 。尽管绝对精度需要校准，但通过细致的设计和布局，仍可保证 RC 积在两条通道间的匹配度优于 1%。校准和出色的匹配度能够保证两个通道的幅度和群延迟响应匹配，这一点对于数字 IQ 通信系统来说非常重要。

### 可变增益放大器 (VGA)

VGA 采用 ADI 公司的专利 X-AMP® 架构，由一个 50 dB 分接衰减器和一个固定增益放大器组成。X-AMP 架构可产生低纹波、线性 dB 单调增益响应。利用高阻抗 GAIN 引脚可以控制增益（精确斜率为 30 mV/dB）。增益响应如图 44 所示；从图中可以看出 GAIN 引脚的电压范围和在高  $V_{\text{GAIN}}$  条件下未出现增益折返。

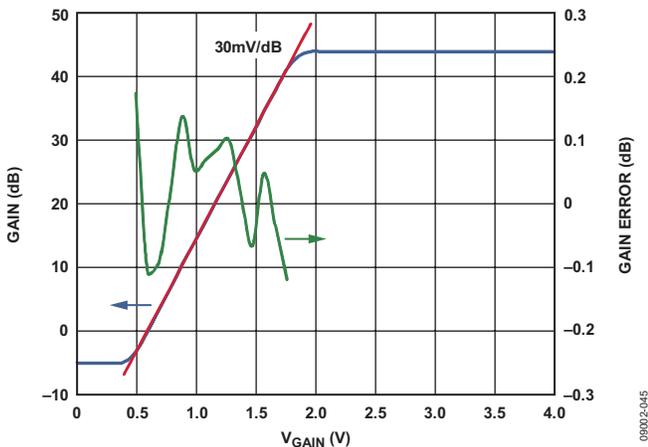


图 44. X-Amp VGA 的线性 dB 增益控制响应（斜率一致且误差小）

### 输出缓冲器 /ADC 驱动器

ADRF6510 的低阻抗 ( $20\ \Omega$ ) 输出缓冲器既可用于驱动 ADC 输入，又可用于驱动其后的放大器级。它们能够将高达 4 V p-p 复合双音信号传输至  $500\ \Omega$  差分负载 ( $>60\ \text{dBc IM3}$ )。输出共模电压的默认值为  $V_{\text{PS}}/2$ ；向 VO<sub>CM</sub> 引脚施加有效共模电压后，在驱动能力不降低的前提下，输出共模电压可调整至 1.5 V 至 3.0 V。VO<sub>CM</sub> 的输入阻抗较高，因此，该引脚可直接与 ADC 基准输出相连。即便信号路径已完全直流耦合且直流失调补偿环路可以消除无效直流失调（参见“直流失调补偿环路”部分），仍可以根据负载阻抗来选择恰当的耦合电容，从而将输出缓冲器交流耦合至下一级。

### 直流失调补偿环路

在许多信号处理应用中，直流电平不包含任何信息。事实上，直流电压信号和其它低频干扰信号在预期输出信号中占很大比例，会占据数据转换器的模拟路径和位的动态范围。这些直流电压信号可在预期输入信号内出现，或在信号路径内经固有直流失调或其它非预期的、与信号无关的处理（例如：自动混合或整流）而生成。

ADRF6510 已经完全直流耦合，因此，它可能需要通过消除这些失调来实现最大信噪比 (SNR)。在输入引脚和输出引脚处连接交流耦合电容可实现上述目的。但在某些应用中，阻抗相当低且高通转折频率低于 10 Hz，因此，所需电容值较大。为了解决直流失调的问题，ADRF6510 提供一个失调校正环路，它能够输出差分直流电平置为 0（见图 45）。当不需要校正环路时，用户可借助 OFDS 引脚将其禁用。

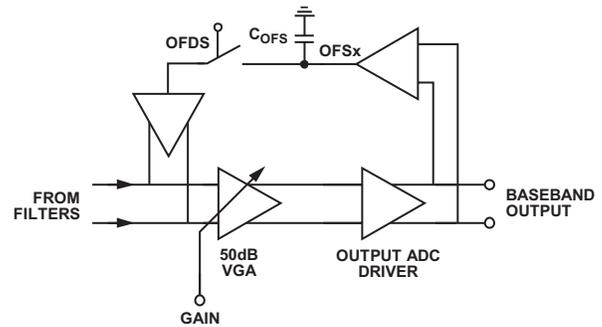


图 45. 围绕 VGA 和输出缓冲器的失调补偿环路

失调控制环路可控制高通转折频率 ( $f_{\text{HP}}$ )，它叠加在正常的巴特沃斯滤波器响应之上。通常， $f_{\text{HP}}$  与较低可编程滤波器带宽相比低许多数量级；因此，两者之间互不干扰。在引脚 OFS1、OFS2 与地之间各连接一个电容  $C_{\text{OFS}}$ ，即可设置  $f_{\text{HP}}$ 。由于校正环路围绕 VGA 工作，因此， $f_{\text{HP}}$  还取决于 VGA 的增益。 $f_{\text{HP}}$  的计算公式如下：

$$f_{\text{HP}} (\text{Hz}) = 1.2 \times (\text{增益} / C_{\text{OFS}})$$

其中：

增益以线性的方式表示，其单位不是分贝 (dB)。

$C_{\text{OFS}}$  的单位为微法拉 ( $\mu\text{F}$ )。

注意： $f_{\text{HP}}$  与增益呈正比例变化。正因为如此，应选择最高增益条件下的  $C_{\text{OFS}}$ ，以确保  $f_{\text{HP}}$  始终低于系统所需最大值。

## 滤波器编程

利用 SPI 端口，可同时对两个滤波器的 0.5 dB 转折频率进行编程。5 位寄存器用于存储转折频率（1 MHz 至 30 MHz）的代码（见表 4）。SPI 协议不仅允许将频率码写入 DATA 引脚，还允许从 SDO 引脚回读所存储的频率码。

在读 / 写周期开始前，锁存使能 (LE) 引脚必须置位逻辑 0 状态。在时钟 (CLK) 信号的下一个上升沿，当 DATA 引脚为逻辑 1 时，启动一个写周期；当引脚为逻辑 0 时，启动一个读周期。在一个写周期内，在接下来的五个 CLK 上升沿锁存频率码 (LSB 优先)。当 LE 变为高电平时，写周期结束，滤波器获得频率码。在一个读周期内，在接下来的五个 CLK 下降沿输出存储的频率码 (LSB 优先)。当 LE 变为高电平时，读周期结束。详细的时序图见图 2 和图 3。

表 4. 频率码与转折频率查找表

5 位二进制频率码 <sup>1</sup>	转折频率 (MHz)
00000	1
00001	2
00010	3
00011	4
00100	5
00101	6
00110	7
00111	8
01000	9
01001	10
01010	11
01011	12
01100	13
01101	14
01110	15
01111	16
10000	17
10001	18
10010	19
10011	20
10100	21
10101	22
10110	23
10111	24
11000	25
11001	26
11010	27
11011	28
11100	29
11101	30
11110	30
11111	30

<sup>1</sup> = MSB 优先。

## 噪声特性

ADRF6510 的输出噪声行为取决于增益和带宽设置。滤波器和 VGA 都能够改变输出端的总噪声。滤波器对噪声谱密度曲线会产生影响，频率越低，曲线越平坦；越接近转折频率，曲线越陡；当滤波器极滚降增益时，噪声出现滚降。噪声谱密度（单位： $\text{nV}/\sqrt{\text{Hz}}$ ）的幅度与带宽设置的平方根呈反比例变化，因此，总积分噪声（单位： $\text{nV}$ ）几乎不受带宽设置的影响。

ADRF6510 内的 X-AMP VGA 为输出端提供  $-130 \text{ dBV}/\sqrt{\text{Hz}}$  固定噪声谱密度（相当于  $316 \text{ nV}/\sqrt{\text{Hz}}$ ，它不受增益设置影响）。尽管输出端的 VGA 噪声是恒定的，但 VGA 的增益可以成比例的控制滤波器噪声。

总体输出噪声谱密度与不同带宽条件下的频率的关系见图 46 和图 47。当 VGA 的增益较低时，输出端噪声的谱密度是平坦的，原因在于 VGA 衰减抑制了滤波器噪声。随着增益的加大，输出端会出现更多滤波器噪声。在较低带宽设置中，滤波器噪声不断增加，可淹没本底噪声。在任意一种情况下，噪声密度逐渐接近  $-130 \text{ dBV}/\sqrt{\text{Hz}}$  限值（限值由 VGA 在最高频率下设定）。当 VGA 增益值和带宽设置发生变化时，噪声谱密度也随之改变。

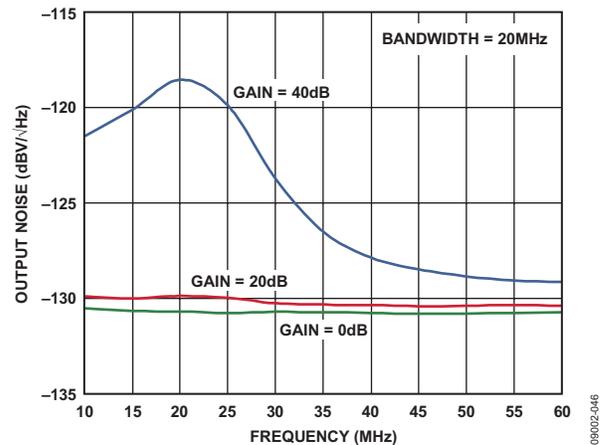


图 46. 在三种不同的增益设置条件下的总体输出噪声（转折频率为 20 MHz）

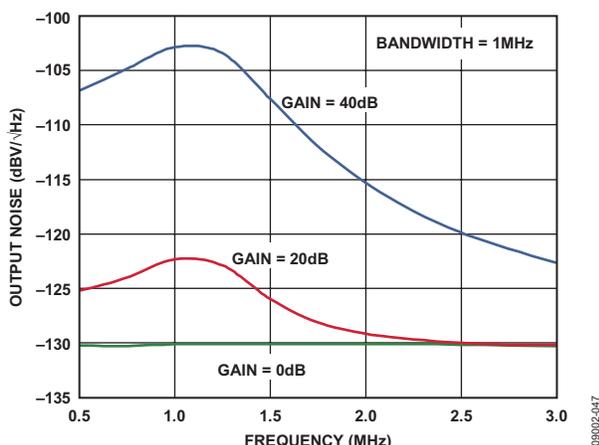


图 47. 在三种不同的增益设置条件下的总体输出噪声  
(转折频率为 1 MHz)

注意：在滤波器带宽范围外的噪声谱密度受固定 VGA 输出噪声的限制。在模数转换之前，可能需要使用一个外部固定频率无源滤波器，以防止因信噪比降低导致噪声混叠。采样速率相对于 ADRF6510 的最大转折频率越高，外部滤波器的阶数越低。

## 失真特性

ADRF6510 的失真性能与其噪声性能相似。滤波器和 VGA 都能够影响整体失真和信号处理能力。此外，前端还必须处理可能比带内信号更大的带外信号。这些带外信号在到达 VGA 前须经滤波处理。用户有必要了解 ADRF6510 中出现的信号；另外，这些信号必须与器件的输入和输出特性匹配。

由于输出未达到其最大容量，当增益较低时，失真通常由输入部分限制。而由于输入未达到其最大容量，因此，当增益较高时，失真通常由输出部分限制。一种例外的情况是，输入由一个较小的所需信号和一个较大的带外输出信号驱动。这种情况下，带外信号可导致输入信号失真。只要输入不过载，就可以利用滤波器来消除带外信号。仍需要一个较高的 VGA 增益将输出端较小所需信号提升至较高电平。由器件导致的信号整体失真的程度取决于输入驱动电平，包括带外信号和所需输出信号电平。

如“输入缓冲器”部分所述，在谐波失真高于 50 dBc 时，输入模块既能够处理 6 dB 前置放大器的 1 V p-p 总体信号电平，也能够处理 12 dB 前置放大器的 500 mV p-p 总体信号电平。这既包含带内信号也包含带外信号。

以下两种 IP3 规格能够区分和量化输入部分的失真性能。第一种称之为带内 IP3，它指的是信号位于滤波器带宽范围内的一个双音测试。这恰恰是通信工程师熟悉的用于测量第三阶互调电平 (IM3) 的品质因数。

引入新的带外 (OOB) IIP3 品质因数的目的是量化带外信号的影响。这一测试还包括双音驱动，但两个音频信号位于带外，以致于较低的 IM3 输出信号位于滤波器通带的中部。在输出端仅能看到 IM3 输出信号；原因在于两个原始的音频信号已被滤除。为计算输入端的 OOB IP3，将 IM3 电平作为输入电平，支持整个增益范围。用户利用 OOB IIP3 能够预测任意信号电平的带外阻塞或干扰信号对带内性能的影响。在特定阻塞电平条件下，所需输入信号电平与输入基准 IM3 的比值表示带外信号引起的信号失真限制。

## 动态范围最大化

ADRF6510 的极点用于提高可变带内信号的电平和减少带外信号。在理想的情况下，上述操作既不会降低输入信号的 SNR，也不会导致输入信号失真。

首要目标是输出信号摆幅最大化，输出信号摆幅可由 ADC 的输入范围或下一模拟级的输入信号容量定义。对于通信系统中经常出现的复杂波形，当选择峰峰输出时，必须考虑到峰均比（波峰因数）。根据所选输出信号和 ADRF6510 的最大增益，可得出最低输入电平。较低信号电平既不会导致最大输出，也不会导致信噪比大幅下降。

随着输入信号电平的不断提高，VGA 增益将从其最大增益点降至维持固定期望输出的水平。输出噪声经滤波器滤波，再经过增益衰减，可逐步获得更好的信噪比。如果某些点的 VGA 增益降至足以让持续的 VGA 噪声占输出信号的主要部分的程度，那么，信噪比从这点起不再改变。单从信噪比的角度来讲，当 VGA 达到最低增益值时，器件的输入电平最高。

动态范围最大化时还必须考虑失真问题。当信号的电平处于中、低等级时，输出失真是恒定的且假定其适合于所选输出电平。某些点上，输入信号可能变得足够大，会导致系统性能由输入信号的失真程度决定。最大容许输入信号取决于输入失真是否大得令人无法接受或者已达到最低增益值。

在动态范围内最具挑战性的情况是，带外阻塞较大而带内所需信号较弱。这种情况下，最大输入电平取决于阻塞程度及其导致失真的可能性。弱的所需信号在经过滤波后，必须放大至所需输出水平；这时，可能需要最大增益。与输入阻塞相关的失真限制和因信号较弱而增益较高导致的信噪比限制同时存在。此外，阻塞不仅导致动态范围缩小，还能够缩小可处理输入信号的范围（原因在于大部分增益仅用于从较强的阻塞信号中提取弱的所需信号）。

## 正交接收机的关键参数

大多数数字通信接收机都采用正交信号。正交信号的信息位被编码成基带信号，而后调制成同相 (I) 和正交 (Q) 正弦载波。基带信号和已调制信号在波峰和波谷时刻的波形非

常复杂。通常来说，接收机的设计目的在于从正交解调信号中，将成对的正交基带信号与噪声和干扰信号加以区分。在滤除带外噪声和无用的干扰信号并恢复所需 I、Q 基带信号的电平的过程中，必须保证在整个带宽范围内保持其增益和相位的完整性。

ADRF6510 可传递平坦的带内增益和群延迟，这时，它相当于一个 6 极点巴特沃兹原型滤波器（见“可编程滤波器”部分的说明）。此外，精心的设计保证了 I、Q 通道之间参数的出色匹配。尽管绝对增益平坦度和群延迟可通过数字均衡得到校正，但不匹配可导致正交误差和码间干扰，这会降低数字通信系统的误码率性能。

## 应用信息

### 基本连接

图 48 显示了 ADRF6510 的基本连接。4.75 V 至 5.25 V 电压可施加于电源引脚。每个电源引脚应与至少一个 0.1  $\mu\text{F}$  的低电感、表面贴装陶瓷电容相连，以便去耦。电容应尽可能靠近器件。

输入缓冲器提供了一个用于连接敏感的滤波器的接口。它们能够设置 400  $\Omega$  差分输入阻抗，支持的标称共模电压为  $V_{\text{PS}}/2$ 。输入引脚支持直 / 交流耦合。如采用直接直流耦合，共模电压 ( $V_{\text{CM}}$ ) 的范围为 1.5 V 至 3 V。

ADRF6510 的输出缓冲器具有较低阻抗 (约为 20  $\Omega$ )，因此，它既可用于驱动 ADC 输入，又可用于驱动其后的放大器级。输出共模电压的默认值为  $V_{\text{PS}}/2$ ；向  $V_{\text{OCM}}$  引脚施加有效共模电压后，在驱动能力不降低的前提下，输出共模电压可调整至 1.5 V 至 3.0 V。 $V_{\text{OCM}}$  的输入阻抗较高，因此，该引脚可直接与 ADC 基准输出相连。

将 ENBL 引脚拉高可以使能 ADRF6510。反之，将 ENBL 引脚拉低则可禁用器件；这时，在环境温度下，功耗降低至约 2 mA。

### 误差矢量幅度 (EVM) 性能

误差矢量幅度 (EVM) 是数字无线发射机或接收机的性能量化指标。接收机接收到的信号允许所有星座点位于各自的理想位置。但实现过程中的各种缺陷 (例如：幅度不平衡、本底噪声和相位不平衡等) 可导致实际星座点偏离其理想位置。

通常，一个接收机可体现三种不同的 EVM 限制与接收到的输入信号功率的关系。

- 信号较强时，因器件元件的非线性特性，失真信号将落入带内；因此，当信号电平上升时，EVM 会急剧下降。
- 在中等信号强度的条件下，信号链具有线性特性且所需信号明显多于噪声；这时，EVM 易于达到由正交精度和测试设备精度决定的最佳水平。当信号的电平降至一定程度，信号中噪声占较大比例时，随着信号电平的降低，EVM 性能也随之下降。
- 当信号的电平较低时，噪声将成为主要影响因素；这时，EVM 直接与 SNR 成正比。

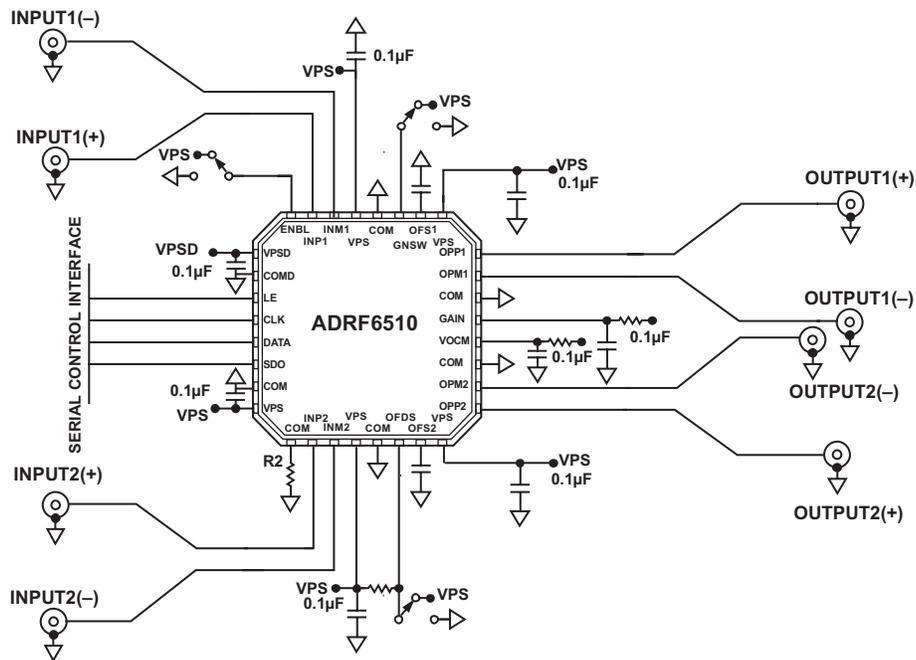


图 48. 基本连接

# ADRF6510

在 ADRF6510 之前连接一个 ADL5387 IQ 解调器，可以获得 RF 至基带的整体 EVM 性能。此处，RF 信号的频率为 840 MHz，调制设置为 64 QAM，码元速率为 7 MHz。本振 (LO) 的频率设置为 1680 MHz，以便在二分频之后获得正交内核的 840 MHz 信号。对 ADRF6510 的模拟增益进行调整后，能够以 1.5 V p-p 电压驱动 1 kΩ 负载阻抗。EVM 与输入功率和相应的模拟增益电压的关系见图 49。

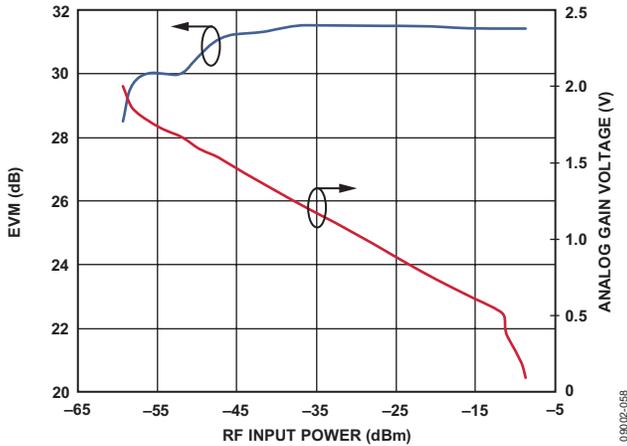


图 49. EVM 与 RF 输入功率的关系

## 低 IF 镜像抑制

镜像抑制比指的是在期望输入频率条件下产生的中频 (IF) 信号电平与在镜像频率条件下产生的中频 (IF) 信号的比值。镜像抑制比的单位为分贝 (dB)。镜像电压可远远高于期望信号的电压，会影响下变频过程；因此，恰当的镜像抑制非常重要。

镜像问题见图 51。如上半部分边带为所需的频带，Q 通道的 90° 变换将消除下半部分边带内的镜像。同样，如下半部分边带为所需的频带，I 通道的 90° 变换将消除上半部分边带内的镜像。当镜像抑制比较高时，务必保持 I 通道和 Q 通道之间的相位、增益平衡。

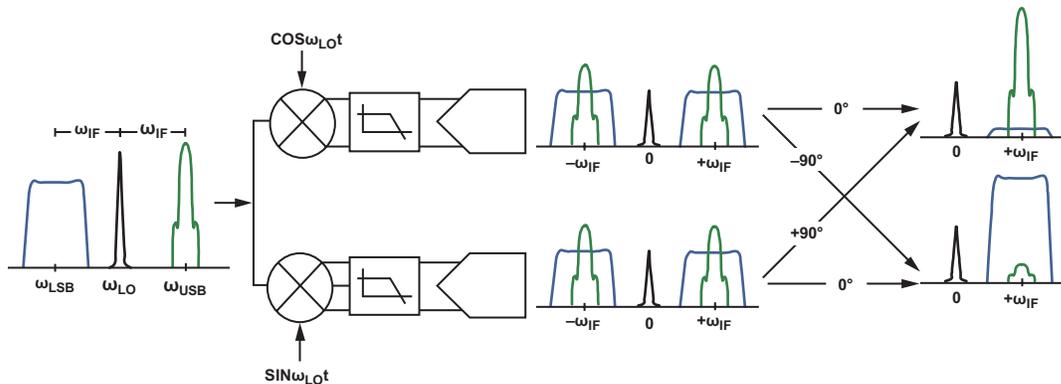


图 51. 镜像问题的图解

ADL5387 和 ADRF6510 在不同基带频率下的镜像抑制见图 50。此处的调制设置为 64 QAM，码元速率为 7 MHz。注意：

- 对于 5 MHz 中心频率的右侧而言，可通过编程将滤波器的频率设置为 5 MHz（高于中心基带频率）。这样能够确保信号边沿处于滤波器通带内。这些情况下，滤波器带宽大于信号带宽，ADL5387 的镜像抑制可能成为器件的限制因素，ADRF6510 的影响最小。
- 而对于 5 MHz 的左侧而言——特别是当中心频率为 3.5 MHz 时——滤波器的转折频率低于基带信号边沿，会降低镜像抑制。当中心基带频率为 3.5 MHz、滤波器频率为 7 MHz（而非更安全的 8 MHz）时，滤波器转折与已调制信号的边沿产生冲突。群延迟的通道失配和绝对群延迟的变化（从正常平坦响应）都可能降低镜像抑制的性能。

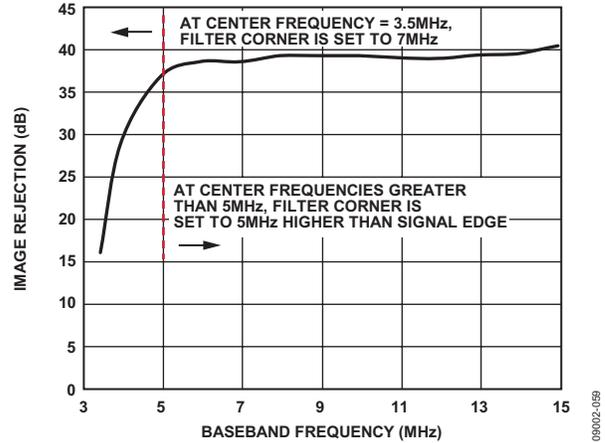


图 50. ADL5387 和 ADRF6510 的镜像抑制

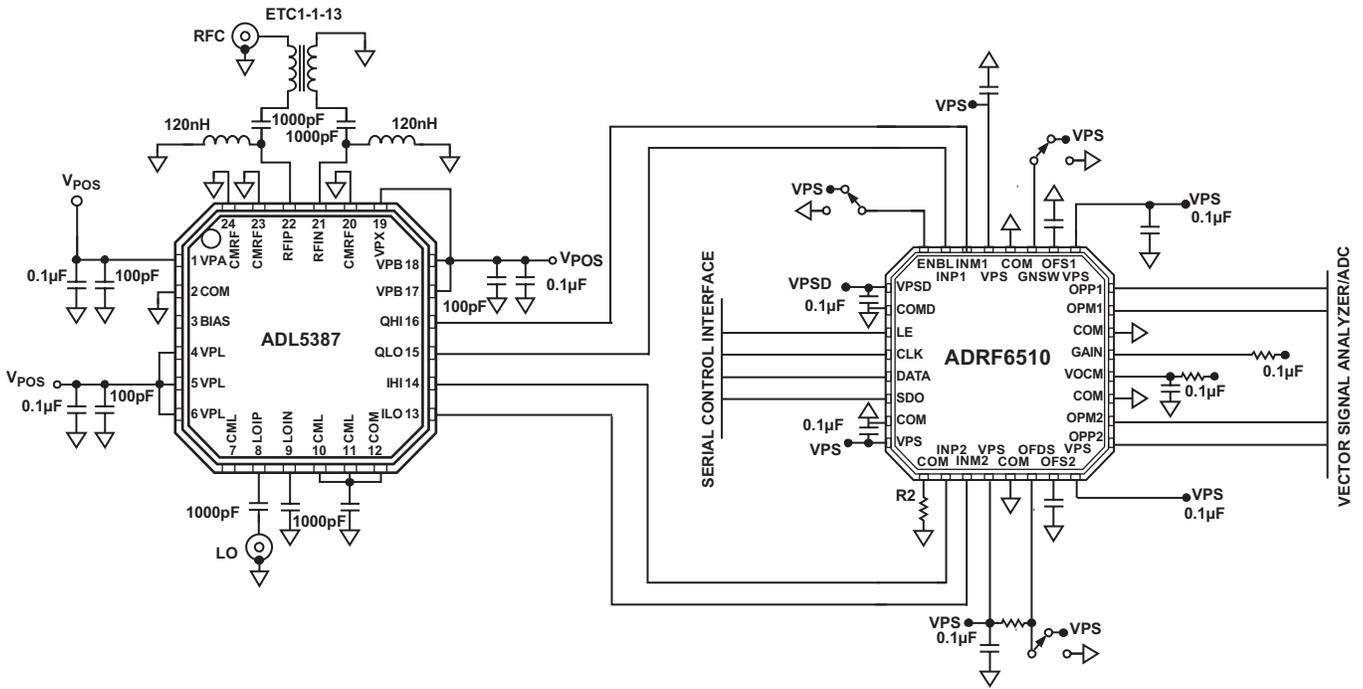


图 52. ADL5387 与 ADRF6510 接口示例框图

示例基带接口

超出滤波器带宽范围的 ADRF6510 噪声谱密度受固定 VGA 输出噪声的限制。在模数转换之前，可能需要使用一个外部固定频率无源滤波器，以防止因信噪比降低导致噪声混叠。如图 46、图 47 所示，高频噪声密度趋于平坦，奈奎斯特频带中的高 IF 噪声混叠的影响极低。在 ADRF6510 和采样速率为 210 MS/SPS 的 12 位 ADC AD9639 之间放置一个抗混叠滤波器，可将滤波性能提高 1.5 dB 以上。

在设计抗混叠滤波器时，需要考虑 ADRF6510 和 ADC 输入的整体源、负载阻抗。ADRF6510 的差分基带输出阻抗为 20 Ω，用于驱动高阻抗 ADC 输入。比较理想的情况是，利用一个端接电阻（例如：500 Ω 电阻）将 ADC 输入的阻抗降至较低水平。端接电阻有利于更好定义 ADC 输入端的输入阻抗，代价是增益会略微降低。

滤波器网络的阶数和类型由所需高频抑制、通带纹波和群延迟决定。滤波器设计表列出了各种滤波器类型及阶数，说明了 1 Hz 截止频率和 1 Ω 负载条件下的归一化电感和电容值。根据实际所需截止频率和负载阻抗对归一化的原型元件值进行调整后，串行电抗元件的数量减半，以实现最终的平衡滤波器网络元件值。

图 53 显示的是一个二阶巴特沃兹低通滤波器，在本例中，差分负载阻抗为 500 Ω，源阻抗为 50 Ω。当负载 - 源阻抗比为 10:1 时，归一化串联电感值为 0.074 H，归一化旁路电容的电容值为 14.814 F。在截止频率为 10.9 MHz 的条件下，单端等效电路由一个 0.54 µH 串联电感和一个 433 pF 旁路电容组成。

当 0.54 µH 电感一分为二时，平衡配置得以实现，从而能实现如图 53 所示的网络。

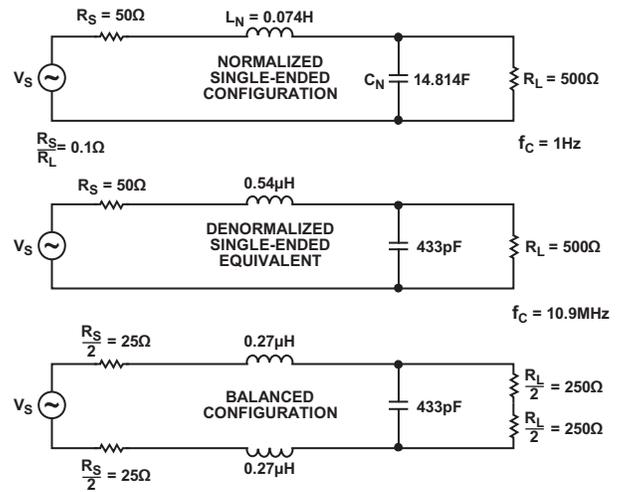


图 53. 二阶巴特沃兹低通滤波器设计示例

# ADRF6510

完整的设计示例见图 54。一个转折频率为 31 MHz 的三阶切比雪夫差分滤波器可将 ADRF6510 的输出信号传输至 ADC 输入端。20  $\Omega$  源阻抗反映了输出缓冲级阻抗。500  $\Omega$  负载电阻用于定义 ADC 的输入阻抗。滤波器的带内平坦度为 0.1 dB，可提供足够的带外抑制；因此，该滤波器可以用作抗混叠滤波器。

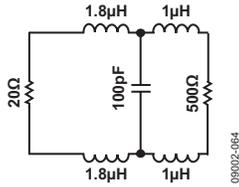


图 54. 三阶切比雪夫差分滤波器示例

三阶切比雪夫差分滤波器的频率响应和群延迟测量值见图 55 和图 56。

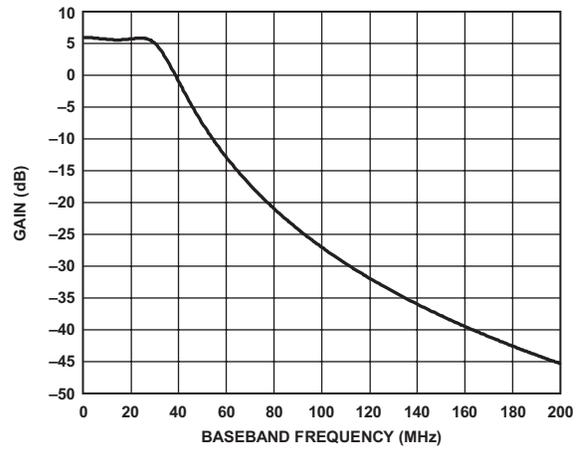


图 55. 三阶基带滤波器响应

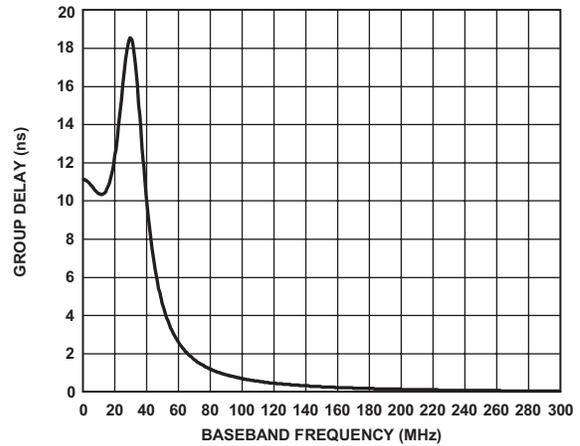


图 56. 三阶基带滤波器群延迟响应

## 评估板

用户可以利用相应的软件来编程设置 ADRF6510 评估板中的滤波器带宽。评估板由 4 层组成，带有分离的接地层（分别用于连接模拟和数字部分）。注意：应将电源去耦电容放置于靠近器件引脚的位置。评估板可为各个通道提供简单的单端（通过 Mini-Circuits ADT8-1T+ 8:1 巴伦）或差分配置。

### 评估板控制软件

ADRF6510 评估板配置了一个 USB 接口，以编程设置 ADRF6510 的滤波器带宽。软件 GUI（见图 57）允许用户选择特定的频率向器件内写入数据和从 SDO 引脚（用于显示当前编程的滤波器设置）回读数据。用户可以从网站 [www.analog.com/zh](http://www.analog.com/zh) 中的 ADRF6510 产品页面下载该软件的安装文件。

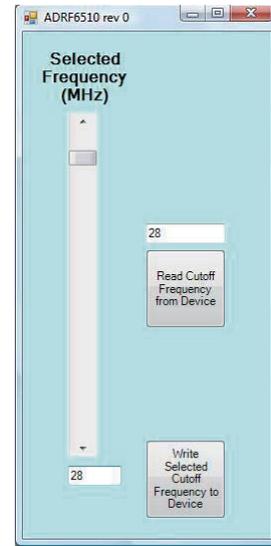


图 57. 评估板控制软件

### 原理图和 PCB 布局图

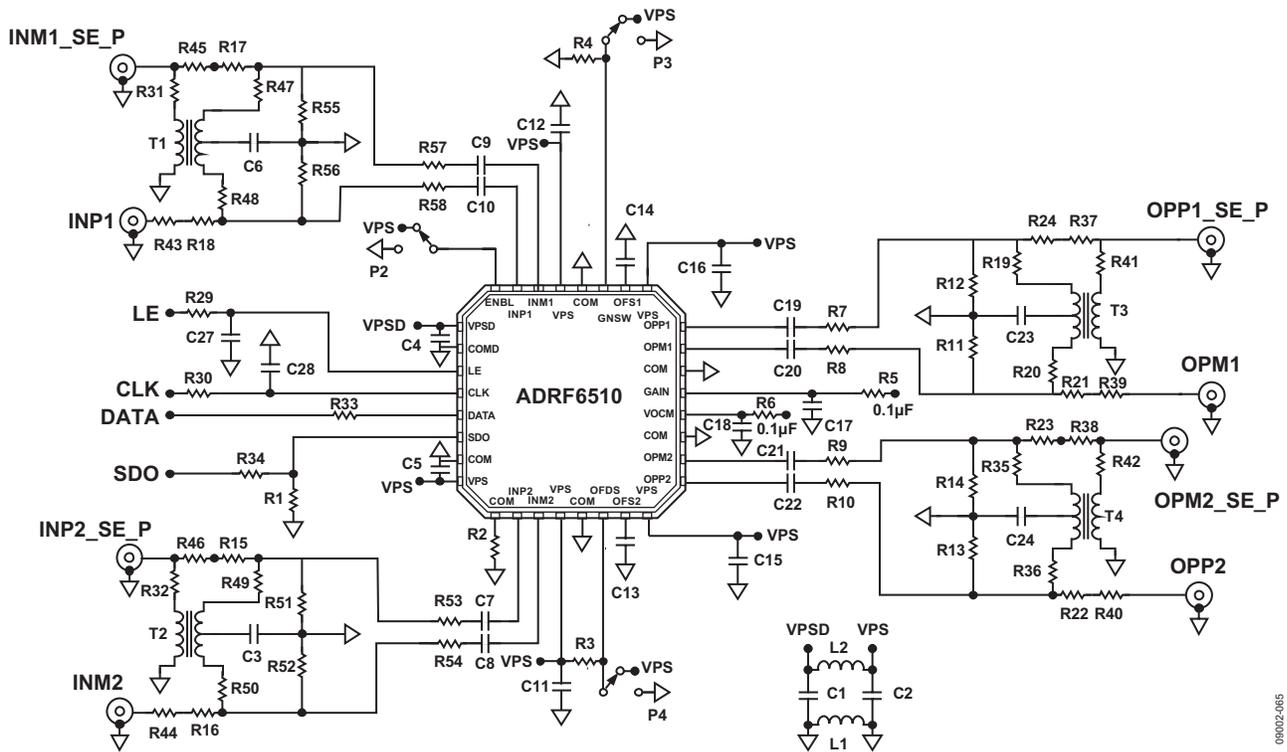


图 58. 评估板原理图

# ADRF6510

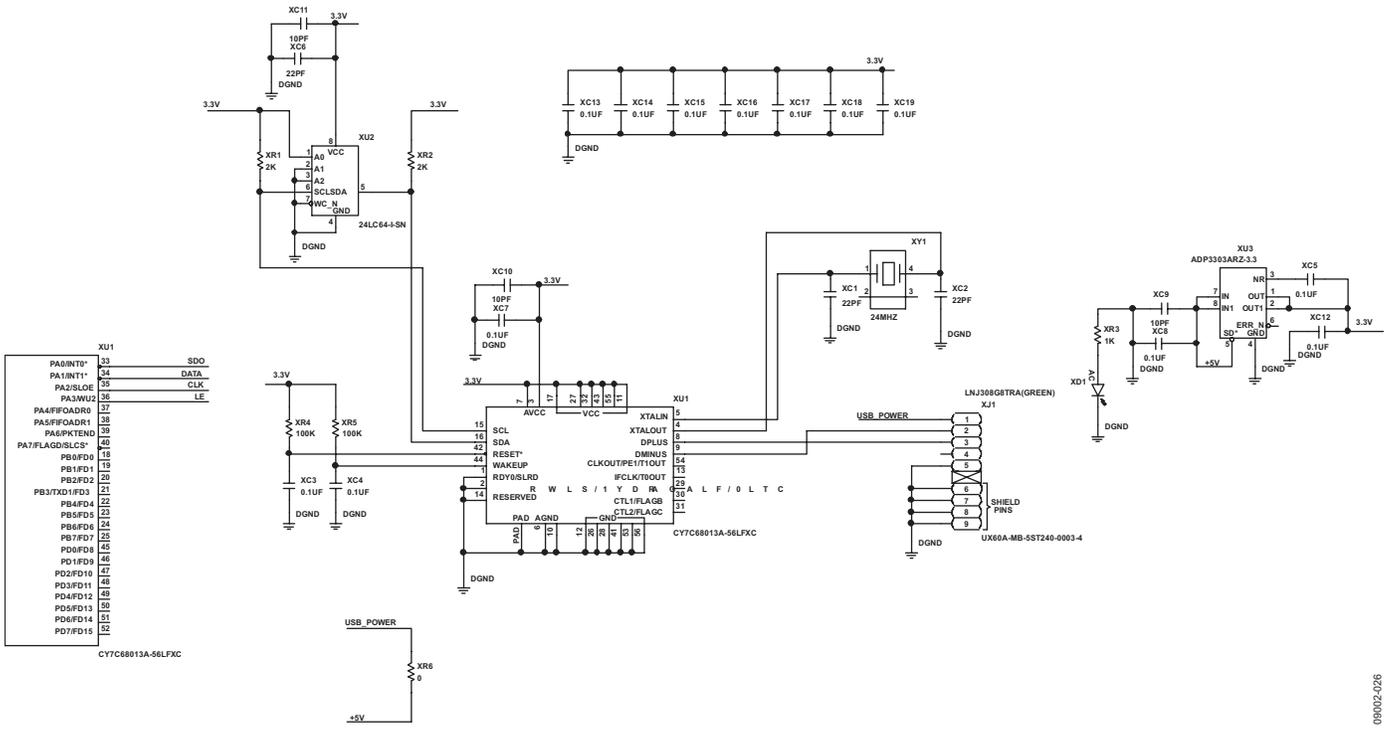


图 59. 评估板 USB 部分的原理图

09002-026

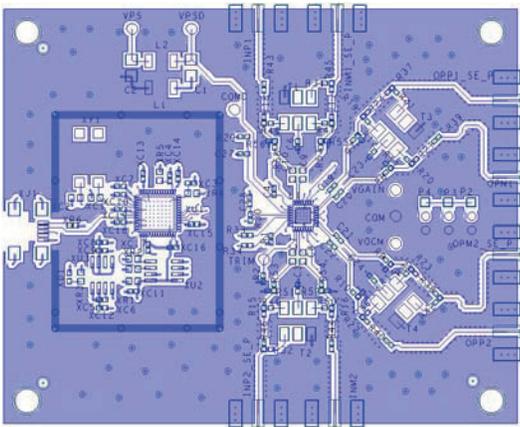


图 60. 顶层丝印

09002-026

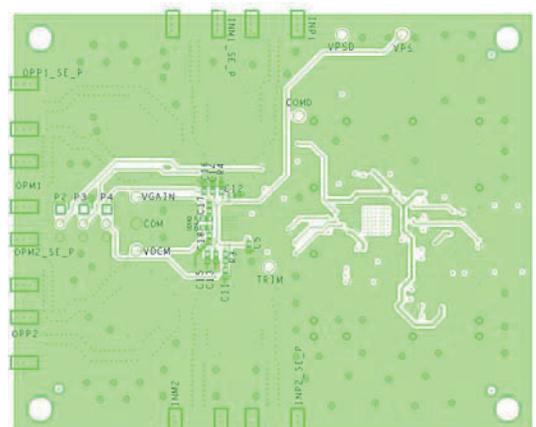


图 61. 器件侧布局图

09002-026

## 评估板配置选项

ADRF6510 评估板的主要元件如表 5 所列。

表 5

元件	功能	默认条件
C1, C2, C4, C5, C11, C12, C15, C16, L1, L2, R2	电源和接地去耦。标称电源去耦：通过一个 0.1 $\mu\text{F}$ 电容去耦至地。	C1、C2 = 10 $\mu\text{F}$ (尺寸：0603) C4、C5、C11、C12、C15、C16 = 0.1 $\mu\text{F}$ (尺寸：0603) L1、L2 = 33 $\mu\text{H}$ (尺寸：0805) R2 = 1 k $\Omega$ (尺寸：0402)
T1、T2、C3、C6、C7 至 C10、R15 至 R18、R31、R32、R43 至 R58	输入接口。输入 SMA (INM1_SE_P 和 INP2_SE_P) 用于以单端方式驱动巴伦。评估板默认采用单端驱动。 T1 和 T2 是阻抗比率为 8:1 的巴伦，可将 50 $\Omega$ 单端输入转换为 400 $\Omega$ 平衡差分信号。R31、R32 和 R47、R50 用于连接至恰当的巴伦接口。R51 至 R58 用于匹配元件的普通布局。C3 和 C6 为巴伦去耦电容。 R15 至 R18 和 R43 至 R46 的阻值可为 0 $\Omega$ ，通过将差分接口的 T1 和 T2 旁路，可消除巴伦接口电阻。C7 至 C10 可用于对差分接口进行交流耦合。	T1, T2 = ADT8-1T+ (Mini-Circuits) C3、C6 = 0.1 $\mu\text{F}$ (尺寸：0402) C7 至 C10 = 100 nF (尺寸：0402) R15 至 R18、R43 至 R46、R51、R52、R55、R56 = 开路 (尺寸：0402) R31、R32、R47 至 R50、R53、R54、R57、R58 = 0 $\Omega$ (尺寸：0402)
T3、T4、C19 至 C24、R7 至 R14、R19 至 R24、R35 至 R42	输出接口。输出 SMA (OPP1_SE_P 和 OPM2_SE_P) 用于以单端方式驱动巴伦。评估板默认采用单端驱动。 T3 和 T4 是阻抗比率为 8:1 的巴伦，可将 50 $\Omega$ 单端输出转换为 400 $\Omega$ 平衡差分负载。R19、R20、R35、R36、R41 和 R42 用于连接至恰当的巴伦接口。R7 至 R14 用于匹配元件的普通布局。R7 至 R10 的阻值设置为 300 $\Omega$ ，以便在 DUT 输出端产生 1 k $\Omega$ 负载 (使用巴伦)。 使用差分输出时，C19 至 C22 用于交流耦合。C23 和 C24 为巴伦去耦电容。R21 至 R24 和 R37 至 R40 的阻值可为 0 $\Omega$ ，通过将差分接口的 T3 和 T4 旁路，可消除巴伦接口电阻。	T3, T4 = ADT8-1T+ (Mini-Circuits) C19 至 C22 = 100 nF (尺寸：0402) C23、C24 = 0.1 $\mu\text{F}$ (尺寸：0402) R7 至 R10 = 300 $\Omega$ (尺寸：0402) R11 至 R14 = 开路 R19、R20、R35、R36、R41、R42 = 0 $\Omega$ (尺寸：0402) R21 至 R24、R37 至 R40 = 开路 (尺寸：0402)
P2	使能接口。向 ENBL 引脚施加一个逻辑高电压 (将跳线 P2 连接至 VPS) 可以使 ADRF6510 上电。	P2 = 安装用于使能
C27, C28, R1, R29, R30, R33, R34	串行接口控制利用引脚 LE、CLK、DATA 和 SDO，数字接口可以设置使用串行接口的器件的转折频率。	R1 = 10 k $\Omega$ (尺寸：0402) C27、C28 = 330 pF (尺寸：0402) R29、R30 = 100 $\Omega$ (尺寸：0402) R33、R34 = 0 $\Omega$ (尺寸：0402)
P4, C13, C14, R3	直流失调校正环路补偿。利用 P4 跳线可以使能直流失调校正环路 (低电平)。环路使能后，电容连接至电路公共端。高通转折频率的计算公式如下： $f_{HP} (\text{Hz}) = 1.2 \times ((\text{线性增益})/C_{OFS} (\mu\text{F}))$ 。	P4 = 已安装 C13、C14 = 1000 pF (尺寸：0402) R3 = 10 k $\Omega$ (尺寸：0402)
C18, R6	输出共模设定点。向 VOVM 引脚施加的输出共模电压可由外部设置。如果 VOVM 引脚处于开路状态，输出共模电压的默认值为 VPS/2。	C18 = 0.1 $\mu\text{F}$ (尺寸：0402) R6 = 0 $\Omega$ (尺寸：0402)
C17, R5	模拟增益控制。0V 至 2V，30 mV/dB 增益调整。	C17 = 0.1 $\mu\text{F}$ (尺寸：0402) R5 = 0 $\Omega$ (尺寸：0402)
P3, R4	前端 6 dB 或 12 dB 增益开关。拉低，则增益为 6 dB；拉高，则增益为 12 dB。	P3 = 已安装 R4 = 10 k $\Omega$ (尺寸：0402)

# ADRF6510

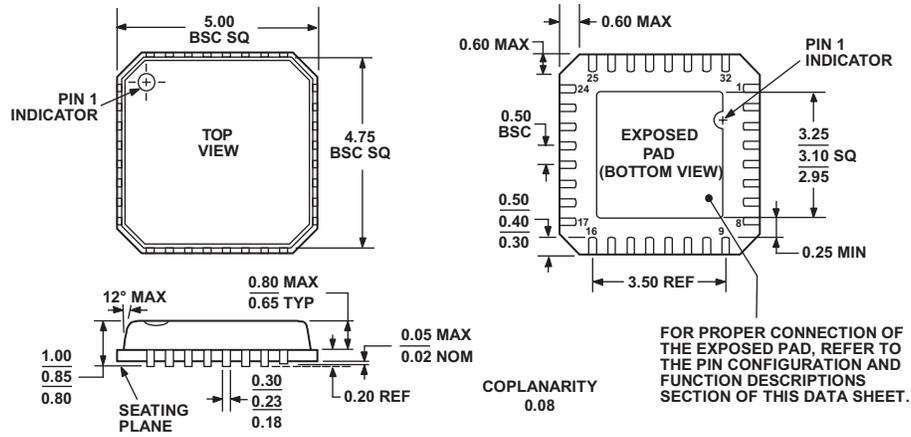
## USB 部分配置选项

ADRF6510 评估板的 USB 元件如表 6 所列：

表 6

元件	默认条件
XC1, XC2, XC6	22 pF (尺寸 : 0603)
XC3 至 XC5、XC7、XC8, XC12 至 XC19	0.1 $\mu$ F (尺寸 : 0402)
XC9 至 XC11	10 pF (尺寸 : 0402)
XD1	绿色 LED (Panasonic LNJ308G8TRA)
XJ1	USB SMT 连接器 (Hirose Electric UX60A-MB-5ST 240-0003-4)
XR1, XR2	2 k $\Omega$ (尺寸 : 0603)
XR3	1 k $\Omega$ (尺寸 : 0603)
XR4, XR5	100 k $\Omega$ (尺寸 : 0603)
XR6	0 $\Omega$ (尺寸 : 0603)
XU1	USB 微控制器 (Cypress CY7C68013A-56LFXC)
XU2	64 kb EEPROM (Microchip 24LC64-I/SN)
XU3	低压差调节器 (Analog Devices ADP3303ARZ-3.3)
XY1	24 MHz 晶振 (AEL Crystals X24M000000S244)

# 外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VHDD-2

图 62.32 引脚引脚架构芯片级封装 [LFCSP\_VQ]  
5 mm × 5 mm, 超薄体  
(CP-32-2)  
图示尺寸单位: mm

011708-A

## 订购指南

型号 <sup>1</sup>	温度范围	封装描述	封装选项
ADRF6510ACPZ-R7	-40°C 至 +85°C	32 引脚 LFCSP_WQ, 7" 卷带和卷盘	CP-32-2
ADRF6510ACPZ-WP	-40°C 至 +85°C	32 引脚 LFCSP_WQ, 窝伏尔组件	CP-32-2
ADRF6510-EVALZ		评估板	

<sup>1</sup> Z = 符合 RoHS 标准的器件。

**ADRF6510**

**注释**