

ADAU1442/ADAU1445/ADAU1446

特性

完全可编程的音频数字信号处理器(DSP)，
可改善声音处理性能
可利用专有图形编程工具SigmaStudio开发
自定义信号流程
SigmaDSP内核频率：172 MHz；每个样本指令数：3584 (48 kHz)
4k参数RAM，8k数据RAM
灵活的音频路由矩阵(FARM)
24通道数字输入和输出
最多8个立体声异步采样速率转换器(采样比范围：1:8至7.75:1，动态范围：139 dB)
立体声S/PDIF输入和输出
支持串行和TDM I/O， f_s 最高可达192 kHz
多通道字节可寻址TDM串行端口
数字音频延迟池：170 ms(48 kHz时)
时钟振荡器可从晶振产生主时钟
PLL用于从公共音频时钟产生内核时钟

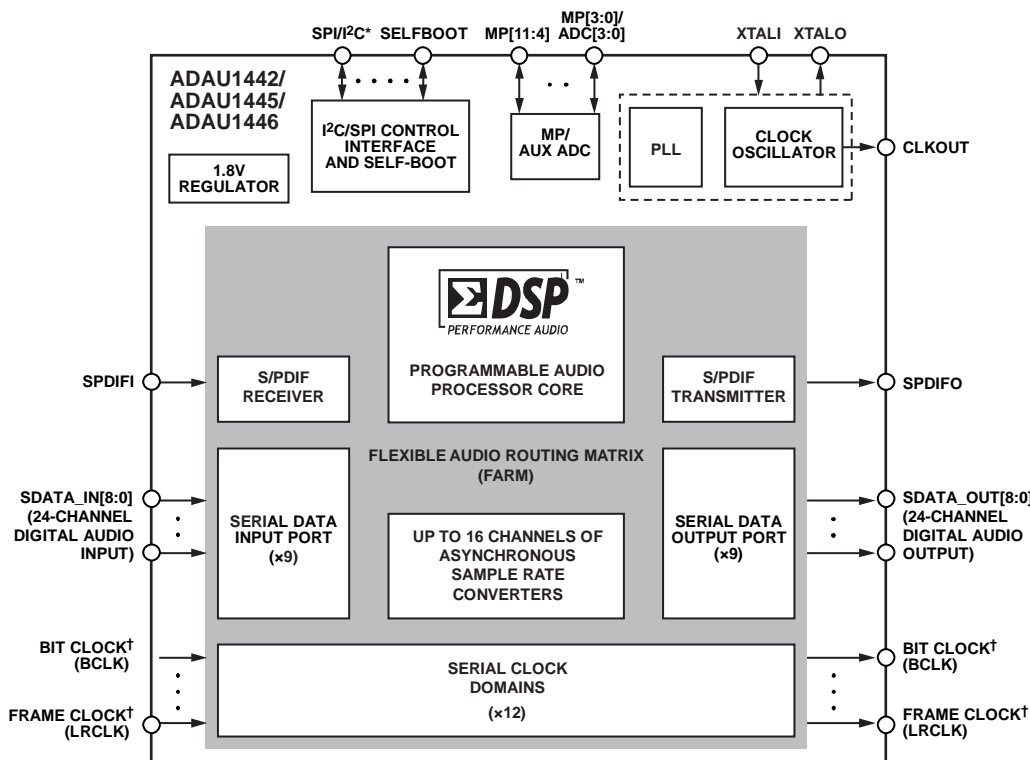
I²C和SPI控制接口

独立操作
从串行EEPROM自引导
4通道、10位辅助控制ADC
多用途引脚用于数字控制和输出
轻松实现可用的第三方法法
片内调节器用于从3.3 V电源产生1.8 V
100引脚TQFP和LQFP封装
温度范围：-40°C至+105°C

应用

汽车音频处理
音响主机
导航系统
后座娱乐系统
DSP放大器(音响系统放大器)
商用音频处理

功能框图



† SPI/I²C = THE ADDR0, CLATCH, SCL/CCLK, SDA/COU, AND ADDR1/CDATA PINS. THERE ARE 12 BIT CLOCKS (BCLK[11:0]) AND 12 FRAME CLOCKS (LRCLK[11:0]) IN TOTAL. OF THE 12 CLOCKS, SIX ARE ASSIGNABLE, THREE MUST BE OUTPUTS, AND THREE MUST BE INPUTS.

图1

Rev. C

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2010 Analog Devices, Inc. All rights reserved.

目录

特性.....	1	ASRC模式和设置.....	58
应用.....	1	DSP内核.....	60
功能框图.....	1	DSP内核模式和设置.....	61
修订历史.....	3	可靠性.....	62
概述.....	4	RAM.....	64
技术规格.....	5	S/PDIF接收器和发射器.....	65
数字时序规格.....	8	S/PDIF模式和设置.....	66
绝对最大额定值.....	11	多用途引脚.....	69
热阻.....	11	多用途引脚模式和设置.....	69
ESD警告.....	11	辅助ADC.....	70
引脚配置和功能描述.....	12	辅助ADC模式和设置.....	70
工作原理.....	17	与其它器件接口.....	71
系统框图.....	17	驱动强度模式和设置.....	71
概览.....	18	灵活的TDM模式.....	76
初始化.....	20	串行输入的灵活TDM接口模式和设置.....	76
主时钟和PLL.....	21	串行输出的灵活TDM接口模式和设置.....	78
电压调节器.....	25	软件特性.....	81
SRC群延迟.....	25	软件安全加载.....	81
控制端口.....	26	软件压摆.....	81
串行数据输入/输出.....	31	全局RAM和寄存器映射.....	82
串行输入端口.....	37	寄存器地址映射概览.....	82
串行输入端口模式和设置.....	39	寄存器地址映射详情.....	82
串行输出端口.....	41	应用信息.....	87
串行输出端口模式和设置.....	42	布局建议.....	87
灵活的音频路由矩阵(FARM).....	46	典型应用原理图.....	89
灵活的音频路由矩阵模式和设置.....	52	外形尺寸.....	92
异步采样速率转换器.....	58	订购指南.....	92

修订历史

2010年9月—修订版B至修订版C

增加表1；重新排序	4
更改“系统初始化序列”部分	20
更改表12	24
更改图20	29
更改“EEPROM格式”部分	30
更改表26	39
更改表30	44
更改“立体声ASRC[3:0]锁定状态和静音寄存器(地址0xE101)”、 “立体声ASRC[3:0]静音调节禁用寄存器(地址0xE103)”和“立 体声ASRC[7:4]锁定状态和静音寄存器(地址0xE141)”部分	58
更改“架构”部分和图51	60
更改“内核运行寄存器(地址0xE228)”部分	61
更改表55	66
更改表59	67
更改“多用途引脚”部分和表68	69

2010年4月—修订版A至修订版B

增加ADAU1442通篇	通篇
更改“概述”部分	4
更改表	5
增加表2；重新排序	6
更改表4	11
更改“概览”部分	16
更改“上电序列”部分、“系统初始化序列”部分和表6	19
更改“数字字节”部分	28
更改“串行时钟域”部分	33
更改“灵活的音频路由矩阵—输入端”部分	47
更改“ASRC输入选择对[7:0]寄存器(地址0xE080至地址 0xE087)”部分	52
更改“ASRC输出速率位(位[5:0])”部分	54
更改“立体声ASRC[3:0]锁定状态和静音寄存器(地址0xE101)” 部分	57
更改“立体声ASRC[7:4]锁定状态和静音寄存器(地址0xE141)” 部分	58
更改“S/PDIF发射器”部分	64
更改“多用途引脚”部分	68
增加“多用途引脚值寄存器(地址0x129A至地址0x12A5)”部分 和表66；重新序	68
更改表84	82
更改“订购指南”部分	91

2009年4月—修订版0至修订版A

增加ADAU1446	通篇
增加LQFP	通篇
表1中增加ADAU1446的最小数字电流(DVDD)、ADAU1446 的最大数字电流(DVDD)以及ADAU1446工作期间的 AVDD、DVDD和PVDD等参数	5
更改表4	9
更改“概览”部分	16
更改表9	21
更改“电压调节器”部分	23
更改“EEPROM格式”部分	28
更改“串行时钟域”部分	32
更改“灵活的音频路由矩阵—输入端”部分；增加图40；重新 排序	46
更改“立体声ASRC路由概览”部分	47
更改“ASRC输入选择对[7:0]寄存器(地址0xE080至地址0xE087)”部 分	51
更改“ASRC输出速率位(位[5:0])”部分	53
更改“串行输出数据选择器位(位[5:0])”部分	55
更改“ASRC模式和设置”部分	56
增加表43；重新排序	61
更新“外形尺寸”	90
更改“订购指南”	90

2009年1月-版本0：初始版

ADAU1442/ADAU1445/ADAU1446

概述

ADAU1442/ADAU1445/ADAU1446均为增强型音频处理器，可以非常灵活地路由所有输入和输出信号。SigmaDSP®内核具有下列特性：完全28位处理(双精度模式下为56位)，同步加载参数以确保滤波器稳定，以及利用SigmaStudio™工具实现100%编码效率。系统设计人员可以利用这款DSP，通过扬声器均衡、多频段压缩、限幅和第三方算法来弥补扬声器、功放和听音环境的实际限制，从而明显改善音质体验。

借助灵活的音频路由矩阵(FARM)，用户可以多路复用多个来源、以各种不同采样速率进出SigmaDSP内核的输入，从而简化音频系统中的信号路由和时钟问题。FARM包含最多八个立体声异步采样速率转换器(取决于器件型号)、索尼/飞利浦数字互连格式(S/PDIF)输入和输出，以及串行(I²S)和时分多路复用(TDM) I/O。任何一路输入均可路由至SigmaDSP内核或任何一个异步采样速率转换器(ASRC)。同样，任何一路输出信号均可从SigmaDSP内核或任何一路

ASRC输出获得。这种路由方案可以随时通过控制寄存器进行修改，赋予音频系统极大的灵活性。

ADAU1442、ADAU1445和ADAU1446仅ASRC功能和封装不同。ADAU1442/ADAU1445内置16通道ASRC，采用TQFP封装，而ADAU1446则不含ASRC，采用LQFP封装。ADAU1442可以处理9个时钟域，ADAU1445可以处理3个时钟域，ADAU1446则可以处理1个时钟域。

ADAU1442/ADAU1445/ADAU1446可通过两种工作模式进行控制：通过SPI/I²C®端口加载和动态更新芯片的设置，或者在无微控制器的系统中，DSP从外部EEPROM自行引导。另外还有一些多功能(MP)引脚，可以用作通用数字I/O，或者用作4通道辅助控制ADC的输入。

SigmaStudio图形开发环境支持ADAU1442/ADAU1445/ADAU1446。该软件含有FIR和IIR滤波器、动态处理器、混频器、低层次DSP功能以及第三方算法等音频处理模块，可快速开发自定义信号流程。

表1.

器件	ASRC通道	ASRC时钟域	封装
ADAU1442	16	8	TQFP
ADAU1445	16	2	TQFP
ADAU1446	0	不适用	LQFP

技术规格

除非另有说明, AVDD = 3.3 V, DVDD = 1.8 V, PVDD = 3.3 V, IOVDD = 3.3 V, T_A = 25°C,
主时钟输入 = 12.288 MHz, 内核时钟f_{CORE} = 172.032 MHz, I/O引脚设置为2 mA驱动设置。

表2.

参数	最小值	典型值	最大值	单位	测试条件/注释
模拟性能					AVDD = 3.3 V ± 10%.
辅助模拟输入					
分辨率		10		位	
满量程模拟输入		AVDD		V	
积分非线性(INL)	-2.3		+2.3	LSB	
微分非线性(DNL)	-2.0		+2.0	LSB	
增益误差	-2.0		+2.0	LSB	
输入阻抗		200		kΩ	
采样速率		f _{CORE} /896		kHz	4:1多路复用输入, 各通道均处于f _{CORE} /3584。对于f _{CORE} = 172.032 MHz, 各通道均以48 kHz的频率进行采样。
电源					
电源电压					
模拟电压(AVDD)	2.97	3.3	3.63	V	
数字电压(DVDD)	1.62	1.8	1.98	V	
PLL电压(PVDD)	2.97	3.3	3.63	V	
IOVDD电压(IOVDD)	2.97	3.3	3.63	V	
电源电流					
模拟电流(AVDD)		2		mA	
PLL电流(PVDD)		10		mA	
I/O电流(IOVDD)		10		mA	取决于活跃串行端口数量、时钟引脚和外部负载的特性。
数字电流(DVDD)					
ADAU1442					
典型程序		335		mA	测试程序包括16通道I/O, 各通道10频段EQ且所有ASRC处于活跃状态。
最简程序		115		mA	测试程序包括2通道I/O, 各通道10频段EQ
ADAU1445					
典型程序		270		mA	测试程序包括16通道I/O, 各通道10频段EQ且所有ASRC处于活跃状态。
最简程序		115		mA	测试程序包括2通道I/O, 各通道10频段EQ
ADAU1446					
典型程序		135		mA	测试程序包括16通道I/O, 各通道10频段EQ且所有ASRC处于活跃状态。
最简程序		110		mA	测试程序包括2通道I/O, 各通道10频段EQ
异步采样速率转换器 ¹					
动态范围		139		dB	A加权, 20 Hz至20 kHz。
I/O采样速率	6		192	kHz	

ADAU1442/ADAU1445/ADAU1446

参数	最小值	典型值	最大值	单位	测试条件/注释
I/O采样速率比 总谐波失真加噪声(THD + N)	1:8	-133	7.75:1 -120	dB	
晶振 跨导		40		mS	
调节器 ² DVDD电压	1.65	1.75	1.85	V	最大500 mA负载。

¹要计算群延迟, 请参见“SRC群延迟”部分。

²调节器规格利用电路中的On Semiconductor NJT4030P晶体管计算。

除非另有说明, AVDD = 3.3 V ± 10%, DVDD = 1.8 V ± 10%, PVDD = 3.3 V, IOVDD = 3.3 V ± 10%, T_A = -40°C至+105°C, 主时钟输入 = 12.288 MHz, 内核时钟f_{CORE} = 172.032 MHz, I/O引脚设置为2 mA驱动设置。

表3.

参数	最小值	典型值	最大值	单位	测试条件/注释
模拟性能					AVDD = 3.3 V ± 10%.
辅助模拟输入					
分辨率		10		Bits	
满量程模拟输入		AVDD		V	
积分非线性(INL)	-2.3		+2.3	LSB	
微分非线性(DNL)	-2.0		+2.0	LSB	
增益误差	-2.0		+2.0	LSB	
输入阻抗		200		kΩ	
采样速率		f _{CORE} /896		kHz	4:1多路复用输入, 各通道均处于f _{CORE} /3584。对于f _{CORE} = 172.032 MHz, 各通道均以48 kHz的频率进行采样。
数字I/O					
输入高电压(V _{IH})	0.7 × IOVDD			V	除SPDIFI外的数字输入引脚。 ¹
输入低电压(V _{IL})			0.3 × IOVDD	V	除SPDIFI外的数字输入引脚。 ¹
3.3 V时的输入高漏电流(I _{IH})	-2		+2	μA	除MCLK和SPDIFI外的数字输入引脚。MCLK and SPDIFI.
0 V时的输入低漏电流(I _{IL})	-2		+8	μA	MCLK.
高电平输出电压(V _{OH})	60		140	μA	SPDIFI.
低电平输出电压(V _{OL})	-85		-10	μA	所有其他引脚。
输入电容(C _I)	-2		+2	μA	CLKMODEx, RSVD, PLLx, RESET.
多用途引脚输出驱动	-8		+2	μA	MCLK.
高电平输出电压(V _{OH})	-140		-60	μA	SPDIFI.
低电平输出电压(V _{OL})	0.85 × IOVDD			V	I _{OH} = 1 mA.
输入电容(C _I)		5		pF	I _{OL} = 1 mA.
多用途引脚输出驱动		2		mA	通过设计保证。 这些引脚并非设计用于吸取静态电流, 不应直接驱动LED。
电源					
电源电压					
模拟电压(AVDD)	2.97	3.3	3.63	V	
数字电压(DVDD)	1.62	1.8	1.98	V	
PLL电压(PVDD)	2.97	3.3	3.63	V	
IOVDD电压(IOVDD)	2.97	3.3	3.63	V	
电源电流					
模拟电流(AVDD)		2		mA	

ADAU1442/ADAU1445/ADAU1446

参数	最小值	典型值	最大值	单位	测试条件/注释
PLL电流(PVDD)		10		mA	极大取决于活跃串行端口数量、时钟引脚和外部负载的特性。
I/O电流(IOVDD)		10		mA	
最大数字电流(DVDD) ADAU1442			460	mA	测试程序包括24通道I/O, 并充分利用程序RAM。
ADAU1445			365	mA	测试程序包括24通道I/O, 并充分利用程序RAM。
ADAU1446			315	mA	测试程序包括24通道I/O, 并充分利用程序RAM。
功耗					
ADAU1442工作期间的 AVDD、DVDD和PVDD			960	mW	所有电源均为标称值的+10%, 且测量结果不包括IOVDD。
ADAU1445工作期间的 AVDD、DVDD和PVDD			780	mW	所有电源均为标称值的+10%, 且测量结果不包括IOVDD。
ADAU1446工作期间的 AVDD、DVDD和PVDD			675	mW	所有电源均为标称值的+10%, 且测量结果不包括IOVDD。
复位, 所有电源		94		mW	
异步采样速率 转换器 ² 动态范围		139		dB	A加权, 20 Hz至20 kHz。
I/O采样速率	6		192	kHz	
I/O采样速率比	1:8		7.75:1		
总谐波失真加噪声(THD + N)		-133	-120	dB	
晶振 跨导		40		mS	
调节器 ³ DVDD电压	1.65	1.75	1.85	V	最大500 mA负载。

¹ SPDIF输入电压范围超过了S/PDIF的规格要求。

² 要计算群延迟, 请参见“SRC群延迟部分”。

³ 调节器规格利用电路中的On Semiconductor NJT4030P晶体管计算。

ADAU1442/ADAU1445/ADAU1446

数字时序规格

T_A = -40°C至+105°C, DVDD = 1.8 V, IOVDD = 3.3 V。

表4.

参数 ¹	最小值	最大值	单位	描述
主时钟				
f _{MP}	2.822	24.576	MHz	主时钟(MCLK)频率。请参见“主时钟和PLL”部分。
t _{MP}	40.69	354.36	ns	主时钟(MCLK)周期。请参见“主时钟和PLL”部分。
t _{MD}	25	75	%	主时钟(MCLK)占空比。
CLKOUT抖动		250	ps	相邻周期间均方根平均值。
内核时钟				
f _{CORE}		172.032	MHz	DSP内核时钟频率。
串行端口				
f _{BCLK}		24.576	MHz	BCLK频率。
t _{BCLK}	40.69		ns	BCLK周期。
t _{BIL}	30		ns	BCLKx低电平脉冲宽度, 从机模式。
t _{BIH}	30		ns	BCLKx高电平脉冲宽度, 从机模式。
t _{LIS}	20		ns	LRCLKx至BCLKx输入上升沿建立时间, 从机模式。
t _{LIH}	20		ns	BCLKx输入上升沿至LRCLKx保持时间, 从机模式。
t _{SIS}	10		ns	SDATA_Inx至BCLKx输入上升沿建立时间。
t _{SIH}	10		ns	BCLKx输入上升沿至SDATA_Inx保持时间。
t _{TS}		5	ns	BCLKx输出下降沿至LRCLKx输出时序偏斜。
t _{SODS}		30	ns	BCLKx输出下降沿至SDATA_OUTx延迟时间, 从机模式。
t _{SODM}		30	ns	BCLKx输出下降沿至SDATA_OUTx延迟时间, 主机模式。
SPI端口				
f _{CCLK write}		32	MHz	CCLK频率。 ²
f _{CCLK read}		16	MHz	CCLK频率。 ²
t _{CCPL}	20		ns	CCLK低电平脉冲宽度。
t _{CCPH}	20		ns	CCLK高电平脉冲宽度。
t _{CLS}	0		ns	CLATCH至CCLK上升沿建立时间。
t _{CLH}	35		ns	CCLK上升沿至CLATCH保持时间。
t _{CLPH}	20		ns	CLATCH高电平脉冲宽度。
t _{CLDLY}	20		ns	CLATCH低电平脉冲之间的最短延迟时间。
t _{CDS}	0		ns	CDATA至CCLK上升沿建立时间。
t _{CDH}	35		ns	CCLK上升沿至CDATA保持时间。
t _{COV}		40	ns	CCLK下降沿至COUT有效输出延迟时间。
I²C端口				
f _{SCL}		400	kHz	SCL时钟频率。
t _{SCLH}	0.6		μs	SCL高电平脉冲宽度。
t _{SCLL}	1.3		μs	SCL低电平脉冲宽度。
t _{SCS}	0.6		μs	开始和重复起始条件的建立时间。
t _{SCH}	0.6		μs	起始条件保持时间。
t _{DS}	100		ns	数据建立时间。
t _{DH}	0.9		μs	数据保持时间。
t _{SCLR}		300	ns	SCL上升时间。
t _{SCLF}		300	ns	SCL下降时间。
t _{SDR}		300	ns	SDA上升时间。
t _{SDF}		300	ns	SDA下降时间。
t _{BFT}	1.3		μs	停止与起始条件之间的总线空闲时间。
多用途引脚和复位				
f _{MP}		f _s /2	Hz	MPx最大开关速率。
t _{MPIL}		1.5 × 1/f _{s,NORMAL}	μs	在内核读取高/低值前的MPx引脚输入延迟时间。通过设计保证。
t _{RLPW}	10		ns	RESET 低电平脉冲宽度。

¹ 所有时序规格均相对于串行音频输入端口和串行音频输出端口的默认状态(I²S)而言(参见表26和表30)。

² SPI CCLK最大时钟频率取决于电路板上的电流驱动强度和容性负载。

数字时序图

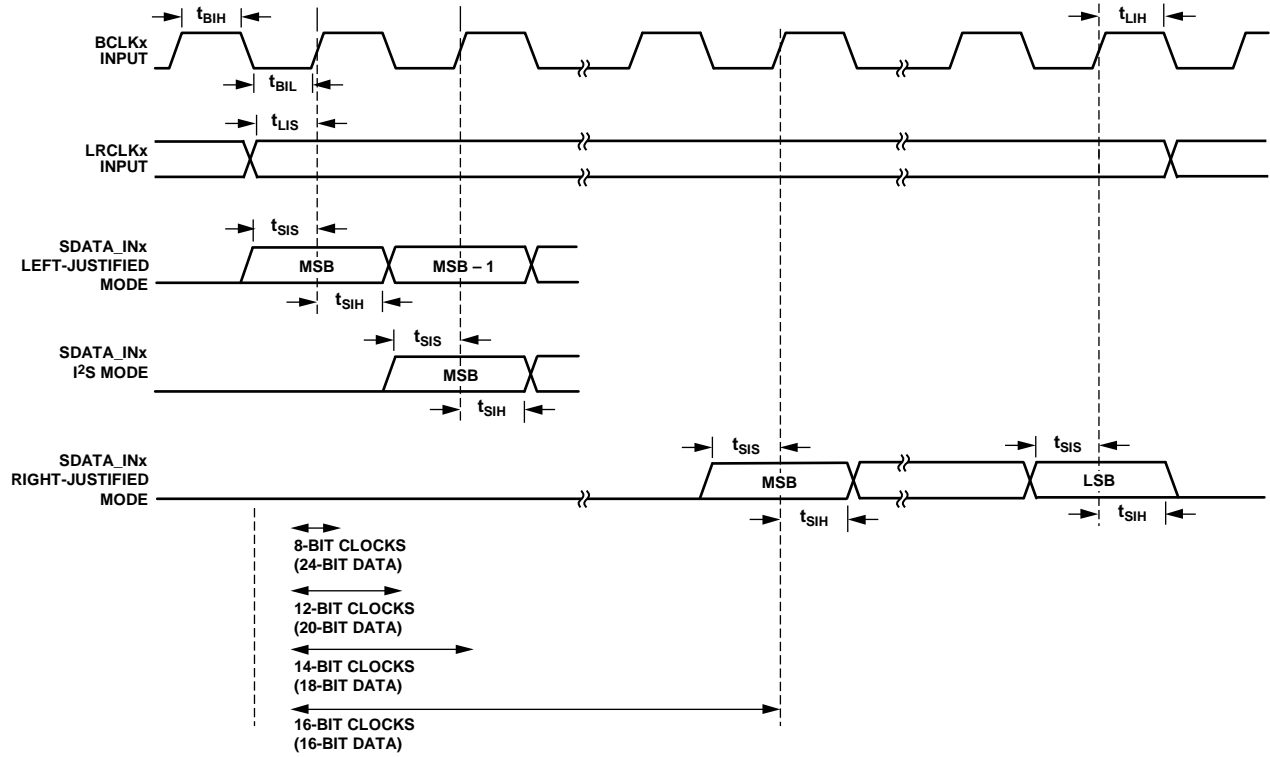


图2. 串行输入端口时序

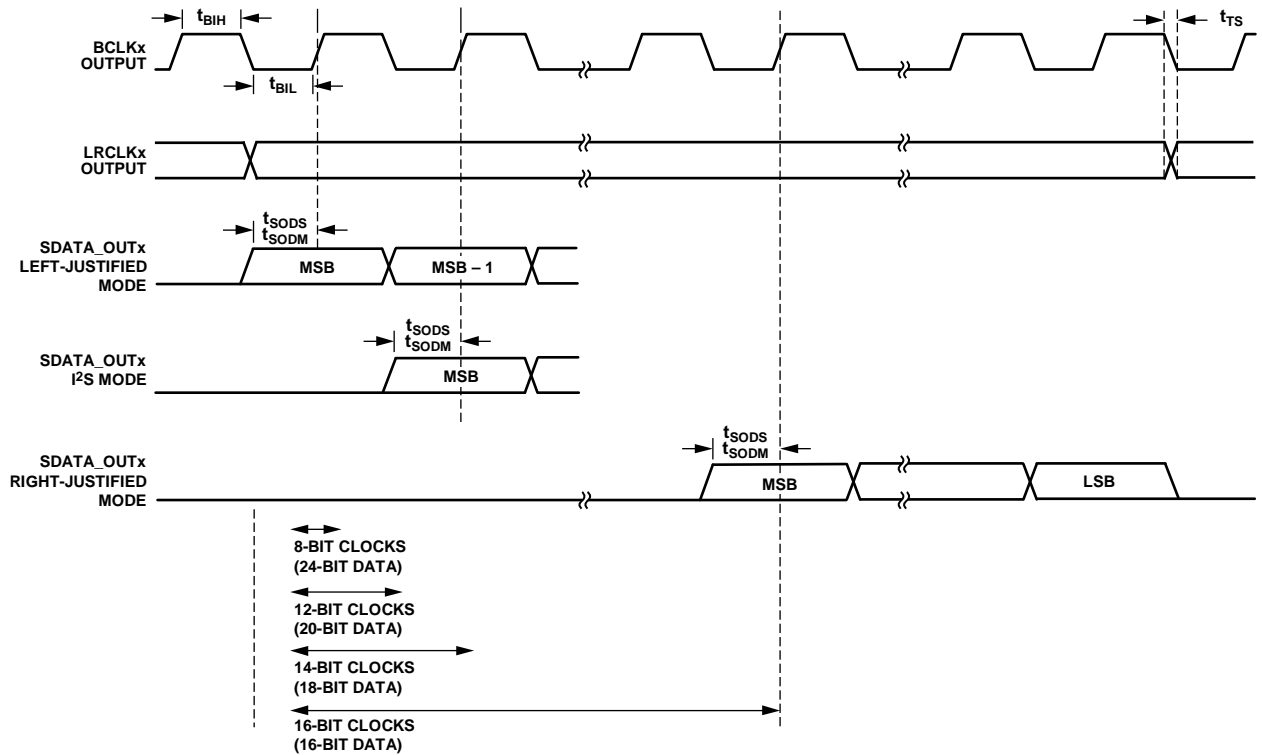


图3. 串行输出端口时序

ADAU1442/ADAU1445/ADAU1446

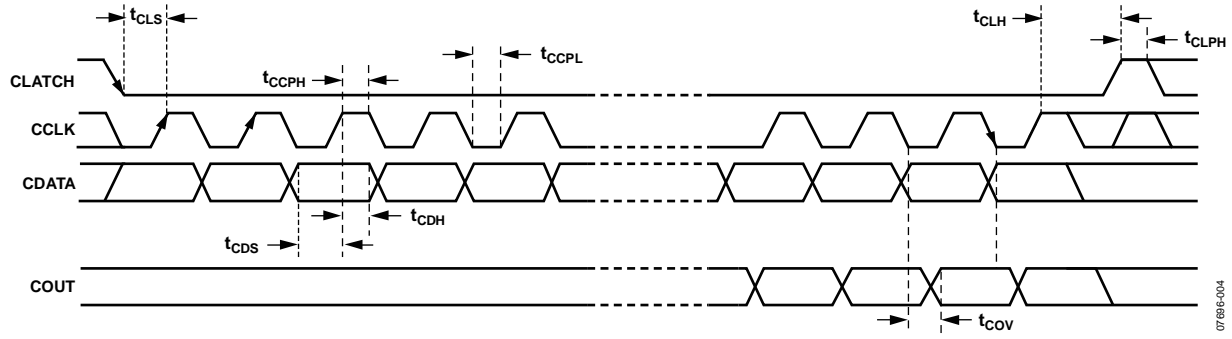


图4. SPI端口时序

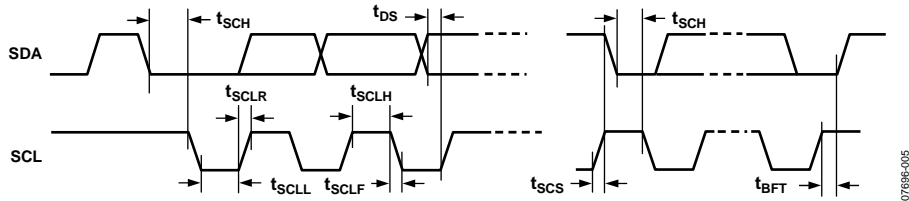


图5. I²C端口时序

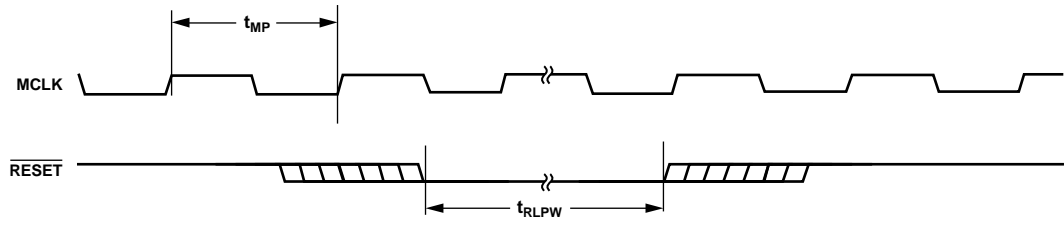


图6. 主时钟和复位时序

绝对最大额定值

表5.

参数	额定值
DVDD至地	0 V 至 2.2 V
AVDD至地	0 V 至 4.0 V
IOVDD至地	0 V 至 4.0 V
数字输入	DGND - 0.3 V 至 IOVDD + 0.3 V
最高环境温度	-40°C 至 +105°C
最高结温	150°C
存储温度范围	-65°C 至 +150°C
焊接(10秒)	300°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件，即器件焊接在电路板上实现表贴封装。

表6. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
100引脚TQFP	26.3	9.4	°C/W
100引脚LQFP	41.4	9.5	°C/W

ESD警告

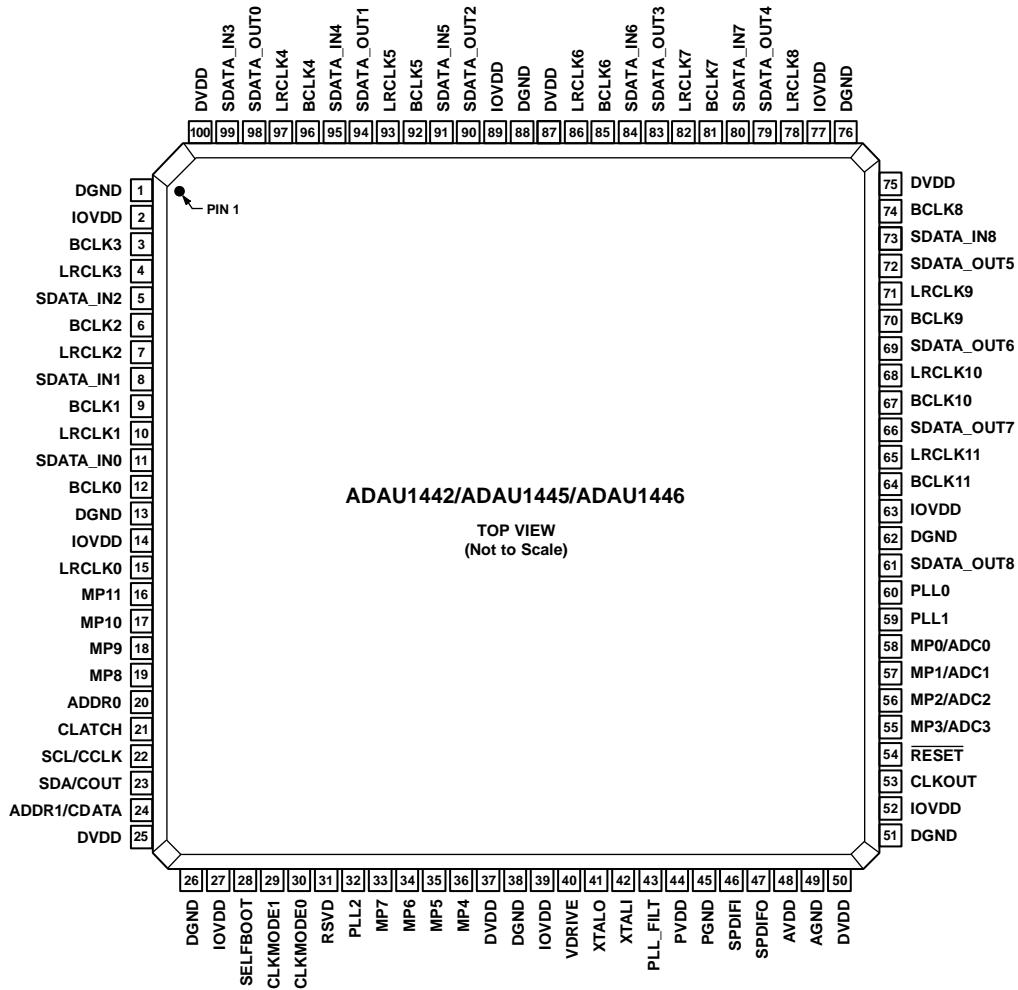


ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利的或专有的保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

ADAU1442/ADAU1445/ADAU1446

引脚配置和功能描述



NOTES

1. THE EXPOSED PAD DOES NOT HAVE AN INTERNAL ELECTRICAL CONNECTION TO THE INTEGRATED CIRCUIT, BUT SHOULD BE CONNECTED TO THE GROUND PLANE OF THE PCB FOR PROPER HEAT DISSIPATION.

图7. 引脚配置

表7. 引脚功能描述

引脚编号	引脚名称	类型 ¹	描述
1, 13, 26, 38, 51, 62, 76, 88	DGND	PWR	数字地。AGND、DGND和PGND引脚应在一个公共接地层上直接相连。DGND引脚应通过一个100 nF电容去耦至DVDD引脚。
2, 14, 27, 39, 52, 63, 77, 89	IOVDD	PWR	输入和输出电源。此引脚的电压设置数字输入引脚上应当出现的最高输入电压。此引脚还是控制时钟、数据、控制端口和MP引脚的数字输出信号的电源。IOVDD应始终设置为3.3 V。此引脚吸取的电流是可变的，因为它取决于数字输出的负载。
3	BCLK3	D_IO	位时钟、输入/输出时钟域3。此引脚是双向引脚，其方向取决于输入/输出时钟域3是作为主机还是作为从机。不用时可断开。
4	LRCLK3	D_IO	帧时钟、输入/输出时钟域3。此引脚是双向引脚，其方向取决于输入/输出时钟域3是作为主机还是作为从机。不用时可断开。
5	SDATA_IN2	D_IN	串行数据端口2输入。不用时可断开。

ADAU1442/ADAU1445/ADAU1446

引脚编号	引脚名称	类型'	描述
6	BCLK2	D_IO	位时钟、输入时钟域2。此引脚是双向引脚，其方向取决于输入时钟域2是作为主机还是作为从机。不用时可断开。
7	LRCLK2	D_IO	帧时钟、输入时钟域2。此引脚是双向引脚，其方向取决于输入时钟域2是作为主机还是作为从机。不用时可断开。
8	SDATA_IN1	D_IN	串行数据端口1输入。不用时可断开。
9	BCLK1	D_IO	位时钟、输入时钟域1。此引脚是双向引脚，其方向取决于输入时钟域1是作为主机还是作为从机。不用时可断开。
10	LRCLK1	D_IO	帧时钟、输入时钟域1。此引脚是双向引脚，其方向取决于输入时钟域1是作为主机还是作为从机。不用时可断开。
11	SDATA_IN0	D_IN	串行数据端口0输入。不用时可断开。
12	BCLK0	D_IO	位时钟、输入时钟域0。此引脚是双向引脚，其方向取决于输入时钟域0是作为主机还是作为从机。不用时可断开。
15	LRCLK0	D_IO	帧时钟、输入时钟域0。此引脚是双向引脚，其方向取决于输入时钟域0是作为主机还是作为从机。不用时可断开。
16	MP11	D_IO	多用途通用输入/输出。不用时可断开。
17	MP10	D_IO	多用途通用输入/输出。不用时可断开。
18	MP9	D_IO	多用途通用输入/输出。不用时可断开。
19	MP8	D_IO	多用途通用输入/输出。不用时可断开。
20	ADDR0	D_IN	I ² C和SPI的地址0。在I ² C模式下，此引脚与ADDR1配合使用，允许最多四个ADAU1442/ADAU1445/ADAU1446器件共用同一条I ² C总线。在SPI模式下，无论是将ADDR0设置为低电平还是高电平，一个通用SPI锁存信号最多可支持两个IC。
21	CLATCH	D_IN	SPI锁存信号。在SPI处理开始时必须变为低电平，在处理结束时必须变为高电平。完成每次SPI处理所需的CCLK周期数可能不同，具体取决于SPI处理开始时发送的地址和读/写位。不用时应接地，且最好是通过一个10 kΩ下拉电阻。
22	SCL/CCLK	D_IN	串行时钟/连续时钟。在I ² C模式下，此引脚用作SCL并始终为开集输入，但自引导模式下除外，那时为开集输出(I ² C主机)。连接到此引脚的线路应有2.0 kΩ上拉电阻。在SPI模式下，此引脚用作CCLK并作为输入引脚，既可以连续工作，也可以在SPI处理间隙关断。
23	SDA/COUT	D_IO	串行数据/连续输出。在I ² C模式下，此引脚用作SDA并为双向开集。连接到SDA引脚的线路应有2.0 kΩ上拉电阻。在SPI模式下，此引脚用作COUT并用于回读寄存器和存储器位置。当SPI读取非活动时，COUT引脚处于三态。
24	ADDR1/CDATA	D_IN	地址1/连续数据。在I ² C模式下，此引脚用作ADDR1，并与ADDR0一起设置IC的I ² C地址。这样可允许最多四个ADAU1442/ADAU1445/ADAU1446器件共用同一条I ² C总线。在SPI模式下，此引脚用作CDATA并为SPI数据输入。
25, 37, 50, 75, 87, 100	DVDD	PWR	1.8 V数字电源。既可以由外部提供，也可以利用片内1.8 V调节器从3.3 V电源产生。每个DVDD引脚应通过一个100 nF电容去耦至DGND。
28	SELFBOOT	D_IN	自引导选择。使ADAU1442/ADAU1445/ADAU1446可以由控制端口进行控制，或者执行自引导。当ADAU1442/ADAU1445/ADAU1446退出复位时，将此引脚设置为高电平(即1)会启动自引导操作。此引脚可以直接连到电压源或地，或者通过电阻上拉/下拉。
29	CLKMODE1	D_IN	输出时钟模式1。此引脚与CLKMODE0一起设置CLKOUT信号的频率。
30	CLKMODE0	D_IN	输出时钟模式0。此引脚与CLKMODE1一起设置CLKOUT信号的频率。
31	RSVD	D_IN	保留。将此引脚接地，且最好是通过一个10 kΩ下拉电阻。
32	PLL2	D_IN	PLL模式选择引脚2。
33	MP7	D_IO	多用途通用输入/输出。不用时可断开。

ADAU1442/ADAU1445/ADAU1446

引脚编号	引脚名称	类型'	描述
34	MP6	D_IO	多用途通用输入/输出。不用时可断开。
35	MP5	D_IO	多用途通用输入/输出。不用时可断开。
36	MP4	D_IO	多用途通用输入/输出。不用时可断开。
40	VDRIVE	A_OUT	调节器驱动。为1.8 V调节器提供驱动电流。电压调节器外部PNP晶体管的基极由VDRIVE驱动。
41	XTALO	A_OUT	晶振输出。此引脚与晶振之间应连接一个100 Ω阻尼电阻。此输出不应用来将一个时钟直接驱动至另一个IC；CLKOUT引脚就是出于此目的而设。如果不使用晶振，可断开XTALO引脚。
42	XTALI	A_IN	晶振输入。此引脚为 ADAU1442/ADAU1445/ADAU1446 提供主时钟。如果 ADAU1442/ADAU1445/ADAU1446 在系统中生成主时钟，此引脚应连接到晶振电路。如果 ADAU1442/ADAU1445/ADAU1446 用作外部主时钟的从机，则此引脚应连接到另一个IC生成的主时钟信号。
43	PLL_FILT	A_OUT	锁相环滤波器。必须将两个电容和一个电阻连接到此引脚，如图11所示。
44	PVDD	PWR	锁相环电源。为PLL提供3.3 V电源。此引脚应通过一个100 nF电容去耦至PGND。
45	PGND	PWR	锁相环地。PLL电源的地。AGND、DGND和PGND引脚可以在一个公共接地层上直接相连。PGND应通过一个100 nF电容去耦至PVDD。
46	SPDIFI	D_IN	S/PDIF输入。接收S/PDIF格式的数字音频数据。不用时可断开。
47	SPDIFO	D_OUT	S/PDIF输出。输出S/PDIF格式的数字音频数据。不用时可断开。
48	AVDD	PWR	模拟电源。辅助ADC的3.3 V模拟电源。此引脚应通过一个100 nF电容去耦至AGND。
49	AGND	PWR	模拟地。模拟电源的地。此引脚应通过一个100 nF电容去耦至AVDD。
53	CLKOUT	D_OUT	主时钟输出。用于输出主时钟来驱动系统中的其它IC。使用CLKMODEx引脚来设置。不用时可断开。
54	RESET	D_IN	复位。低电平有效复位输入。在高低转换沿上触发复位，在低高转换沿上退出复位。有关初始化的详细信息，请参见“上电序列”部分。复位事件会将所有RAM和寄存器设置为其默认值。
55	MP3/ADC3	D_IO, A_IN	多用途通用输入或输出/辅助ADC输入3。不用时可断开。
56	MP2/ADC2	D_IO, A_IN	多用途通用输入或输出/辅助ADC输入2。不用时可断开。
57	MP1/ADC1	D_IO, A_IN	多用途通用输入或输出/辅助ADC输入1。不用时可断开。
58	MP0/ADC0	D_IO, A_IN	多用途通用IO/辅助ADC输入0。不用时可断开。
59	PLL1	A_IN D_IN	锁相环模式选择引脚1。
60	PLL0	D_IN	锁相环模式选择引脚0。
61	SDATA_OUT8	D_OUT	串行数据端口0输出。不用时可断开。
64	BCLK11	D_IO	位时钟、输出时钟域2。此引脚是双向引脚，其方向取决于输出时钟域2是作为主机还是作为从机。不用时可断开。
65	LRCLK11	D_IO	帧时钟、输出时钟域2。此引脚是双向引脚，其方向取决于输出时钟域2是作为主机还是作为从机。不用时可断开。

ADAU1442/ADAU1445/ADAU1446

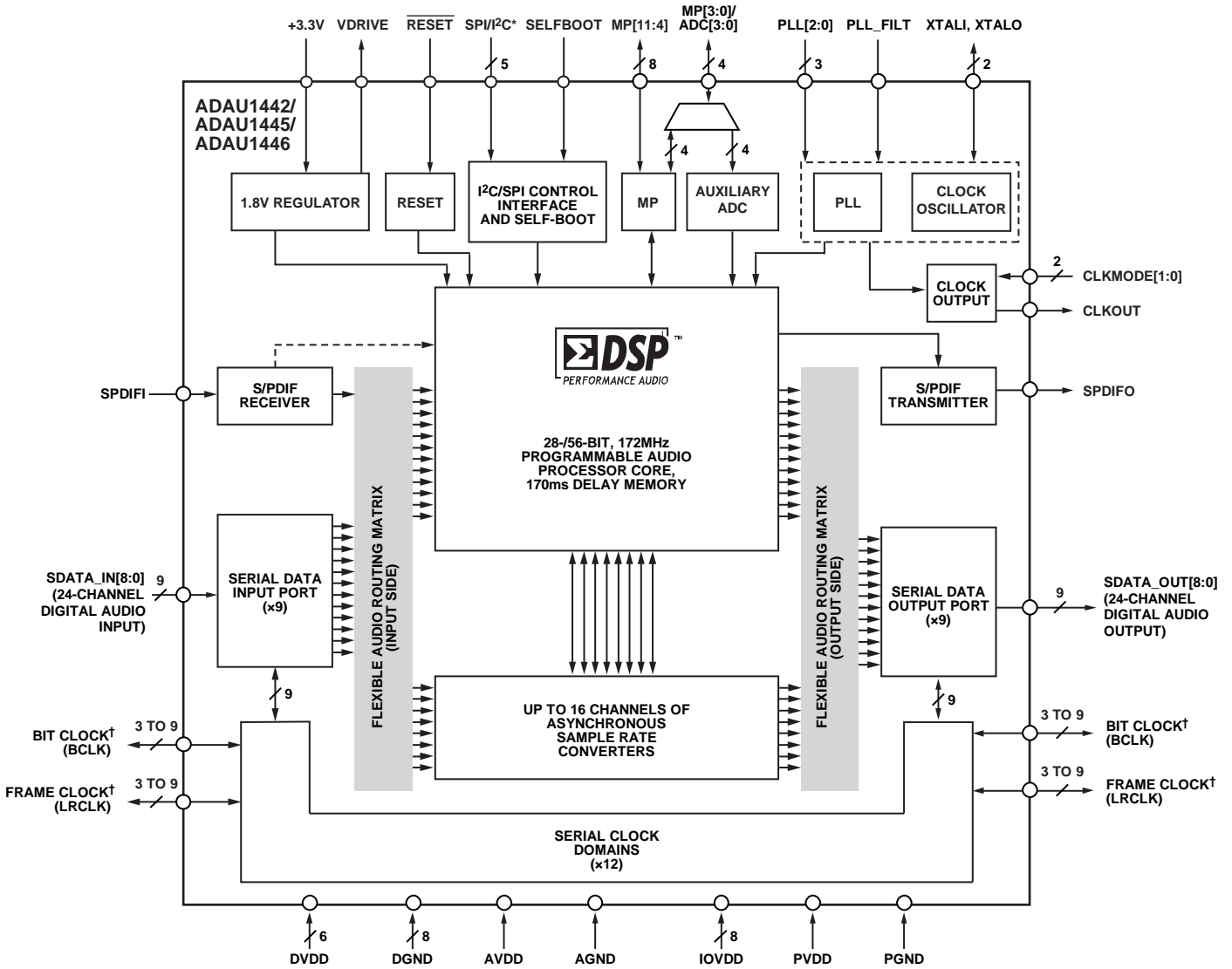
引脚编号	引脚名称	类型'	描述
66	SDATA_OUT7	D_OUT	串行数据端口7输出。不用时可断开。
67	BCLK10	D_IO	位时钟、输出时钟域10。此引脚是双向引脚，其方向取决于输出时钟域10是作为主机还是作为从机。不用时可断开。
68	LRCLK10	D_IO	帧时钟、输出时钟域10。此引脚是双向引脚，其方向取决于输出时钟域10是作为主机还是作为从机。不用时可断开。
69	SDATA_OUT6	D_OUT	串行数据端口6输出。不用时可断开。
70	BCLK9	D_IO	位时钟、输出时钟域9。此引脚是双向引脚，其方向取决于输出时钟域9是作为主机还是作为从机。不用时可断开。
71	LRCLK9	D_IO	帧时钟、输出时钟域9。此引脚是双向引脚，其方向取决于输出时钟域9是作为主机还是作为从机。不用时可断开。
72	SDATA_OUT5	D_OUT	串行数据端口5输出。不用时可断开。
73	SDATA_IN8	D_IN	串行数据端口8输入。不用时可断开。
74	BCLK8	D_IO	位时钟、输入/输出时钟域8。此引脚是双向引脚，其方向取决于输入/输出时钟域8是作为主机还是作为从机。不用时可断开。
78	LRCLK8	D_IO	帧时钟、输入/输出时钟域8。此引脚是双向引脚，其方向取决于输入/输出时钟域8是作为主机还是作为从机。不用时可断开。
79	SDATA_OUT4	D_OUT	串行数据端口4输出。不用时可断开。
80	SDATA_IN7	D_IN	串行数据端口7输入。不用时可断开。
81	BCLK7	D_IO	位时钟、输入/输出时钟域7。此引脚是双向引脚，其方向取决于输入/输出时钟域7是作为主机还是作为从机。不用时可断开。
82	LRCLK7	D_IO	帧时钟、输入/输出时钟域7。此引脚是双向引脚，其方向取决于输入/输出时钟域7是作为主机还是作为从机。不用时可断开。
83	SDATA_OUT3	D_OUT	串行数据端口3输出。不用时可断开。
84	SDATA_IN6	D_IN	串行数据端口6输入。不用时可断开。
85	BCLK6	D_IO	位时钟、输入/输出时钟域6。此引脚是双向引脚，其方向取决于输入/输出时钟域6是作为主机还是作为从机。不用时可断开。
86	LRCLK6	D_IO	帧时钟、输入/输出时钟域6。此引脚是双向引脚，其方向取决于输入/输出时钟域6是作为主机还是作为从机。不用时可断开。
90	SDATA_OUT2	D_OUT	串行数据端口2输出。不用时可断开。
91	SDATA_IN5	D_IN	串行数据端口5输入。不用时可断开。
92	BCLK5	D_IO	位时钟、输入/输出时钟域5。此引脚是双向引脚，其方向取决于输入/输出时钟域5是作为主机还是作为从机。不用时可断开。
93	LRCLK5	D_IO	帧时钟、输入/输出时钟域5。此引脚是双向引脚，其方向取决于输入/输出时钟域5是作为主机还是作为从机。不用时可断开。
94	SDATA_OUT1	D_OUT	串行数据端口1输出。不用时可断开。
95	SDATA_IN4	D_IN	串行数据端口4输入。不用时可断开。

ADAU1442/ADAU1445/ADAU1446

引脚编号	引脚名称	类型 ¹	描述
96	BCLK4	D_IO	位时钟、输入/输出时钟域4。此引脚是双向引脚，其方向取决于输入/输出时钟域4是作为主机还是作为从机。不用时可断开。
97	LRCLK4	D_IO	帧时钟、输入/输出时钟域4。此引脚是双向引脚，其方向取决于输入/输出时钟域4是作为主机还是作为从机。不用时可断开。
98	SDATA_OUT0	D_OUT	串行数据端口0输出。不用时可断开。
99	SDATA_IN3	D_IN	串行数据端口3输出。不用时可断开。

¹ PWR = 电源/地, A_IN = 模拟输入, D_IN = 数字输入, A_OUT = 模拟输出, D_OUT = 数字输出, D_IO = 数字输入/输出。

工作原理 系统框图



*SPI/I²C = THE ADDR0, CLATCH, SCL/CCLK, SDA/COUT, AND ADDR1/CDATA PINS.

†THERE ARE 12 BIT CLOCKS (BCLK[11:0]) AND 12 FRAME CLOCKS (LRCLK[11:0]) IN TOTAL. OF THE 12 CLOCKS, SIX ARE ASSIGNABLE, THREE MUST BE OUTPUTS, AND THREE MUST BE INPUTS.

图8. 系统框图

07696-008

ADAU1442/ADAU1445/ADAU1446

概览

ADAU1442/ADAU1445/ADAU1446均为24通道音频DSP，集成S/PDIF接收器和发射器、灵活的串行音频端口和最多16通道异步采样速率转换器(ASRC)，并提供灵活的音频路由和用户接口功能。信号处理功能包括均衡、分频、低音增强、多频段动态处理、延迟补偿、扬声器补偿和立体声声像加宽，这些算法可用来弥补扬声器、功放和听音环境的实际限制，从而改善音质。

片上振荡器可以连接到外部晶振，以便产生主时钟。锁相环(PLL)让ADAU1442/ADAU1445/ADAU1446可以采用各种频率的时钟。PLL可以从 $64 \times f_s$ 、 $128 \times f_s$ 、 $256 \times f_s$ 、 $384 \times f_s$ 或 $512 \times f_s$ 的输入产生内核的内部主时钟，其中 f_s 是正常速率处理模式下的音频采样速率。在双倍或四倍速率模式下，这些乘数分别是原来的二分之一或四分之一。系统采样速率包括但不限于44.1 kHz、48 kHz、88.2 kHz、96 kHz和192 kHz。

ADAU1442/ADAU1445/ADAU1446均采用1.8 V数字电源和3.3 V模拟电源供电。使用片上电压调节器时，器件可以采用3.3 V单电源供电。

ADAU1442/ADAU1445/ADAU1446有一个先进的控制端口，支持完整地读取和写入除只读地址以外的所有存储器位置。它们还具有控制寄存器，可以全面地控制芯片的配置和串行模式。同时集成交握功能，以方便存储器上传和下载。ADAU1442/ADAU1445/ADAU1446均可配置为SPI或I²C控制。程序RAM、参数RAM和寄存器内容可以保存于外部EEPROM中，ADAU1442/ADAU1445/ADAU1446在启动时可以从外部EEPROM自引导。

ADAU1442/ADAU1445/ADAU1446串行端口采用数字音频I/O并兼容I²S、左对齐、右对齐或TDM模式。灵活的串行数据端口允许直接与各种ADC、DAC和通用DSP互连。片上S/PDIF发射器和接收器与16通道ASRC搭配，使得可轻松兼容大量外部器件且系统最多支持9种采样速率。

灵活的音频路由矩阵(FARM)是一个多路复用器系统，用于在串行输入和输出、音频内核和ASRC之间分配ADAU1442/ADAU1445/ADAU1446中的音频信号。通过设置相应的寄存器，可以轻松配置FARM。

ADAU1442、ADAU1445和ADAU1446的区别之处在于片上ASRC数量和最大采样速率。ADAU1442内置八个2通道ASRC，ADAU1445内置两个8通道ASRC，ADAU1446则没有ASRC。

输入端和输出端的两组串行端口可以采用灵活的特殊TDM模式，允许用户以可变位深度单独向音频流分配特定于字节的位置。此模式确保能够与使用类似灵活TDM流的编解码器兼容。

ADAU1442/ADAU1445/ADAU1446的内核是一款针对音频处理而优化的28位DSP(使用双精度模式时则为56位DSP)，在处理音频时采样速率最高达192 kHz。程序和参数RAM可以利用定制音频处理信号流程加载，使用ADI公司的SigmaStudio图形编程软件可以构建该信号流程。参数RAM中存储的值控制各信号处理模块，如IIR和FIR均衡滤波器、动态处理器、音频延迟和混频器电平等。软件安全加载特性支持透明地进行参数更新，并能防止输出信号出现咔嚓声。

CRC和程序计数器看门狗等可靠性特性则有助于确保系统能够检测到与存储器损坏相关的任何错误并从中恢复。

S/PDIF信号可以通过ASRC路由，以便在DSP中进行处理，或者直接发送到MP引脚输出恢复嵌入式音频信号。嵌入式信号的其它成分(包括状态和用户位)并不会丢失，而是也会通过MP引脚输出。

这些器件利用多用途(MP)引脚提供简单的用户接口，而无需外部微控制器。利用十二个这样的引脚，它们可以接收外部控制信号输入，以及向系统中的其它器件输出标志或控制信号。或者，其中四个引脚也可以分配给辅助ADC，以与电位计或系统电压等模拟控制搭配使用。作为输入，MP引脚可以连接到按钮、开关、旋转编码器、电位计或其它外部控制电路，以控制内部信号处理程序。配置为输出时，这些引脚可用于驱动LED(带缓冲器)、向微控制器输出标志信号、控制其它IC或连接到应用中的其它外部电路。

可以使用SigmaStudio软件通过控制端口来设置和控制ADAU1442/ADAU1445/ADAU1446。除了设计和调整信号流程外，该软件还可以实时配置所有DSP寄存器，以及将新程序和参数下载到外部自引导EEPROM上。SigmaStudio配有易于使用的图形界面，任何人只要具备音频处理知识，就可以利用该软件轻松设计一个DSP信号流程，并将其移植到目标应用中，而无需编写行级代码。同时，该软件还为经验丰富的DSP编程人员提供了充分的灵活性和编程能力，使其能深入地控制设计。在SigmaStudio中，用户可以通过拖放从库添加信号处理单元、将这些单元依次连在一起、编译设计以及通过控制端口将程序和参数文件加载到ADAU1442/ADAU1445/ADAU1446存储器。而项目链接、编译和下载等复杂任务则全部由该软件自动处理。

在提供的库中包括下列信号处理算法：

- 单精度和双精度双二阶滤波器
- 带峰值或均方根检波功能的单声道和多声道动态处理器
- 混频器和分路器
- 单音和噪声发生器
- 固定和可变增益
- 响度
- 延迟
- 立体声增强
- 动态低音增强
- 噪声和单音源
- 电平检测器
- MP引脚控制和调理

我们还在开发新的处理算法。针对矩阵解码、低音增强和环绕声虚拟器等应用，ADI公司也提供专有算法和第三方算法。有关这些算法的授权事宜，请联系ADI公司。

ADAU1442/ADAU1445/ADAU1446采用了数种省电机制，其中包括数字I/O引脚的可编程焊盘强度以及阻止主时钟到达无用子系统的功能。

ADAU1442/ADAU1445/ADAU1446均在单芯片集成电路上制造，工作温度范围为 -40°C 至 $+105^{\circ}\text{C}$ 。ADAU1442和ADAU1445采用100引脚TQFP封装，并配有裸露焊盘来帮助散热；ADAU1446功耗较低，因此采用的是100引脚LQFP封装。

ADAU1442/ADAU1445/ADAU1446

初始化 上电序列

ADAU1442/ADAU1445/ADAU1446本身具有初始化周期，以便有足够的去锁定PLL和初始化寄存器的值。在RESET的正边沿上，器件会立即通过PLL0、PLL1和PLL2引脚设定PLL设置，并阻止主时钟信号进入芯片子系统。初始化时间从RESET的上升沿开始测量，并取决于XTALI引脚处的信号输入频率(f_{XTALI})。总初始化时间为：

$$1/(f_{XTALI}/D) \times 2^{15} \text{ 秒}$$

其中，D是PLL分频器，由PLL0、PLL1和PLL2引脚设置。表9中说明了各种PLL分频器设置。

例如，如果XTALI的输入信号频率为12.288 MHz，且PLL分频器设置为4(PLL = 0、PLL1 = 1且PLL2 = 0)，那么初始化时间为：

$$1/(12288000/4) \times 2^{15} \text{ 秒} = 0.010667 \text{ 秒 (或 } 10.667 \text{ ms)}$$

在初始化完成之前，不应通过控制端口写入新值。

表8所示为将ADAU1442/ADAU1445/ADAU1446引导至应用要求的工作状态所需的典型时间，假设使用400 kHz I²C时钟或5 MHz SPI时钟加载完整程序、参数集和所有寄存器(9 kB)。现实中，多数应用所用都低于此总量，且无需初始化未使用的程序和参数RAM；因此，总引导时间可能会更短。

程序/参数加载推荐程序

在直接写入模式下将大量数据写入程序或参数RAM时，例如从外部存储器下载RAM的初始内容时，应禁用处理器内核，防止音频输出中出现难听的噪声。在DSP实时操作期间传输少量数据时，例如更新个别参数时，则可以使用软件安全加载机制。更多信息请参阅“软件安全加载”部分。

降低功耗模式

ADAU1442/ADAU1445/ADAU1446芯片的多个部分可以根据需要开启或关闭，以便降低功耗。

表8. 上电时间

PLL锁定时间(ms) ($f_{XTALI} = 12.288 \text{ MHz}$, PLL分频器 = 4)	估计引导时间；加载最多程序/参数/寄存器(ms)			总计(ms)
	I ² C (@ 400 kHz SCL)	SPI (@ 5 MHz CCLK)	SPI (@ 25 MHz CCLK)	
10.667	25	2	0.4	11.067 至 35.667

这包括ASRC、S/PDIF接收器和发射器、辅助ADC和DSP内核。更多信息请参阅“主时钟和PLL模式与设置”部分。

系统初始化序列

在IC可以在DSP中处理音频之前，必须先完成以下初始化序列。(可以根据需要按任意顺序执行第5步至第11步。)

1. 使IC上电并退出复位状态。电源(DVDD、IOVDD和AVDD)的顺序无关紧要。
2. 如果XTALI输入频率为12.288 MHz且PLL分频器设置为4，则至少等待10.667 ms，以便完成初始化(有关使用其它XTALI时如何计算初始化时间的信息，请参阅“上电序列”部分)。
3. 为要使用的所有模块使能主时钟(请参阅“主时钟和PLL模式与设置”部分)。
4. 将DSP内核速率选择寄存器(0xE220)设置为0x001C。这会禁用内核的启动脉冲。
5. 将内核运行位置复位(请参阅“DSP内核模式和设置”部分)。
6. 设置串行输入模式(请参阅“串行输入端口模式寄存器(地址0xE000至地址0xE008)”部分)。
7. 设置串行输出模式(请参阅“串行输出端口模式寄存器(地址0xE040至地址0xE049)”部分)。
8. 设置路由矩阵模式(有关地址0xE080至地址0xE09B的详细信息，请参阅“灵活的音频路由矩阵模式”部分)。
9. 写入参数RAM(地址0x0000至地址0x0FFF)。
10. 写入程序RAM(地址0x2000至地址0x2FFF)。
11. 写入非模数据RAM(地址视SigmaStudio项目文件而定)。
12. 写入所有其它必要的控制寄存器，如ASRC和S/PDIF(地址0xE221至地址0xE24C)。
13. 将DSP内核速率选择寄存器(0xE220)设置为所需值。这会禁用内核的启动脉冲。表12列出了一些有效设置。
14. 将内核运行位置位(请参阅“DSP内核模式和设置”部分)。

主时钟和PLL

使用振荡器

ADAU1442/ADAU1445/ADAU1446可以使用片上振荡器来产生主时钟。但是，必须连接外部晶振，以便形成完整的振荡器电路。片上振荡器设计为采用 $256 \times f_{S,NORMAL}$ 主时钟，因此当 $f_{S,NORMAL}$ 为48 kHz时即为12.288 MHz，当 $f_{S,NORMAL}$ 为44.1 kHz时则为11.2896 MHz。即使内核是在处理双倍或四倍速率信号，此晶振的谐振频率也应位于此范围内。当内核在处理双倍速率信号(例如， $f_{S,DUAL} = 88.2$ kHz或96 kHz)时，晶振的谐振频率应为 $128 \times f_{S,DUAL}$ 。当内核在处理四倍速率信号(例如， $f_{S,QUAD} = 192$ kHz)时，则晶振的谐振频率应为 $64 \times f_{S,QUAD}$ 。

电路中的外部晶振应为工作在基频的AT切割并联谐振器。不应使用陶瓷谐振器。图9显示了正常工作时的推荐晶振电路。

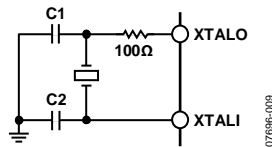


图9. 晶振电路

在XTALO上连接100 Ω阻尼电阻可以在XTALI引脚处向振荡器提供约2.2 V的电压摆幅。晶振并联电容应为7 pF，其由制造商给出的最佳负载电容应为约18 pF，但该电路支持最高25 pF的负载。等效串联电阻也应尽可能小。负载电容 C_L 和负载电容 C_2 的值可以根据晶振负载电容计算，公式如下：

$$C_L = \frac{C_1 \times C_2}{C_1 + C_2} + C_{STRAY}$$

其中， C_{STRAY} 为该电路的杂散电容，通常假设为约2 pF到5 pF。

振荡器电路中的短走线可以减少杂散电容，因而可增加电路的环路增益并有助于避免晶振启动问题。

在ADAU1442/ADAU1445/ADAU1446评估板上， C_1 和 C_2 的电容值均为22 pF。

XTALO不应用于将晶振信号直接驱动至其它IC。此信号是一个模拟正弦波，不适用于驱动数字输入。器件中单独提供了引脚CLKOUT来用于该目的。CLKOUT可以输出 $256 \times f_{S,NORMAL}$ 、

$512 \times f_{S,NORMAL}$ 或晶振信号经过缓冲的数字副本来驱动系统中的其它IC。CLKOUT由CLKMODEx引脚设置。有关CLKOUT的详细说明，请参阅“将ADAU1442/ADAU1445/ADAU1446用作主时钟”部分。

设置主时钟和PLL模式

ADAU1442/ADAU1445/ADAU1446主时钟输入馈入PLL，然后PLL产生 $3584 \times f_{S,NORMAL}$ 时钟(当 $f_{S,NORMAL}$ 为48 kHz时为172.032 MHz)来运行DSP内核。此速率称为 f_{CORE} 。在正常工作中，主时钟的输入必须为下列频率之一： $64 \times f_{S,NORMAL}$ 、 $128 \times f_{S,NORMAL}$ 、 $256 \times f_{S,NORMAL}$ 、 $384 \times f_{S,NORMAL}$ 或 $512 \times f_{S,NORMAL}$ ，其中 $f_{S,NORMAL}$ 是正常速率处理模式下的内核音频采样速率。PLL分频器模式由PLL0、PLL1和PLL2设置，详见表9。

如果ADAU1442/ADAU1445/ADAU1446内核设置为接收双倍速率信号(使用DSP内核速率选择寄存器将每个采样的程序步骤数减少2倍)，则主时钟频率必须为 $32 \times f_{S,DUAL}$ 、 $64 \times f_{S,DUAL}$ 、 $128 \times f_{S,DUAL}$ 、 $192 \times f_{S,DUAL}$ 或 $256 \times f_{S,DUAL}$ 。

如果ADAU1442/ADAU1445/ADAU1446内核设置为接收四倍速率信号(使用DSP内核速率选择寄存器将每个采样的程序步骤数减少4倍)，则主时钟频率必须为 $16 \times f_{S,QUAD}$ 、 $32 \times f_{S,QUAD}$ 、 $64 \times f_{S,QUAD}$ 、 $96 \times f_{S,QUAD}$ 或 $128 \times f_{S,QUAD}$ 。上电时，XTALI上必须存在时钟信号，这样ADAU1442/ADAU1445/ADAU1446才能完成初始化例程。

工作期间无论任何时候，只要从XTALI移除时钟信号，都应复位DSP，以防输出引脚上出现不可预测的行为。若要改变时钟模式，必须同时复位ADAU1442/ADAU1445/ADAU1446。如果在工作中改变模式，输出中将产生咔嚓声或爆音。PLLx引脚的状态应在RESET保持低电平时改变。

锁相环利用PLL模式选择引脚(PLL0、PLL1和PLL2)来从XTALI引脚处存在的任何信号获得 $64 \times f_{S,NORMAL}$ 时钟。然后将该时钟信号乘以56来产生内核时钟。因此， f_{CORE} 为 $3584 \times f_{S,NORMAL}$ 。在 $f_{S,NORMAL}$ 等于48 kHz的系统中，PLL获得3.072 MHz时钟，然后将其乘以56来产生172.032 MHz内核时钟。

内核时钟(f_{CORE})不得超过172.032 MHz，但在某些应用中可能会更小。

ADAU1442/ADAU1445/ADAU1446

表9. PLL模式

DSP内核速率 ¹	MCLK输入 (XTALI引脚)	PLL2	PLL1	PLL0	PLL 分频器 ²	内核时钟 倍频器	内核时钟 (f_{CORE})	每个采样的指令数
正常	$64 \times f_{S,NORMAL}$	0	0	0	1	56	$3584 \times f_{S,NORMAL}$	3584
	$128 \times f_{S,NORMAL}$	0	0	1	2	56	$3584 \times f_{S,NORMAL}$	3584
	$256 \times f_{S,NORMAL}$	0	1	0	4	56	$3584 \times f_{S,NORMAL}$	3584
	$384 \times f_{S,NORMAL}$	0	1	1	6	56	$3584 \times f_{S,NORMAL}$	3584
	$512 \times f_{S,NORMAL}$	1	0	0	8	56	$3584 \times f_{S,NORMAL}$	3584
双倍	$32 \times f_{S,DUAL}$	0	0	0	1	56	$1792 \times f_{S,DUAL}$	1792
	$64 \times f_{S,DUAL}$	0	0	1	2	56	$1792 \times f_{S,DUAL}$	1792
	$128 \times f_{S,DUAL}$	0	1	0	4	56	$1792 \times f_{S,DUAL}$	1792
	$192 \times f_{S,DUAL}$	0	1	1	6	56	$1792 \times f_{S,DUAL}$	1792
	$256 \times f_{S,DUAL}$	1	0	0	8	56	$1792 \times f_{S,DUAL}$	1792
四倍	$16 \times f_{S,QUAD}$	0	0	0	1	56	$896 \times f_{S,QUAD}$	896
	$32 \times f_{S,QUAD}$	0	0	1	2	56	$896 \times f_{S,QUAD}$	896
	$64 \times f_{S,QUAD}$	0	1	0	4	56	$896 \times f_{S,QUAD}$	896
	$96 \times f_{S,QUAD}$	0	1	1	6	56	$896 \times f_{S,QUAD}$	896
	$128 \times f_{S,QUAD}$	1	0	0	8	56	$896 \times f_{S,QUAD}$	896

¹ 如果正常的DSP内核速率($f_{S,NORMAL}$)为44.1 kHz, 那么双倍DSP内核速率($f_{S,DUAL}$)为88.2 kHz, 四倍DSP内核速率($f_{S,QUAD}$)则为176.4 kHz。同样, 如果 $f_{S,NORMAL}$ 为48 kHz那么 $f_{S,DUAL}$ 为96 kHz, $f_{S,QUAD}$ 为192 kHz。

² PLL分频器由PLLx引脚设置。

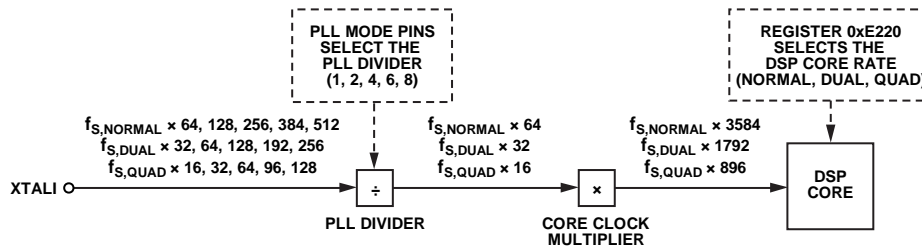


图10. 主时钟信号流程

07596-010

PLL环路滤波器

PLL环路滤波器应连接到PLL_FILT引脚。如图11所示，此滤波器包括三个无源元件：2个电容和1个电阻。这些元件的值无需太精确，电阻的容差可达10%，每个电容的容差可达20%。图中所示的3.3 V信号可以连接到芯片的PVDD电源。

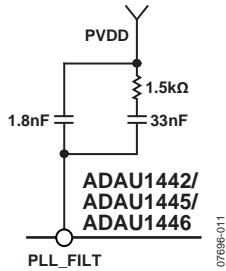


图11. PLL环路滤波器

将ADAU1442/ADAU1445/ADAU1446用作主时钟

要从ADAU1442/ADAU1445/ADAU1446输出主时钟到系统中的其它芯片，可以使用CLKOUT引脚。要设置此时钟信号的频率，必须设置CLKMODEx引脚(见表10)。

表10. CLKOUT模式

CLKOUT信号	CLKMODE1	CLKMODE0
禁用	0	0
缓冲振荡器	0	1
$256 \times f_{S,NORMAL}$	1	0
$512 \times f_{S,NORMAL}$	1	1

主时钟和PLL模式与设置

DSP内核速率选择寄存器(地址0xE220)

内核的启动脉冲将启动内核操作并决定内核中处理信号的采样速率。此脉冲可以由三个内部产生的 f_s 信号($f_{S,NORMAL}$ 、 $f_{S,DUAL}$ 或 $f_{S,QUAD}$)之一、12个串行输入 f_s 信号(与串行输入端口相关的LRCLK信号)之一、12个串行输出 f_s 信号(与串行输出端口相关的LRCLK信号)之一或从S/PDIF接收器输入恢复的LRCLK产生。

通过设置DSP内核速率选择寄存器的值可以设置DSP内核的速度(见表12)。默认情况下，内核以正常的DSP内核速率处理信号，因此内核时钟为 $3584 \times f_{S,NORMAL}$ 。对于内核以双倍速率处理信号的系统，启动脉冲应设置为内部产生的双倍速率，内核时钟则为 $1792 \times f_{S,DUAL}$ 。对于内核以四倍速率处理信号的系统，启动脉冲应设置为内部产生的四倍速率，内核时钟则为 $896 \times f_{S,QUAD}$ 。

主时钟使能开关寄存器(地址0xE280)

为了省电，芯片的各个部分可以开关。通过将相应位设置为0，可以禁用相应的子系统，而通过将该位设置为1，则可以使能该子系统。这是器件上电并完成初始化后应设置的第一个寄存器。若未设置此寄存器，可能会影响之后的寄存器写入。

表11. 寄存器0xE280的位功能描述

位位置	描述 ¹	默认值
[15:9]	保留	
8	使能至辅助ADC的MCLK	0
7	使能至S/PDIF发射器的MCLK	0
6	使能至S/PDIF接收器的MCLK	0
5	使能至DSP内核的MCLK	0
4	使能至立体声ASRC[7:4]的MCLK ²	0
3	使能至立体声ASRC[3:0]的MCLK ²	0
2	使能至串行输出的MCLK	0
1	使能至串行输入的MCLK	0
0	使能至灵活音频路由矩阵(FARM)的MCLK	0

¹ 0 = 禁用，1 = 使能。

² 详情见“灵活的音频路由矩阵—输入端”部分。

ADAU1442/ADAU1445/ADAU1446

表12. 寄存器0xE220的位功能描述

位位置	描述	默认值
[15:5]	保留	
[4:0]	启动脉冲选择 00000 = 内部产生的正常速率($f_{S,NORMAL}$) 00001 = 内部产生的双倍速率($f_{S,DUAL}$) 00010 = 内部产生的四倍速率($f_{S,QUAD}$) 00011 = 来自串行输入立体声对0的 f_s^1 00100 = 来自串行输入立体声对1的 f_s^1 00101 = 来自串行输入立体声对2的 f_s^1 00110 = 来自串行输入立体声对3的 f_s^1 00111 = 来自串行输入立体声对4的 f_s^1 01000 = 来自串行输入立体声对5的 f_s^1 01001 = 来自串行输入立体声对6的 f_s^1 01010 = 来自串行输入立体声对7的 f_s^1 01011 = 来自串行输入立体声对8的 f_s^1 01100 = 来自串行输入立体声对9的 f_s^1 01101 = 来自串行输入立体声对10的 f_s^1 01110 = 来自串行输入立体声对11的 f_s^1 01111 = 来自串行输出立体声对0的 f_s^1 10000 = 来自串行输出立体声对1的 f_s^1 10001 = 来自串行输出立体声对2的 f_s^1 10010 = 来自串行输出立体声对3的 f_s^1 10011 = 来自串行输出立体声对4的 f_s^1 10100 = 来自串行输出立体声对5的 f_s^1 10101 = 来自串行输出立体声对6的 f_s^1 10110 = 来自串行输出立体声对7的 f_s^1 10111 = 来自串行输出立体声对8的 f_s^1 11000 = 来自串行输出立体声对9的 f_s^1 11001 = 来自串行输出立体声对10的 f_s^1 11010 = 来自串行输出立体声对11的 f_s^1 11011 = 来自S/PDIF接收器的 f_s^1 11100 = 无启动脉冲; 内核禁用 11101 = 无启动脉冲; 内核禁用 11110 = 无启动脉冲; 内核禁用 11111 = 无启动脉冲; 内核禁用	00000

¹ f_s 是灵活音频路由矩阵中相关立体声音频对的LRCLK, 其频率取决于相关串行端口及时钟Pad多路复用器的设置。DSP内核速率选择寄存器的目标功能是允许DSP内核与任意串行端口或S/PDIF接收器正在使用的外部LRCLK信号进行同步。

电压调节器

ADAU1442/ADAU1445/ADAU1446的数字电源电压必须设置为1.8 V。该芯片内置一个片上电压调节器，以便器件能够用于没有1.8 V电源但有3.3 V电源的系统中。为此，所需的外部元件只有一个PNP晶体管和一个电阻。只需要一个引脚VDRIVE来支持该调节器。

电压调节器的推荐设计如图12所示。图中所示的10 μF和100 nF电容是推荐的旁路电容，但不是正常工作所必需的。DVDD引脚应有各自的100 nF旁路电容，但所有引脚只需要一个大电容(10 μF)。在此设计中，3.3 V是系统主电压，1.8 V产生于晶体管的集电极，并连接到DVDD引脚。VDRIVE连接到PNP晶体管的基极。如果设计中不使用调节器，VDRIVE可以接地。

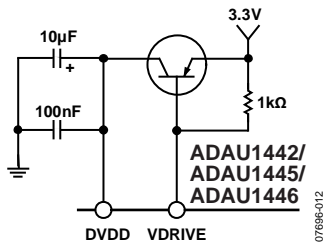


图12. 电压调节器设计

选择调节器晶体管时，必须考虑两个要求：电流放大系数 (h_{FE} 或 β)至少应为200，并且集电极必须能够散除工作时(将3.3 V调节为1.8 V)产生的热量。ADAU1442和ADAU1445均使用ASRC，最大数字吸电流为310 mA。确定晶体管最小功耗规格的公式如下：

$$(3.3 \text{ V} - 1.8 \text{ V}) \times 310 \text{ mA} = 465 \text{ mW}$$

许多晶体管都符合上述规格。ADI公司推荐使用On Semiconductor提供的NJT4030P。对于存在严格尺寸限制的项目，可以使用Zetex提供的FMMT734。

ADAU1446不包含ASRC，因此最大数字吸电流略低，约为235 mA。这种情况下，晶体的最大功耗应该约为355 mW。

SRC群延迟

采样速率转换器的群延迟取决于输入和输出采样频率，具体如下式所示。

对于 $f_{S_OUT} > f_{S_IN}$

$$GDS = \frac{16}{f_{S_IN}} + \frac{32}{f_{S_IN}}$$

对于 $f_{S_OUT} < f_{S_IN}$

$$GDS = \frac{16}{f_{S_IN}} + \left(\frac{32}{f_{S_IN}} \right) \times \left(\frac{f_{S_IN}}{f_{S_OUT}} \right)$$

其中，GDS为群延迟(单位：秒)。

ADAU1442/ADAU1445/ADAU1446

控制端口 概览

ADAU1442/ADAU1445/ADAU1446有三种控制模式：I²C控制模式、SPI控制模式和自引导模式(无外部控制器)。

ADAU1442/ADAU1445/ADAU1446具有一个4线SPI控制端口和一个2线I²C总线控制端口。各端口均可以用来设置RAM和寄存器。如果上电时SELFB_{OOT}引脚为低电平，则该芯片默认采用I²C模式，但通过将CLATCH引脚拉低三次，就可以将其置于SPI控制模式。如果上电时SELFB_{OOT}引脚为高电平，则ADAU1442/ADAU1445/ADAU1446在启动时从外部EEPROM加载程序、参数和寄存器设置。

控制端口能够对除只读外的所有存储器和寄存器执行全面的读写操作。大多数信号处理参数是通过利用控制端口向参数RAM写入新值来控制。其它功能则是通过写入寄存器来编程，如静音和输入/输出模式控制等。

单字模式或突发模式下均能访问所有地址。控制字由芯片地址、寄存器/RAM子地址和要写入的数据组成。每个字的字节数取决于写入数据的类型。

控制字的首字节(字节0)包含7位芯片地址和R/W位。接下来的两个字节(字节1和字节2)共同构成ADAU1442/ADAU1445/ADAU1446内存存储器或寄存器位置的子地址。此子地址必须为双字节，因为ADAU1442/ADAU1445/ADAU1446内的存储器位置是可以直接寻址的，其大小超过了单字节寻址的范围。后续的所有字节(从字节3开始)包含数据，如控制端口数据、程序数据或参数数据。特定类型写操作的确切格式如图13和图19所示。

ADAU1442/ADAU1445/ADAU1446有多种机制来实时更新信号处理参数，同时不会造成输出中出现爆音或咔嚓声。如果必须下载大数据块，可以暂停DSP内核的输出，加载新数据，然后重新启动DSP内核的输出。这通常是在启动时的引导序列中或向RAM加载新程序时执行。如果只须更改几个参数，则无需暂停程序便可加载。软件安全加载机制就是用于该目的，其可以缓冲完整的参数集(例如双二阶滤波器的5个系数)，然后在一个音频帧内将这些参数传输到活动程序中。

控制端口引脚是多功能引脚，具体功能取决于器件的工作模式。表16列出了这些功能。

I²C端口

ADAU1442/ADAU1445/ADAU1446支持2线串行(I²C兼容)微处理器总线驱动多个外设。两个引脚——串行数据(SDA)和串行时钟(SCL)——承载ADAU1442/ADAU1445/ADAU1446与系统I²C主控制器之间的信息。在I²C模式下，ADAU1442/ADAU1445/ADAU1446始终是总线上的从机，意味着这些器件不能启动数据传输。

每个从机都通过一个唯一的地址识别。地址位序列如表13所示。ADAU1442/ADAU1445/ADAU1446有8个可能的从机地址：其中四个地址用于写操作，另外四个地址用于读操作。这些是器件的唯一地址，具体如表14所示。

用户可以使用SigmaStudio“hardware configuration(硬件配置)”选项卡中的USBi通信通道列表来与这些地址进行通信。该字节的LSB设置读或写操作；逻辑电平1对应于读操作，逻辑电平0则对应于写操作。地址位5和地址位6可以通过将ADAU1442/ADAU1445/ADAU1446的ADDR_x引脚连接至逻辑电平0或逻辑电平1来设置。SDA和SCL都应在所连接的线路上有上拉电阻(标准值为2.0 kΩ，但可以更改，具体取决于线路上的容性负载)。这些信号线上的电压不应高于IOVDD电压(3.3 V)。

表13. ADAU1442/ADAU1445/ADAU1446地址位序列

位0	位1	位2	位3	位4	位5	位6	位7
0	1	1	1	0	ADDR1	ADDR0	R/W

表14. ADAU1442/ADAU1445/ADAU1446 I²C从机地址

ADDR1	ADDR0	读/写 ¹	从机地址
0	0	0	0x70
0	0	1	0x71
0	1	0	0x72
0	1	1	0x73
1	0	0	0x74
1	0	1	0x75
1	1	0	0x76
1	1	1	0x77

¹0 = 写入，1 = 读取。

寻址

开始时，I²C总线上的所有器件均处于空闲状态，并在该状态下监控SDA和SCL线有无起始条件和适当的地址。I²C主机通过建立起始条件而启动数据传输；起始条件要求SDA发生高低转换，同时SCL保持高电平。这表示随后将出现地址或地址和数据流。总线上的所有器件都对起始条件做出响应，并对接下来的8个位(7位地址加R/W位)以MSB优

先方式移位。在第9个时钟脉冲期间，能够识别所发送地址的器件通过将数据线拉低来做出响应。此第9位称为应答位。此时，所有其它器件从总线退出，返回空闲状态。R/W位决定数据的方向。如果第一个字节的LSB为逻辑0，则意味着主机将信息写入外设，而如果为逻辑1，则意味着主机将从外设读取信息。数据传输将持续到发生停止条件。停止条件是指在SCL处于高电平时，SDA上发生低电平至高电平跃迁。图13所示为I²C写操作的时序。

突发模式寻址可以用于将大量数据写入相邻的存储器位置。在这种模式下，子地址会在子地址边界处自动递增。这种递增自动发生，除非在单字写入后遇到停止条件。ADAU1445/ADAU1446寄存器和RAM的宽度为1字节到5字节不等，因此自动递增特性知道子地址与目标寄存器(或存储器位置)字长之间的映射关系。数据传输总是由停止条件终止。

数据传输过程中的任何阶段都可以检测停止和起始条件。如果这些条件的置位打破了正常的读写操作顺序，则将造成器件立即跳出到空闲状态。在给定的SCL高电平期间，用户只应发送一个起始条件或一个停止条件，或者先发送单一停止条件，再发送单一起始条件。如果用户发送的子地址无效，ADAU1442/ADAU1445/ADAU1446不会发送应答，而是直接返回到空闲状态。在自动递增模式下，如果用户地址超过了最高子地址，则器件会采取以下其中一种措施。在读取模式下，ADAU1442/ADAU1445/ADAU1446输出最高子地址寄存器的内容，直到主机发送不应答，表示读取结束。不应答条件是指在SCL的第9个时钟脉冲期间，SDA线未被拉低。在写入模式下，ADAU1442/ADAU1445/ADAU1446不会将无效字节的数据载入任何子地址寄存器，而是发送

不应答，然后返回空闲状态。

I²C读和写操作

图15给出了单字写操作的时序。在每第9个时钟脉冲，ADAU1442/ADAU1445/ADAU1446都会通过拉低SDA来发送应答。

图16给出了突发模式写操作的时序。该图显示了一个目标寄存器为2字节的例子。每写完两个字节后，ADAU1442/ADAU1445/ADAU1446知道应递增其子地址寄存器，因为请求的子地址对应于2字节字长的寄存器或存储器区域。

单字读操作的序列如图17所示。注意，尽管这是一个读操作，但第一个R/W为0，表示写操作。这是因为必须写入子地址，以便设置内部地址。在ADAU1442/ADAU1445/ADAU1446确认接收到子地址后，主机必须发送一个重复起始命令，然后再发送R/W位设为1(表示读操作)的芯片地址字节。这会使得ADAU1442/ADAU1445/ADAU1446的SDA引脚切换方向并开始将数据驱动回至主机。然后，主机在每第9个脉冲做出响应，向ADAU1442/ADAU1445/ADAU1446发送应答脉冲。

图18给出了突发模式读操作的时序。该图显示了一个目标读取寄存器为2字节的例子。每读完两个字节后，ADAU1442/ADAU1445/ADAU1446递增其子地址，因为请求的子地址对应于2字节字长的寄存器或存储器区域。其它地址范围可以有不同的字长度，从1个字节到5个字节不等；ADAU1442/ADAU1445/ADAU1446总是解码子地址并设置自动递增电路，使得地址在读取适当数量的字节之后递增。

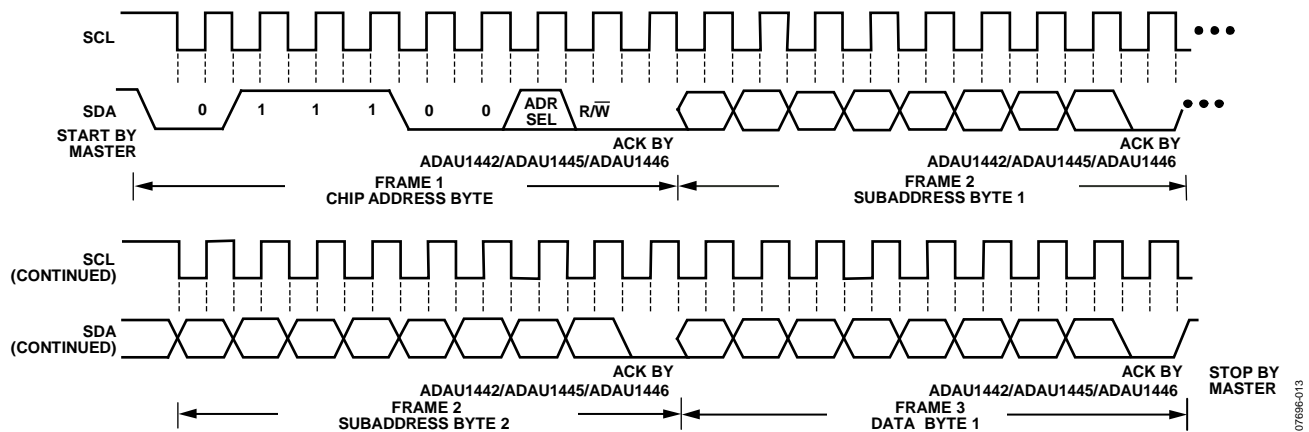


图13. I²C写入时序

ADAU1442/ADAU1445/ADAU1446

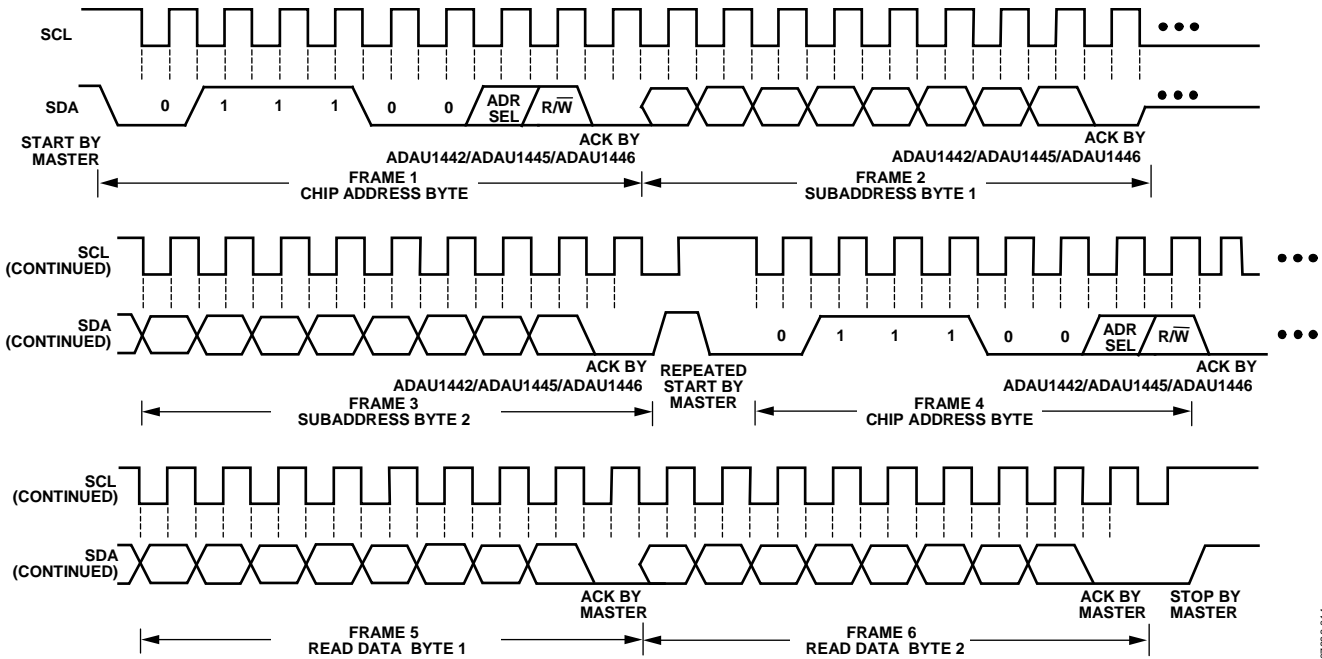
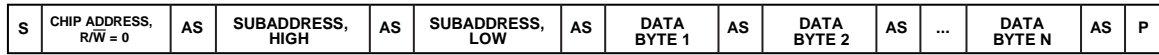
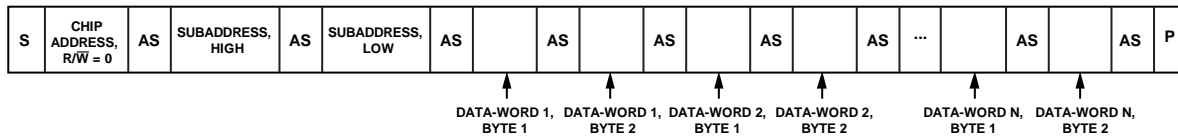


图14. I²C读取时序



S = START BIT, P = STOP BIT, AM = ACKNOWLEDGE BY MASTER, AS = ACKNOWLEDGE BY SLAVE. SHOWS A ONE-WORD WRITE, WHERE EACH WORD HAS N BYTES.

图15. 单字I²C写入时序



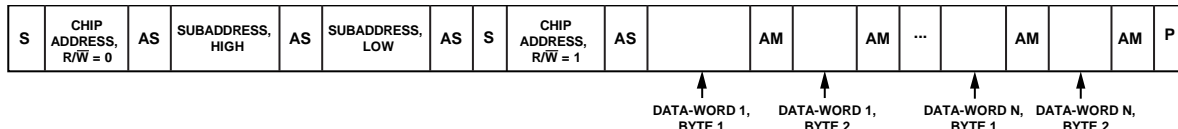
S = START BIT, P = STOP BIT, AM = ACKNOWLEDGE BY MASTER, AS = ACKNOWLEDGE BY SLAVE. SHOWS AN N-WORD WRITE, WHERE EACH WORD HAS TWO BYTES. (OTHER WORD LENGTHS ARE POSSIBLE, RANGING FROM ONE TO FIVE BYTES.)

图16. 突发模式I²C写入时序



S = START BIT, P = STOP BIT, AM = ACKNOWLEDGE BY MASTER, AS = ACKNOWLEDGE BY SLAVE. SHOWS A ONE-WORD READ, WHERE EACH WORD HAS N BYTES.

图17. 单字I²C读取时序



S = START BIT, P = STOP BIT, AM = ACKNOWLEDGE BY MASTER, AS = ACKNOWLEDGE BY SLAVE. SHOWS AN N-WORD READ, WHERE EACH WORD HAS TWO BYTES. (OTHER WORD LENGTHS ARE POSSIBLE, RANGING FROM ONE TO FIVE BYTES.)

图18. 突发模式I²C读取时序

SPI端口

ADAU1442/ADAU1445/ADAU1446默认采用I²C模式，但通过将CLATCH引脚拉低三次，就可以将其置于SPI控制模式。每个低电平脉冲的最短持续时间应为 20 ns，则脉冲之间的延迟至少应为20 ns。

SPI端口使用4线接口(包括CLATCH、CCLK、CDATA和COUT信号)。CLATCH信号在处理开始时变为低电平，在处理结束时变为高电平。CCLK信号在低高转换时锁存CDATA。COUT数据在CCLK下降沿移出ADAU1442/ADAU1445/ADAU1446，应在下一个CCLK下降沿(如果符合t_{COV}时序则为上升沿)输入一个接收器件，如微控制器等。CDATA信号承载串行输入数据，COUT信号承载串行输出数据。在请求执行读操作之前，COUT信号处于三态。这样，其它SPI兼容外设可以共享同一回读线路。所有SPI处理都具有表15所示的相同字序列(SPI端口时序图参见图4)。所有数据都应以MSB优先方式写入。

芯片地址R/W

SPI处理的首字节包含7位芯片地址和R/W位。芯片地址由ADDR0引脚设置。这使得两个ADAU1442/ADAU1445/ADAU1446

可以共用一个CLATCH信号，同时各自仍然独立工作。当ADDR0为低电平时，芯片地址为0000000；当ADDR0为高电平时，该地址为0000001。第一个字节的LSB决定SPI处理是读操作(逻辑电平1)还是写操作(逻辑电平0)。用户可以使用SigmaStudio“hardware configuration(硬件配置)”选项卡中的USBi通信通道列表，通过最多五个锁存信号来与两个IC进行通信。

子地址

16位子地址字解码为一个存储器或寄存器的位置。此子地址即为相应RAM位置或寄存器的位置。

数据字节

数据字节数取决于所访问的寄存器或存储器。在突发写入模式中，初始子地址之后是连续的数据序列，以供写入连续的存储器或寄存器位置。

图19给出了对参数RAM执行单次SPI写操作的示例时序图。图20给出了单次SPI读操作的示例时序图。在字节3开始时，COUT引脚从三态变为高电平。本例中，字节0至字节2包含地址和R/W位，后续字节承载数据。

表15. 通用控制字序列

字节0	字节1	字节2	字节3	字节4 ¹
芯片地址[6:0], R/W	子地址[15:8]	子地址[7:0]	数据	数据

¹ 持续到数据结束。

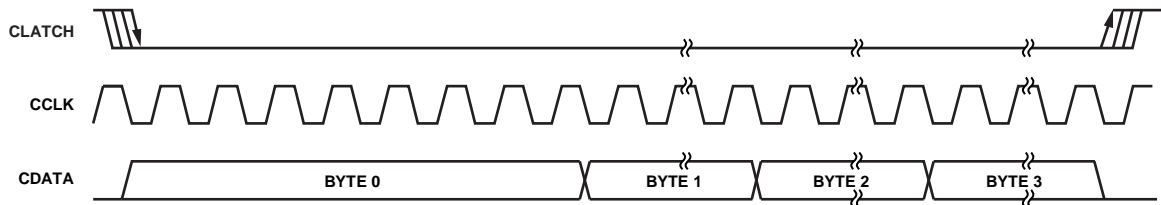


图19. SPI写入时序(单次写模式)

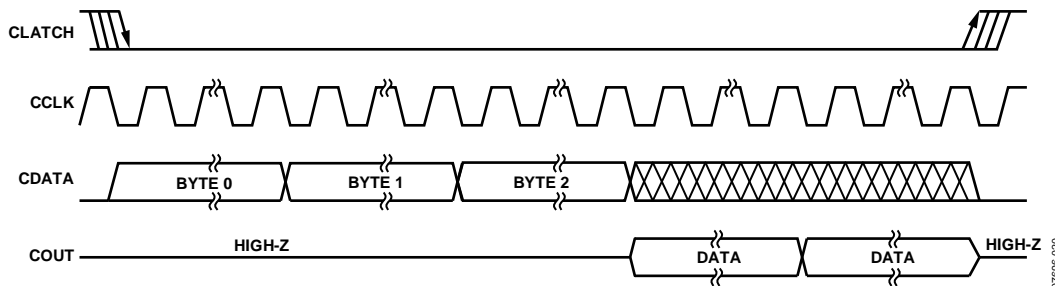


图20. SPI读取时序(单次读模式)

ADAU1442/ADAU1445/ADAU1446

自引导

上电时，ADAU1442/ADAU1445/ADAU1446可以加载外部EEPROM中保存的程序和一组参数。该功能以及辅助ADC和多功能引脚使简单音频系统无需微控制器。要完成自引导，启动时SELFB00T引脚应设为高电平，ADAU1442/ADAU1445/ADAU1446充当I²C总线上的主机。ADAU1442/ADAU1445/ADAU1446无法在SPI模式下自引导。

所需的最大EEPROM空间为40,960字节或40 kB。只有当程序RAM(4096 × 6字节)和参数RAM(4096 × 4字节)全满时，才需要这么多的存储器空间。

当SELFB00T引脚被设为高电平时，便会在RESET上升沿触发自引导操作，且会在PLL锁定10ms后发生。ADAU1442/ADAU1445/ADAU1446从EEPROM读取程序、参数和寄存器数据。ADAU1442/ADAU1445/ADAU1446完成自引导后，附加消息可以通过I²C总线发送到ADAU1442/ADAU1445/ADAU1446，但在自引导应用中，这通常是不需要的。在该模式下，写操作的I²C器件地址为0x68，读操作为0x69。当芯片处于该模式时，ADDRx引脚具有不同的功能；因此，这些引脚上的设置被忽略。

在自引导期间，ADAU1442/ADAU1445/ADAU1446是I²C总线上的主机。应注意，自引导期间I²C总线上没有其它器件尝试执行写操作。ADAU1442/ADAU1445/ADAU1446产生

的SCL等于 $8 \times f_s$ ；因此，当 f_s^{NORMAL} 为48 kHz时，SCL以384 kHz的频率运行。根据I2C规范，SCL的占空比为3%。

ADAU1442/ADAU1445/ADAU1446从EEPROM芯片地址0xA1读取数据。某些EEPROM的地址LSB可通过引脚配置；大多数情况下，这些引脚应连接低电平以设置该地址。SigmaStudio在地址0xA0处写入EEPROM。

EEPROM格式

EEPROM数据包含一系列消息。每个离散的消息都属于表17中定义的4种类型之一，并由一系列单字节或多字节组成。第一个字节定义消息类型。字节以MSB优先方式写入。多数消息属于块写入(0x01)类型，用于写入ADAU1442/ADAU1445/ADAU1446程序RAM、参数RAM和控制寄存器。

消息类型之后是消息正文，应以表示消息长度的两个字节开始，然后是表示芯片地址的一个字节。像所有其它控制端口处理一样，在此之后是一个2字节寄存器或存储器地址域。

SigmaStudio能够利用称为“write latest compilation to E2PROM (将最新编译文件写入E2PROM)”的功能产生必要的EEPROM数据，来使得ADAU1442/ADAU1445/ADAU1446进行自引导。在“hardware configuration(硬件配置)”窗口中右键单击ADAU1442/ADAU1445/ADAU1446 IC便可访问此功能。

表16. 控制端口引脚的功能

引脚	I ² C模式	SPI模式	自引导
SCL/CCLK	SCL—输入	CCLK—输入	SCL—输出
SDA/COUT	SDA—开集输出	COUT—输出	SDA—开集输出
ADDR1/CDATA	ADDR1—输入	CDATA—输入	未用输入—接地或接电源
CLATCH	未用输入—接地或接电源	CLATCH—输入	未用输入—接地或接电源
ADDR0	ADDR0—输入	ADDR0—输入	未用输入—接地或接电源

表17. EEPROM消息类型

消息ID	消息类型	后续字节
0x00	结束	无
0x01	写入	一个字节表示消息长度(包含芯片地址和子地址)，一个字节表示芯片地址，两个字节表示子地址，以及相应数量的数据字节。
0x02	延迟	2个字节
0x03	无操作	无

串行数据输入/输出

ADAU1442/ADAU1445/ADAU1446灵活的串行数据输入和输出端口可以设置为以2通道格式(通常为I²S格式)、压缩TDM4或标准4、8或16通道TDM流格式接收或发送数据。数据以二进制补码、MSB优先格式进行处理。在2通道流中,左声道数据域始终先于右声道数据域。在TDM_n模式下(其中n表示流中的通道总数),时隙0至时隙(n/2) - 1是音频帧的前半部分,时隙n/2至时隙n - 1是音频帧的后半部分。TDM模式所用的串行数据引脚更少,从而可以留出更多引脚来用于其它数据流。串行模式在串行输出端口模式和串行输入端口模式控制寄存器中设置。

指代音频数据流时,应注意区分“TDM2”和“I²S”两个术语。在本文中,“TDM2”表示任意2通道流,而“I²S”特指2通道、负BCLK极性、负LRCLK极性、MSB延迟1流。

串行数据时钟是完全双向的,无需与ADAU1442/ADAU1445/ADAU1446主时钟输入同步。但是,异步数据流必须通过片上异步采样速率转换进行路由,才可以在内核中进行处理。

输入控制寄存器可以控制时钟极性和数据输入模式。所有常见数据格式均提供灵活的MSB起始、位深度(24、20或16位)和TDM设置。在除右对齐模式以外的所有其它模式下,串行端口接受最多24位的任意位数。多余的位不会导致错误,但会被内部截断。为使右对齐模式正确工作,每个音频帧必须恰好有64 BCLK(对于2通道数据)。在TDM模式下,LRCLK可以作为50/50占空比时钟或一位宽脉冲输入ADAU1442/ADAU1445/ADAU1446。

在TDM模式中,主机模式下ADAU1442/ADAU1445/ADAU1446提供的位时钟限于25 MHz。这样会限制不同TDM模式下提供主时钟的采样速率。表18所示为一些常见音频采样速率下串行输出端口的工作模式。

利用输出控制寄存器,用户可以控制时钟极性、时钟频率、时钟类型和数据格式。在除右对齐模式以外的所有其

它模式下(MSB延迟8、12或16),串行端口接受最多24位的任意位数。多余的位不会导致错误,但会被内部截断。为使右对齐模式正确工作,LSB必须与LRCLK的边沿对齐。所有串行端口控制寄存器的默认设置对应于2通道、I²S模式和24位从机模式,并且这些寄存器设置作为其通道号所对应时钟域的从机。

表18. 串行输入和输出端口TDM功能

模式	每个帧的BCLK周期数	f _s (kHz)	BCLK频率 (MHz)	有效模式
TDM2	64	44.1	2.8224	是
	64	48	3.072	是
	64	88.2	5.6448	是
	64	96	6.144	是
	64	192	12.288	是
TDM4	128	44.1	5.6448	是
	128	48	6.144	是
	128	88.2	11.2896	是
	128	96	12.288	是
	128	192	24.576	是
TDM8	256	44.1	11.2896	是
	256	48	12.288	是
	256	88.2	22.5792	是
	256	96	24.576	是
	256	192	49.152	否 ¹
TDM16	512	44.1	22.5792	是
	512	48	24.576	是
	512	88.2	45.1584	否 ¹
	512	96	49.152	否 ¹
	512	192	98.304	否 ¹

¹ 该器件不支持此模式。

与外部DAC的连接由输出端口引脚专门处理。LRCLK_x和BCLK_x引脚可以设置为主机或从机,SDATA_OUT引脚用于将数据从SigmaDSP输出到外部DAC。

表19所示为标准音频数据格式的正确配置,而图21显示了串行数据输入/输出端口的概览。

ADAU1442/ADAU1445/ADAU1446

表19. 标准音频数据格式的配置

格式	LRCLK极性	LRCLK类型	BCLK极性	MSB位置
I ² S (图22)	帧在下降沿开始	时钟	数据在下降沿改变	从LRCLKx边沿起延迟1 BCLK
左对齐 (图23)	帧在上升沿开始	时钟	数据在下降沿改变	与LRCLKx边沿对齐
右对齐 (图24)	帧在上升沿开始	时钟	数据在下降沿改变	从LRCLKx边沿起延迟8、12或16 BCLK
采用时钟的TDM (图25)	帧在下降沿开始	时钟	数据在下降沿改变	从帧时钟开始起延迟1 BCLK
采用脉冲的TDM (图26)	帧在上升沿开始	脉冲	数据在下降沿改变	从帧时钟开始起延迟1 BCLK

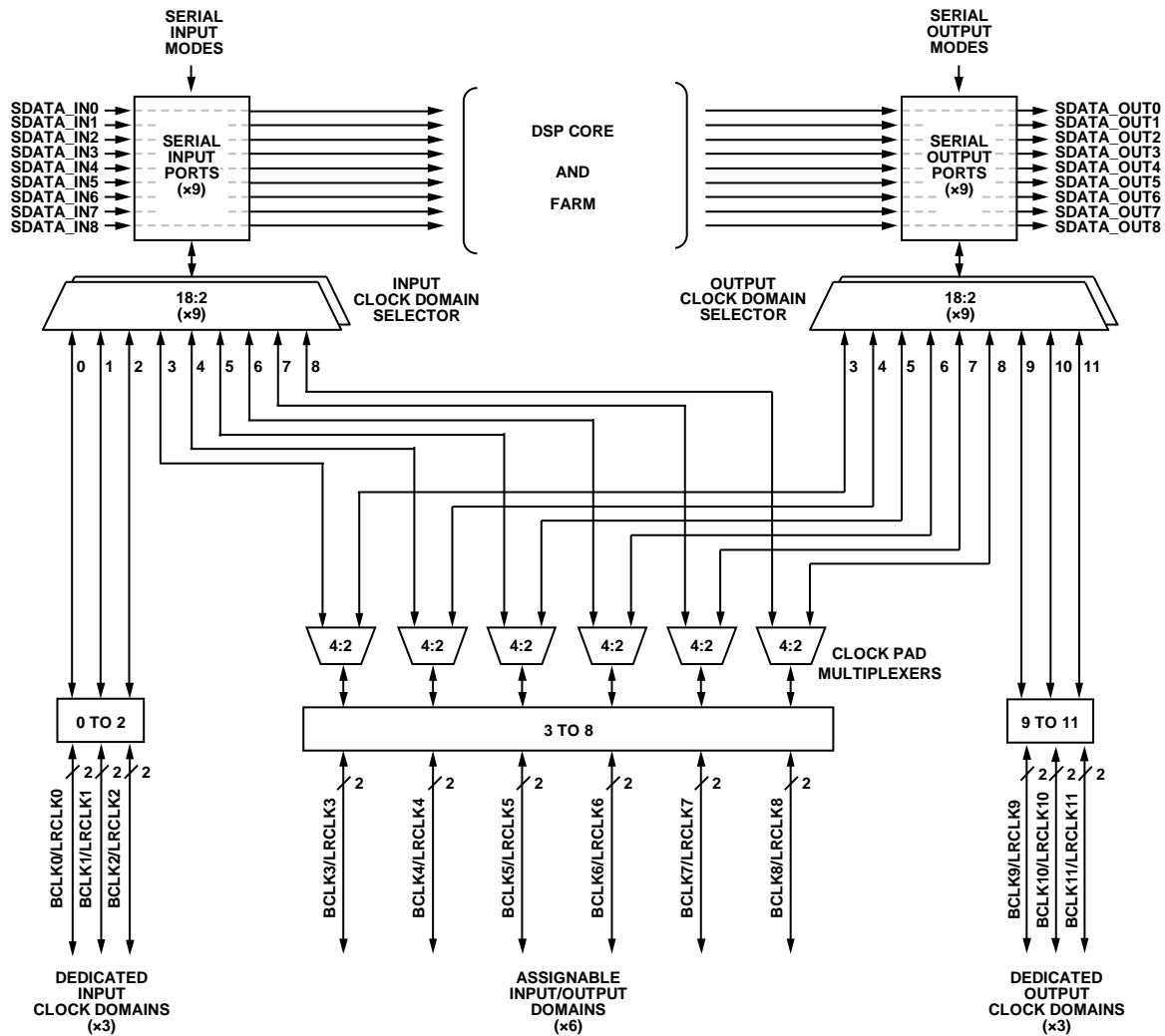


图21. 串行数据输入/输出端口概览

071986-030

串行音频数据时序图

图22至图26显示了标准音频数据格式的时序图。

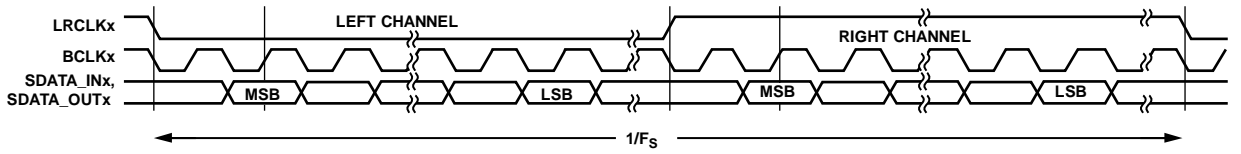


图22. I²S模式—每通道16位至24位

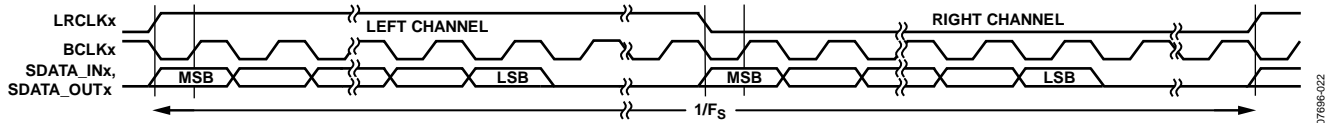


图23. 左对齐模式：每通道16位到24位

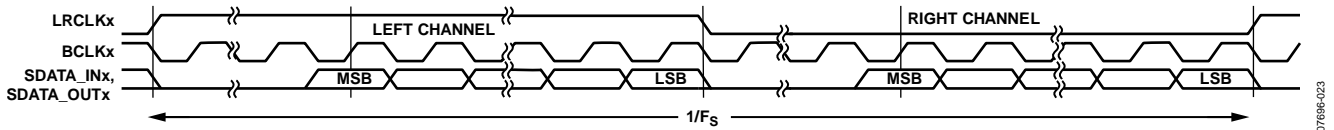


图24. 右对齐模式：每通道16位到24位

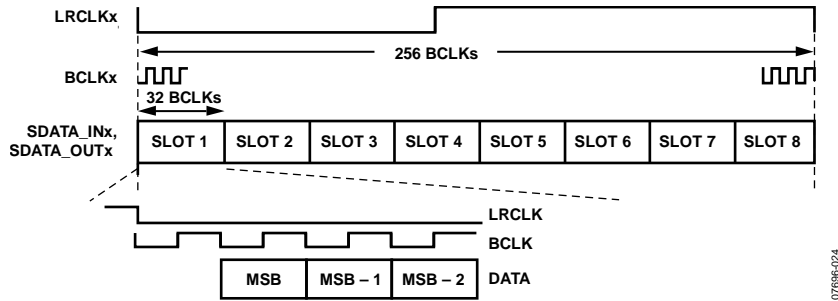


图25. TDM模式

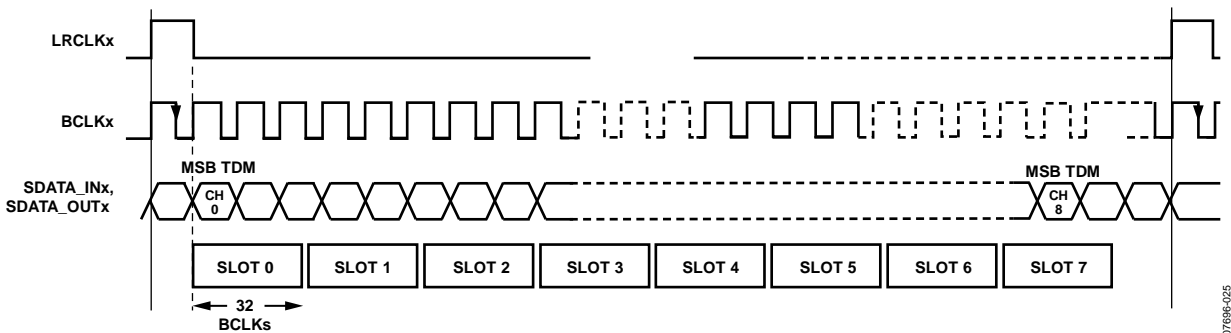


图26. 采用脉冲帧时钟的TDM模式

ADAU1442/ADAU1445/ADAU1446

串行时钟域

ADAU1442/ADAU1445/ADAU1446中提供有12个时钟域(LRCLKx和BCLKx引脚对)。其中三个专用于串行数据输入端口,另外三个专用于串行数据输出端口,而剩下的六个则可以分配给输入或输出端口。

ADAU1442内置八个2通道ASRC, ADAU1445内置两个8通道ASRC, ADAU1446则没有ASRC。不过,每个器件上都提供全部时钟域引脚。在无采样速率转换且串行端口处于从机模式的系统中,至少必须连接两对LRCLKx和BCLKx引脚:一对用于输入串行端口,另一对则用于输出串行端口。如果所有串行端口都处于主机模式且是同步的,那么只需要连接一对LRCLKx和BCLKx引脚。

图27显示了芯片输入和输出端的时钟域分配简化图。注意,每个时钟域均由两个信号组成,分别是BCLK(位时钟)和LRCLK(帧时钟)。因此,12个时钟域总共包含24个时钟信号。

每个时钟域都能够用作主机或从机。因此,所有LRCLK和BCLK引脚都是双向的。在从机模式下,LRCLK和BCLK引脚接收编解码器等外部源提供的时钟信号。在主机模式下,LRCLK和BCLK引脚向外部从机IC输出时钟信号。

虽然从机模式下的时钟域可以给任意数量的串行端口提供时钟,但主机模式下的时钟域只能给一个串行端口提供时钟。对于时钟域[2:0]和时钟域[11:9],对应的串行端口固定为输入或输出。对于可分配时钟域(时钟域 [8:3]),对应的串行端口可以为输入或输出,具体取决于时钟Pad多路复用器寄存器的设置(详情参见表20)。

表20. 主机模式时钟域分配

时钟域	芯片引脚	串行端口
0	LRCLK0, BCLK0	SDATA_IN0
1	LRCLK1, BCLK1	SDATA_IN1
2	LRCLK2, BCLK2	SDATA_IN2
3	LRCLK3, BCLK3	SDATA_IN3 or SDATA_OUT3 ¹
4	LRCLK4, BCLK4	SDATA_IN4 or SDATA_OUT4 ¹
5	LRCLK5, BCLK5	SDATA_IN5 or SDATA_OUT5 ¹
6	LRCLK6, BCLK6	SDATA_IN6 or SDATA_OUT6 ¹
7	LRCLK7, BCLK7	SDATA_IN7 or SDATA_OUT7 ¹
8	LRCLK8, BCLK8	SDATA_IN8 or SDATA_OUT8 ¹
9	LRCLK9, BCLK9	SDATA_OUT0
10	LRCLK10, BCLK10	SDATA_OUT1
11	LRCLK11, BCLK11	SDATA_OUT2

¹ 取决于时钟Pad多路复用器寄存器(地址0xE240)的设置。

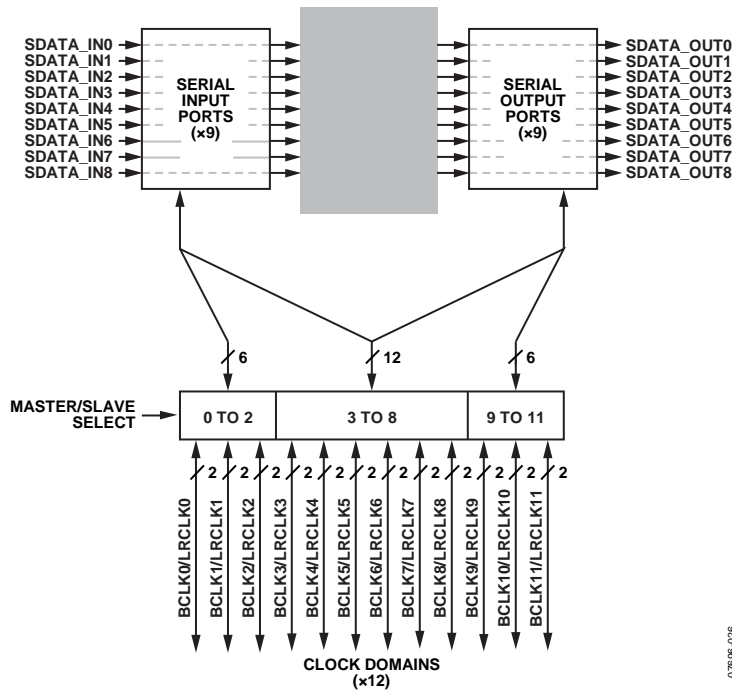


图27. 串行时钟域分配示意图

串行时钟模式和设置 去抖动窗口寄存器(地址0xE221)

表21. 寄存器0xE221的位功能描述

位位置	描述	默认值
[15:6]	保留	
[5:0]	去抖动窗口 000000 = 去抖动电路旁路 000001 = 最小化窗口 ... 111111 = 最大化窗口	001000

寄存器0xE221是一个6位寄存器，用于设置去抖动窗口的大小。去抖动电路可防止因从机模式下串行端口提供的帧时钟脉冲出现抖动而造成样本重复或被彻底忽略。

默认情况下，去抖动窗口设置为8个MCLK样本，适合大多数应用。不过，可以利用寄存器0xE221在出现问题时微调该值，也可以通过将位[5:0]设置为000000来彻底旁路去抖动电路。

时钟Pad多路复用器寄存器(地址0xE240)

表22. 寄存器0xE240的位功能描述

位位置	时钟域 ¹	默认值
[15:6]	保留	
5	时钟域8	0
4	时钟域7	0
3	时钟域6	0
2	时钟域5	0
1	时钟域4	0
0	时钟域3	0

¹ 0 = 输入时钟域，1 = 输出时钟域。

这六个时钟域(时钟域[8:3])可以为输入或输出时钟域，具体由各个时钟域的单个位决定(见表22)；设置为0时对应于输入时钟域，而设置为1时则对应于输出时钟域。

在图28中，时钟Pad多路复用器以六个4:2多路复用器表示。

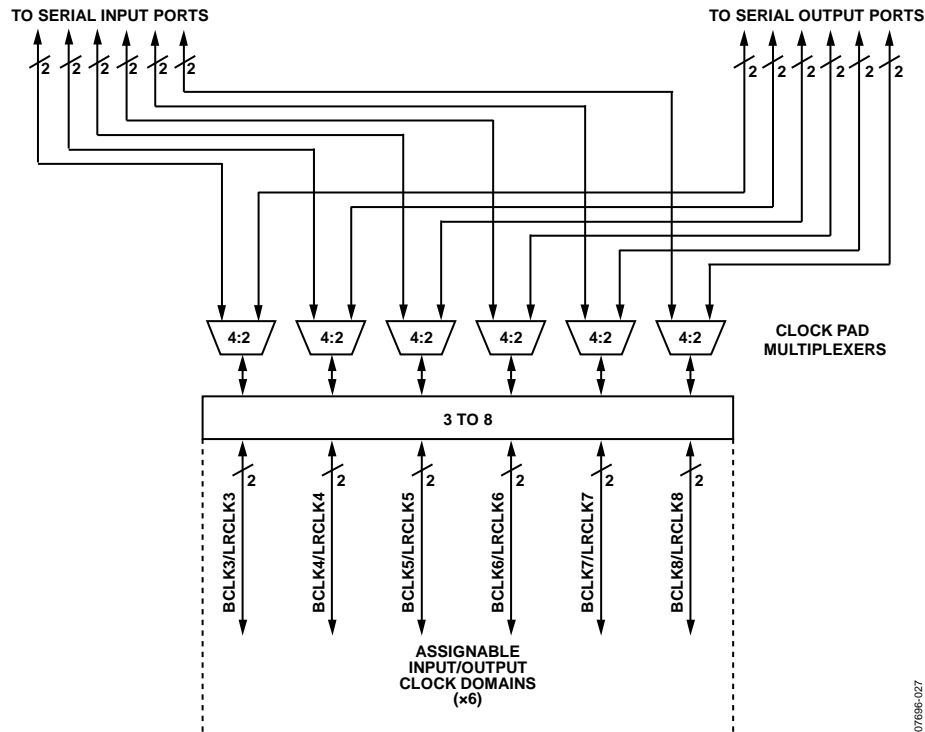


图28. 时钟Pad多路复用器

07696-027

ADAU1442/ADAU1445/ADAU1446

压缩TDM4模式

这些器件中还提供一种特殊的TDM模式，使得可将四个通道置于64位时钟周期空间内。此模式称为“压缩TDM4模式”或“MOST™模式”。MOST(面向媒体的系统传输)是一种针对汽车及其它车辆中多媒体元件互连的联网标准。适合与MOST总线接口的很多IC都采用压缩TDM4数据格式。

要使用此模式，必须使用以下寄存器设置来设置串行端口：

- 压缩TDM4模式
- 左对齐或延迟1
- 16位字长

有关压缩TDM4模式的时序图，请参见图29。图中所示为负BCLK极性、负LRCLK极性且MSB延迟1的情况。

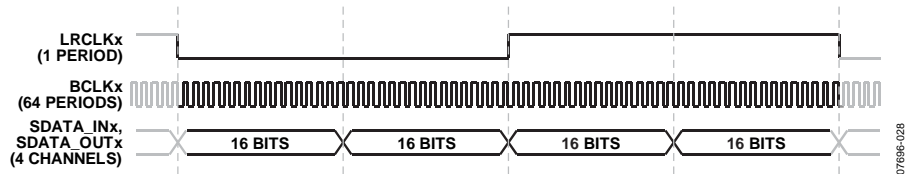


图29. 压缩TDM4模式

串行输入端口

串行输入端口将标准I²S和TDM信号转换成16、20和24位音频信号，以便输入音频处理器。这类端口支持TDM2、TDM4、TDM8和TDM16时分多路复用方案，以及I²S、左对齐、右对齐、MSB延迟12和MSB延迟16模式。此外，还支持不同的时钟极性和多种字长，并能够在主机模式下提供驱动能力或在从机模式下驱动。

串行输入端口由最多九个时钟域(时钟域0至时钟域8)和最多九个串行数据信号(SDATA_IN0至SDATA_IN8)组成。

在从机模式下，九个串行输入时钟域由IC上相应的九对LRCLK_x和BCLK_x引脚直接驱动。三对LRCLK_x和BCLK_x引脚(LRCLK[2:0]和BCLK[2:0])硬连线至时钟域[2:0]，作为串行输入。剩下的六对LRCLK_x和BCLK_x引脚(LRCLK[8:3]和BCLK[8:3])多路复用至时钟域[8:3]，作为输入或输出。通过写入时钟Pad多路复用寄存器(地址0xE240)的位[5:0](如表23所示)，可以设置多路复用器来使用这些信号作为输入时钟域。此配置在主机模式下同样有效。

图30更详细地显示了时钟通过串行输入端口的路由方式。对于可分配时钟域(时钟域[8:3])，可以利用时钟Pad多路复用器将其单独路由至串行输入端口或串行输出端口。在从机模式下，时钟域选择器(即18:2多路复用器)允许各个串行输入端口从任意可用时钟域获取时钟信号。在主机模式下，时钟域选择器将被旁路，所用分配情况如表24所示。

SigmaDSP支持的最大音频输入通道数量为24。设置串行输入端口时必须考虑到这点(例如，两个TDM16流不是有效输入)

表23. 输入时钟域多路复用

时钟域	芯片引脚	寄存器0xE240设置
0	LRCLK0, BCLK0	不适用
1	LRCLK1, BCLK1	不适用
2	LRCLK2, BCLK2	不适用
3	LRCLK3, BCLK3	将位0设为0
4	LRCLK4, BCLK4	将位1设为0
5	LRCLK5, BCLK5	将位2设为0
6	LRCLK6, BCLK6	将位3设为0
7	LRCLK7, BCLK7	将位4设为0
8	LRCLK8, BCLK8	将位5设为0

表24. 主机模式下的输入时钟域分配情况

数据引脚	时钟引脚
SDATA_IN0	LRCLK0, BCLK0
SDATA_IN1	LRCLK1, BCLK1
SDATA_IN2	LRCLK2, BCLK2
SDATA_IN3	LRCLK3, BCLK3
SDATA_IN4	LRCLK4, BCLK4
SDATA_IN5	LRCLK5, BCLK5
SDATA_IN6	LRCLK6, BCLK6
SDATA_IN7	LRCLK7, BCLK7
SDATA_IN8	LRCLK8, BCLK8

ADAU1442/ADAU1445/ADAU1446

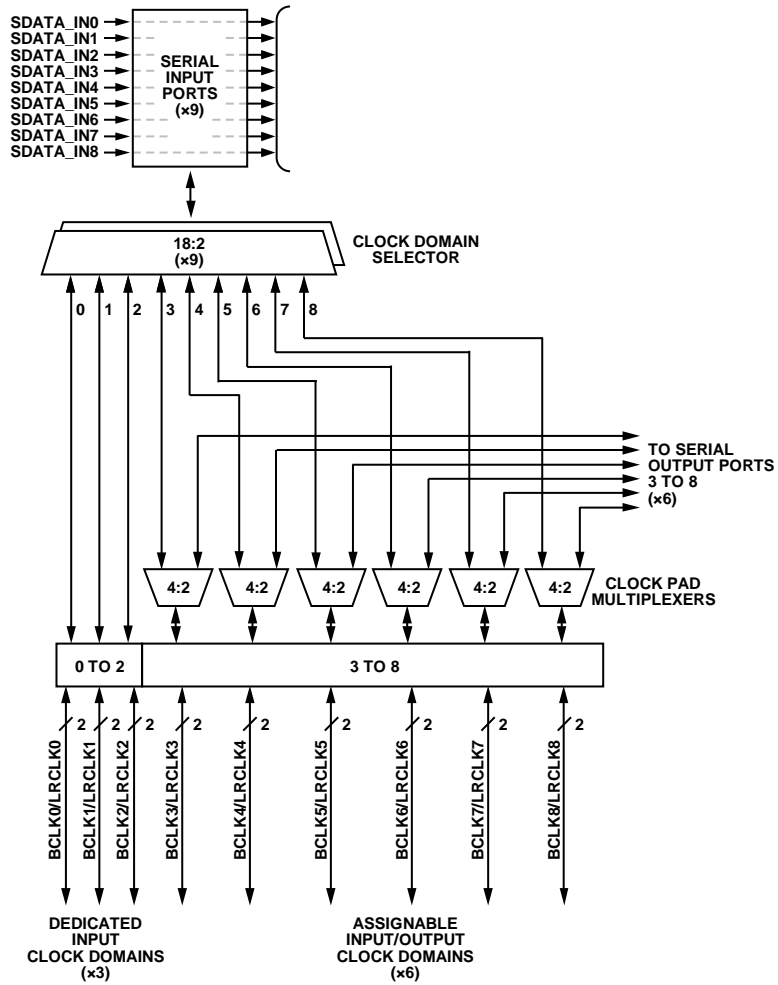


图30. 串行输入端口时钟多路复用

07696-031

串行输入端口模式和设置

九个串行输入端口分别通过设置串行输入模式寄存器中对应的单个2字节字来进行控制(有关寄存器地址, 请参见表25)。每个串行数据信号均可设置为使用九个时钟域的任意一个(从机模式)或内部产生的LRCLK信号(频率为 $f_{s,NORMAL}$ 、 $f_{s,DUAL}$ 或 $f_{s,QUAD}$)。复位时, 各个串行端口的默认值设为使用50%占空比LRCLK(而非同步脉冲)的立体声、I²S、24位、负LRCLK和BCLK极性从机模式。此配置对应于设置0x3C00。串行数据使用其对应的时钟域(即SDATA3使用LRCLK3和BCLK3)。

限制

当器件处于MOST模式(压缩TDM4模式)时, 串行数据的MSB位置必须从帧开始(I²S位置)起延迟个1位时钟且数据必须是16位宽。

每个通道具有一个32位帧。因此, 当器件处于延迟12模式时, 串行数据仅可为16或20位宽(而非24位)。当器件处于

延迟16模式时, 串行数据仅可为16位宽。

由于最大时钟速度存在限制, 主机和从机模式仅与某些TDM模式兼容。详情参见表18。

串行输入端口模式寄存器(地址0xE000至地址0xE008)

表25. 串行输入端口模式寄存器的地址

地址		名称	读/写字长
十进制	十六进制		
57344	E000	串行输入端口0模式	16位(2字节)
57345	E001	串行输入端口1模式	16位(2字节)
57346	E002	串行输入端口2模式	16位(2字节)
57347	E003	串行输入端口3模式	16位(2字节)
57348	E004	串行输入端口4模式	16位(2字节)
57349	E005	串行输入端口5模式	16位(2字节)
57350	E006	串行输入端口6模式	16位(2字节)
57351	E007	串行输入端口7模式	16位(2字节)
57352	E008	串行输入端口8模式	16位(2字节)

表26. 串行输入端口模式寄存器的位功能描述

位位置	描述	默认值
15	时钟输出使能 ¹ 0 = 禁用LRCLK和BCLK输出引脚 1 = 使能LRCLK和BCLK输出引脚	0
14	帧同步类型 0 = LRCLK 50/50占空比时钟信号(方波) 1 = LRCLK同步脉冲(窄脉冲)	0
[13:10]	时钟域主/从选择 ¹ 0000 = 时钟域0(端口0)的从机 0001 = 时钟域1(端口1)的从机 0010 = 时钟域2(端口2)的从机 0011 = 时钟域3(端口3)的从机 0100 = 时钟域4(端口4)的从机 0101 = 时钟域5(端口5)的从机 0110 = 时钟域6(端口6)的从机 0111 = 时钟域7(端口7)的从机 1000 = 时钟域8(端口8)的从机 1001 = 主机, 时钟为 $f_{s,NORMAL}$ 1010 = 主机, 时钟为 $f_{s,DUAL}$ 1011 = 主机, 时钟为 $f_{s,QUAD}$	视地址而定 ²
9	串行输入BCLK极性 0 = 负BCLK极性 1 = 正BCLK极性	0
8	串行输入LRCLK极性 0 = 负LRCLK极性 1 = 正LRCLK极性	0

ADAU1442/ADAU1445/ADAU1446

位位置	描述	默认值
[7:6]	字长 00 = 24 位 01 = 20 位 10 = 16 位 11 = 灵活的TDM模式 ³	00
[5:3]	MSB位置 000 = I ² S (延迟 1) 001 = 左对齐 (延迟 0) 010 = 延迟 8 011 = 延迟 12 100 = 延迟 16	000
[2:0]	TDM类型 000 = TDM2 (立体声) 001 = TDM4 010 = TDM8或灵活的TDM模式 ³ 011 = TDM16 100 = 压缩 TDM4	000

¹ 要将端口设置为主机或从机，必须配合使用位15和位[13:10]。

² 默认值取决于地址：0xE000 = 0001、0xE001 = 0010、0xE002 = 0011、0xE003 = 0100、0xE004 = 0101、0xE005 = 0110、0xE006 = 0111、0xE007 = 1000且0xE008 = 1001。

³ 要激活灵活的TDM模式，必须设置位[7:6]和位[2:0]。

时钟输出使能位(位15)

该位控制串行端口的相应位时钟以及左右时钟。该位置1时，时钟引脚设为输出。该位置0时，时钟引脚则不是输出时钟。要将端口设置为主机或从机，必须配合使用寄存器0xE000至寄存器0xE008中的位15和位[13:10]。利用时钟Pad多路复用器寄存器(地址0xE240)，可将时钟域分配给输入或输出串行端口。更多信息参见“时钟Pad多路复用器”部分。

帧同步类型位(位14)

该位设置所用LRCLK信号的类型。该位置0时，时钟信号为方波。该位置1时，信号则为窄脉冲。

时钟域主/从选择位(位[13:10])

这些位决定串行端口是作为可用时钟域的主机还是从机来输出其时钟。如果串行端口设为主机，则时钟输出使能位(位15)必须设为1。如果串行端口设为从机，则时钟输出使

能位必须设为0。这两种情况下，如果对应的时钟Pad多路复用器是可分配的，则都必须设置为串行输入域。更多信息参见“时钟Pad多路复用器”部分。注意，单个时钟域可以有任意数量的串行端口作为从机，但单个串行端口仅可作为单个时钟域的主机。对于172.032 MHz内核时钟信号， $f_{S,NORMAL}$ 、 $f_{S,DUAL}$ 和 $f_{S,QUAD}$ 分别为48 kHz、96 kHz和192 kHz。

串行输入BCLK极性位(位9)

BCLKx的极性决定LRCLKx和SDATA_Inx是在BCLKx信号的上升沿(+)还是下降沿(-)改变。标准I2S信号采用负BCLK极性。

串行输入LRCLK极性位(位8)

LRCLKx的极性决定左立体声声道是在LRCLKx信号的上升沿(+)还是下降沿(-)改变。标准I2S信号采用负LRCLK极性。

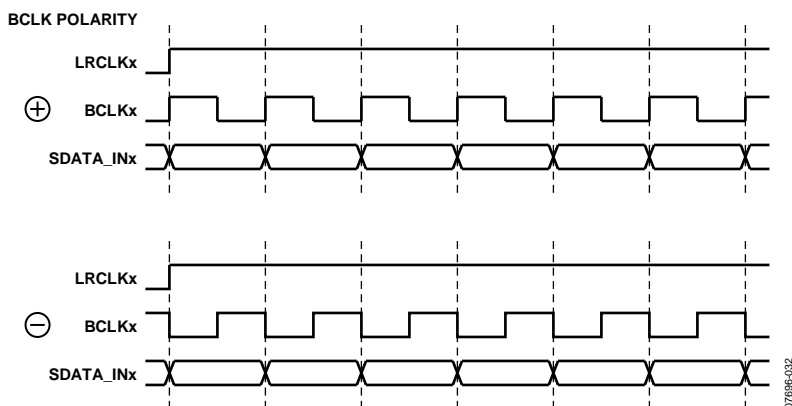


图31. 串行输入BCLK极性

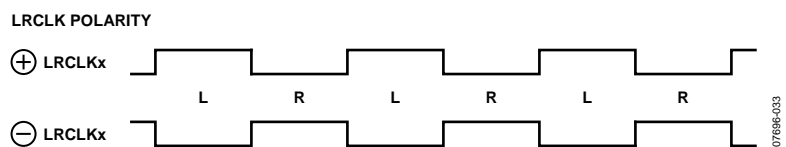


图32. 串行输入LRCLK极性

字长位(位[7:6])

通过这些位可以将输入数据的字长设为16、20或24位。如果输入信号的数据位超过该字长，则多余的位会被截断。第四种设置为灵活的TDM。更多信息参见“串行输入的灵活TDM接口模式”部分。

MSB位置位(位[5:3])

这些位设置数据流中的MSB位置。

TDM类型(位[2:0])

这些位设置数据流中包含的通道数。可能的选择有TDM2(立体声)、TDM4、TDM8或灵活的TDM、TDM16和压缩TDM4模式。有关压缩TDM4模式的更多信息，请参见“压缩TDM4模式”部分。如果字长位(位[7:6])设为11来使能灵活的TDM模式，那么TDM类型位(位[2:0])也必须设置为灵活的TDM模式(即设为010)。

在主机模式下，ADAU1442/ADAU1445/ADAU1446可以产生指定频率($f_{S,NORMAL}$ 、 $f_{S,DUAL}$ 或 $f_{S,QUAD}$)的LRCLK时钟信号(50%占空比)或LRCLK同步脉冲。产生脉冲时，其宽度等于一个内部BCLK。每个通道针对每个LRCLK需要32个BCLK周期。因此，对于TDM4，需要128个BCLK周期；对于TDM8，则为256个BCLK周期；对于TDM16，则为512个BCLK周期；对于TDM2，则为64个BCLK周期(LRCLK信号为50%占空比信号(即非脉冲)或者采用I²S或左对齐模式工作时除外)；对于压缩TDM4，则为64个BCLK周期。

串行输出端口

串行输出端口将来自音频处理器的16、20和24位音频信号转换成串行数据输出上的标准I²S和TDM信号。这类端口

支持TDM2、TDM4、TDM8和TDM16时分多路复用方案，以及I²S、左对齐、右对齐、MSB延迟12和MSB延迟16模式。此外，还支持不同的时钟极性和多种字长，并能够在主机模式下提供驱动能力或在从机模式下驱动。

串行输出端口由最多九个时钟域(时钟域3至时钟域11)和最多九个串行数据信号(SDATA_IN0至SDATA_IN8)组成。

在从机模式下，九个串行输出时钟域由IC上相应的九对LRCLKx和BCLKx引脚直接驱动。三对LRCLKx和BCLKx引脚(LRCLK[11:9]和BCLK[11:9])硬连线至时钟域[11:9]，作为串行输出。剩下的六对LRCLKx和BCLKx引脚(LRCLK[8:3]和BCLK[8:3])多路复用至时钟域[8:3]，作为输入或输出。通过写入时钟Pad多路复用寄存器(地址0xE240)的位[5:0](如表27所示)，可以设置多路复用器来使用这些信号作为输出时钟域。此配置在主机模式下同样有效。

表27. 输出时钟域多路复用

时钟域	芯片引脚	寄存器0xE240设置
0	LRCLK9, BCLK9	不适用
1	LRCLK10, BCLK10	不适用
2	LRCLK11, BCLK11	不适用
3	LRCLK3, BCLK3	将位0设为1
4	LRCLK4, BCLK4	将位1设为1
5	LRCLK5, BCLK5	将位2设为1
6	LRCLK6, BCLK6	将位3设为1
7	LRCLK7, BCLK7	将位4设为1
8	LRCLK8, BCLK8	将位5设为1

图33详细地显示了时钟通过串行输出端口的路由方式。对于可分配时钟域(时钟域[8:3])，可以利用时钟Pad多路复用器将各个时钟域单独路由至串行输入端口或串行输出端口。

ADAU1442/ADAU1445/ADAU1446

在从机模式下，时钟域选择器(即18:2多路复用器)允许各个串行输出端口从任意可用时钟域获取时钟信号。在主机模式下，时钟域选择器将被旁路，所用分配情况如表28所示。

表28. 主机模式下的输出时钟域分配情况

数据引脚	时钟引脚
SDATA_OUT0	LRCLK9, BCLK9
SDATA_OUT1	LRCLK10, BCLK10
SDATA_OUT2	LRCLK11, BCLK11
SDATA_OUT3	LRCLK3, BCLK3
SDATA_OUT4	LRCLK4, BCLK4
SDATA_OUT5	LRCLK5, BCLK5
SDATA_OUT6	LRCLK6, BCLK6
SDATA_OUT7	LRCLK7, BCLK7
SDATA_OUT8	LRCLK8, BCLK8

SigmaDSP支持的最大音频输出通道数量为24。设置串行输出端口时必须考虑到这点(例如，两个TDM16流不是有效输入)。

所有数据均以二进制补码、MSB优先格式进行处理，且左声道始终位于右声道之前。

串行输出端口模式和设置

九个串行输出端口分别通过设置串行输出模式寄存器中对应的单个2字节来进行控制(有关寄存器地址，请参见表29)。每个串行数据信号均可设置为使用九个时钟域的任意一个(从机模式)或内部产生的LRCLK信号(频率为 $f_{S,NORMAL}$ 、 $f_{S,DUAL}$ 或 $f_{S,QUAD}$)。复位时，各个串行端口的默认值设为使用50%占空比LRCLK时钟信号(而非同步脉冲)的TDM2、PS、24位、负LRCLK和BCLK极性从机模式。此配置对应于设置0x3C00。串行数据使用其对应的时钟域(例如，SDATA3使用LRCLK3和BCLK3)。

限制

当器件处于MOST模式时，串行数据的MSB位置必须从帧开始(PS位置)起延迟个1位时钟且数据宽度限制为16位。

当器件处于MSB延迟12模式时，串行数据可为16或20位宽(而非24位)。当器件处于MSB延迟16模式时，串行数据仅可为16位宽。

有关TDM功能的信息，请参见表18。

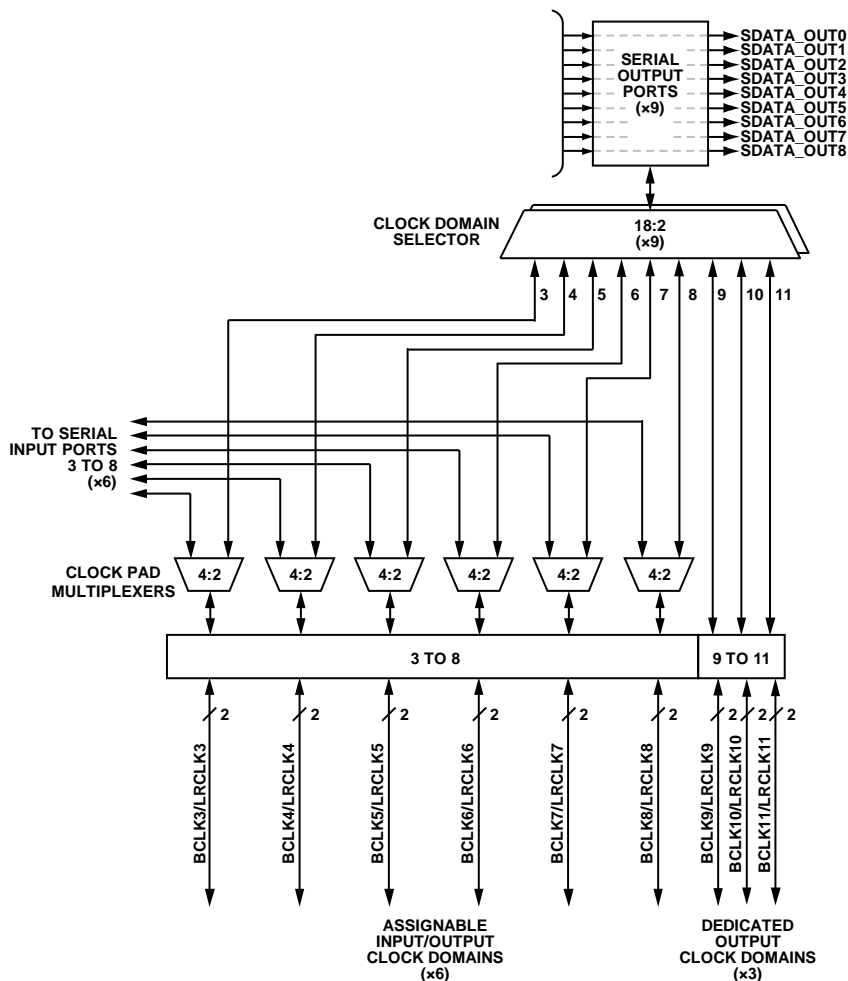


图33. 串行输出端口时钟多路复用

串行输出端口模式寄存器(地址0xE040至地址0xE049)

表29. 串行输出端口模式寄存器的地址

地址		名称	读/写字长
十进制	十六进制		
57408	E040	串行输出端口0模式	16位(2字节)
57409	E041	串行输出端口1模式	16位(2字节)
57410	E042	串行输出端口2模式	16位(2字节)
57411	E043	串行输出端口3模式	16位(2字节)
57412	E044	串行输出端口4模式	16位(2字节)
57413	E045	串行输出端口5模式	16位(2字节)
57414	E046	串行输出端口6模式	16位(2字节)
57415	E047	串行输出端口7模式	16位(2字节)
57416	E048	串行输出端口8模式	16位(2字节)
57417	E049	高速从机接口模式	1位(2字节)

ADAU1442/ADAU1445/ADAU1446

表30. 串行输出端口模式寄存器的位功能描述

位位置	描述	默认值
15	时钟输出使能 ¹ 0 = 禁用LRCLK和BCLK输出引脚 1 = 使能LRCLK和BCLK输出引脚	0
14	帧同步类型 0 = LRCLK 50/50占空比时钟信号(方波) 1 = LRCLK同步脉冲(窄脉冲)	0
[13:10]	时钟域主/从选择 ¹ 0000 = 时钟域9(端口0)的从机 0001 = 时钟域10(端口1)的从机 0010 = 时钟域11(端口2)的从机 0011 = 时钟域3(端口3)的从机 0100 = 时钟域4(端口4)的从机 0101 = 时钟域5(端口5)的从机 0110 = 时钟域6(端口6)的从机 0111 = 时钟域7(端口7)的从机 1000 = 时钟域8(端口8)的从机 1001 = 主机, 时钟为 $f_{S,NORMAL}$ 1010 = 主机, 时钟为 $f_{S,DUAL}$ 1011 = 主机, 时钟为 $f_{S,QUAD}$	视地址而定 ²
9	串行输出BCLK极性 0 = 负BCLK极性 1 = 正BCLK极性	0
8	串行输出LRCLK极性 0 = 负LRCLK极性 1 = 正LRCLK极性	0
[7:6]	字长 00 = 24位 ³ 11 = 灵活的TDM模式 ⁴	00
[5:3]	MSB位置 000 = I ² S (延迟1) 001 = 左对齐(延迟0) 010 = 延迟8 011 = 延迟12 100 = 延迟16	000
[2:0]	TDM类型 000 = TDM2 (立体声) 001 = TDM4 010 = TDM8或灵活的TDM模式 ⁴ 011 = TDM16 100 = 压缩TDM4	000

¹ 要将端口设置为主机或从机, 必须配合使用位15和位[13:10]。

² 默认值取决于地址: 0x040 = 0000、0xE041 = 0001、0xE042 = 0010、0xE043 = 0011、0xE044 = 0100、0xE045 = 0101、0xE046 = 0110、0xE047 = 0111、0xE048 = 1000且0xE049 = 1001。

³ 串行端口配置为灵活的TDM模式时除外, 此时其始终输出24位数据。

⁴ 要激活灵活的TDM模式, 必须设置位[7:6]和位[2:0]。

时钟输出使能位(位15)

该位控制串行端口的相应位时钟以及左右时钟。该位置1时，时钟引脚设为输出。该位置0时，时钟引脚则不是输出时钟。要将端口设置为主机或从机，必须配合使用寄存器0xE040至寄存器0xE048中的位15和位[13:10]。利用时钟Pad多路复用器寄存器(地址0xE240)，可将时钟域分配给输入或输出串行端口。更多信息参见“时钟Pad多路复用器”部分。

帧同步类型位(位14)

该位设置所用LRCLK信号的类型。该位置0时，时钟信号为方波。该位置1时，信号则为窄脉冲。

时钟域主/从选择位(位[13:10])

这些位设置串行端口是作为可用时钟域的主机还是从机来输出其时钟。如果串行端口设为主机，则时钟输出使能位(位15)必须设为1。如果串行端口设为从机，则时钟输出使能位(位15)必须设为0。这两种情况下，如果对应的时钟Pad多路复用器是可分配的，则都必须设置为串行输出域。更多信息参见“时钟Pad多路复用器”部分。注意，单个时钟域可以有任意数量的串行端口作为从机，但单个串行端口仅可作为单个时钟域的主机。对于172.032 MHz内核时钟信号， $f_{S,NORMAL}$ 、 $f_{S,DUAL}$ 和 $f_{S,QUAD}$ 分别为48 kHz、96 kHz和192 kHz。

串行输出BCLK极性位(位9)

BCLKx的极性决定LRCLKx和SDATA_OUTx是在BCLKx信号的上升沿(+)还是下降沿(-)改变。标准I2S信号采用负BCLK极性。

串行输出LRCLK极性位(位8)

LRCLKx的极性决定左立体声声道是在LRCLKx信号的上升

沿(+)还是下降沿(-)改变。标准I2S信号采用负LRCLK极性。

字长位(位[7:6])

通过这些位可以将输入数据的字长设为16、20或24位。输出流始终有24位数据的空间，但如果位长设得太小，则多余的位会被设为0。第四种设置为灵活的TDM。更多信息参见“串行输出的灵活TDM接口模式和设置”部分。

MSB位置位(位[5:3])

这些位设置数据流中的MSB位置。

TDM类型位(位[2:0])

这些位设置数据流中包含的通道数。可能的选择有TDM2(立体声)、TDM4、TDM8或灵活的TDM、TDM16和压缩TDM4模式。有关压缩TDM4模式的更多信息，请参见“压缩TDM4模式”部分。如果字长位(位[7:6])设为11来使能灵活的TDM模式，那么TDM类型位(位[2:0])也必须设置为灵活的TDM模式(即设为010)。

高速从机接口模式寄存器(地址0xE049)

表31. 寄存器0xE049的位功能描述

位位置	描述	默认值
[15:1]	保留	
0	高速从机接口模式 0 = 禁用 1 = 使能	0

高速从机接口模式位(位0)

如果任意串行输出端口是22 MHz以上位时钟的从机，则必须使能高速从机接口模式。

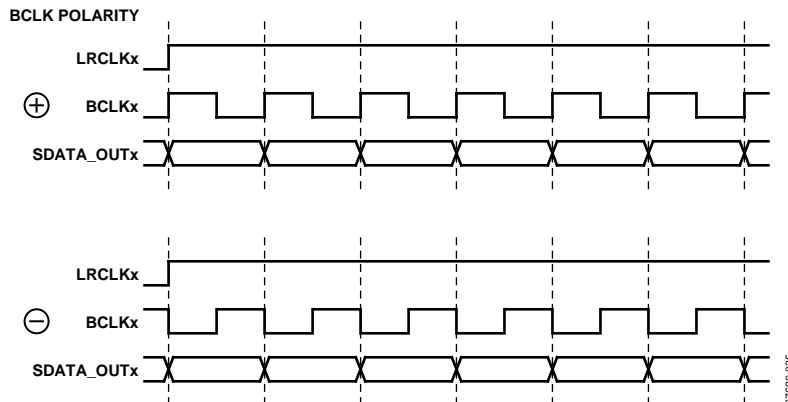


图34. 串行输出BCLK极性

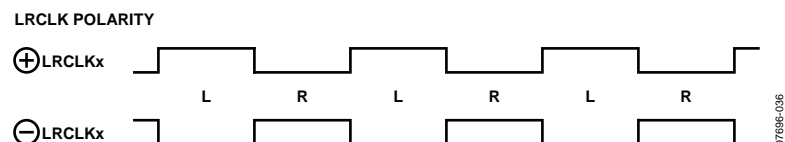


图35. 串行输出LRCLK极性

ADAU1442/ADAU1445/ADAU1446

灵活的音频路由矩阵(FARM)

该路由矩阵可以在串行输入、串行输出、ASRC、S/PDIF接收器和发射器以及DSP内核之间分配音频信号。在具有多个输入和输出且采样速率要求不同的复杂系统中，这可以简化系统设计。它还允许用硬件而非软件来路由信号。

路由矩阵框图

图36显示了ADAU1442/ADAU1445/ADAU1446中的音频路由概览并详细显示了S/PDIF I/O、串行I/O、ASRC和DSP通过路由矩阵的互连方式。为了降低系统复杂性，音频信号成对路由。因此，在图36中，每条实线代表一对立体声音频信号。线条上方是对应的通道数量。图表底部的虚线表

示时钟信号。两个大的灰框表示灵活的音频路由矩阵，在其中可以实现任意输入和任意输出之间的一对一连接。信号路由完全用硬件实现。

系统延迟

通过串行端口、路由矩阵、ASRC和DSP内核路由数据会导致从音频样本输入IC到其输出之间存在短延迟。如果DSP设置为直接将串行输入传递给串行输出，而不进行任何速率转换或其它处理，则音频样本从SDATA_Inx引脚传输到SDATA_OUTx引脚的实际最短延迟等于四个采样周期。当采样速率为48 kHz时，这相当于83 μs。在系统中实施采样速率转换或其它处理后，系统延迟会增加。

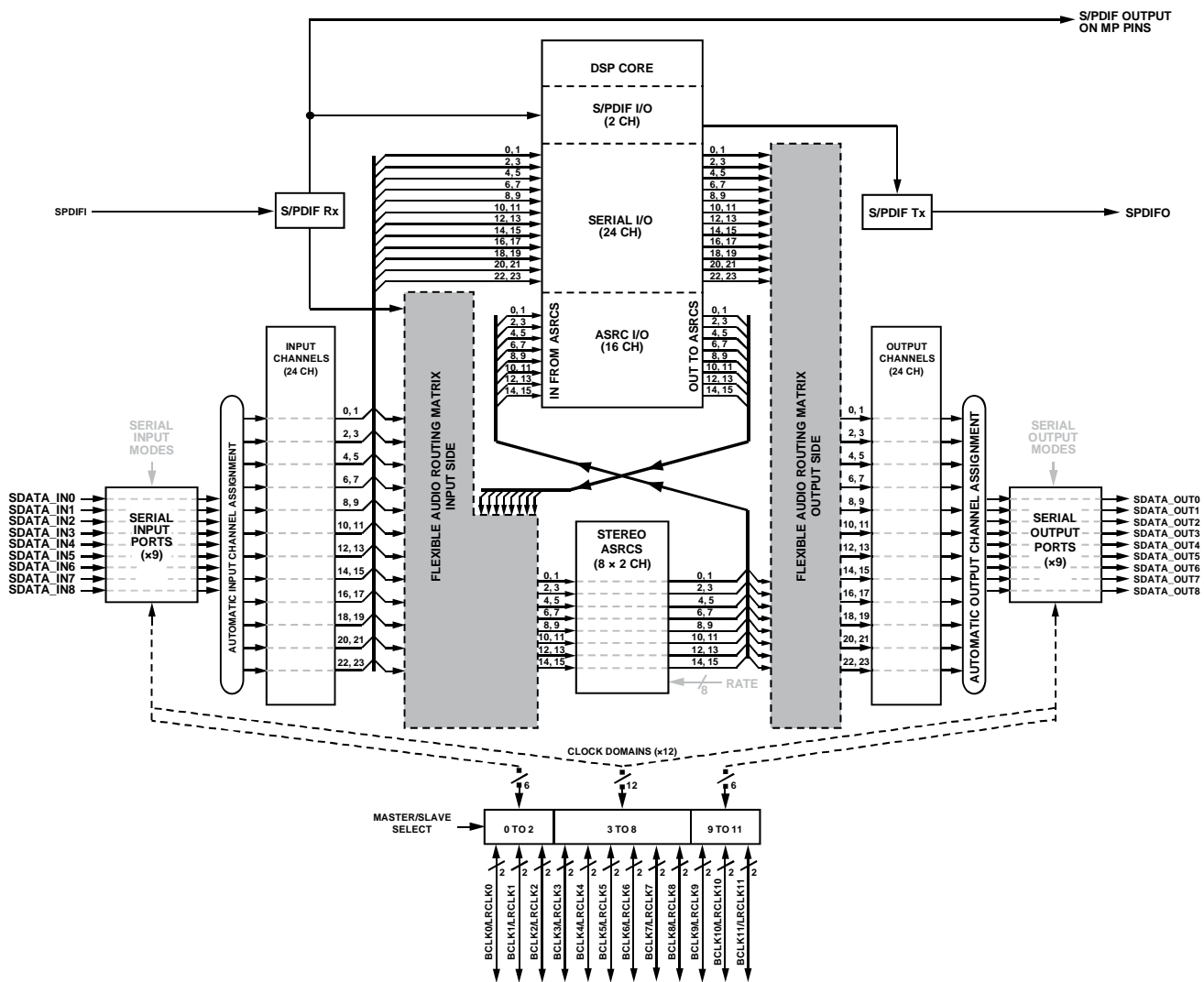


图36. 路由矩阵框图

07686-037

路由矩阵功能

串行输入端口

图36的最左侧代表ADAU1442/ADAU1445/ADAU1446的音频输入引脚，即SDATA_IN0至SDATA_IN8和SPDIFI。串行音频数据信号可以在任意标准下工作，其中包括时分多路复用(TDM)模式，详见“串行数据输入/输出”部分。通过串行输入端口传递后，信号经过一个输入通道自动分配过程。

输入通道自动分配

串行输入端口最多可处理九个输入信号。标准数据格式为I2S，其中包含立体声对的左右声道。不过，输入串行输入端口的某些信号可能包含TDM格式的数据，因此通道数会在两个以上。FARM输入允许24个通道或12个立体声对。因此，需要采用一种方法来将九个信号(包含两个或以上通道)分解成12个立体声音频通道对。这可以通过输入通道自动分配模块来实现。该模块可以按顺序依次将每个输入信号分解成对应于其通道内容的输入通道数量。

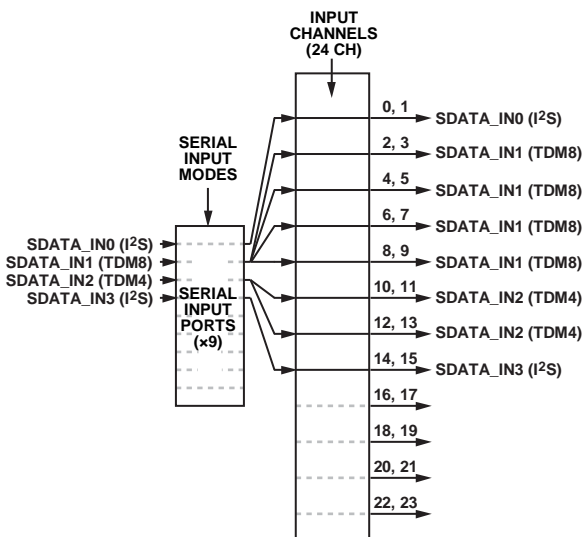


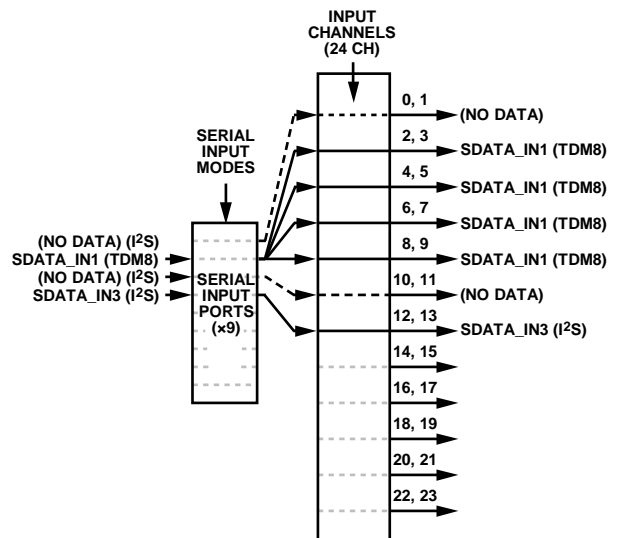
图37. 输入通道自动分配示例

在图37给出的示例中，串行输入端口接收到四个输入信号：SDATA_IN0 (I²S)、SDATA_IN1 (TDM8)、SDATA_IN2 (TDM4) 和SDATA_IN3 (I²S)。包含两个通道(I²S)的SDATA_IN0被路由至输入通道0和输入通道1。包含八个通道(TDM8)的SDATA_IN1被依次路由至输入通道2、3、4、5、6、7、8和

9。包含两个立体声对(TDM4)的SDATA_IN2被依次路由至输入通道10、11、12和13。最后，包含两个通道的SDATA_IN3被路由至输入通道14和输入通道15。

器件将以这种方式根据串行输入端口上的输入和模式自动填充输入通道。

跳过的引脚都会被分配给输入通道。因此必须小心地在DSP中选择合适的输入通道。自动通道分配完全基于特定串行端口的模式设置；因此，设为2通道模式的端口会被分配给两个连续的输入通道，而设为4通道模式的端口则会被分配给四个连续的输入通道，依此类推。在图38给出的示例中，数个引脚在硬件上断开，而相应的空输入通道则被自动分配。



NOTES
1. THE BLACK DASHED LINES REPRESENT DISCONNECTED PINS; INPUT CHANNELS ARE ASSIGNED AUTOMATICALLY.

图38. 跳过引脚的输入通道自动分配示例

07696-038

07696-038

ADAU1442/ADAU1445/ADAU1446

灵活的音频路由矩阵—输入端

到目前为止，音频信号流程中的所有信号都彼此不同步。然而，在进入DSP进行处理之前，这些信号必须与同一时钟同步。因此，在路由矩阵的输入端上，可以根据需要将输入通道路由至ASRC来进行采样速率转换。路由矩阵的输入端如图39中的大灰框所示。

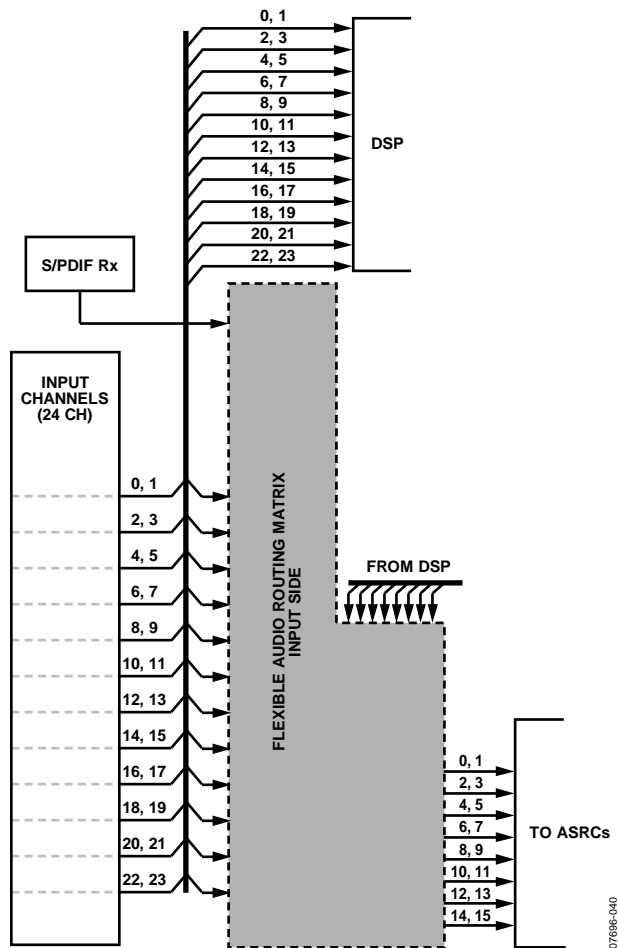


图39.灵活的音频路由矩阵—输入端

如图39所示，输入通道[23:0]硬连线至DSP输入[23:0]。不过，输入通道[23:0]还可以在FARM的输入端路由至ASRC。

注意，FARM的左侧有13个通道对（12个输入通道对和一个S/PDIF Rx对），顶部有八个通道对（DSP至ASRC对）。这些构成路由矩阵输入端的21个输入通道对。而路由矩阵的右下方则是八个输出通道对（ASRC的输入）。这些构成路由矩阵输入端的八个输出通道对。由于音频始终成对路由，因此可以在任何输入对和任意输出对之间实现一对一连接。

因此，可以将任意输入通道对、S/PDIF Rx通道对或DSP至ASRC通道对连接到任意ASRC输入对。只要维持一对一关系，就可以使用任意组合。

注意，大多数应用都要求对S/PDIF Rx信号进行采样速率转换。

ADAU1442中有八个2通道ASRC。因此，立体声ASRC输入对0（由通道0和通道1组成）对应于第一个ASRC（立体声ASRC 0）。立体声ASRC输入对1（由通道2和通道3组成）对应于第二个ASRC（立体声ASRC 1）。立体声ASRC输入对2（由通道4和通道5组成）对应于第三个ASRC（立体声ASRC 2）。立体声ASRC输入对3（由通道6和通道7组成）对应于第四个ASRC（立体声ASRC 3）。立体声ASRC输入对4（由通道8和通道9组成）对应于第五个ASRC（立体声ASRC 4）。立体声ASRC输入对5（由通道10和通道11组成）对应于第六个ASRC（立体声ASRC 5）。立体声ASRC输入对6（由通道12和通道13组成）对应于第七个ASRC（立体声ASRC 6）。立体声ASRC输入对7（由通道14和通道15组成）对应于第八个ASRC（立体声ASRC 7）。

ADAU1445中有两个8通道ASRC。因此，立体声ASRC输入对[3:0]（由通道0至通道7组成）对应于第一个ASRC（立体声ASRC[3:0]）并必须彼此同步。立体声ASRC输入对[7:4]（由通道8至通道15组成）对应于第二个ASRC（立体声ASRC[7:4]）并必须彼此同步。

ADAU1446不进行采样速率转换；因此，完成自动通道分配后，立体声输入对硬连线至DSP内核，并不使用路由矩阵的输入端，如图40所示。

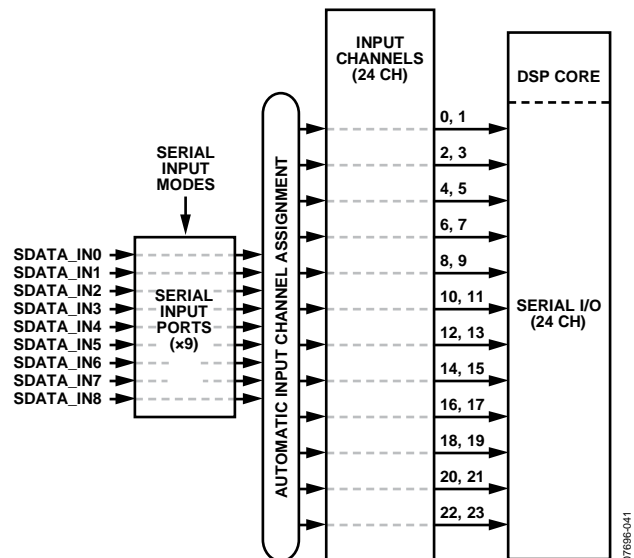


图40. ADAU1446中的输入路由

立体声ASRC路由概览

在ADAU1442和ADAU1445中，只有在DSP内核本身中时，信号才需要与主时钟同步。在其它状况下，信号彼此之间以及与内核之间不同步，如图42所示。由于ADAU1446没有ASRC，因此所有音频信号必须始终保持同步。

立体声ASRC允许转换异步信号，以便在DSP中进行处理。

ASRC的输入可以来自以下21个来源之一：12个输入通道对、S/PDIF Rx对或八个DSP至ASRC对。这使得可将ASRC置于DSP之前和之后。图43和图44显示了如何在DSP之前和之后使用ASRC的例子。

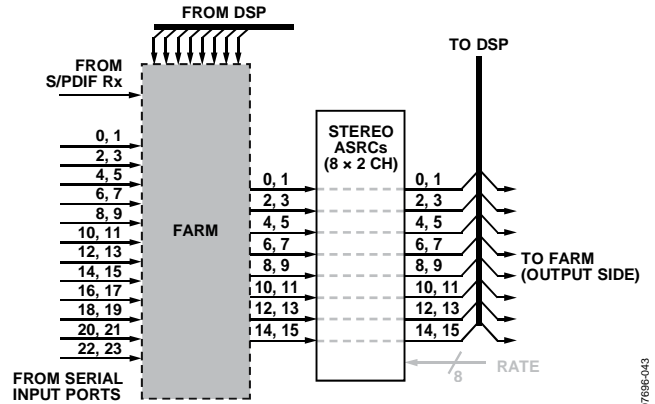


图41. 立体声ASRC路由

07696-043

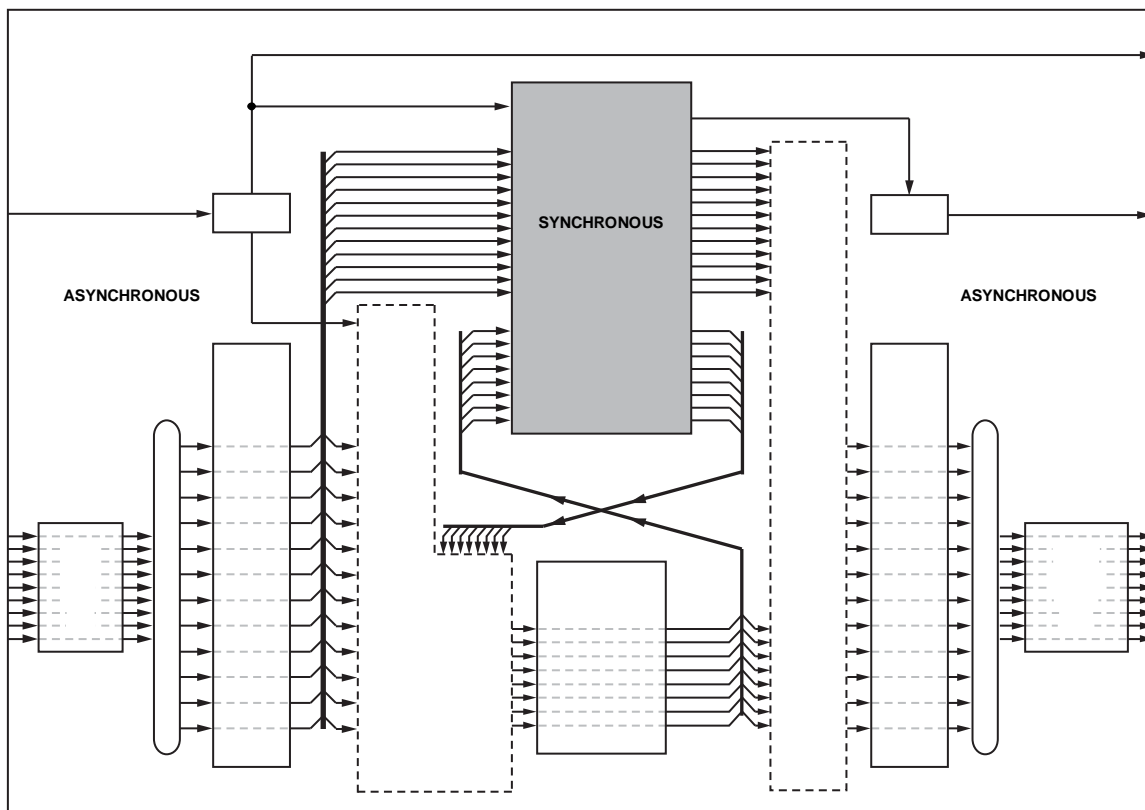


图42. ADAU1442和ADAU1445的同步区域和异步区域

07696-042

ADAU1442/ADAU1445/ADAU1446

DSP之前的采样速率转换

如果系统中存在异步输入信号，则必须先通过ASRC路由这些信号，然后DSP才能进行处理。这可通过将异步信号经由路由矩阵的输入端路由至ASRC输入来实现，如图43所示。

在此类情况下，ASRC目标采样速率应设置为与DSP同步。转换完成后，信号传递至DSP，然后进入ASRC输入单元中的SigmaStudio。

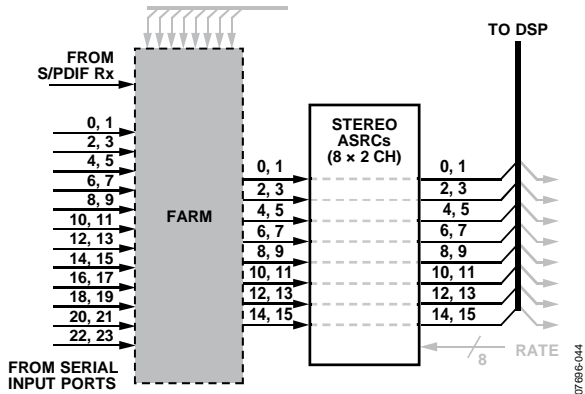


图43. 将异步信号路由至DSP输入

DSP之后的采样速率转换

信号在DSP中经过处理之后，有时需要以与DSP速率不同步的方式输出这些信号，例如系统中存在外部异步DAC时。这可通过将信号经由路由矩阵的输入端从DSP至ASRC对路由至ASRC输入来实现，如图44所示。

在这种情况下，ASRC目标采样速率可以设置为所需的任意值，且音频数据会发送至路由矩阵的输出端。

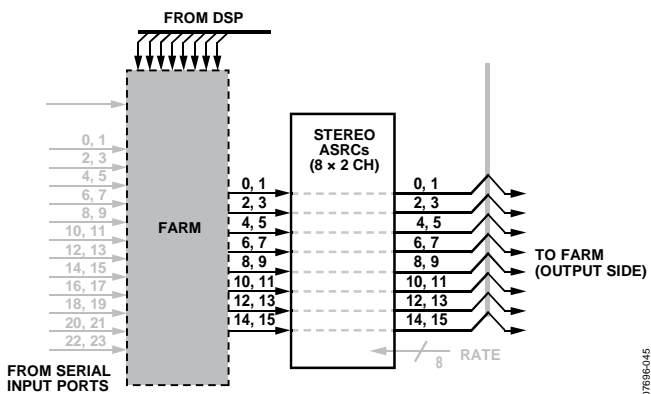


图44. 将DSP输出路由至异步输出信号

DSP输入和输出

在DSP中，信号表示为SigmaStudio开发工具内的输入和输出模块，然后根据SigmaStudio原理图进行处理。其中有21个输入和输出通道对，如图45所示。在SigmaStudio中，每对均作为单个通道访问，因此无需保持为一对。

SigmaStudio信号流程内运行的某些算法可能会在DSP中混合或拆分通道。因此，输出对的数量不一定等于输入对的数量。

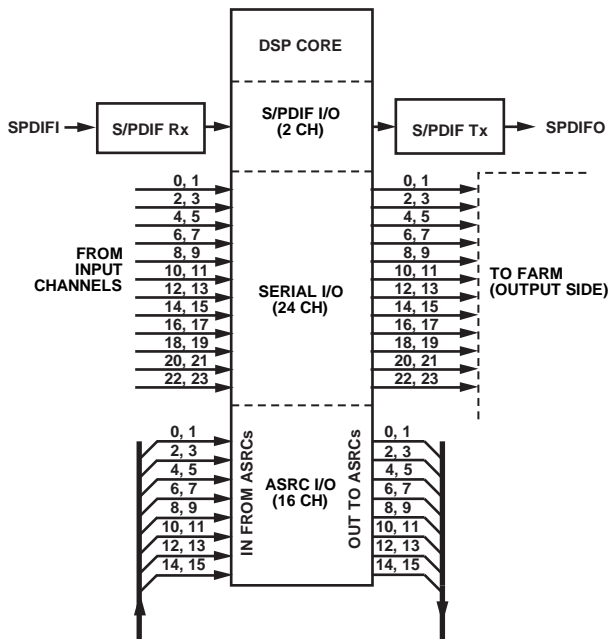


图45. DSP内核输入和输出信号

注意，虽然S/PDIF Rx对可以路由至FARM输入端或直接路由至DSP，但S/PDIF Tx对必须绕过FARM输出端而直接路由至S/PDIF输出引脚(SPDIFO)。

图45中的ASRC I/O模块表示DSP和ASRC之间的相互影响。从ASRC到DSP的输入(ASRC至DSP对)在SigmaStudio中表示为ASRC输入单元，而从DSP到ASRC的输出(DSP至ASRC对)则在SigmaStudio中表示为ASRC输出单元。这些单元及其相应位置如图46所示。

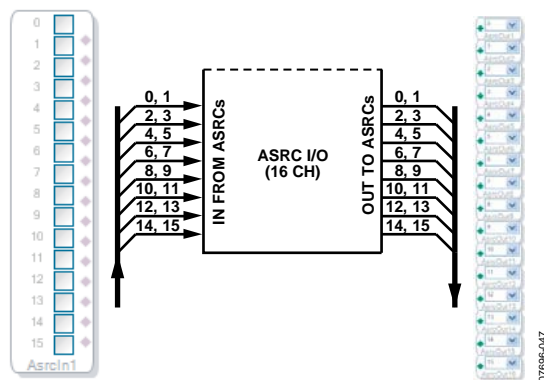


图46. ASRC输入和输出单元

灵活的音频路由矩阵—输出端

与输入端非常相似，灵活音频路由矩阵的输出端同样有数个立体声对(彼此可不同步)，且这些对连接到从芯片上串行输出端口输出的12个立体声对。同样，连接方式必须是一一对一，这意味着只能从可能进入FARM输出端的20个立体声对中选择12个来从芯片输出。此过程如图47的大灰框所示。

ASRC的输出会自动连接到DSP和FARM输出端。

注意，与输入端不同，在输出端上DSP输出并未硬连线至输出通道。

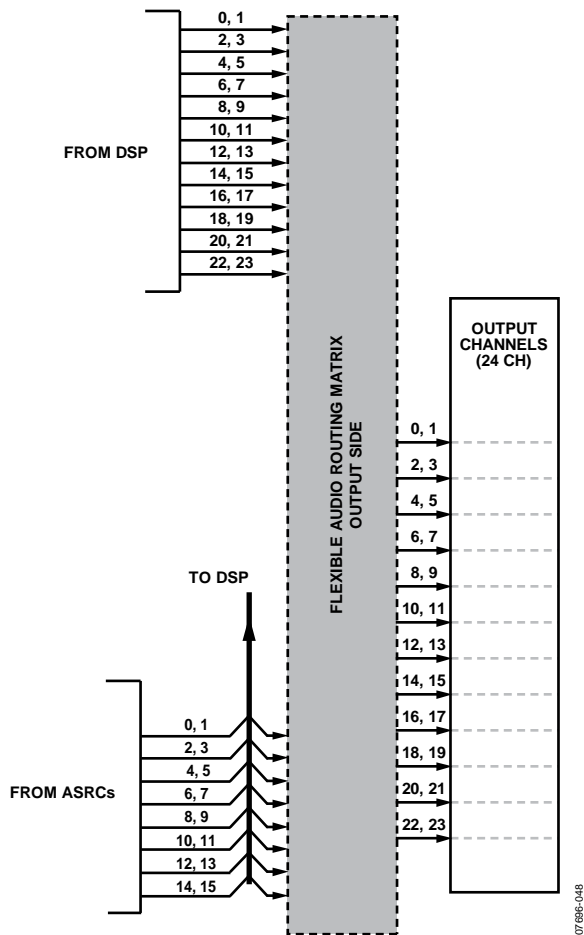


图47.灵活的音频路由矩阵—输出端

输出通道自动分配

在24个输出通道中，有九个串行输出端口可用于输出数据。通过选择不同的输出模式，用户可以采用所需格式输出数据。为各串行输出端口选择模式后，输出通道自动根据流中所需的通道数量分配给相应的连续串行输出端口，详见图48。

本例中必须在三个串行输出端口上输出14个输出通道。为此，必须选择与目标系统相符的串行输出模式。这种情况下，SDATA_OUT0设为TDM8模式，SDATA_OUT1设为I²S模式，SDATA_OUT2则设为TDM4模式。使用此配置时，输出通道自动分配算法会将输出通道[7:0]路由至SDATA_OUT0，将输出通道[9:8]路由至SDATA_OUT1并将输出通道[13:10]路由至SDATA_OUT2。注意，输出通道必须连续分配，无法跳过任何对。如果某个输出通道留空(即没有数据从ASRC或DSP路由至该通道)，它仍会被分配给某个串行输出端口。

ADAU1442/ADAU1445/ADAU1446

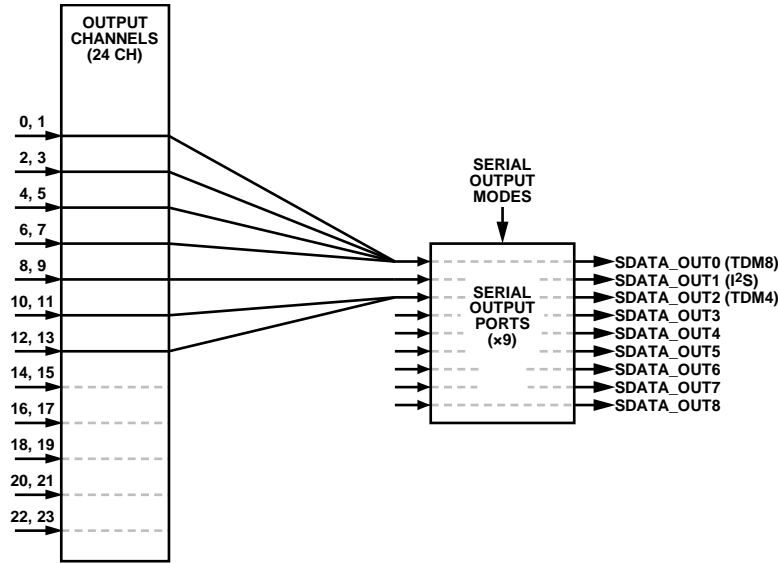


图48. 输出通道自动分配示例

07886-048

灵活的音频路由矩阵模式和设置

表32. 灵活音频路由矩阵模式寄存器的地址

地址		名称	读/写字长
十进制	十六进制		
57472	E080	ASRC输入选择, 对0(通道0, 通道1)	16位(2字节)
57473	E081	ASRC输入选择, 对1(通道2, 通道3)	16位(2字节)
57474	E082	ASRC输入选择, 对2(通道4, 通道5)	16位(2字节)
57475	E083	ASRC输入选择, 对3(通道6, 通道7)	16位(2字节)
57476	E084	ASRC输入选择, 对4(通道8, 通道9)	16位(2字节)
57477	E085	ASRC输入选择, 对5(通道10, 通道11)	16位(2字节)
57478	E086	ASRC输入选择, 对6(通道12, 通道13)	16位(2字节)
57479	E087	ASRC输入选择, 对7(通道14, 通道15)	16位(2字节)
57480	E088	ASRC输出速率选择, 对0(通道0, 通道1)	16位(2字节)
57481	E089	ASRC输出速率选择, 对1(通道2, 通道3)	16位(2字节)
57482	E08A	ASRC输出速率选择, 对2(通道4, 通道5)	16位(2字节)
57483	E08B	ASRC输出速率选择, 对3(通道6, 通道7)	16位(2字节)
57484	E08C	ASRC输出速率选择, 对4(通道8, 通道9)	16位(2字节)
57485	E08D	ASRC输出速率选择, 对5(通道10, 通道11)	16位(2字节)
57486	E08E	ASRC输出速率选择, 对6(通道12, 通道13)	16位(2字节)
57487	E08F	ASRC输出速率选择, 对7(通道14, 通道15)	16位(2字节)
57488	E090	串行输出选择, 对0(通道0, 通道1)	16位(2字节)
57489	E091	串行输出选择, 对1(通道2, 通道3)	16位(2字节)
57490	E092	串行输出选择, 对2(通道4, 通道5)	16位(2字节)
57491	E093	串行输出选择, 对3(通道6, 通道7)	16位(2字节)
57492	E094	串行输出选择, 对4(通道8, 通道9)	16位(2字节)
57493	E095	串行输出选择, 对5(通道10, 通道11)	16位(2字节)
57494	E096	串行输出选择, 对6(通道12, 通道13)	16位(2字节)
57495	E097	串行输出选择, 对7(通道14, 通道15)	16位(2字节)
57496	E098	串行输出选择, 对8(通道16, 通道17)	16位(2字节)
57497	E099	串行输出选择, 对9(通道18, 通道19)	16位(2字节)
57498	E09A	串行输出选择, 对10(通道20, 通道21)	16位(2字节)
57499	E09B	串行输出选择, 对11(通道22, 通道23)	16位(2字节)

ASRC输入选择对[7:0]寄存器 (地址0xE080至地址0xE087)

八个ASRC的输入均可来自串行输入通道或DSP内核的任意立体声对。

对于ADAU1442，立体声ASRC的各个输入可以接收单独的数据输入。

对于ADAU1445，立体声ASRC的各个输入可以接收单独的

数据输入；但是，立体声ASRC[3:0]的所有输入必须彼此同步，并且立体声ASRC[7:4]的所有输入必须彼此同步。第一组ASRC(立体声ASRC[3:0])从立体声ASRC 0输入获取其输入速率，而第二组ASRC(立体声ASRC[7:4])则从立体声ASRC 4输入获取其输入速率。

对于ADAU1446(不包含ASRC)，这些寄存器对系统操作无任何影响，可以忽略。

表33. ASRC输入选择对[7:0]寄存器的位功能描述

位位置	描述	默认值
[15:6]	保留	
[5:0]	ASRC输入数据选择器 000000 = 串行输入对0(通道0, 通道1) 000001 = 串行输入对1(通道2, 通道3) 000010 = 串行输入对2(通道4, 通道5) 000011 = 串行输入对3(通道6, 通道7) 000100 = 串行输入对4(通道8, 通道9) 000101 = 串行输入对5(通道10, 通道11) 000110 = 串行输入对6(通道12, 通道13) 000111 = 串行输入对7(通道14, 通道15) 001000 = 串行输入对8(通道16, 通道17) 001001 = 串行输入对9(通道18, 通道19) 001010 = 串行输入对10(通道20, 通道21) 001011 = 串行输入对11(通道22, 通道23) 010000 = DSP至ASRC对0(通道0, 通道1) 010001 = DSP至ASRC对1(通道2, 通道3) 010010 = DSP至ASRC对2(通道4, 通道5) 010011 = DSP至ASRC对3(通道6, 通道7) 010100 = DSP至ASRC对4(通道8, 通道9) 010101 = DSP至ASRC对5(通道10, 通道11) 010110 = DSP至ASRC对6(通道12, 通道13) 010111 = DSP至ASRC对7(通道14, 通道15) 100000 = S/PDIF接收器对0(通道0, 通道1) 111111 = 无数据	111111

ADAU1442/ADAU1445/ADAU1446

ASRC输入数据选择器位(位[5:0])

如图49所示，灰框(表示灵活音频路由矩阵的输入端)可以视为一个多路复用器。该框的任意输入均可与其任意输出

一对一连接。输入为串行输入对[11:0]和DSP至ASRC对[7:0]。FARM的输出为立体声ASRC[7:0]输入。

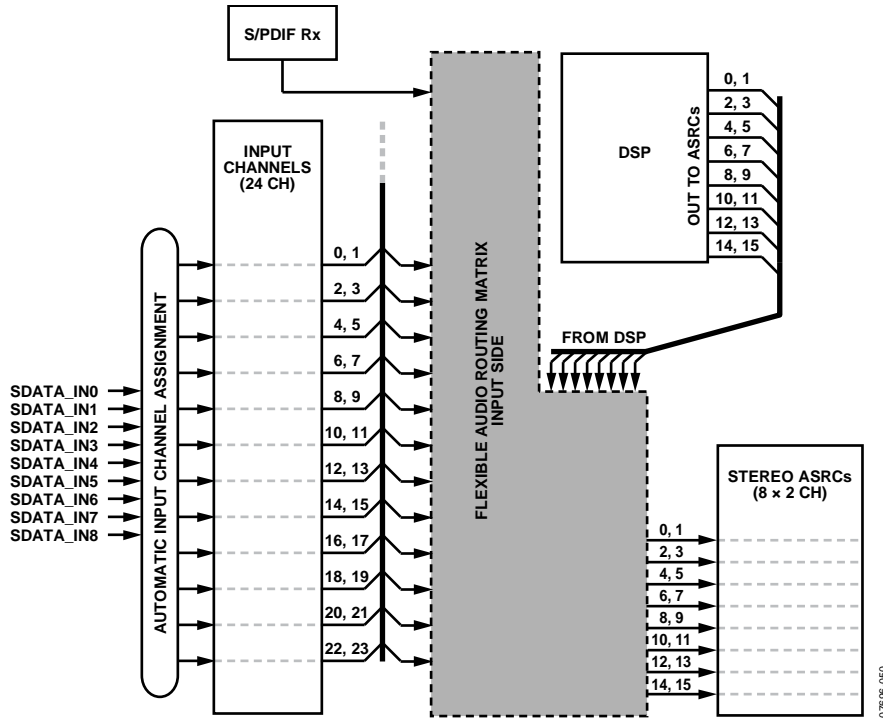


图49. ASRC输入选择

ASRC输出速率选择对[7:0]寄存器(地址0xE088至地址0xE08F)

表34. ASRC输出速率选择对[7:0]寄存器的位功能描述

位置	描述	默认值
[15:6]	保留	
[5:0]	ASRC输出速率 000000 = 串行输出对0(通道0, 通道1) 000001 = 串行输出对1(通道2, 通道3) 000010 = 串行输出对2(通道4, 通道5) 000011 = 串行输出对3(通道6, 通道7) 000100 = 串行输出对4(通道8, 通道9) 000101 = 串行输出对5(通道10, 通道11) 000110 = 串行输出对6(通道12, 通道13) 000111 = 串行输出对7(通道14, 通道15) 001000 = 串行输出对8(通道16, 通道17) 001001 = 串行输出对9(通道18, 通道19) 001010 = 串行输出对10(通道20, 通道21) 001011 = 串行输出对11(通道22, 通道23) 010000 = DSP速率 010001 = 内部 $f_{S,NORMAL}$ 速率 010010 = 内部 $f_{S,DUAL}$ 速率 010011 = 内部 $f_{S,QUAD}$ 速率 111111 = 无速率	111111

ASRC输出速率位(位[5:0])

这些位选择八个ASRC的输出转换速率。ASRC的任意异步输入均会以此速率输出。可以通过12个串行输出通道对的 f_S 时钟信号(与其自动分配的串行端口关联的LRCLK)之一或内核的 $f_{S,NORMAL}$ 、 $f_{S,DUAL}$ 或 $f_{S,QUAD}$ 时钟信号来设置。

对于ADAU1442, 立体声ASRC的各个输出可以具有单独的数据输出。

对于ADAU1445, 立体声ASRC的各个输出可以具有单独的数据输出; 但是, 立体声ASRC[3:0]的所有输出必须彼此同

步, 并且立体声ASRC[7:4]的所有输出必须彼此同步。第一组ASRC(立体声ASRC[3:0])从立体声ASRC 0输出上的设置获取其输出速率。立体声ASRC[3:1]的输出速率会自动设置为此速率, 而忽略立体声ASRC[3:1]输出的设置。第二组ASRC(立体声ASRC[7:4])从立体声ASRC 4输出上的设置获取其输出速率。立体声ASRC[7:5]的输出速率会自动设置为此速率, 而忽略立体声ASRC[7:5]输出的设置。

对于ADAU1446(不包含ASRC), 这些寄存器对系统操作无任何影响, 可以忽略。

ADAU1442/ADAU1445/ADAU1446

串行输出选择对[11:0]寄存器(地址0xE090至地址0xE09B)

表35. 串行输出选择对[11:0]寄存器的位功能描述

位位置	描述	默认值
[15:6]	保留	
[5:0]	串行输出数据选择器 010000 = DSP输出对0(通道0, 通道1) 010001 = DSP输出对1(通道2, 通道3) 010010 = DSP输出对2(通道4, 通道5) 010011 = DSP输出对3(通道6, 通道7) 010100 = DSP输出对4(通道8, 通道9) 010101 = DSP输出对5(通道10, 通道11) 010110 = DSP输出对6(通道12, 通道13) 010111 = 串行输出对7(通道14, 通道15) 011000 = DSP输出对8(通道16, 通道17) 011001 = DSP输出对9(通道18, 通道19) 011010 = DSP输出对10(通道20, 通道21) 011011 = 串行输出对11(通道22, 通道23) 100000 = ASRC输出对0(通道0, 通道1) 100001 = ASRC输出对1(通道2, 通道3) 100010 = ASRC输出对2(通道4, 通道5) 100011 = ASRC输出对3(通道6, 通道7) 100100 = ASRC输出对4(通道8, 通道9) 100101 = ASRC输出对5(通道10, 通道11) 100110 = ASRC输出对6(通道12, 通道13) 100111 = ASRC输出对7(通道14, 通道15) 111111 = 无数据	111111

串行输出数据选择器位(位[5:0])

这些位选择12个立体声串行输出通道各自的来源。这些通道可以来自12个DSP内核立体声输出之一或八个ASRC立体声输出之一。

对于ADAU1446，将串行输出数据选择器位设为对应于ASRC输出对的值时，不会产生任何数据。

如图50所示，立体声输出对可以来自任意DSP串行输出或ASRC输出。

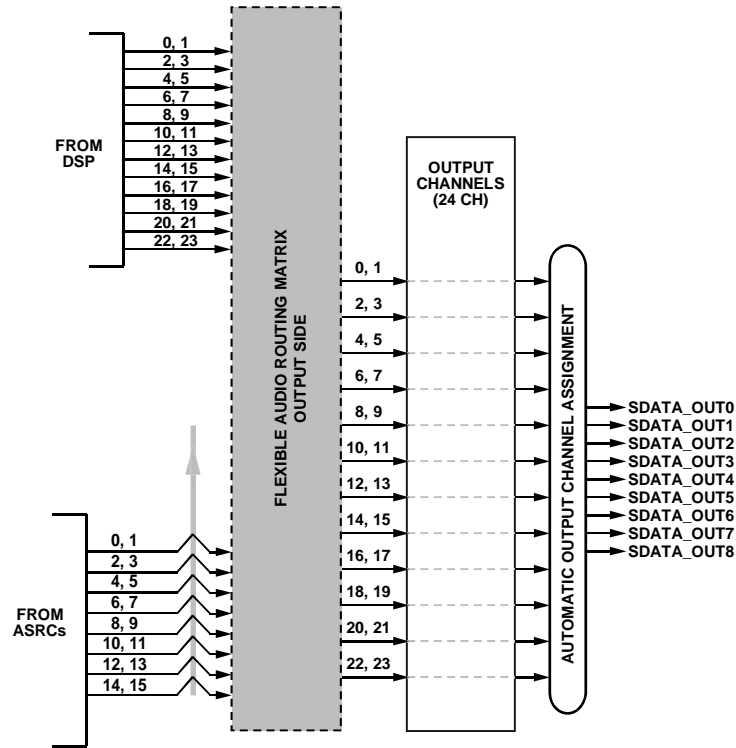


图50. 串行输出选择对

07696-051

ADAU1442/ADAU1445/ADAU1446

异步采样速率转换器

ADAU1442/ADAU1445处理器的集成式采样速率转换器支持多种配置方式，有助于连接音频系统中的其它元件。采样速率转换器完全独立于串行端口和DSP内核，并通过灵活的音频路由矩阵连接。

ASRC模式和设置

表36. ASRC模式寄存器的地址

地址		名称	读/写字长
十进制	十六进制		
57601	E101	立体声ASRC[3:0]锁定状态和静音	16位(2字节)
57603	E103	立体声ASRC[3:0]静音调节禁用	16位(2字节)
57665	E141	立体声ASRC[7:4]锁定状态和静音	16位(2字节)
57667	E143	立体声ASRC[7:4]静音调节禁用	16位(2字节)

立体声ASRC[3:0]锁定状态和静音寄存器

(地址0xE101)

表37. 寄存器0xE101的位功能描述

位位置	描述	默认值
[15:12]	保留	
11	立体声ASRC 3(通道6, 通道7)锁定状态(只读)	0
10	立体声ASRC 2(通道4, 通道5)锁定状态(只读)	0
9	立体声ASRC 1(通道2, 通道3)锁定状态(只读)	0
8	立体声ASRC 0(通道0, 通道1)锁定状态(只读)	0
[7:4]	保留	
3	立体声ASRC 3(通道6, 通道7)静音	0
2	立体声ASRC 2(通道4, 通道5)静音	0
1	立体声ASRC 1(通道2, 通道3)静音	0
0	立体声ASRC 0(通道0, 通道1)静音	0

立体声ASRC[3:0]的每个采样速率转换器对都可以实现静音。此功能由一个12位寄存器控制。静音位(位[3:0])高电平有效；因此，值为1时会使对应的ASRC静音，而值为0时则会将对应的ASRC取消静音。静音通过音量调节实现，且没有爆音与咔嚓声。需要时，可以禁用静音调节(请参见“立体声ASRC[3:0]静音调节禁用寄存器(地址0xE103)”部分)。

器件上电并退出复位状态时，ASRC锁定位设为默认值0。使能ASRC的主时钟(请参见“主时钟使能开关寄存器(地址0xE280)”部分)时，对应的ASRC时钟位设为1，且输出会自动静音。

当ASRC的输出速率(请参见“ASRC输出速率选择对[7:0]寄存器(地址0xE088至地址0xE08F)”部分)已设置并锁定至有效的输出时钟时，对应的时钟位会从1变为0。这表示ASRC已经发现目标时钟速率并已锁定至该速率。在此之后，该时钟位会一直保持为0，直到器件复位为止。更改目标速率设置或从ASRC移除输出时钟并不能使其时钟位从0变回为1。

对于ADAU1446，设置这些寄存器对系统操作无任何影响。

立体声ASRC[3:0]静音调节禁用寄存器 (地址0xE103)

表38. 寄存器0xE103的位功能描述

位位置	描述	默认值
[15:1]	保留	
0	立体声ASRC[3:0](通道[7:0])静音调节禁用 0 = 使能调节 1 = 禁用调节	0

这个1位寄存器控制立体声ASRC[3:0](通道[7:0])的静音行为。当位0设为默认值(0)时，立体声ASRC[3:0](通道[7:0])通过音量调节静音。当位0设为1时，立体声ASRC[3:0]突然静音。此外，该位置1时会忽略寄存器0xE101中的ASRC静音位(位[3:0])(请参见“立体声ASRC[3:0]锁定状态和静音”部分)；因此，只有失锁时才会出现静音。

对于ADAU1446，设置此寄存器对系统操作无任何影响。

立体声ASRC[7:4]锁定状态和静音寄存器 (地址0xE141)

表39. 寄存器0xE141的位功能描述

位位置	描述	默认值
[15:12]	保留	
11	立体声ASRC 7(通道14, 通道15)锁定状态(只读)	0
10	立体声ASRC 6(通道12, 通道13)锁定状态(只读)	0
9	立体声ASRC 5(通道10, 通道11)锁定状态(只读)	0
8	立体声ASRC 4(通道8, 通道9)锁定状态(只读)	0
[7:4]	保留	
3	立体声ASRC 7(通道14, 通道15)静音	0
2	立体声ASRC 6(通道12, 通道13)静音	0
1	立体声ASRC 5(通道10, 通道11)静音	0
0	立体声ASRC 4(通道8, 通道9)静音	0

立体声ASRC[7:4]的每个采样速率转换器对都可以实现静音。此功能由一个12位寄存器控制。静音位(位[3:0])高电平有效；因此，值为1时会使对应的ASRC静音，而值为0时则会将对应的ASRC取消静音。静音通过音量调节实现，且没有爆音与咔嚓声。需要时，可以禁用静音调节(请参见“立体声ASRC[7:4]静音调节禁用寄存器(地址0xE143)”部分)。

器件上电并退出复位状态时，ASRC锁定位设为默认值0。使能ASRC的主时钟(请参见“主时钟使能开关寄存器(地址0xE280)”部分)时，对应的ASRC时钟位设为1，且输出会自动静音。当ASRC的输出速率(请参见“ASRC输出速率选择对[7:0]寄存器(地址0xE088至地址0xE08F)”部分)已设置并锁定至有效的输出时钟时，对应的时钟位会从1变为0。这表示ASRC已经发现目标时钟速率并已锁定至该速率。在此之后，该时钟位会一直保持为0，直到器件复位为止。更改目标速率设置或从ASRC移除输出时钟并不能使其时钟位从0变回为1。

对于ADAU1446，设置这些寄存器对系统操作无任何影响。

立体声ASRC[7:4]静音调节禁用寄存器(地址0xE143)

表40. 寄存器0xE143的位功能描述

位位置	描述	默认值
[15:1]	保留	
0	立体声ASRC[7:4](通道[15:8])静音调节禁用 0 = 使能调节 1 = 禁用调节	0

这个1位寄存器控制立体声ASRC[7:4](通道[15:8])的静音行为。当位0设为默认值(0)时，立体声ASRC[7:4](通道[15:8])通过音量调节静音。当位0设为1时，立体声ASRC[7:4]突然静音。此外，该位置1时会忽略寄存器0xE141中的ASRC静音位(位[3:0])(请参见“立体声ASRC[7:4]锁定状态和静音寄存器(地址0xE141)”部分)；因此，只有失锁时才会出现静音。

对于ADAU1446，设置此寄存器对系统操作无任何影响。

ADAU1442/ADAU1445/ADAU1446

DSP内核

DSP内核根据程序RAM中存储的指令代码对音频数据执行计算。由于SigmaStudio会产生这类指令，因此无需详细了解DSP内核便可使用SigmaDSP，本节在此只做简要介绍。

架构

内核由一个简单的28/56位乘加单元(MAC)和以下两个源组成：一个数据源和一个系数源。数据源可以来自数据RAM、常用常数值ROM表或内核的音频输入。系数源可以来自参数RAM或常用常数值ROM表。这两个源在28位定点乘法器中相乘，然后信号输入56位加法器；结果通常存储在三个56位累加器寄存器之一中。累加器可以从内核输出(以28位格式)，也可以写回数据或参数RAM。

特性

SigmaDSP内核专门针对音频处理而设计，因此包含数项旨在实现最高效率的特性。这包括硬件分贝转换和音频专用ROM常数。

信号处理

ADAU1442/ADAU1445/ADAU1446旨在提供立体声或多声道回放系统常用的全部信号处理功能。信号处理流程利用ADI公司提供的SigmaStudio软件设计。该软件支持图形化输入和实时控制所有信号处理功能。

许多信号处理功能采用完整的56位双精度算法编码。串行端口输入和输出字长为24位，但处理器使用4个额外的裕量位，内部增益最高达24 dB而不会削波。通过在DSP信号流中调低初始输入信号，可以实现更高增益。

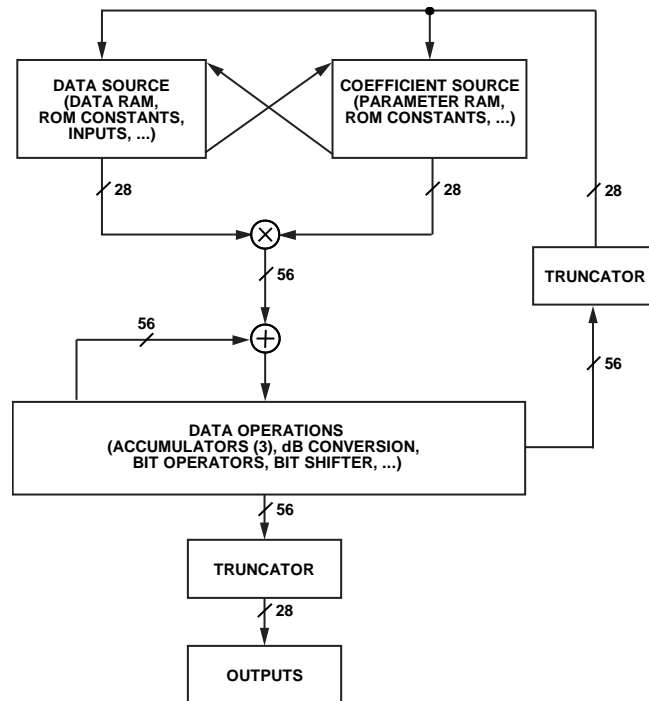


图51. 内核架构示意图

数字格式

DSP系统通常使用标准数字格式。小数系统指定为A.B格式，其中A表示小数点左边的位数，B表示小数点右边的位数。

ADAU1442/ADAU1445/ADAU1446的参数和数据值使用相同的数字格式，具体如“数字格式：5.23”部分所示。

数字格式：5.23

线性范围：-16.0至(+16.0 - 1 LSB)

示例：

1000 0000 0000 0000 0000 0000 0000 = -16.0
 1110 0000 0000 0000 0000 0000 0000 = -4.0
 1111 1000 0000 0000 0000 0000 0000 = -1.0
 1111 1110 0000 0000 0000 0000 0000 = -0.25
 1111 1111 0011 0011 0011 0011 0011 = -0.1
 1111 1111 1111 1111 1111 1111 1111 = (比0.0小1 LSB)
 0000 0000 0000 0000 0000 0000 0000 = 0.0
 0000 0000 1100 1100 1100 1100 1101 = 0.1
 0000 0010 0000 0000 0000 0000 0000 = 0.25
 0000 1000 0000 0000 0000 0000 0000 = 1.0
 0010 0000 0000 0000 0000 0000 0000 = 4.0
 0111 1111 1111 1111 1111 1111 1111 = (16.0 - 1 LSB).

串行端口接受最多24位的输入，通过符号扩展为DSP内核的完整28位。这样，内部增益最高可达24 dB而不会发生内部削波。

DSP内核中在输出到串行端口输出、ASRC和S/PDIF发射器之前有一个数字削波电路(见图52)。它截除信号的高4位以产生1.0(减1 LSB)至-1.0范围内的24位输出。图52以二进制和dB形式显示了数据流中各点的最高信号电平。

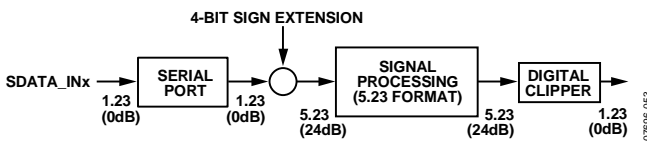


图52. 数字精度和削波结构(TBD)

编程

上电时，ADAU1442/ADAU1445/ADAU1446不加载任何默认程序。每个音频采样有3584个指令，因而当 $f_{S,NORMAL}$ 为48 kHz时内部时钟速率为172.032 MHz。DSP以流导向方式运行，意味着每个采样周期都会执行所有3584个指令。通过降低每个采样的指令数，ADAU1442/ADAU1445/ADAU1446也可以接受双倍速率或四倍速率输入。这些模式可以在内核控制寄存器中设置。

利用ADI公司的完全图形工具，可以对ADAU1442/

ADAU1445/ADAU1446轻松编程。用户无需具有编写DSP代码的知识，而超大的预设计算法库能够极大缩短开发时间。有关SigmaStudio的更多信息，请访问ADI公司网站。

程序计数器

内核中的指令执行由程序计数器进行控制，从程序RAM的地址按顺序逐步执行。每当有新音频帧读入内核时，程序计数器就会启动。SigmaStudio会在每个程序结束后插入一个jump-to-start命令。程序计数器会按顺序递增，直到到达该命令，然后会跳至程序起始地址(程序RAM地址0x2010)并等待下一个音频帧读入内核。

分支和循环

SigmaStudio中的某些单元可以选择性地修改程序计数器来实现简单的分支和循环结构。不过，必须小心处理使程序计数器在新帧读入之前返回到其起始地址。如果在计数器返回到起始地址之前新帧就已开始，音频输出会受到破坏，进而必须进行复位。

SigmaStudio中的软件编译器会计算给定项目的最大可能程序周期，当用户超过该容许限值时就会产生一个错误。

DSP内核模式和设置

内核运行寄存器(地址0xE228)

表41. 寄存器0xE228的位功能描述

位位置	描述	默认值
[15:1]	保留	
0	内核运行位	0

这个1位寄存器指示用于启动内核的运行信号。这应该是系统初始化时设置的最后一个寄存器。在内核暂停之前，将DSP内核速率选择寄存器(0xE220)设为0x001C。这会禁用内核的启动脉冲。在内核启动之前，将DSP内核速率选择寄存器(0xE220)设为所需值。这会使能内核的启动脉冲。表12列出了一些有效设置。

如果工作期间暂停了内核(即如果寄存器0xE228的位0设为0)，串行输出会立即跳至0，以确保串行输出上未保持任何直流电平并帮助防止系统中的扬声器出现损坏。它还允许系统将所有音频通道静音和取消静音，同时将输出上的咔嚓声和爆音降至最低。

内核运行位可用于实现系统静音功能，而不用通过软件将各个通道全部静音。不过，这种方法会立即使输出静音，可能导致输出上出现咔嚓声或爆音。如果要求做到无咔嚓声和爆音静音，则应在DSP内核的信号处理流程中实施软件压摆静音单元。

ADAU1442/ADAU1445/ADAU1446

可靠性

ADAU1442/ADAU1445/ADAU1446包含数个子系统，旨在提高其应用系统的可靠性。当将这些功能与外部主机控制器器件一起使用时，DSP可以从严重错误中恢复，如存储器损坏或程序计数器崩溃。

CRC模式和设置

循环冗余校验(CRC)寄存器(地址0xE200至地址0xE202)

表42. CRC寄存器的寄存器详情

地址		寄存器	功能	默认值
十进制	十六进制			
57856	E200	CRC理想值1	CRC散列和的16个MSB	0
57857	E201	CRC理想值2	CRC散列和的16个LSB	0
57858	E202	CRC使能	1位CRC使能，高电平有效	0

CRC会持续检查程序RAM内容的有效性。编译程序时，SigmaStudio会产生一个32位散列和，且该值必须写入到两个连续的16位寄存器位置。然后，必须使能CRC。每隔4096个帧(当 $f_{s,NORMAL}$ 为48 kHz时则为88 ms)，IC会产生自身的32位代码并将其与这些寄存器中存储的代码进行比较。如果两者不匹配，则会将MP引脚设为高电平(CRC标志)。必须使用多用途引脚控制寄存器中的输出CRC错误标记命令来使能此输出标志(请参见“多用途引脚控制寄存器(地址0xE204至地址0xE20F)”部分)。

需要连续进行CRC校验时，用户可以开启此使能位。其默认设置为关闭，并可在用户已加载程序并发送正确的CRC(由SigmaStudio计算得出)后设为高电平。如果存在错误，可以通过以下方式加以清除：将该使能位设为低电平，修复错误(可能是重新加载程序)，然后再次将其设为高电平。

CRC控制寄存器配置如下：

- CRC理想值1为CRC代码的16个MSB。
- CRC理想值2为CRC代码的16个LSB。
- CRC使能位1位使能。

CRC错误标记寄存器是地址57893处的一个1位只读寄存器(地址0xE225)，用作CRC错误标志。它可以选择性地发送至某个MP引脚。例如，它可以连接到外部微控制器上的某个中断引脚，用于触发损坏寄存器重写。当CRC使能寄存器变为低电平时，该寄存器复位。

CRC错误标记寄存器(地址0xE225)

表43. 寄存器0xE225的位功能描述

位位置	描述	默认值
[15:1]	保留	
0	CRC错误标记(只读)	0

存在CRC错误时，这个1位只读寄存器变为高电平。当CRC使能复位至0时，其复位至0。

看门狗模式和设置

看门狗寄存器(地址0xE210至地址0xE212)

表44. 看门狗寄存器的寄存器详情

地址		寄存器	功能	默认值
十进制	十六进制			
57872	E210	看门狗使能	看门狗定时器的1位使能寄存器	0
57873	E211	看门狗值1	看门狗最大计数值的16个MSB	0
57874	E212	看门狗值2	看门狗最大计数值的16个LSB	0

内核执行模块处理(可跨越数个样本)时, 会使用程序计数器看门狗。如果程序计数器达到看门狗值寄存器中设置的32位值, 看门狗会标记错误。该值由两个连续的16位寄存器位置组成。错误标志会向其中一个多用途引脚发送高电平信号。必须通过将位置57872处的1位寄存器设置为高电平来使能看门狗功能。

看门狗计数器的寄存器配置如下:

- 看门狗使能为1位使能。
- 看门狗值1为看门狗最大计数值的16个MSB。
- 看门狗值2为看门狗最大计数值的16个LSB。

表45. 寄存器0xE210的位功能描述

位位置	描述	默认值
[15:1]	保留	
0	看门狗使能	0

看门狗错误标记寄存器(地址0xE226)

表46. 寄存器0xE226的位功能描述

位位置	描述	默认值
[15:1]	保留	
0	看门狗错误标记(只读)	0

出现错误时, 这个1位看门狗错误标志会变为高电平。它可以选择性地发送至某个MP引脚, 如“多用途引脚控制寄存器(地址0xE204至地址0xE20F)”部分所述。例如, 错误标志可以连接到系统中微控制器上的某个中断引脚。当看门狗使能复位至0时, 它会复位至0。

CRC和看门狗静音寄存器(地址0xE227)

表47. 寄存器0xE227的位功能描述

位位置	描述	默认值
[15:2]	保留。	
1	CRC错误会自动使内核静音。	0
0	看门狗错误会自动使内核静音。	0

这个2位寄存器可以让CRC错误或看门狗错误自动使内核静音。默认值为关闭。

ADAU1442/ADAU1445/ADAU1446

RAM

ADAU1442/ADAU1445/ADAU1446集成4k字程序RAM、4k字参数RAM和8k字数据RAM。

程序RAM

表48. 程序RAM的寄存器详情

地址		名称	读/写字长
十进制	十六进制		
8192	2000	程序RAM	43位(6字节)

程序RAM包含将由内核执行的43位操作代码。必须注意，虽然该RAM的长度为4096，但在正常速率信号的单个帧范围内只可以执行3584个指令。对于双倍速率处理，容许的最大指令数为1792，而对于四倍速率处理，容许的最大指令数则为896。有关设置DSP内核速率的更多信息，请参见“DSP内核速率选择寄存器(地址0xE220)”部分。

利用优化算法和跳转命令可以使用更多程序空间。SigmaStudio编译器会计算出项目中每个帧的最大指令数，并在该值超过根据内核中信号采样速率而计算出的每帧最大容许指令数时产生一个错误。

由于程序结尾包含一个jump-to-start命令，因此无需使用无操作(NOP)命令来填充余下的程序RAM空间。

程序计数器峰值计数寄存器(地址0xE229)

表49. 寄存器0xE229的位功能描述

位位置	描述
[15:0]	程序计数器峰值计数(只读)

这个16位只读寄存器用于记录从开始执行程序到程序计数器复位为止一共经过的周期数。该寄存器会在每次收到启动脉冲时更新。

如果看门狗错误标记位已激活，指示已超过每个帧的最大容许时钟周期数，则不得使用此寄存器。这种情况下，程序计数器峰值可能不准确。

参数RAM

表50. 参数RAM的寄存器详情

地址		名称	读/写字长
十进制	十六进制		
0	0000	参数RAM	28位(4字节)

参数RAM包含DSP内核中运行的算法所需要的所有28位值。SigmaStudio会自动将前八个位置分配给安全加载参数；因此，项目专用参数的起始地址为0x0008。

数据RAM

表51. 数据RAM的寄存器详情

地址		名称	读/写字长
十进制	十六进制		
16384	4000	数据RAM	28位(4字节)

数据RAM存储内核必须通过一个以上帧来访问的音频数据。与前几代SigmaDSP架构不同，ADAU1442/ADAU1445/ADAU1446采用的不是基于硬件的模结构，而是基于软件的模方案，该方案可由程序员进行控制。

数据RAM应在执行引导操作之前初始化至全0，以免出现未定义的启动状态。默认情况下，SigmaStudio会向项目中插入相应的数据RAM初始化代码。

模数据存储器寄存器(地址0xE21F)

表52. 寄存器0xE21F的位功能描述

位位置	描述	默认值
[15:14]	保留。	
[13:0]	非模数据存储器起始位置。该设置为存储器中的地址。	01111100000000

这是一个14位寄存器，用于设置数据存储器中非模空间的起始位置。默认值为7936(十进制)。默认情况下，SigmaStudio会根据SigmaStudio项目中使用的寻址方案来设置该值。用户不得修改该值。

S/PDIF接收器和发射器

ADAU1442/ADAU1445/ADAU1446片内均集成一组S/PDIF数据端口，可直接连线至发射器和接收器，从而与其它S/PDIF兼容设备轻松连接。

S/PDIF接收器

如果芯片的输入引脚上连接了交流耦合电容，S/PDIF输入端口可以接受TTL和双极性信号。由于S/PDIF输入数据很可能与DSP内核不同步，因此必须通过ASRC路由。

S/PDIF端口支持的采样速率范围为32 kHz至108 kHz。

除音频数据外，S/PDIF流还包含用户数据、通道状态、有效性位、虚拟LRCLK和块起始信息。接收器会对音频数据进行解码并发送到ASRC和DSP内核，但余下数据会直接传送到发射器。这样可以确保所有用户数据在输出端保持不变并重新集成到音频流中。

在ADAU1442/ADAU1445/ADAU1446中，时钟恢复完全以数字方式进行。因此，ADAU1442/ADAU1445/ADAU1446具有更好的时钟抖动保护性能。

ADAU1442/ADAU1445/ADAU1446的S/PDIF端口设计符合以下AES和EBU规范：8 kHz及更高时抖动为0.25 UI p-p，200 Hz以下时抖动为10 UI p-p，且最低信号电压为200 mV。

要发射数据，必须开启S/PDIF输出。这可通过写入S/PDIF发射器开关寄存器的激活位来实现。有关更多信息，请参见“使能S/PDIF至I²S输出”部分和“S/PDIF发射器—开关寄存

器(地址0xE0C1)”部分。

输出至多用途引脚

可以将S/PDIF数据从接收器直接发送至MP引脚上的输出。此模式在寄存器0xE241中激活(请参见“使能S/PDIF至I²S输出”部分)。信号的引脚分配如表53所示。

表53. S/PDIF至MP引脚分配

引脚 ¹	组	信号
MP4	2	有效性位
MP5	2	用户数据
MP6	2	通道选择
MP7	2	块起始
MP8	2	虚拟LRCLK
MP9	1	SDATA
MP10	1	BCLK
MP11	1	LRCLK

¹ MP0至MP3引脚不适用，可按照一般方式使用。

共有两组信号，且都可以单独激活和取消激活。所有未用MP引脚工作正常。

S/PDIF发射器

S/PDIF发射器能够以内核速率直接从DSP内核输出两个通道的音频数据。它不能保留或输出以S/PDIF输入流形式编码的任何其它非音频信息。S/PDIF流中的编码非音频数据位均为低电平，但有效性位除外，该位为高电平。有些S/PDIF接收器会忽略发送的音频数据，因为有效性位为高电平表示存在错误。

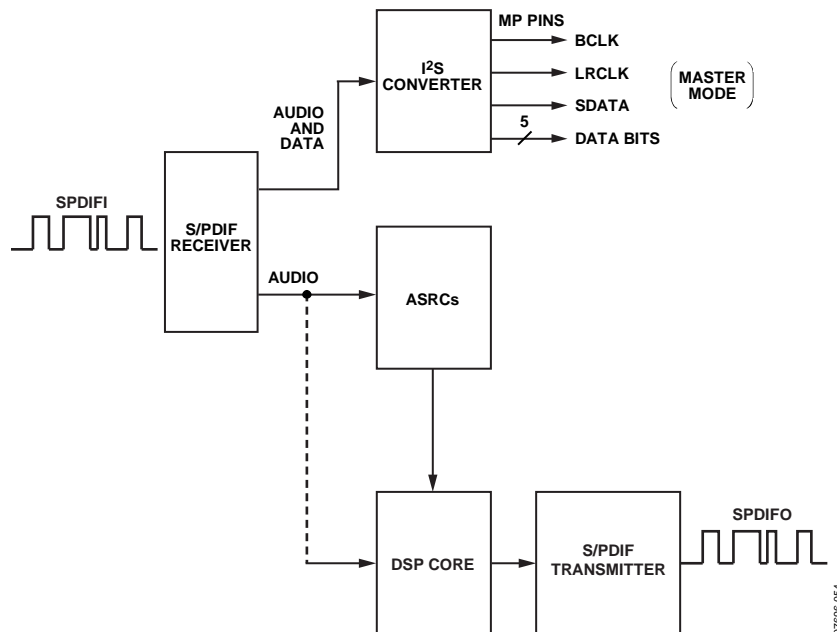


图53. S/PDIF接收器和发射器

ADAU1442/ADAU1445/ADAU1446

S/PDIF模式和设置

表54. S/PDIF模式寄存器的地址

地址		名称	读/写字长
十进制	十六进制		
57536	E0C0	S/PDIF接收器— 读取辅助输出	16位(2字节)
57537	E0C1	S/PDIF发射器—开关	16位(2字节)
57538	E0C2	S/PDIF读取通道状态, 字节0	16位(2字节)
57539	E0C3	S/PDIF读取通道状态, 字节1	16位(2字节)
57540	E0C4	S/PDIF读取通道状态, 字节2	16位(2字节)
57541	E0C5	S/PDIF读取通道状态, 字节3	16位(2字节)
57542	E0C6	S/PDIF读取通道状态, 字节4	16位(2字节)
57543	E0C7	S/PDIF字长控制	16位(2字节)
57544	E0C8	辅助输出—设置 使能模式	16位(2字节)
57545	E0C9	S/PDIF锁定位检测	16位(2字节)
57546	E0CA	设置热使能	16位(2字节)
57547	E0CB	读取使能辅助输出	16位(2字节)
57548	E0CC	S/PDIF失锁行为	16位(2字节)

S/PDIF接收器—读取辅助输出寄存器(地址0xE0C0)

表55. 寄存器0xE0C0的位功能描述

位位置	回读数据
[15:12]	保留
11	虚拟LRCLK
10	块起始
9	通道状态
8	用户数据
[7:2]	保留
[1:0]	有效性

这是一个只读寄存器。它允许读取S/PDIF辅助输出(包括通道状态、用户数据和有效性位)。

S/PDIF发射器—开关寄存器(地址0xE0C1)

表56. 寄存器0xE0C1的位功能描述

位位置	描述	默认值
[15:1]	保留	
0	S/PDIF发射器—开关 0 = S/PDIF发射器禁用 1 = S/PDIF发射器使能	0

这是一个1位寄存器。位0置1时，S/PDIF发射器开启；该位置0时，发射器关闭，以降低功耗。

S/PDIF读取通道状态寄存器，字节[4:0](地址0xE0C2至地址0xE0C6)

表57. S/PDIF读取通道状态寄存器的地址

地址		
十进制	十六进制	寄存器
57538	E0C2	字节0
57539	E0C3	字节1
57540	E0C4	字节2
57541	E0C5	字节3
57542	E0C6	字节4

S/PDIF流包含通道状态位(在音频位之后)，其中含有采样速率、字长和时间戳等信息。该流中包含的完整通道状态信息为每个通道24字节宽(即总共48字节)。ADAU1442/ADAU1445/ADAU1446通过I²C/SPI提供左声道的前五个字节。

S/PDIF字长控制寄存器(地址0xE0C7)

表58. 寄存器0xE0C7的位功能描述

位位置	描述	默认值
[15:2]	保留	
[1:0]	字长 00 = 24位 01 = 20位 10 = 16位 11 = 与从S/PDIF通道状态位解码一样	00

可以使用此寄存器来控制从S/PDIF流解码的音频数据的字长。当S/PDIF流可能来自CD或DVD时，将位[1:0]设为11会很有用。来自CD时，字长为16位；来自DVD时，字长则为24位。此信息包含在通道状态位中，并用于根据需要自动忽略最低有效字节。

辅助输出—设置使能模式寄存器(地址0xE0C8)

表59. 寄存器0xE0C8的位功能描述

位位置	描述	默认值
[15:2]	保留	
[1:0]	辅助输出使能模式 00 = 辅助输出始终关闭。 01 = 辅助输出始终开启。 10 = 辅助输出在复位时关闭 (一旦热使能位为1, 便会开启; 一旦S/PDIF定位为0, 则会关闭。)	01

此寄存器控制当S/PDIF至I²S模式激活时S/PDIF流何时在多功能引脚上变为有效。更多信息参见“使能S/PDIF至I²S输出”部分。

如果S/PDIF流可能会被意外中断, 将寄存器0xE0C8的位[1:0]设为10(辅助输出在复位时关闭)会很有用。中断会导致S/PDIF定位变为低电平, 进而会禁用辅助输出。当S/PDIF流恢复后, 必须激活热使能位, 以恢复辅助输出(更多信息参见“设置热使能寄存器(地址0xE0CA)”部分)。

S/PDIF锁定位检测寄存器(地址0xE0C9)

表60. 寄存器0xE0C9的位功能描述

位位置	描述
[15:1]	保留
0	S/PDIF输入锁定位(只读) 0 = 无有效输入流 1 = 成功锁定至输入流

这个只读寄存器显示S/PDIF输入锁定位的状态。

设置热使能寄存器(地址0xE0CA)

表61. 寄存器0xE0C9的位功能描述

位位置	描述	默认值
[15:1]	保留	
0	热使能位 0 = 热使能无效 1 = 热使能有效	0

这个寄存器允许设置热使能位, 该位可在辅助输出配置为复位时关闭(即寄存器0xE0C8的位[1:0]设置为10)的情况下重新启动辅助输出。S/PDIF接收器失锁时, 热使能位会自动置0。更多信息参见“辅助输出—设置使能模式寄存器(地址0xE0C8)”部分。

读取使能辅助输出寄存器(地址0xE0CB)

表62. 寄存器0xE0CB的位功能描述

位位置	描述
[15:1]	保留
0	读取使能辅助输出(只读) 0 = S/PDIF辅助输出禁用 1 = S/PDIF辅助输出使能

这个只读寄存器显示S/PDIF辅助输出的状态。

S/PDIF失锁行为寄存器(地址0xE0CC)

表63. 寄存器0xE0CC的位功能描述

位位置	描述	默认值
[15:1]	保留	
0	S/PDIF失锁行为 0 = S/PDIF失锁时禁用 1 = S/PDIF忽略失锁	0

这个寄存器控制S/PDIF接收器在与输入流失锁时的行为。当S/PDIF输入流上出现严重噪声或抖动而使输入流无法被接收器识别时, 就会发生失锁。在默认模式下, 此类事件会禁用S/PDIF接收器, 导致其停止输出帧同步脉冲。这进而会导致目标ASRC静音。重新锁定后, 帧同步脉冲才会恢复。

当该寄存器设置为1时, S/PDIF接收器始终输出帧同步脉冲, 即使S/PDIF流的完整性受到影响且无法恢复音频采样时也是如此。这类情况下, S/PDIF接收器数据输出会一直保持为0, 直到重新锁定。

S/PDIF接收器相当稳定, 能够以远低于AES/EBU规范标准的完整性恢复流。因此, 即使信号质量急剧下降, 也只需在进行音频恢复时使用该寄存器。一般而言, 失锁事件时间远短于ASRC静音或取消静音调节。

ADAU1442/ADAU1445/ADAU1446

使能S/PDIF至I²S输出寄存器(地址0xE241)

表64. 寄存器0xE241的位功能描述

位位置	描述	默认值
[15:3]	保留	
2	输出模式 0 = I ² S 1 = TDM	0
1	组2使能 0 = 组2关闭 1 = 组2开启	0
0	组1使能 0 = 组1关闭 1 = 组1开启	0

可以设置S/PDIF接收器来在12个MP引脚中的其中八个引脚上以I²S或TDM格式发送立体声音频流和辅助S/PDIF位。八个输出分为两组：组1将S/PDIF转换成I²S(LRCLK、BCLK和SDATA信号)，而组2则解码通道状态和用户数据位(虚拟LRCLK、用户数据、通道状态、有效性和块起始信号)。

该MP输出由寄存器0xE241中的以下三个位控制：

- 位0用于开关组1。
- 位1用于开关组2。
- 位2用于在I²S和TDM模式之间切换。

当S/PDIF至I²S模式激活时，将使用表53中所示的引脚。

当TDM模式激活时，时隙0和时隙4包含音频数据，而时隙1则包含流化块起始、通道状态、用户数据和有效性位(见表65)。位以实时方式流化并与音频数据同步。仅使用时隙1的七个MSB，如表65所示。对应的TDM格式详见图54。

表65. 图54中解码位的功能

位位置	描述
31	块起始(前16个样本为高电平)
30	右声道的通道状态
29	左声道的通道状态
28	用户数据位，右声道
27	用户数据位，左声道
26	有效性位，右声道
25	有效性位，左声道
[24:0]	不用

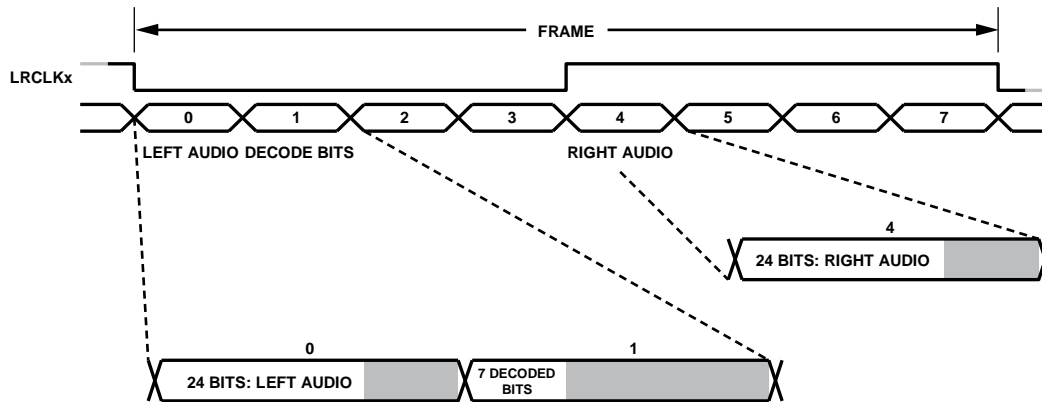


图54. S/PDIF TD

多用途引脚

ADAU1442/ADAU1445/ADAU1446各自具有12个多用途引脚，可用作数字通用输入/输出(GPIO)，或者用作4通道辅助ADC的输入。

12个多用途引脚各自均通过一个4位模式控制。这些引脚可以配置为数字输入或数字输出，适用时还可配置为辅助ADC的模拟输入。器件内置去抖电路，可与数字输入配合使用，可选时间常数范围为0.3 μs至40 μs。

当输入或输出由控制端口驱动时，可以通过读取或写入表66中列出的地址来直接读取或控制值。

这些寄存器各自有4字节长，且采用5.23格式。要写入逻辑1，应写入的字节为0x00、0x80、0x00和0x00。要写入逻辑0，则应写入的字节为0x00、0x00、0x00和0x00。

当输出由内核驱动时，它们表示为SigmaStudio编程工具中的MP输出并直接从DSP程序以5.23格式驱动。

此外还有12个多用途引脚值寄存器，允许直接从控制端口写入或读取输入/输出数据。对应的地址如表68所示。每个值寄存器均包含4字节，且仅可存储以下两个值之一：逻辑高电平或逻辑低电平。逻辑高电平存储为0x00 0x80 0x00 0x00。逻辑低电平存储为0x00 0x00 0x00 0x00。辅助ADC的值并非存储在这些寄存器中。这些寄存器的值仅可为以下两个值之一：0x00 0x00 0x00 0x00(数字零)或0x00 0x80 0x00 0x00(数字一)。有关多用途引脚的更多信息，请参阅应用笔记AN-951“使用内置SigmaDSP GPIO引脚的硬件控制系统”。

多用途引脚模式和设置

多用途引脚控制寄存器(地址0xE204至地址0xE20F)

表66. 多用途引脚控制寄存器的地址

地址		寄存器
十进制	十六进制	
57860	E204	多用途引脚控制, MP0
57861	E205	多用途引脚控制, MP1
57862	E206	多用途引脚控制, MP2
57863	E207	多用途引脚控制, MP3
57864	E208	多用途引脚控制, MP4
57865	E209	多用途引脚控制, MP5
57866	E20A	多用途引脚控制, MP6
57867	E20B	多用途引脚控制, MP7
57868	E20C	多用途引脚控制, MP8
57869	E20D	多用途引脚控制, MP9
57870	E20E	多用途引脚控制, MP10
57871	E20F	多用途引脚控制, MP11

表67. 多用途引脚控制寄存器的位设置

位位置	描述	默认值
[15:4]	保留	
[3:0]	MP引脚模式 0000 = 无去抖输入 0001 = 0.3 ms去抖输入 0010 = 0.6 ms去抖输入 0011 = 0.9 ms去抖输入 0100 = 5 ms去抖输入 0101 = 10 ms去抖输入 0110 = 20 ms去抖输入 0111 = 40 ms去抖输入 1000 = 输入由控制端口驱动 1001 = 输出由带上拉的控制端口驱动 1010 = 输出由带上拉的控制端口驱动 1011 = 输出由带上拉的内核驱动 1100 = 输出由不带上拉的内核驱动 1101 = 输入辅助ADC(仅限MP0至MP3) 1110 = 输出CRC错误标记 1111 = 输出看门狗错误标记	0000

多用途引脚值寄存器(地址0x129A至地址0x12A5)

表68. 多用途引脚值寄存器的地址

地址		寄存器
十进制	十六进制	
4672	0x1240	多用途引脚值, MP0
4673	0x1241	多用途引脚值, MP1
4674	0x1242	多用途引脚值, MP2
4675	0x1243	多用途引脚值, MP3
4676	0x1244	多用途引脚值, MP4
4677	0x1245	多用途引脚值, MP5
4678	0x1246	多用途引脚值, MP6
4679	0x1247	多用途引脚值, MP7
4680	0x1248	多用途引脚值, MP8
4681	0x1249	多用途引脚值, MP9
4682	0x124A	多用途引脚值, MP10
4683	0x124B	多用途引脚值, MP11

ADAU1442/ADAU1445/ADAU1446

辅助ADC

ADAU1442/ADAU1445/ADAU1446均内置一个10位辅助ADC，可用于控制输入信号。有一个ADC具有四个多路复用输入。该ADC的采样速率为 $f_{\text{CORE}}/896$ (基于172.032 MHz内核时钟时即为192 kHz)，因此每个通道的有效采样速率为 $f_{\text{CORE}}/3584$ (基于172.032 MHz内核时钟时即为48 kHz)。

硬件中包括ADC滤波功能，并提供迟滞，以降低输入上的噪声影响。有关这些设置的更多信息，请参见表70。

辅助ADC并非针对音频而设计，因此不应用作辅助音频输入。其采样速率和比特率均太低，无法转换音频应用的信号。

输入可以采用多种方法进行滤波。具体滤波模式设置如表70所示。

辅助ADC模式和设置

ADC滤波器模式设置(地址0xE224)

表69. 寄存器0xE224的位功能描述

位位置	ADC通道
[15:8]	保留
[7:6]	ADC0
[5:4]	ADC1
[3:2]	ADC2
[1:0]	ADC3

表70. 寄存器0xE224位[7:0]的设置

模式设置	功能	默认值
00	滤波器旁路	00
01	ADC数据滤波	
10	1位迟滞滤波	
11	2位迟滞滤波	

与其它器件接口

将ADAU1442/ADAU1445/ADAU1446与系统中的其它器件接口时，可能需要设置各个引脚的驱动强度。

驱动强度模式和设置

位时钟PAD强度寄存器(地址0xE247)

这个寄存器控制所有位时钟引脚在主机模式下工作时的PAD驱动强度。默认的2 mA设置适合大多数应用。

仅当信号的完整性受到影响时，才应使用6 mA设置。

表71. 位时钟PAD强度寄存器的位功能描述

位位置	描述	默认值
[15:12]	保留	
11	BCLK11 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
10	BCLK10 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
9	BCLK9 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
8	BCLK8 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
7	BCLK7 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
6	BCLK6 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
5	BCLK5 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
4	BCLK4 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
3	BCLK3 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
2	BCLK2 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
1	BCLK1 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
0	BCLK0 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0

ADAU1442/ADAU1445/ADAU1446

帧时钟PAD强度寄存器(地址0xE248)

这个寄存器控制所有帧时钟引脚在主机模式下工作时的PAD驱动强度。默认的2 mA设置适合大多数应用。

仅当信号的完整性受到影响时，才应使用6 mA设置。

表72. 帧时钟PAD强度寄存器的位功能描述

位位置	描述	默认值
[15:12]	保留	
11	LRCLK11 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
10	LRCLK10 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
9	LRCLK9 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
8	LRCLK8 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
7	LRCLK7 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
6	LRCLK6 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
5	LRCLK5 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
4	LRCLK4 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
3	LRCLK3 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
2	LRCLK2 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
1	LRCLK1 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
0	LRCLK0 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0

多用途引脚PAD强度寄存器(地址0xE249)

这个寄存器控制所有配置为输出的多用途引脚的PAD驱动强度。默认的2 mA设置适合大多数应用。仅当信号的完整性受到影响时，才应使用6 mA设置。

表73. 多用途引脚PAD强度寄存器的位功能描述

位位置	描述	默认值
[15:12]	保留	
11	MP11 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
10	MP10 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
9	MP9 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
8	MP8 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
7	MP7 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
6	MP6 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
5	MP5 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
4	MP4 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
3	MP3 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
2	MP2 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
1	MP1 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
0	MP0 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0

ADAU1442/ADAU1445/ADAU1446

串行数据输出PAD强度寄存器(地址0xE24A)

这个寄存器控制所有串行数据输出引脚的PAD驱动强度。默认的2 mA设置适合大多数应用。仅当信号的完整性受到影响时，才应使用6 mA设置。

表74. 串行数据输出PAD强度寄存器的位功能描述

位位置	描述	默认值
[15:9]	保留	
8	SDATA_OUT8 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
7	SDATA_OUT7 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
6	SDATA_OUT6 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
5	SDATA_OUT5 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
4	SDATA_OUT4 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
3	SDATA_OUT3 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
2	SDATA_OUT2 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
1	SDATA_OUT1 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
0	SDATA_OUT0 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0

其它Pad强度寄存器(地址0xE24C)

这个寄存器控制通信端口、S/PDIF输出和主时钟输出的PAD驱动强度。默认的2 mA设置适合大多数应用。仅当信号的完整性受到影响时，才应使用6 mA设置。

表75. 其它PAD强度寄存器的位功能描述

位位置	描述	默认值
[15:7]	保留	
6	SCL/CCLK 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
5	CLATCH 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
4	ADDR1/CDATA 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
3	ADDR0 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
2	SDA/COUT 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
1	SPDIFO 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0
0	CLKOUT 0 = 低强度(2 mA) 1 = 高强度(6 mA)	0

灵活TDM模式

ADAU1442/ADAU1445/ADAU1446均支持灵活TDM模式，该模式允许这些器件与各种数字音频器件接口。

串行输入灵活TDM接口模式和设置

SDATA_IN0和SDATA_IN1串行输入端口支持灵活TDM模式。利用此模式，可以覆写串行端口的默认设置并灵活地将任意TDM输入流的内容路由至输入端口。

要激活此模式，对应串行端口的字长位必须设置为11 (TDM8或灵活TDM)。

在灵活TDM模式下，各个灵活TDM流在帧时钟的每个帧上包含32字节(称为时隙)信息。结合使用两个串行输入端口，可允许灵活流上总共存在64字节信息。

必须注意，与FARM中信号必须以立体声对形式路由不同，灵活TDM流上的数据可以单独分配给输入通道。只要数据检索是从输入通道0开始并按顺序递增，则24个输入通道各自均可从灵活TDM流的任何时隙(或时隙组合)获取数据。由于音频数据可以采用8、16或24位输入格式，因此单个通道可能会占用多个时隙。一个8位通道会占用一

个时隙，一个16位通道会占用两个时隙，而一个24位通道则会占用三个时隙。要将灵活TDM数据路由至输入通道，必须在对应的输入通道寄存器(灵活TDM至输入通道[23:0]寄存器)中设置起始时隙编号(最高有效字节)和位深(流中的字节数或时隙)。图56给出了一个输入灵活TDM接口模式的例子。

在本例中，输入通道0来自灵活TDM流上的时隙4、时隙5和时隙6(一个24位音频通道)。输入通道1来自时隙12(一个8位音频通道)。输入通道2来自输入流上的时隙21和时隙22(一个16位音频通道)。输入通道3来自输入流上的时隙39、时隙40和时隙41(一个24位音频通道)。对于位深少于24位的音频输入，LSB以0填充。注意，输入通道的时隙分配必须按顺序进行，最低时隙编号从输入通道0开始并按顺序递增。这样可以确保与输入通道自动分配兼容(请参见“输入通道自动分配”部分)。

默认设置为所有九个位均为高电平(0x01FF)，表示输入通道配置为标准串行输入接口模式，而不使用灵活TDM接口模式。

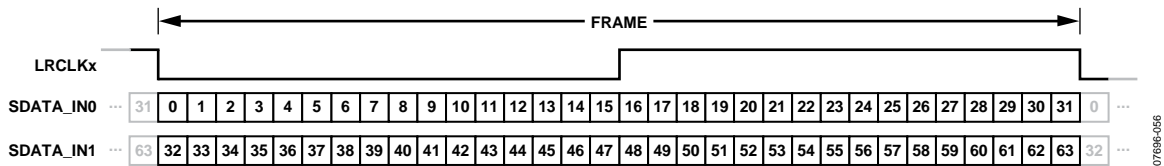


图55. 灵活TDM接口模式—输入流

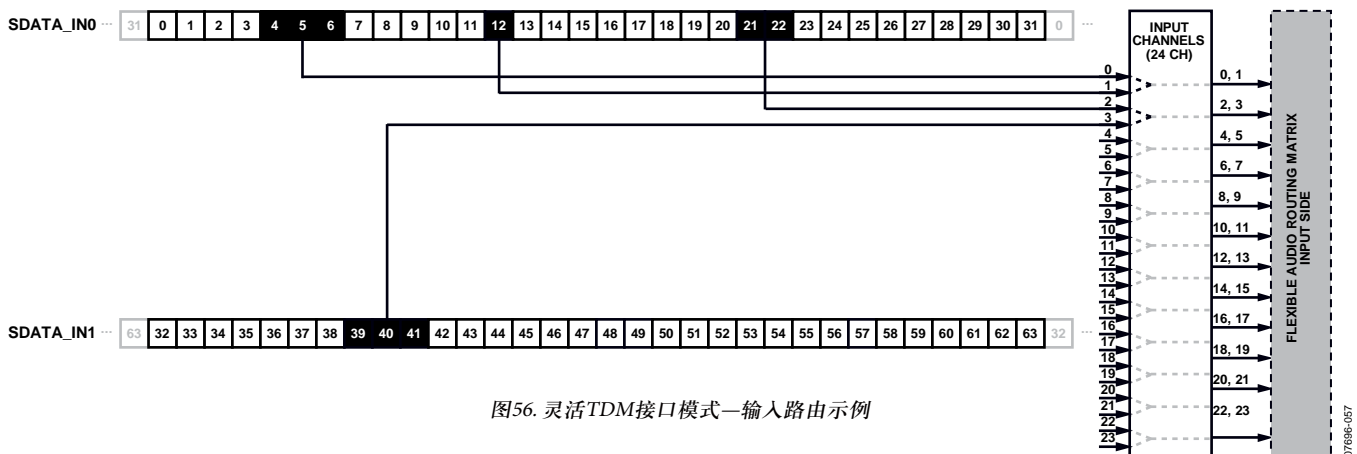


图56. 灵活TDM接口模式—输入路由示例

灵活TDM至输入通道模式寄存器(地址0xE180至地址0xE197)

表76. 串行输入灵活TDM接口模式寄存器的地址

地址		名称	读/写字长
十进制	十六进制		
57728	E180	灵活TDM至输入通道0	16位(2字节)
57729	E181	灵活TDM至输入通道1	16位(2字节)
57730	E182	灵活TDM至输入通道2	16位(2字节)
57731	E183	灵活TDM至输入通道3	16位(2字节)
57732	E184	灵活TDM至输入通道4	16位(2字节)
57733	E185	灵活TDM至输入通道5	16位(2字节)
57734	E186	灵活TDM至输入通道6	16位(2字节)
57735	E187	灵活TDM至输入通道7	16位(2字节)
57736	E188	灵活TDM至输入通道8	16位(2字节)
57737	E189	灵活TDM至输入通道9	16位(2字节)
57738	E18A	灵活TDM至输入通道10	16位(2字节)
57739	E18B	灵活TDM至输入通道11	16位(2字节)
57740	E18C	灵活TDM至输入通道12	16位(2字节)
57741	E18D	灵活TDM至输入通道13	16位(2字节)
57742	E18E	灵活TDM至输入通道14	16位(2字节)
57743	E18F	灵活TDM至输入通道15	16位(2字节)
57744	E190	灵活TDM至输入通道16	16位(2字节)
57745	E191	灵活TDM至输入通道17	16位(2字节)
57746	E192	灵活TDM至输入通道18	16位(2字节)
57747	E193	灵活TDM至输入通道19	16位(2字节)
57748	E194	灵活TDM至输入通道20	16位(2字节)
57749	E195	灵活TDM至输入通道21	16位(2字节)
57750	E196	灵活TDM至输入通道22	16位(2字节)
57751	E197	灵活TDM至输入通道23	16位(2字节)

表77. 灵活TDM至输入通道模式寄存器的位功能描述

位位置	描述	默认值
[15:9]	保留	
8	MSB位置 0 = MSB优先 1 = LSB优先	1
[7:6]	通道中的字节数(音频位深) 00 = 1字节(8位音频) 01 = 2字节(16位音频) 10 = 3字节(24位音频) 11 = 未用	11
[5:0]	TDM流上第一个字节的位置 000000 = TDM 时隙 0 000001 = TDM 时隙 1 ... 111110 = TDM 时隙 62 111111 = TDM 时隙 63	111111

ADAU1442/ADAU1445/ADAU1446

串行输出灵活TDM接口模式和设置

SDATA_IN[1:0]串行输入端口上使用的灵活TDM模式也可用在SDATA_OUT[1:0]串行输出端口上。有24个输出通道可供灵活TDM模式下的输出端口使用。

要激活此模式，对应串行端口的字长位必须设置为11 (TDM8或灵活TDM)。

在灵活TDM模式下，各个灵活TDM流在帧时钟的每个帧上包含32字节(时隙)信息。结合使用两个串行输出端口，可允许灵活流上总共存在64字节信息。

必须注意，与FARM中信号必须以立体声对形式路由不同，输出通道可以单独分配给灵活TDM流上的不同位置。只要数据检索从输出通道0开始并按顺序递增，则64个TDM输出时隙各自均可从24个输出通道中的任意一个获取数据。

由于音频数据可以采用8、16或24位输入格式，因此单个音频数据通道可能会占用多个时隙。一个8位音频通道会占用一个时隙，一个16位音频通道会占用两个时隙，而一个24位音频通道则会占用三个时隙。要设置每个时隙，必须在对应的TDM时隙寄存器中设置供应通道(输入通道[23:0])和字节位置(高字节、中间字节或低字节)。图58给出了一个输出端灵活TDM接口模式的例子。

在本例中，三个单声道音频从输出通道发送到灵活TDM流。输出通道0为8位，输出通道1为16位，输出通道2则为24位。目标时隙会相应地进行设置。时隙3设置为输出输出通道0的高(MS)字节，即八个MSB。时隙11设置为输出输出通道1的高字节(MS)，时隙12则设置为输出中间字节(M)；因此，时隙11和时隙12一起输出输出通道1的16个MSB。时隙42、时隙43和时隙44分别设置为输出输出通道2的高字节(MS)、中间字节(M)和低字节(LS)，因此总共为24位。虽然系统具有很大灵活性，允许将任意顺序或组合的时隙用于任意通道，但大多数应用遵循先MS再M后LS的顺序格式。注意，只要从输出通道0开始分配并按顺序递增，就可以将任何输出通道分配给任意时隙。这样可以确保与输出通道自动分配兼容(请参见“输出通道自动分配”部分)。

每个寄存器中共包含两个时隙。高八位控制较高时隙，而低八位则控制较低时隙。例如，在TDM时隙0和TDM时隙1寄存器0xE1C0 (SDATA_OUT0)中，位[15:8]控制TDM时隙1，位[7:0]则控制TDM时隙0。

时隙31和时隙63适用特殊情况。这两个时隙仅可用于保存一个8位通道的MS字节，而不能与其它时隙一起使用来保存八位以上数据。

默认设置为所有16个位均为高电平(0xFFFF)，表示通道配置为标准串行输入接口模式，而不使用灵活TDM接口模式。

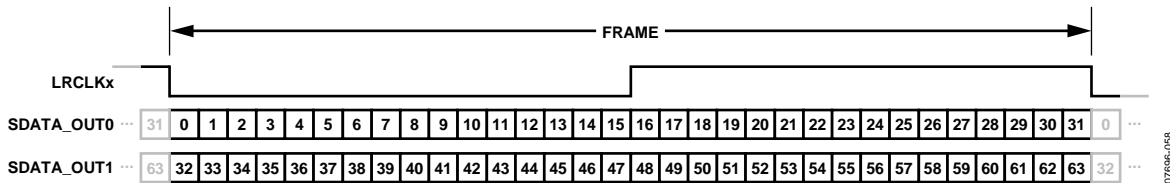


图57. 灵活TDM接口模式—输出流

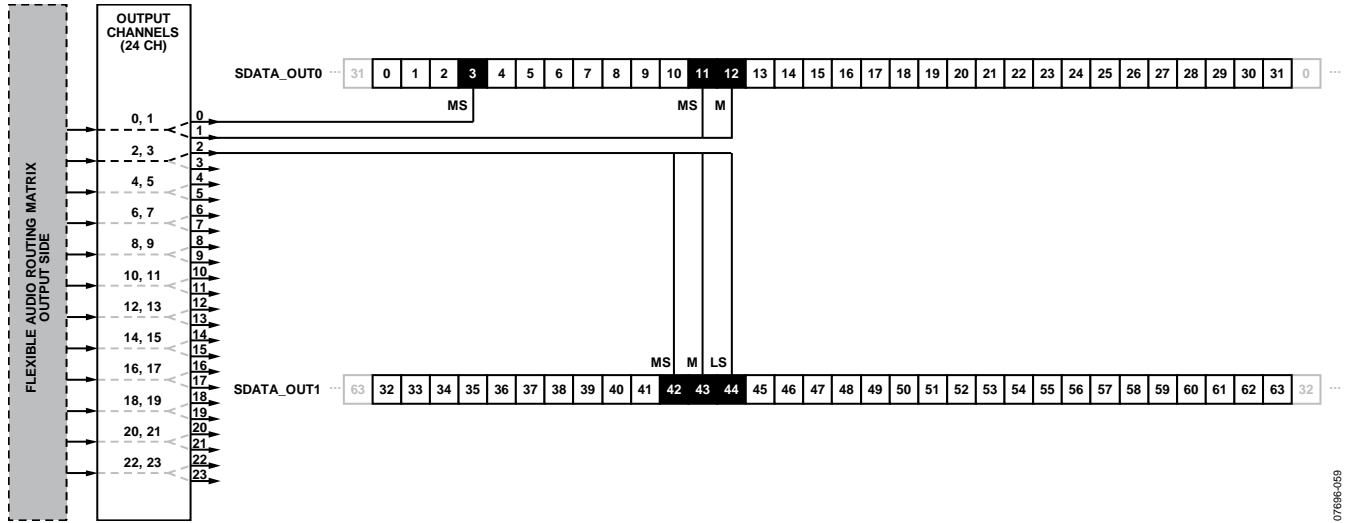


图58. 灵活TDM接口模式—输出路由示例

07696-059

串行输出灵活TDM接口模式寄存器(地址0xE1C0至地址0xE1DF)

表78. 串行输出灵活TDM接口模式寄存器的地址

地址		名称	读/写字长
十进制	十六进制		
57792	E1C0	TDM时隙0和TDM时隙1 (SDATA_OUT0)	16位(2字节)
57793	E1C1	TDM时隙2和TDM时隙3 (SDATA_OUT0)	16位(2字节)
57794	E1C2	TDM时隙4和TDM时隙5 (SDATA_OUT0)	16位(2字节)
57795	E1C3	TDM时隙6和TDM时隙7 (SDATA_OUT0)	16位(2字节)
57796	E1C4	TDM时隙8和TDM时隙9 (SDATA_OUT0)	16位(2字节)
57797	E1C5	TDM时隙10和TDM时隙11 (SDATA_OUT0)D	16位(2字节)
57798	E1C6	TDM时隙12和TDM时隙13 (SDATA_OUT0)	16位(2字节)
57799	E1C7	TDM时隙14和TDM时隙15 (SDATA_OUT0)	16位(2字节)
57800	E1C8	TDM时隙16和TDM时隙17 (SDATA_OUT0)	16位(2字节)
57801	E1C9	TDM时隙18和TDM时隙19 (SDATA_OUT0)	16位(2字节)
57802	E1CA	TDM时隙20和TDM时隙21 (SDATA_OUT0)	16位(2字节)
57803	E1CB	TDM时隙22和TDM时隙23 (SDATA_OUT0)	16位(2字节)
57804	E1CC	TDM时隙24和TDM时隙25(SDATA_OUT0)	16位(2字节)
57805	E1CD	TDM时隙26和TDM时隙27 (SDATA_OUT0)	16位(2字节)
57806	E1CE	TDM时隙28和TDM时隙29 (SDATA_OUT0)	16位(2字节)
57807	E1CF	TDM时隙30和TDM时隙31 (SDATA_OUT0) ¹	16位(2字节)
57808	E1D0	TDM时隙32和TDM时隙33 (SDATA_OUT1)	16位(2字节)
57809	E1D1	TDM时隙34和TDM时隙35 (SDATA_OUT1)	16位(2字节)
57810	E1D2	TDM时隙36和TDM时隙37 (SDATA_OUT1)	16位(2字节)
57811	E1D3	TDM时隙38和TDM时隙39 (SDATA_OUT1)	16位(2字节)
57812	E1D4	TDM时隙40和TDM时隙41 (SDATA_OUT1)	16位(2字节)
57813	E1D5	TDM时隙42和TDM时隙43 (SDATA_OUT1)	16位(2字节)
57814	E1D6	TDM时隙44和TDM时隙45 (SDATA_OUT1)	16位(2字节)
57815	E1D7	TDM时隙46和TDM时隙47 (SDATA_OUT1)	16位(2字节)
57816	E1D8	TDM时隙48和TDM时隙49(SDATA_OUT1)	16位(2字节)
57817	E1D9	TDM时隙50和TDM时隙51 (SDATA_OUT1)	16位(2字节)
57818	E1DA	TDM时隙52和TDM时隙53 (SDATA_OUT1)	16位(2字节)
57819	E1DB	TDM时隙54和TDM时隙55 (SDATA_OUT1)	16位(2字节)
57820	E1DC	TDM时隙56和TDM时隙57 (SDATA_OUT1)	16位(2字节)

ADAU1442/ADAU1445/ADAU1446

地址		名称	读/写字长
十进制	十六进制		
57821	E1DD	TDM时隙58和TDM时隙59 (SDATA_OUT1)	16位(2字节)
57822	E1DE	TDM时隙60和TDM时隙61 (SDATA_OUT1)	16位(2字节)
57823	E1DF	TDM时隙62和TDM时隙63 (SDATA_OUT1) ¹	16位(2字节)

¹ 时隙31和时隙63仅可用于保存一个8位通道的MS字节，而不能与其它时隙一起使用来保存八位以上数据。

串行输出灵活TDM接口模式寄存器—较高时隙(地址0xE1C0至地址0xE1DF, 位[15:8])

表79. 串行输出灵活TDM接口模式寄存器的位功能描述—较高时隙¹

位位置	描述	默认值
15	MSB位置 0 = MSB优先 1 = LSB优先	1
[14:10]	输出通道 00000 = 输出通道0 00001 = 输出通道1 ... 10110 = 输出通道22 10111 = 输出通道23 ... 11111 = 未用	11111
[9:8]	字节位置 00 = 高字节(MS) 01 = 中间字节(M) 10 = 低字节(LS) 11 = 未用	11

¹ 位[15:8]控制TDM时隙1。

串行输出灵活TDM接口模式寄存器—较低时隙(地址0xE1C0至地址0xE1DF, 位[7:0])

表80. 串行输出灵活TDM接口模式寄存器的位功能描述—较低时隙¹

位位置	描述	默认值
7	MSB位置 0 = MSB优先 1 = LSB优先	1
[6:2]	输出通道 00000 = 输出通道0 00001 = 输出通道1 ... 10110 = 输出通道22 10111 = 输出通道23 ... 11111 = 未用	11111
[1:0]	字节位置 00 = 高字节(MS) 01 = 中间字节(M) 10 = 低字节(LS) 11 = 未用	11

¹ 位[7:0]控制TDM时隙0。

软件特性

软件安全加载

为了实时更新参数并避免输出上出现爆音和咔嚓声噪声，ADAU1442/ADAU1445/ADAU1446采用了一种软件安全加载机制。SigmaStudio会自动设置新项目的必要代码和参数。安全加载代码与其它初始化代码填充程序RAM的前36个位置。默认情况下，SigmaStudio会按表81所示配置前八个参数RAM位置(地址0x0000至地址0x0007)。

表81. 软件安全加载参数RAM默认值

地址 (十六进制)	功能
0x0000	模RAM大小
0x0001	安全加载数据1
0x0002	安全加载数据2
0x0003	安全加载数据3
0x0004	安全加载数据4
0x0005	安全加载数据5
0x0006	安全加载目标地址(-1偏移)
0x0007	要写入的字数/安全加载触发器

地址0x0000控制模RAM大小，由SigmaStudio设置并取决于项目的动态地址发生器模式。

地址0x0001至地址0x0005是用于存储安全加载数据的五个数据时隙。默认情况下，安全加载参数空间包含五个数据时隙，因为大多数标准信号处理算法都有五个参数或更少。

地址0x0006为参数RAM中的目标地址(带-1偏移)。此项指定要写入的第一个地址。如果要写入多个字，则对于每个数据字，地址会自动递增。目标地址偏移-1的原因是写入地址是相对于数据地址来计算的，而后者从地址0x0001开始。因此，如果需要更新地址0x000A处的参数，则目标地址应为0x0009。

地址0x0007指定要写入的字数。对于双二阶滤波器，该数值为五。对于简单的单位增益单元，该数值为一。此地址还用作触发器；写入时，即会在下一帧触发安全加载写入。

该安全加载机制基于软件，并且每个音频帧执行一次。因此，设计通信协议时，系统设计师应当小心谨慎。每次安全加载写入之间需要具有等于或大于采样周期(采样频率的倒数)的延迟。采样速率为48 kHz时，这就相当于大于或等于20.83 μs的延迟。如果不存在该延迟，下载的数据会被损坏。

软件压摆

当信号处理参数的值会实时突然发生变化时，有时会导致音频输出上出现爆音和咔嚓声。为避免此问题，SigmaStudio中的一些算法实现了软件压摆功能。软件压摆算法会设置参数的目标值并连续更新该参数的值，直到其达到目标。

目标值会额外占用参数RAM中的一个空间，而参数的当前值则在数据RAM的非模部分进行更新。参数和非模数据RAM的分配由SigmaStudio编译器负责处理，而不需要手动进行编程。

压摆参数可以遵循多种不同的曲线，其中包括RC型曲线和线性曲线。这些曲线类型会以编码形式写入各个算法，且用户无法修改。

与不带压摆功能的同类算法相比，带软件压摆功能的算法通常需要更多RAM，因此只有在器件工作期间需要更改参数的情况下，才应使用这类算法。

图59给出了向正弦波应用音量压摆的一个例子。

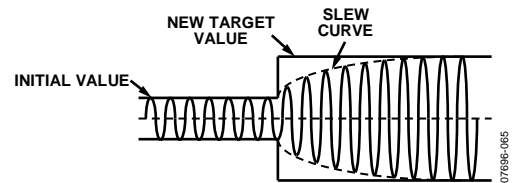


图59. 音量压摆示例

ADAU1442/ADAU1445/ADAU1446

全局RAM和寄存器映射

本节列出了所有RAM和寄存器。

寄存器地址映射概览

表82. ADAU1442/ADAU1445/ADAU1446 RAM和寄存器映射

地址				名称	读/写字长
十进制		十六进制			
起始值	终止值	起始值	终止值		
0	4095	0000	0FFF	参数RAM	28位(4字节)
8192	12287	2000	2FFF	程序RAM	43位(6字节)
16384	24575	4000	5FFF	数据RAM	28位(4字节)
57344	57352	E000	E008	串行输入端口模式	16位(2字节)
57408	57417	E040	E049	串行输出端口模式	16位(2字节)
57472	57499	E080	E09B	灵活的音频路由矩阵模式	16位(2字节)
57536	57548	E0C0	E0CC	S/PDIF模式	16位(2字节)
57601	57667	E101	E143	ASRC模式	16位(2字节)
57728	57751	E180	E197	串行输入灵活TDM接口模式	16位(2字节)
57792	57823	E1C0	E1DF	串行输出灵活TDM接口模式	16位(2字节)
57856	57984	E200	E280	其它模式	16位(2字节)

寄存器地址映射详情

表83. 程序RAM寄存器

地址		名称	读/写字长
十进制	十六进制		
8192	2000	程序RAM	43位(6字节)

表84. 参数RAM寄存器

地址		名称	读/写字长
十进制	十六进制		
0	0000	参数RAM	28位(4字节)

表85. 数据RAM寄存器

地址		名称	读/写字长
十进制	十六进制		
16384	4000	数据RAM	28位(4字节)

表86. 串行输入端口模式寄存器

地址		名称	读/写字长
十进制	十六进制		
57344	E000	串行输入端口0模式	16位(2字节)
57345	E001	串行输入端口1模式	16位(2字节)
57346	E002	串行输入端口2模式	16位(2字节)
57347	E003	串行输入端口3模式	16位(2字节)
57348	E004	串行输入端口4模式	16位(2字节)
57349	E005	串行输入端口5模式	16位(2字节)
57350	E006	串行输入端口6模式	16位(2字节)
57351	E007	串行输入端口7模式	16位(2字节)
57352	E008	串行输入端口8模式	16位(2字节)

表87. 串行输出端口模式寄存器

地址		名称	读/写字长
十进制	十六进制		
57408	E040	串行输出端口0模式	16位(2字节)
57409	E041	串行输出端口1模式	16位(2字节)
57410	E042	串行输出端口2模式	16位(2字节)
57411	E043	串行输出端口3模式	16位(2字节)
57412	E044	串行输出端口4模式	16位(2字节)
57413	E045	串行输出端口5模式	16位(2字节)
57414	E046	串行输出端口6模式	16位(2字节)
57415	E047	串行输出端口7模式	16位(2字节)
57416	E048	串行输出端口8模式	16位(2字节)
57417	E049	高速从机接口模式	16位(2字节)

表88. 灵活音频路由矩阵模式寄存器

地址		名称	读/写字长
十进制	十六进制		
57472	E080	ASRC输入选择, 对0(通道0, 通道1)	16位(2字节)
57473	E081	ASRC输入选择, 对1(通道2, 通道3)	16位(2字节)
57474	E082	ASRC输入选择, 对2(通道4, 通道5)	16位(2字节)
57475	E083	ASRC输入选择, 对3(通道6, 通道7)	16位(2字节)
57476	E084	ASRC输入选择, 对4(通道8, 通道9)	16位(2字节)
57477	E085	ASRC输入选择, 对5(通道10, 通道11)	16位(2字节)
57478	E086	ASRC输入选择, 对6(通道12, 通道13)	16位(2字节)
57479	E087	ASRC输入选择, 对7(通道14, 通道15)	16位(2字节)
57480	E088	ASRC输出速率选择, 对0(通道0, 通道1)	16位(2字节)
57481	E089	ASRC输出速率选择, 对1(通道2, 通道3)	16位(2字节)
57482	E08A	ASRC输出速率选择, 对2(通道4, 通道5)	16位(2字节)
57483	E08B	ASRC输出速率选择, 对3(通道6, 通道7)	16位(2字节)
57484	E08C	ASRC输出速率选择, 对4(通道8, 通道9)	16位(2字节)
57485	E08D	ASRC输出速率选择, 对5(通道10, 通道11)	16位(2字节)
57486	E08E	ASRC输出速率选择, 对6(通道12, 通道13)	16位(2字节)
57487	E08F	ASRC输出速率选择, 对7(通道14, 通道15)	16位(2字节)
57488	E090	串行输出选择, 对0(通道0, 通道1)	16位(2字节)
57489	E091	串行输出选择, 对1(通道2, 通道3)	16位(2字节)
57490	E092	串行输出选择, 对2(通道4, 通道5)	16位(2字节)

ADAU1442/ADAU1445/ADAU1446

地址		名称	读/写字长
十进制	十六进制		
57491	E093	串行输出选择, 对3(通道6, 通道7)	16位(2字节)
57492	E094	串行输出选择, 对4(通道8, 通道9)	16位(2字节)
57493	E095	串行输出选择, 对5(通道10, 通道11)	16位(2字节)
57494	E096	串行输出选择, 对6(通道12, 通道13)	16位(2字节)
57495	E097	串行输出选择, 对7(通道14, 通道15)	16位(2字节)
57496	E098	串行输出选择, 对8(通道16, 通道17)	16位(2字节)
57497	E099	串行输出选择, 对9(通道18, 通道19)	16位(2字节)
57498	E09A	串行输出选择, 对10(通道20, 通道21)	16位(2字节)
57499	E09B	串行输出选择, 对11(通道22, 通道23)	16位(2字节)

表89. S/PDIF模式寄存器

地址		名称	读/写字长
十进制	十六进制		
57536	E0C0	S/PDIF接收器—读取辅助输出	16位(2字节)
57537	E0C1	S/PDIF发射器—开关	16位(2字节)
57538	E0C2	S/PDIF读取通道状态, 字节0	16位(2字节)
57539	E0C3	S/PDIF读取通道状态, 字节1	16位(2字节)
57540	E0C4	S/PDIF读取通道状态, 字节2	16位(2字节)
57541	E0C5	S/PDIF读取通道状态, 字节3	16位(2字节)
57542	E0C6	S/PDIF读取通道状态, 字节4	16位(2字节)
57543	E0C7	S/PDIF字长控制	16位(2字节)
57544	E0C8	辅助输出—设置使能模式	16位(2字节)
57545	E0C9	S/PDIF锁定位检测	16位(2字节)
57546	E0CA	设置热使能	16位(2字节)
57547	E0CB	读取使能辅助输出	16位(2字节)
57548	E0CC	S/PDIF失锁行为	16位(2字节)

表90. ASRC模式寄存器

地址		名称	读/写字长
十进制	十六进制		
57601	E101	立体声ASRC[3:0]锁定状态和静音	16位(2字节)
57603	E103	立体声ASRC[3:0]静音调节禁用	16位(2字节)
57665	E141	立体声ASRC[7:4]锁定状态和静音	16位(2字节)
57667	E143	立体声ASRC[7:4]静音调节禁用	16位(2字节)

表91. 串行输入灵活TDM接口模式寄存器

地址		名称	读/写字长
十进制	十六进制		
57728	E180	灵活TDM至输入通道0	16位(2字节)
57729	E181	灵活TDM至输入通道1	16位(2字节)
57730	E182	灵活TDM至输入通道2	16位(2字节)
57731	E183	灵活TDM至输入通道3	16位(2字节)
57732	E184	灵活TDM至输入通道4	16位(2字节)
57733	E185	灵活TDM至输入通道5	16位(2字节)
57734	E186	灵活TDM至输入通道6	16位(2字节)
57735	E187	灵活TDM至输入通道7	16位(2字节)

地址		名称	读/写字长
十进制	十六进制		
57736	E188	灵活TDM至输入通道8	16位(2字节)
57737	E189	灵活TDM至输入通道9	16位(2字节)
57738	E18A	灵活TDM至输入通道10	16位(2字节)
57739	E18B	灵活TDM至输入通道11	16位(2字节)
57740	E18C	灵活TDM至输入通道12	16位(2字节)
57741	E18D	灵活TDM至输入通道13	16位(2字节)
57742	E18E	灵活TDM至输入通道14	16位(2字节)
57743	E18F	灵活TDM至输入通道15	16位(2字节)
57744	E190	灵活TDM至输入通道16	16位(2字节)
57745	E191	灵活TDM至输入通道17	16位(2字节)
57746	E192	灵活TDM至输入通道18	16位(2字节)
57747	E193	灵活TDM至输入通道19	16位(2字节)
57748	E194	灵活TDM至输入通道20	16位(2字节)
57749	E195	灵活TDM至输入通道21	16位(2字节)
57750	E196	灵活TDM至输入通道22	16位(2字节)
57751	E197	灵活TDM至输入通道23	16位(2字节)

表92. 串行输出灵活TDM接口模式寄存器

地址		名称	读/写字长
十进制	十六进制		
57792	E1C0	TDM时隙0和TDM时隙1 (SDATA_OUT0)	16位(2字节)
57793	E1C1	TDM时隙2和TDM时隙3 (SDATA_OUT0)	16位(2字节)
57794	E1C2	TDM时隙4和TDM时隙5 (SDATA_OUT0)	16位(2字节)
57795	E1C3	TDM时隙6和TDM时隙7 (SDATA_OUT0)	16位(2字节)
57796	E1C4	TDM时隙8和TDM时隙9 (SDATA_OUT0)	16位(2字节)
57797	E1C5	TDM时隙10和TDM时隙11 (SDATA_OUT0)	16位(2字节)
57798	E1C6	TDM时隙12和TDM时隙13 (SDATA_OUT0)	16位(2字节)
57799	E1C7	TDM时隙14和TDM时隙15 (SDATA_OUT0)	16位(2字节)
57800	E1C8	TDM时隙16和TDM时隙17 (SDATA_OUT0)	16位(2字节)
57801	E1C9	TDM时隙18和TDM时隙19 (SDATA_OUT0)	16位(2字节)
57802	E1CA	TDM时隙20和TDM时隙21 (SDATA_OUT0)	16位(2字节)
57803	E1CB	TDM时隙22和TDM时隙23 (SDATA_OUT0)	16位(2字节)
57804	E1CC	TDM时隙24和TDM时隙25 (SDATA_OUT0)	16位(2字节)
57805	E1CD	TDM时隙26和TDM时隙27 (SDATA_OUT0)	16位(2字节)
57806	E1CE	TDM时隙28和TDM时隙29 (SDATA_OUT0)	16位(2字节)
57807	E1CF	TDM时隙30和TDM时隙31 (SDATA_OUT0)	16位(2字节)
57808	E1D0	TDM时隙32和TDM时隙33 (SDATA_OUT1)	16位(2字节)
57809	E1D1	TDM时隙34和TDM时隙35 (SDATA_OUT1)	16位(2字节)
57810	E1D2	TDM时隙36和TDM时隙37 (SDATA_OUT1)	16位(2字节)
57811	E1D3	TDM时隙38和TDM时隙39 (SDATA_OUT1)	16位(2字节)
57812	E1D4	TDM时隙40和TDM时隙41 (SDATA_OUT1)	16位(2字节)
57813	E1D5	TDM时隙42和TDM时隙43 (SDATA_OUT1)	16位(2字节)
57814	E1D6	TDM时隙44和TDM时隙45 (SDATA_OUT1)	16位(2字节)
57815	E1D7	TDM时隙46和TDM时隙47 (SDATA_OUT1)	16位(2字节)
57816	E1D8	TDM时隙48和TDM时隙49 (SDATA_OUT1)	16位(2字节)
57817	E1D9	TDM时隙50和TDM时隙51 (SDATA_OUT1)	16位(2字节)
57818	E1DA	TDM时隙52和TDM时隙53 (SDATA_OUT1)	16位(2字节)
57819	E1DB	TDM时隙54和TDM时隙55 (SDATA_OUT1)	16位(2字节)
57820	E1DC	TDM时隙56和TDM时隙57 (SDATA_OUT1)	16位(2字节)

ADAU1442/ADAU1445/ADAU1446

地址		名称	读/写字长
十进制	十六进制		
57821	E1DD	TDM时隙58和TDM时隙59 (SDATA_OUT1)	16位(2字节)
57822	E1DE	TDM时隙60和TDM时隙61 (SDATA_OUT1)	16位(2字节)
57823	E1DF	TDM时隙62和TDM时隙63 (SDATA_OUT1)	16位(2字节)

表93. 其它模式寄存器

地址		名称	读/写字长
十进制	十六进制		
57856	E200	循环冗余校验理想值1	16位(2字节)
57857	E201	循环冗余校验理想值2	16位(2字节)
57858	E202	循环冗余校验使能	16位(2字节)
57860	E204	多用途引脚控制, MP0	16位(2字节)
57861	E205	多用途引脚控制, MP1	16位(2字节)
57862	E206	多用途引脚控制, MP2	16位(2字节)
57863	E207	多用途引脚控制, MP3	16位(2字节)
57864	E208	多用途引脚控制, MP4	16位(2字节)
57865	E209	多用途引脚控制, MP5	16位(2字节)
57866	E20A	多用途引脚控制, MP6	16位(2字节)
57867	E20B	多用途引脚控制, MP7	16位(2字节)
57868	E20C	多用途引脚控制, MP8	16位(2字节)
57569	E20D	多用途引脚控制, MP9	16位(2字节)
57870	E20E	多用途引脚控制, MP10	16位(2字节)
57871	E20F	多用途引脚控制, MP11	16位(2字节)
57872	E210	看门狗使能	16位(2字节)
57873	E211	看门狗值1	16位(2字节)
57874	E212	看门狗值2	16位(2字节)
57887	E21F	模数据存储寄存器	16位(2字节)
57888	E220	DSP内核速率选择	16位(2字节)
57889	E221	去抖动窗口	16位(2字节)
57892	E224	ADC滤波器模式	16位(2字节)
57893	E225	循环冗余校验错误标记	16位(2字节)
57894	E226	看门狗错误标记	16位(2字节)
57895	E227	CRC和看门狗静音	16位(2字节)
57896	E228	内核运行	16位(2字节)
57897	E229	程序计数器峰值计数	16位(2字节)
57920	E240	时钟PAD多路复用器	16位(2字节)
57921	E241	使能S/PDIF至IPS输出	16位(2字节)
57927	E247	位时钟PAD强度	16位(2字节)
57928	E248	帧时钟PAD强度	16位(2字节)
57929	E249	多用途引脚PAD强度	16位(2字节)
57930	E24A	串行数据输出PAD强度	16位(2字节)
57932	E24C	其它PAD强度	16位(2字节)
57984	E280	主时钟使能开关	16位(2字节)

应用信息

布局布线建议

器件放置

每个模拟、数字、PLL电源/地对都推荐使用100 nF旁路电容，所有这些电容应尽可能靠近ADAU1442/ADAU1445/ADAU1446放置。电路板上的AVDD、DVDD、PVDD和IOVDD电源信号各自均应通过一个额外的大容量电容(10 μF至47 μF)旁路。

晶振电路(图9)中的所有走线应尽可能短，以使杂散电容最小。不应将任何长电路板走线连接到晶振电路元件，防止影响晶振启动和工作。

接地

应用布局中应使用单一接地层。模拟信号路径中的元件应远离数字信号放置。

底部焊盘PCB设计

ADAU1442和ADAU1445封装带有一个裸露焊盘，以提高散热性能。设计此类封装的电路板时，应特别注意以下事项：

- 电路板从顶部到底部的所有层上都应有一个大小与底部焊盘相当的铜层，并且该铜层应在某处连接到专用铜板层(见图60)。
- 应设置通孔以连接所有铜层，实现有效散热和导电。例如，图61显示焊盘区域中有16个通孔，这些通孔以4×4网格形式排列。

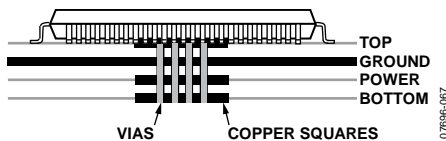


图60. 裸露焊盘布局示例—侧视图

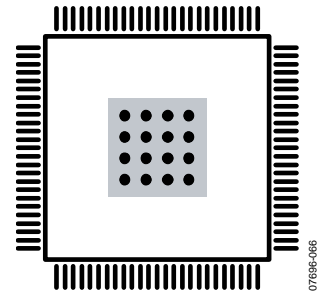


图61. 裸露焊盘布局示例—俯视图

PLL环路滤波器

PLL环路滤波器中的一个电阻和两个电容应通过短走线连接到PLL_FILT和PVDD引脚，以将抖动降至最小。

电源旁路电容

每个电源引脚都应通过一个100 nF电容旁路到其最近的适当接地引脚。电容各端的连接应尽可能短，走线应始终位于无通孔的单一层上。为获得最佳效果，电容与电源引脚和接地引脚的距离最好应相等；在无法进行等距放置的情况下，电容应略微靠近电源引脚。各层的散热连接应位于电容的远端。

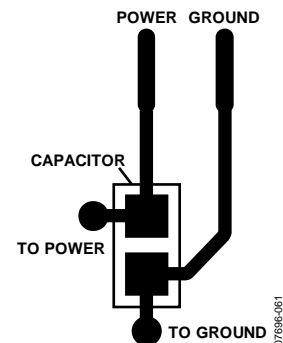


图62. 电源旁路电容的推荐布局

EOS/ESD保护

虽然ADAU1442/ADAU1445/ADAU1446内置鲁棒的过压和静电放电保护电路，但还是建议在所有系统上连接外部瞬变电压抑制器(TVS)，以防止对IC造成损坏。欲了解相关示例，请参见ADI公司网站上的应用笔记AN-311。

ADAU1442/ADAU1445/ADAU1446

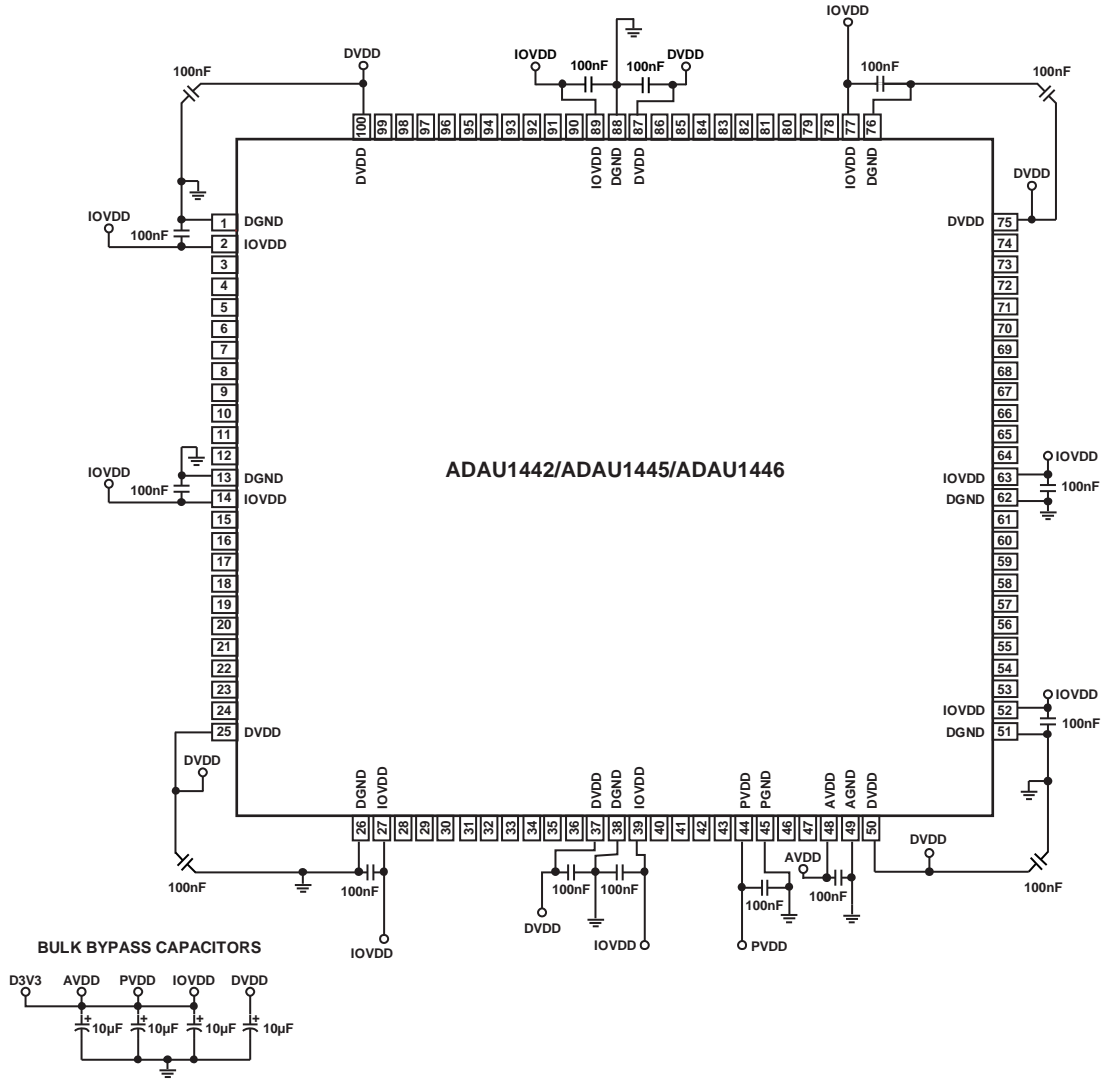


图63. 电源旁路电容的推荐连接

07686-080

ADAU1442/ADAU1445/ADAU1446

典型应用电路图

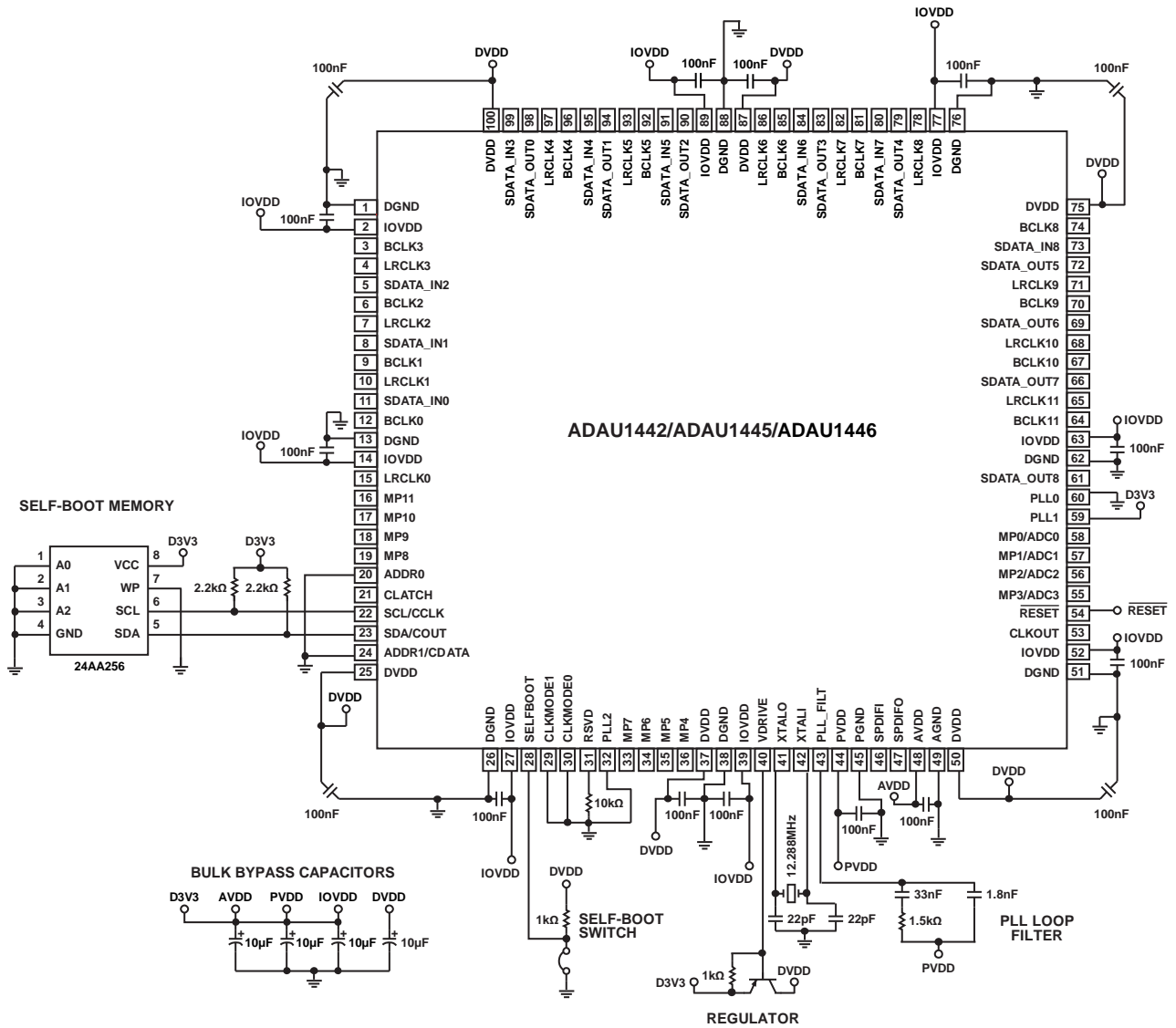
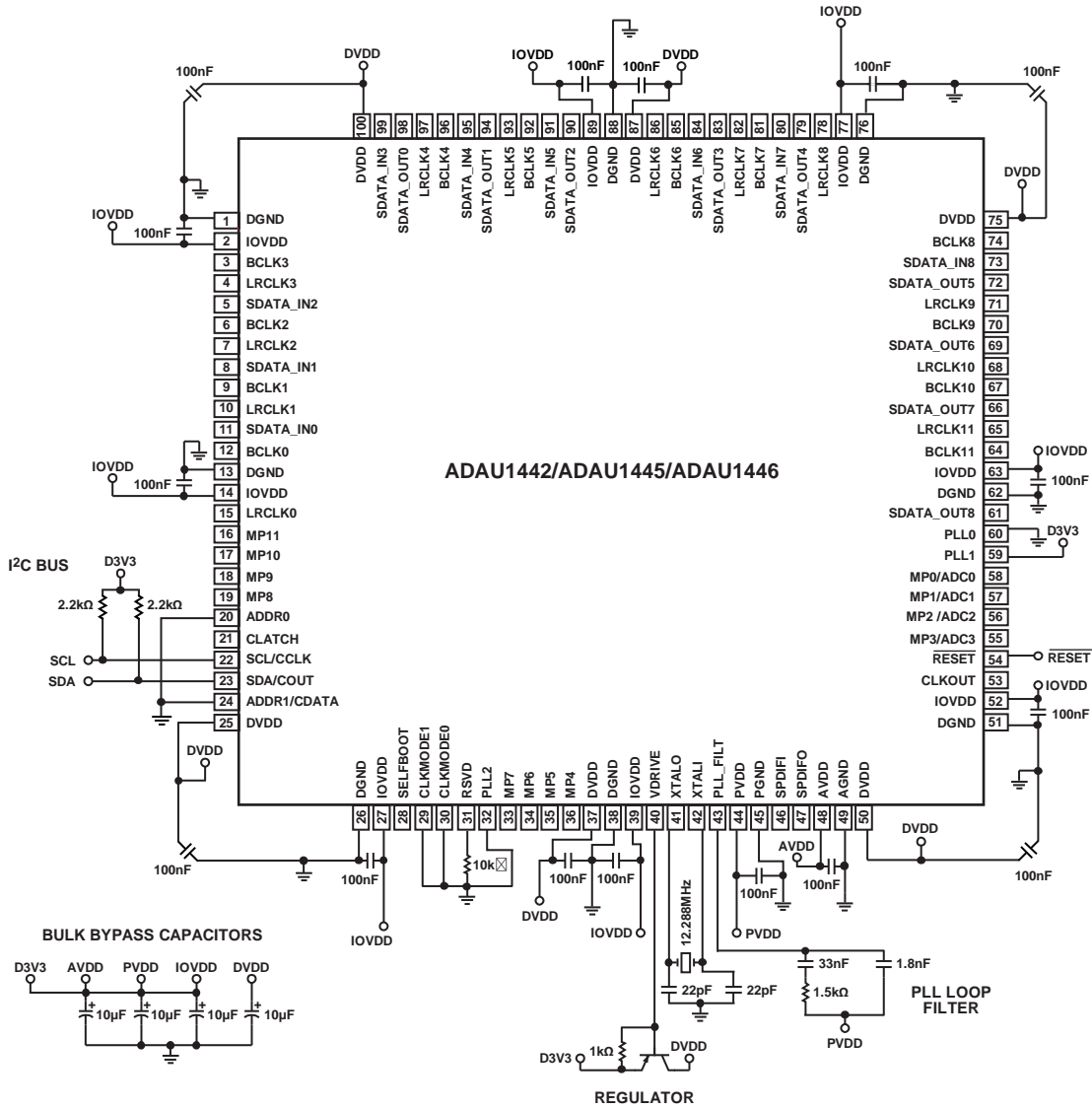


图64. 自引导应用原理图

07696-062

ADAU1442/ADAU1445/ADAU1446



ADAU1442/ADAU1445/ADAU1446

图65. I²C控制应用原理图

07696-663

ADAU1442/ADAU1445/ADAU1446

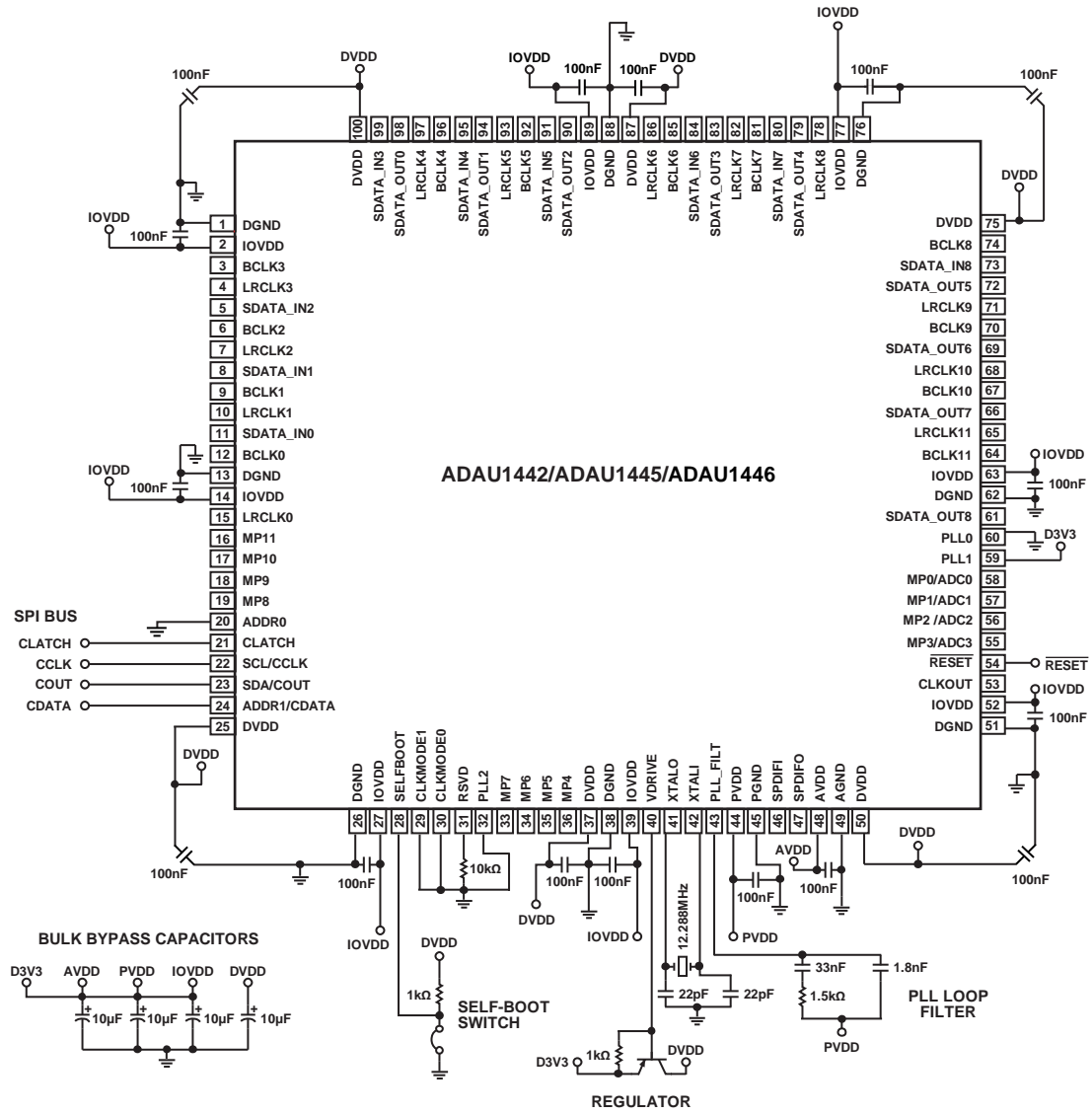
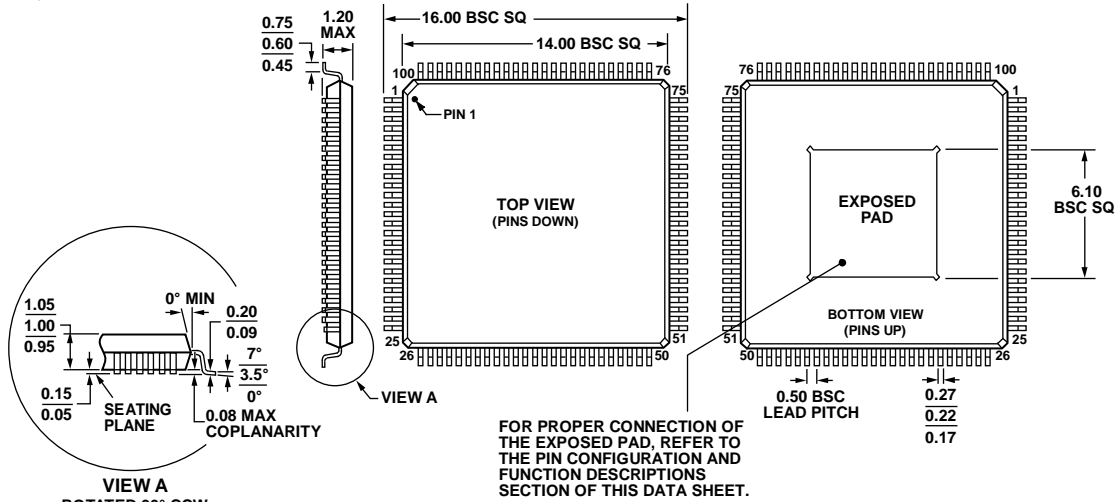


图66. SPI控制应用原理图

07696-064

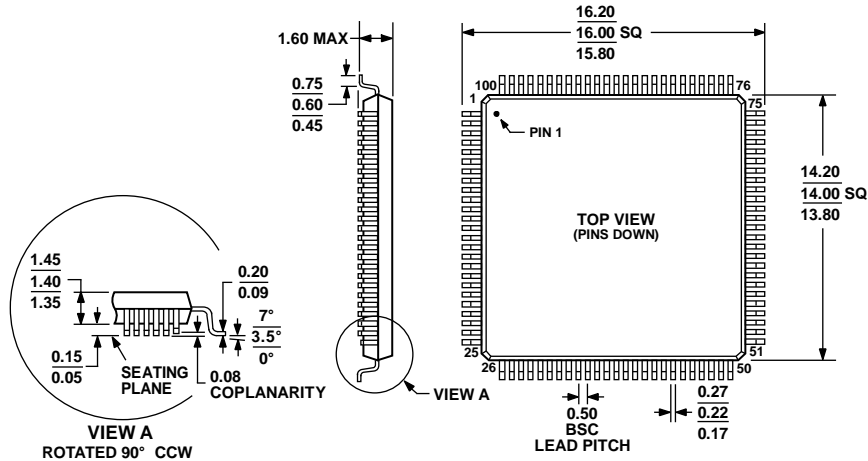
ADAU1442/ADAU1445/ADAU1446

外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-026-AED-HD
图67. 100引脚裸露焊盘、超薄四方扁平封装[TQFP_EP]
(SV-100-8)

图示尺寸单位: mm



COMPLIANT TO JEDEC STANDARDS MS-026-BED
图68. 100引脚超薄四方扁平封装[LQFP]
(ST-100-1)

尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
ADAU1442YSVZ-3A	-40°C 至 +105°C	100引脚 TQFP_EP封装	SV-100-8
ADAU1442YSVZ-3A-RL	-40°C 至 +105°C	100引脚 TQFP_EP, 13"卷带和卷盘	SV-100-8
ADAU1445YSVZ-3A	-40°C 至 +105°C	100引脚 TQFP_EP封装	SV-100-8
ADAU1445YSVZ-3A-RL	-40°C 至 +105°C	100引脚 TQFP_EP, 13"卷带和卷盘	SV-100-8
ADAU1446YSTZ-3A	-40°C 至 +105°C	100引脚 LQFP封装	ST-100-1
ADAU1446YSTZ-3A-RL	-40°C 至 +105°C	100引脚 LQFP, 13"卷带和卷盘	ST-100-1
EVAL-ADAU1442EBZ		用于ADAU1442/ADAU1445的评估板	
EVAL-ADAU1446EBZ		ADAU1446评估板	

¹ Z = 符合RoHS标准的器件。

如果系统符合Philips公司定义的I²C标准规范, 则用户在购买ADI公司或其下属机构拥有Philips公司许可的I²C器件时, 可以获得Philips公司I²C专利权之下的许可, 以便在I²C系统中使用这些器件。

©2010 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
D07696sc-0-9/10(C)



www.analog.com