

产品特性

16 × 16高速非阻塞式开关阵列

可对开关阵列进行串行或并行编程

利用串行数据输出接口，可将多个16 × 16器件阵列以菊花链形式连接起来，从而构建更大的开关阵列

完整的解决方案

缓冲输入

16个输出放大器

采用±5 V电源供电

低电源电流：50 mA

出色的视频性能： $V_s = \pm 5\text{ V}$

-3 dB带宽：60 MHz

0.1 dB增益平坦度：10 MHz

0.1%差分增益误差($R_L = 1\text{ k}\Omega$)

0.1°差分相位误差($R_L = 1\text{ k}\Omega$)

所有不利串扰低：-67 dB (5 MHz)

利用输出禁用功能，多个器件可以相连，且不会向输出总线提供负载

RESET 引脚可以禁用所有输出

通过电容与地相连可提供上电复位功能

100引脚LQFP封装(14 mm × 14 mm)

应用

闭路电视监控

视频路由器(NTSC、PAL、S视频、SECAM)

视频会议

概述

ADV3205是一款完全缓冲式交叉点开关矩阵，采用±5 V电源供电，非常适合视频应用。其-3 dB信号带宽为60 MHz，通道切换的0.1%建立时间少于60 ns。该器件具有出色的串扰性能，并且所有输入和输出周围均提供接地/电源引脚，能够为要求最严苛的应用提供额外的屏蔽功能。差分增益和差分相位分别优于0.1%和0.1°，0.1 dB平坦度达10 MHz，使ADV3205成为许多视频应用的绝佳选择。

功能框图

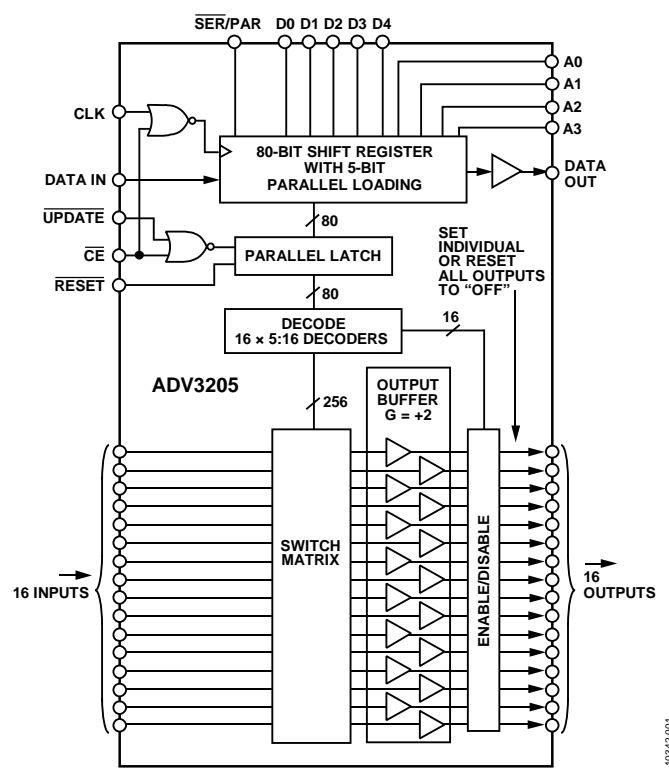


图1.

ADV3205内置16个独立输出缓冲器，可以将这些缓冲器至于禁用状态，以提供并行交叉点输出。该器件具有+2的增益，采用±5 V电源供电，功耗仅为34 mA。通道切换通过串行数字控制接口(允许以菊花链形式连接多个器件)或者并行控制接口实现；各路输出可以独立更新，无需对整个阵列重新编程。

ADV3205采用100引脚LQFP封装，工作温度范围为0°C至70°C商用温度范围。

Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2011 Analog Devices, Inc. All rights reserved.

目录

产品特性	1	电路图	13
应用	1	工作原理	14
功能框图	1	短路输出条件	14
概述	1	应用信息	15
修订历史	2	串行编程	15
技术规格	3	并行编程	15
时序特性(串行模式)	4	上电复位	16
时序特性(并行模式)	5	管理视频信号	16
绝对最大额定值	6	构建更大的交叉点阵列	16
功耗	6	多通道视频	17
ESD警告	6	串扰	17
引脚配置和功能描述	7	外形尺寸	20
真值表和逻辑图	9	订购指南	20
典型性能参数	10		

修订历史

2011年12月—修订版0：初始版

技术规格

除非另有说明, $T_A = 25^\circ\text{C}$, $V_S = \pm 5\text{ V}$, $R_L = 150\ \Omega$ 。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
动态性能					
-3 dB带宽	$V_{OUT} = 200\text{ mV p-p}$	41	60		MHz
	$V_{OUT} = 2\text{ V p-p}$		25		MHz
增益平坦度	0.1 dB, $V_{OUT} = 200\text{ mV p-p}$		10		MHz
传播延迟	$V_{OUT} = 2\text{ V p-p}$		20		ns
建立时间	0.1%, 2 V输出阶跃		23		ns
压摆率	2 V输出阶跃		100		V/ μs
噪声/失真性能					
差分增益误差	NTSC, $R_L = 1\text{ k}\Omega$		0.1		%
差分相位误差	NTSC, $R_L = 1\text{ k}\Omega$		0.1		度
所有不利串扰	$f = 5\text{ MHz}$		-67		dB
关断隔离	$f = 5\text{ MHz}$, 一个通道		-100		dB
输入电压噪声	0.1 MHz至10 MHz		12		nV/ $\sqrt{\text{Hz}}$
直流性能					
增益误差			0.5		%
增益匹配	通道至通道		0.7		%
增益温度系数			20		ppm/ $^\circ\text{C}$
输出特性					
输出电阻	使能		0.3		Ω
	禁用	3.4	4		k Ω
输出电容	禁用		5		pF
输出电压摆幅	空载	± 3.2	± 3.5		V
	$I_{OUT} = 20\text{ mA}$	± 2.7	± 3		V
短路电流			55		mA
输入特性					
输入失调电压	所有配置		± 5	± 10	mV
	温度系数		10		$\mu\text{V}/^\circ\text{C}$
输入电压范围	空载		± 1.5		V
输入电容	任意开关配置		4		pF
输入电阻	任意数量的连接输出		50		M Ω
输入偏置电流	任意数量的使能输入		± 1		μA
开关特性					
使能导通时间			80		ns
开关时间, 2 V阶跃信号	50%更新至1%建立		50		ns
开关瞬变(毛刺)			20		mV p-p
电源					
电源电流	AV_{CC} 输出使能, 空载		45	50	mA
	AV_{CC} 输出禁用		31	35	mA
	AV_{EE} 输出使能, 空载		45	50	mA
	AV_{EE} 输出禁用		31	35	mA
	DV_{CC} 输出使能, 空载		8	13	mA
动态性能					
电源电压范围	AV_{CC}	4.5		5.5	V
	AV_{EE}	-5.5		-4.5	V
	DV_{CC}	4.5		5.5	V
电源抑制比(PSRR)	直流	75	80		dB
	$f = 100\text{ kHz}$		60		dB
	$f = 1\text{ MHz}$		40		dB

ADV3205

参数	测试条件/注释	最小值	典型值	最大值	单位
工作温度范围	工作时(静止空气)	0		70	°C
温度范围	工作时(静止空气)		40		°C/W
θ_{JA}					

时序特性(串行模式)

表2.

参数	符号	限值			单位
		最小值	典型值	最大值	
串行数据建立时间	t_1	20			ns
CLK脉冲宽度	t_2	100			ns
串行数据保持时间	t_3	20			ns
CLK脉冲间隔, 串行模式	t_4	100			ns
CLK至UPDATE延迟	t_5	0			ns
UPDATE 脉冲宽度	t_6	50			ns
CLK至DATA OUT有效, 串行模式	t_7			200	ns
传播延迟, UPDATE至开关ON或OFF				50	ns
数据加载时间, CLK = 5 MHz, 串行模式			16		μ s
CLK, UPDATE上升和下降时间				100	ns
RESET 时间				200	ns

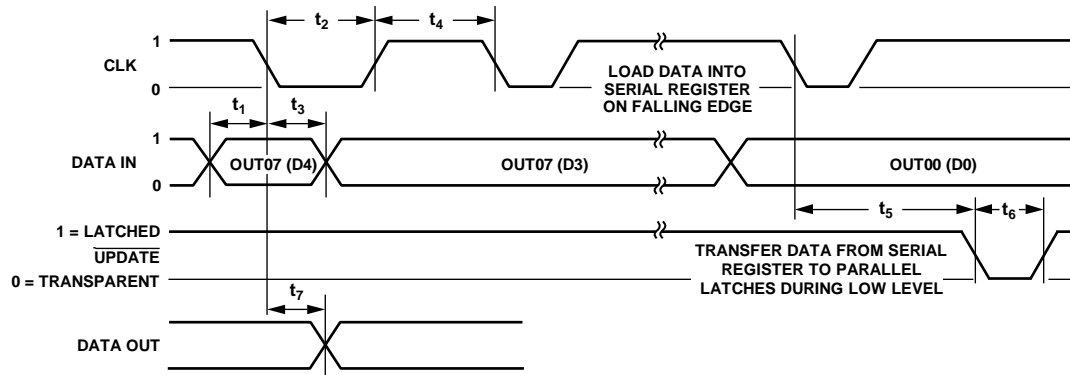


图2. 时序图, 串行模式

表3. 逻辑电平

V_{IH}	V_{IL}	V_{OH}	V_{OL}	I_{IH}	I_{IL}	I_{OH}	I_{OL}
RESET, SER/PAR CLK, DATA IN, \overline{CE} , UPDATE	RESET, SER/PAR CLK, DATA IN, \overline{CE} , UPDATE	DATA OUT	DATA OUT	RESET, SER/PAR CLK, DATA IN, \overline{CE} , UPDATE	RESET, SER/PAR CLK, DATA IN, \overline{CE} , UPDATE	DATA OUT	DATA OUT
2.0 V(最小值)	0.8 V(最大值)	2.7 V (最小值)	0.5 V (最大值)	20 μ A (最大值)	-400 μ A(最小值)	-400 μ A (最大值)	3.0 mA (最小值)

时序特性(并行模式)

表4.

参数	符号	限值		单位
		最小值	最大值	
并行数据建立时间	t_{1d}	20		ns
地址建立时间	t_{1a}	20		ns
CLK使能宽度	t_2	100		ns
并行数据保持时间	t_{3d}	20		ns
地址保持时间	t_{3a}	20		ns
CLK脉冲间隔	t_4	100		ns
CLK至UPDATE延迟	t_5	0		ns
UPDATE 脉冲宽度	t_6	50		ns
传播延迟, UPDATE至开关ON或OFF			50	ns
CLK, UPDATE上升和下降时间			100	ns
RESET 时间			200	ns

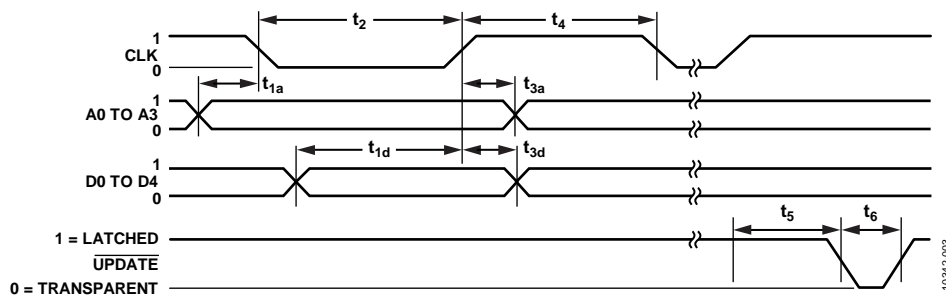


图3. 时序图, 并行模式

表5. 逻辑电平

V_{IH}	V_{IL}	V_{OH}	V_{OL}	I_{IH}	I_{IL}	I_{OH}	I_{OL}
RESET, SER/PAR CLK, D0, D1, D2, D3, D4, A0, A1, A2, A3, CE, UPDATE	RESET, SER/PAR CLK, D0, D1, D2, D3, D4, A0, A1, A2, A3, CE, UPDATE	DATA OUT	DATA OUT	RESET, SER/PAR CLK, D0, D1, D2, D3, D4, A0, A1, A2, A3, CE, UPDATE	RESET, SER/PAR CLK, D0, D1, D2, D3, D4, A0, A1, A2, A3, CE, UPDATE	DATA OUT	DATA OUT
2.0 V(最小值)	0.8 V(最大值)	2.7 V (最小值)	0.5 V (最大值)	20 μ A(最大值)	-400 μ A(最小值)	-400 μ A (最大值)	3.0 mA (最小值)

绝对最大额定值

表6.

参数	额定值
模拟电源电压(AV_{CC} 至 AV_{EE})	12 V
数字电源电压(DV_{CC} 至DGND)	6 V
地电位差(AGND至DGND)	± 0.5 V
内部功耗 ¹	3.1 W
模拟输入电压 ²	保持线性输出
数字输入电压	DV_{CC}
输出电压(禁用输出)	($AV_{CC} - 1.5$ V)至 ($AV_{EE} + 1.5$ V)
输出短路持续时间	瞬时
存储温度范围	-65°C 至 $+125^{\circ}\text{C}$
引脚温度(焊接10秒)	300°C

¹ 规格针对空气中的器件而言($T_A = 25^{\circ}\text{C}$):

100引脚塑封LQFP封装: $\theta_{JA} = 40^{\circ}\text{C}/\text{W}$ 。

² 为了避免差分输入击穿, 无论何时输出电压的一半($1/2 V_{OUT}$)以及所有输入电压都不得大于10V电位差。线性输出范围参见表1中的输出电压摆幅参数。

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最大值, 并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下, 推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

功耗

ADV3205采用100引脚LQFP封装, 结至环境热阻(θ_{JA})为 $40^{\circ}\text{C}/\text{W}$ 。为确保长期可靠性, 芯片的最大容许结温 T_J 不应超过 150°C 。即便只是暂时超过此限值, 由于封装对芯片作用的应力改变, 参数性能也可能会发生变化。长时间超过 175°C 的结温可能会导致器件失效。

当所有输出使能, 并且驱动负载时, ADV3205具有最大功耗。电源电流随使能的输出数大约呈线性增加。有关功耗计算的详情参见“工作原理”部分。图4表示ADV3205的最大功耗, 它是环境温度的函数。

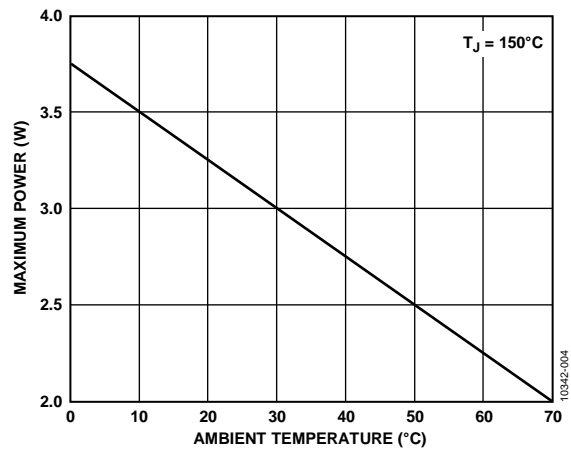


图4. 最大功耗与环境温度的关系

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

引脚配置和功能描述

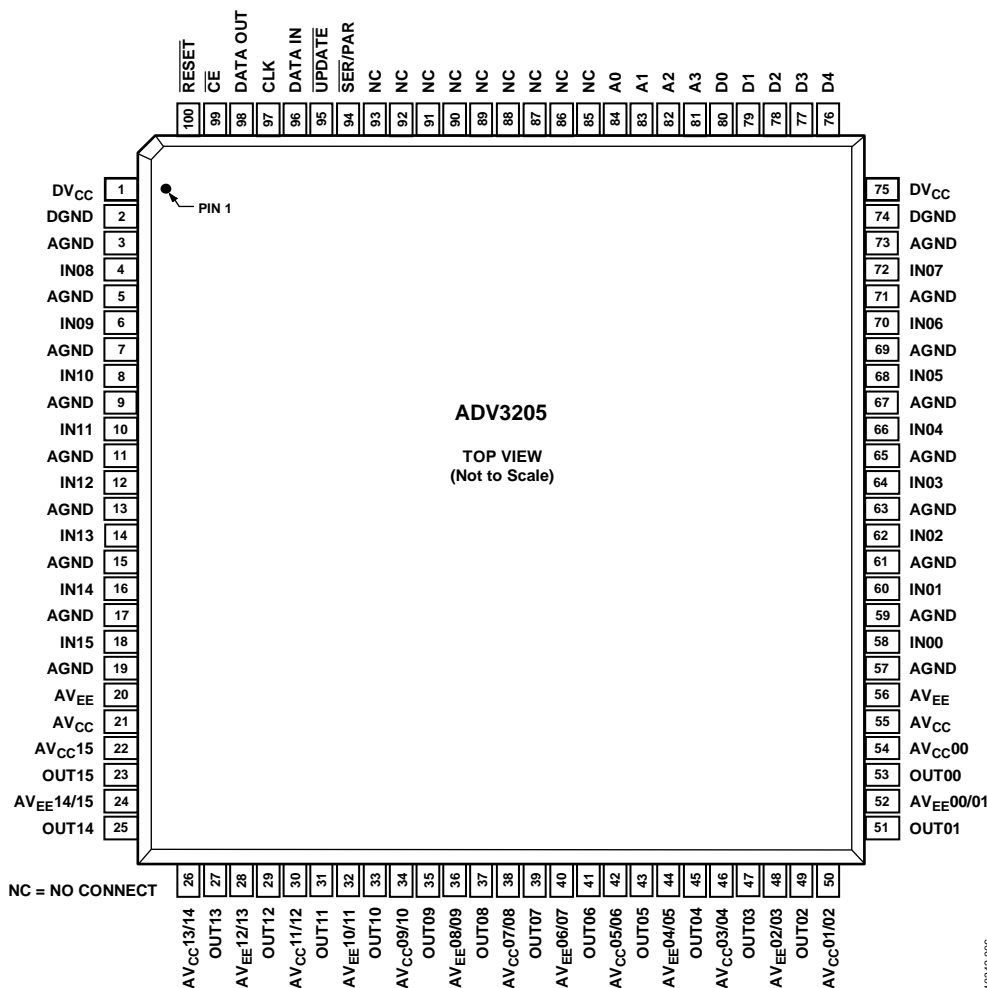


图5. 引脚配置

10342-006

表7. 引脚功能描述

引脚编号	引脚名称	描述
1, 75	DV _{CC}	5 V用于数字电路。
2, 74	DGND	数字电路接地。
3, 5, 7, 9, 11, 13, 15, 17, 19, 57, 59, 61, 63, 65, 67, 69, 71, 73	AGND	输入和开关矩阵的模拟地。
4, 6, 8, 10, 12, 14, 16, 18, 58, 60, 62, 64, 66, 68, 70, 72	IN _{xx}	模拟输入；xx = 通道数00至通道数15。
20, 56	AV _{EE}	-5 V用于输入和开关矩阵。
21, 55	AV _{CC}	5 V用于输入和开关矩阵。
22, 54	AV _{CCXX}	5 V用于通道xx使用的输出放大器。
26, 30, 34, 38, 42, 46, 50	AV _{CCXX/yy}	5 V用于通道xx和通道yy共用的输出放大器。
23, 25, 27, 29, 31, 33, 35, 37, 39, 41, 43, 45, 47, 49, 51, 53	OUT _{yy}	模拟输出；yy = 通道00至通道15。
24, 28, 32, 36, 40, 44, 48, 52	AV _{EEXX/yy}	-5 V用于通道xx和通道yy共用的输出放大器。
76	D4	并行数据输入，兼容TTL(输出使能)。
77	D3	并行数据输入，兼容TTL(输入选择MSB)。
78	D2	并行数据输入，兼容TTL(输入选择)。
79	D1	并行数据输入，兼容TTL(输入选择)。

ADV3205

引脚编号	引脚名称	描述
80	D0	并行数据输入，兼容TTL(输入选择LSB)。
81	A3	并行数据输入，兼容TTL(输出选择MSB)。
82	A2	并行数据输入，兼容TTL(输出选择)。
83	A1	并行数据输入，兼容TTL(输出选择)。
84	A0	并行数据输入，兼容TTL(输出选择LSB)。
85 to 93	NC	不连接。请勿连接该引脚。
94	$\overline{\text{SER/PAR}}$	选择串行数据模式、低电平或并行数据模式、高电平。
95	$\overline{\text{UPDATE}}$	使能(透明)低电平。允许串行寄存器直接连接开关矩阵。 高电平时数据锁存。
96	DATA IN	串行数据输入，兼容TTL。
97	CLK	时钟，兼容TTL。下降沿触发。
98	DATA OUT	串行数据输出，兼容TTL。
99	$\overline{\text{CE}}$	芯片使能，使能低电平。必须为低电平，以便读入并锁存数据。
100	RESET	禁用输出，低电平有效。

真值表和逻辑图

表8. 操作真值表¹

CE	UPDATE	CLK	DATA IN	DATA OUT	RESET	SER/PAR	工作条件/注释
1	X	X	X	X	X	X	逻辑无变化。
0	1	↓ ²	Data _i	Data _{i-80}	1	0	串行DATA IN线路上的数据载入串行寄存器。读入串行寄存器中的第一位数据随后出现在DATA OUT 80时钟输出端。
0	1	↓ ³	D0 ... D4, A0 ... A3	不适用于并行模式	1	1	并行数据线路上的数据D0至D4载入80位串行移位寄存器中，该寄存器位于地址A0至A3。
0	0	X	X	X	1	X	80位移位寄存器中的数据传输至并行锁存器，该锁存器控制开关阵列。锁存器是透明的。
X	X	X	X	X	0	X	异步操作。所有输出禁用。其余逻辑未发生改变。

¹ X = 无关位, 0 = 逻辑低电平, 1 = 逻辑高电平, ↓ = 下降沿触发。

² ↓ = 下降沿触发。

³ ↓ = 低电平触发。

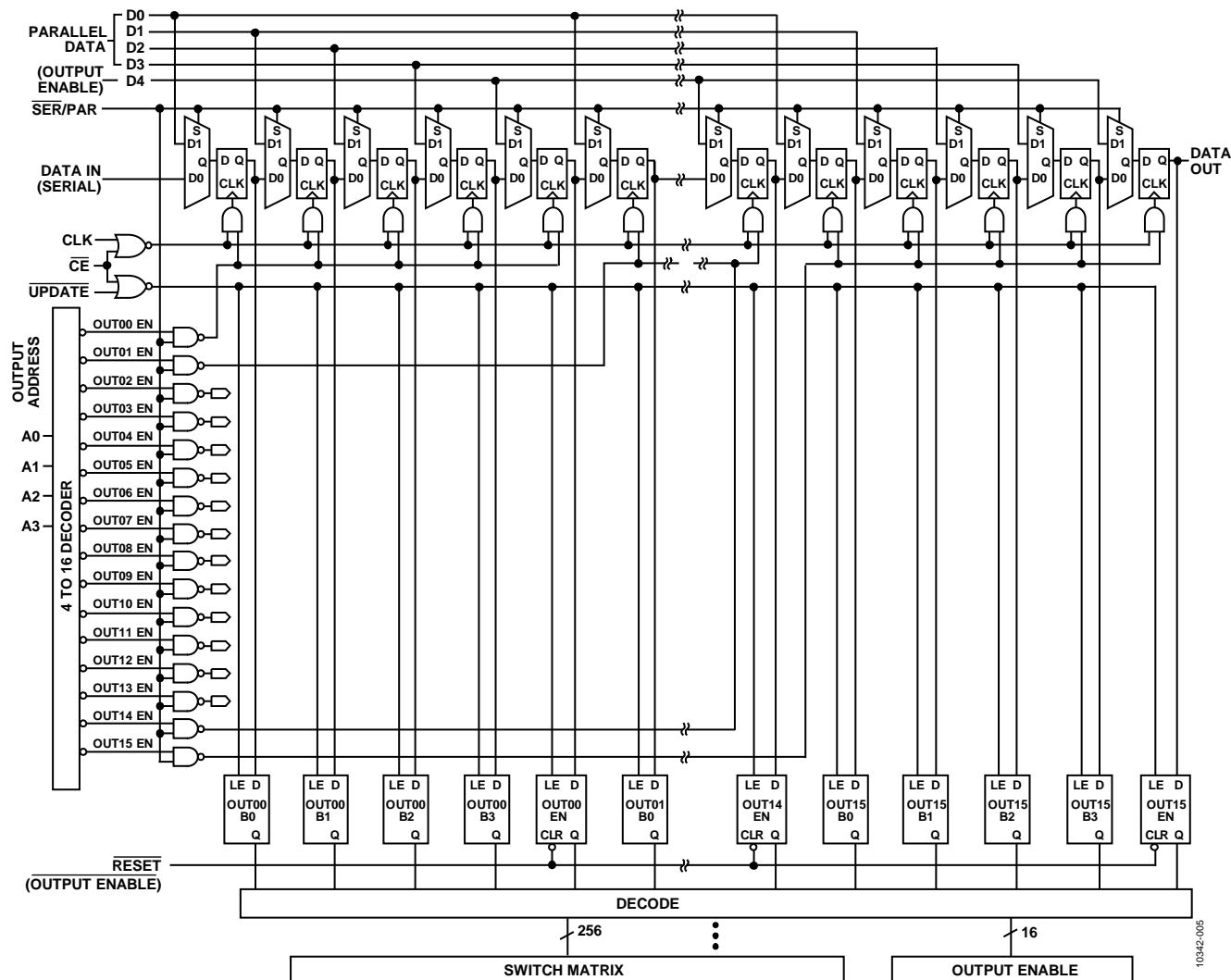


图6. 逻辑图

典型性能参数

除非另有说明, $T_A = 25^\circ\text{C}$, $V_S = \pm 5\text{ V}$, $R_L = 150\ \Omega$ 。

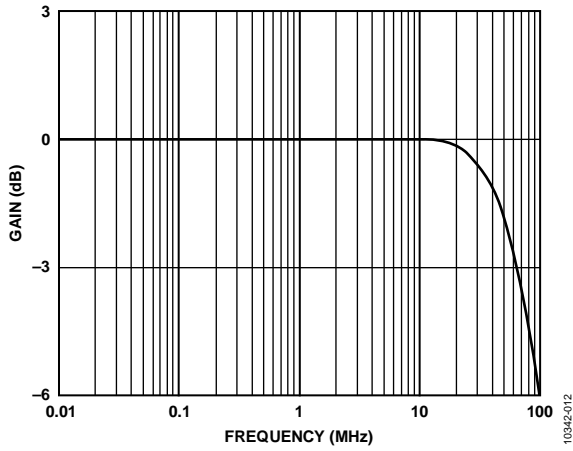


图7. 小信号带宽, $V_{OUT} = 200\text{ mV p-p}$

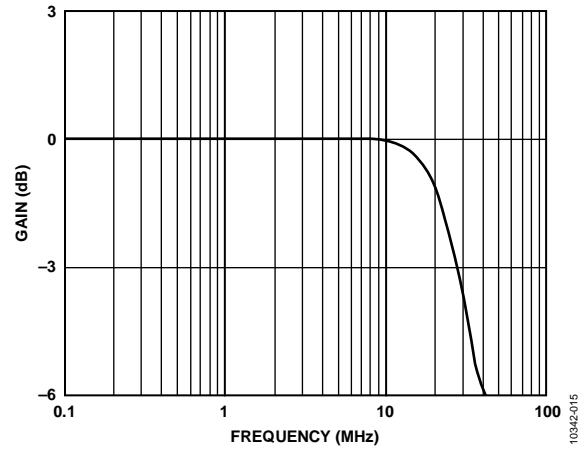


图10. 大信号带宽, $V_{OUT} = 2\text{ V p-p}$

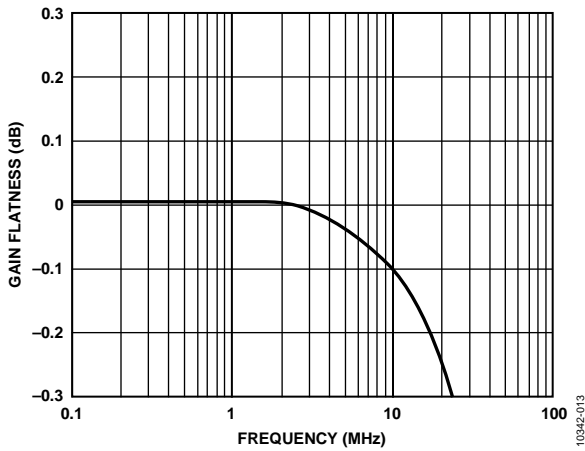


图8. 小信号增益平坦度, $V_{OUT} = 200\text{ mV p-p}$

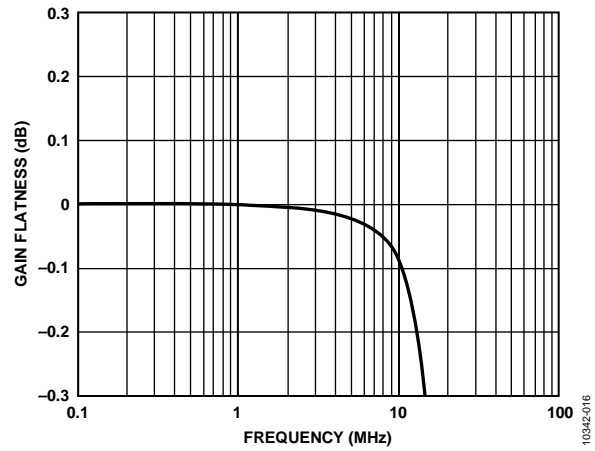


图11. 大信号增益平坦度, $V_{OUT} = 2\text{ V p-p}$

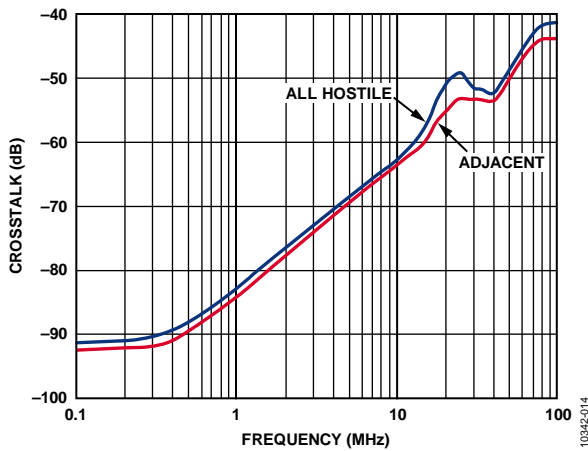


图9. 串扰与频率的关系, $V_{OUT} = 2\text{ V p-p}$

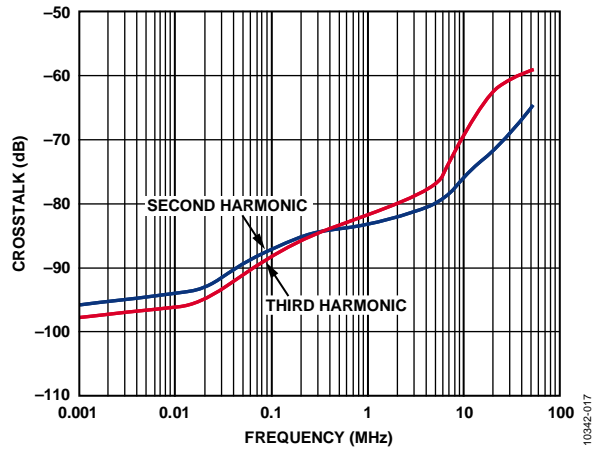


图12. 失真与频率的关系, $V_{OUT} = 2\text{ V p-p}$

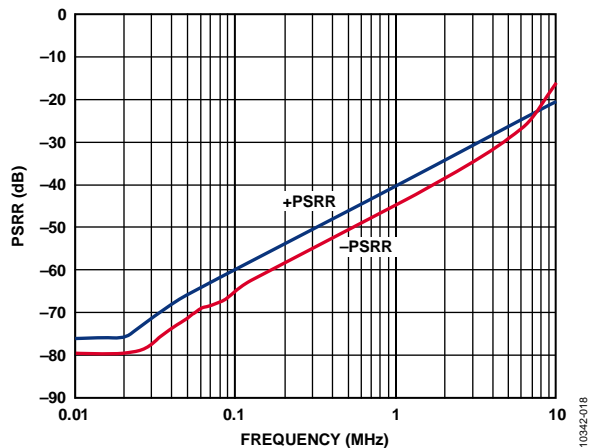


图13. PSRR与频率的关系

10342-018

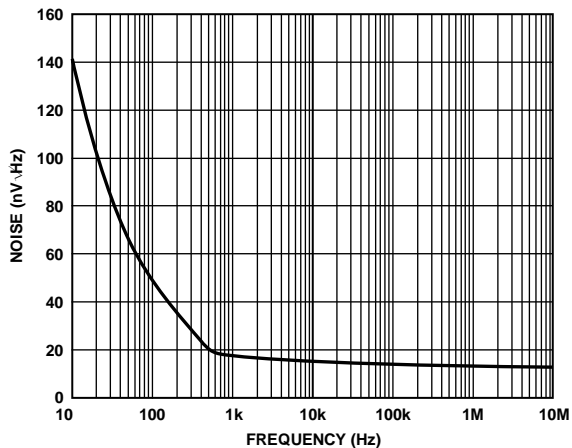


图16. 噪声与频率的关系

10342-021

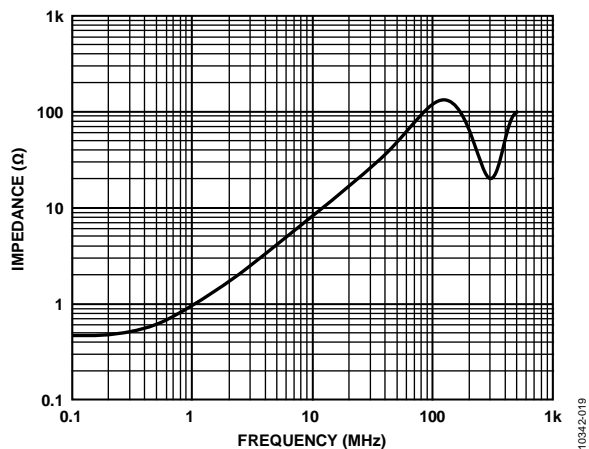


图14. 使能后的输出阻抗与频率的关系

10342-019

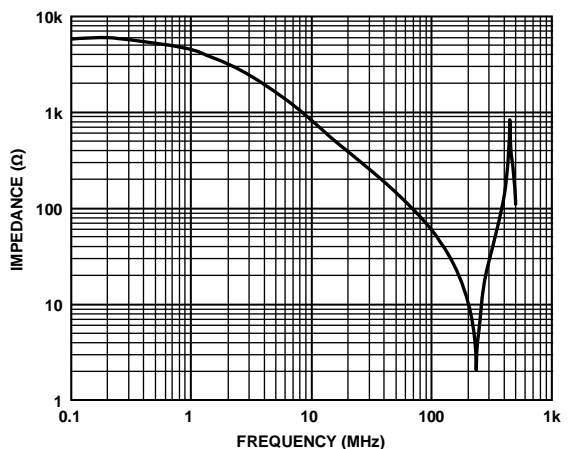


图17. 禁用后的输出阻抗与频率的关系

10342-022

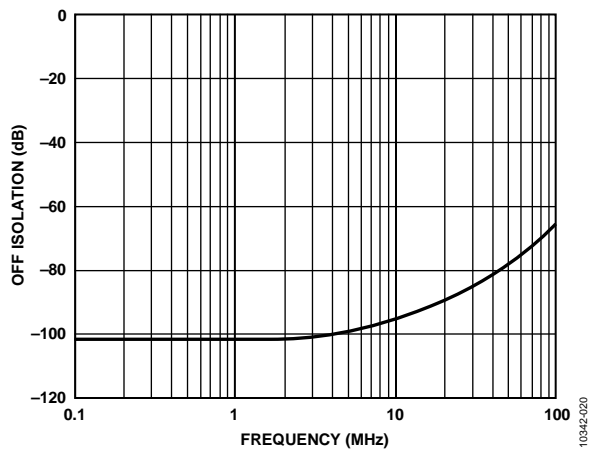


图15. 关断隔离与频率的关系, $V_{OUT} = 2V_{p-p}$

10342-020

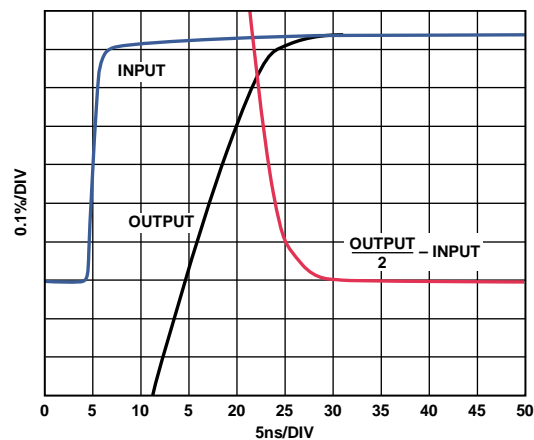


图18. 0.1%建立时间, 2V输出阶跃

10342-023

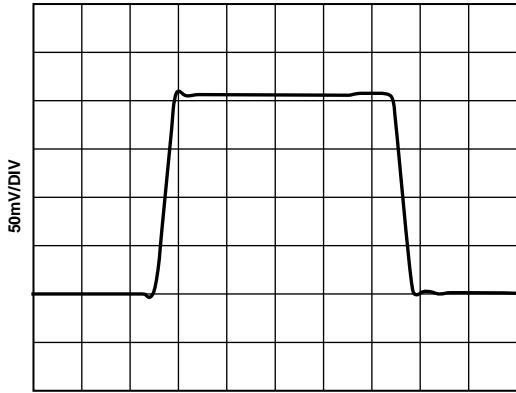


图19. 小信号脉冲响应

10342-024

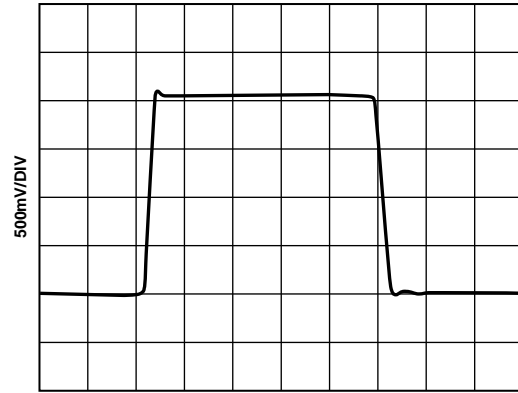


图22. 大信号脉冲响应

10342-027

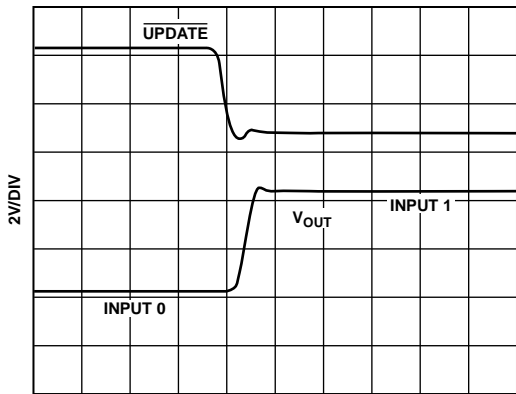


图20. 开关时间

10342-025

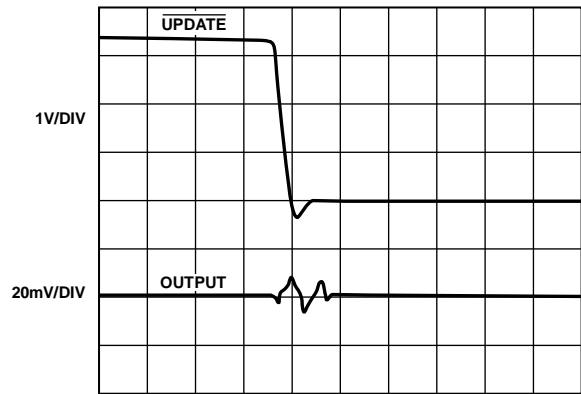


图23. 开关瞬变

10342-028

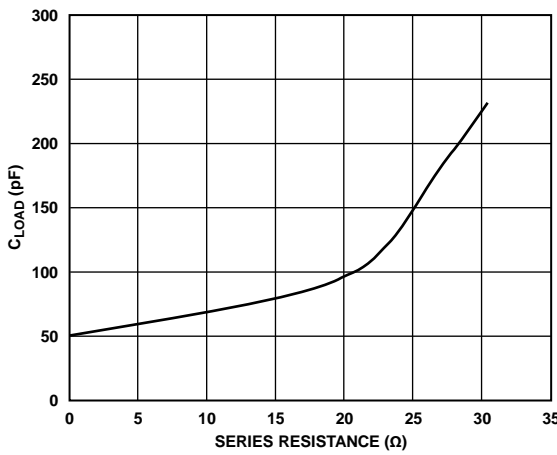


图21. C_{LOAD} 与30%以下过冲串联电阻的关系

10342-026

电路图

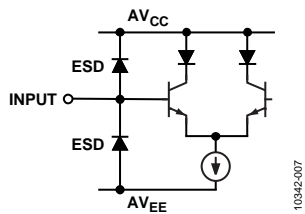


图24. 模拟输入

10342-007

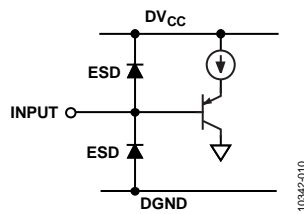


图27. 逻辑输入

10342-010

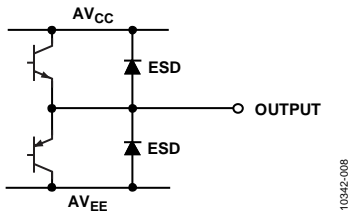


图25. 模拟输出

10342-008

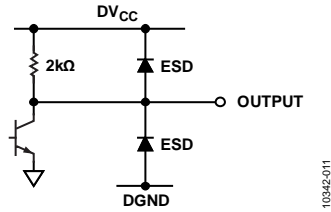


图28. 逻辑输出

10342-011

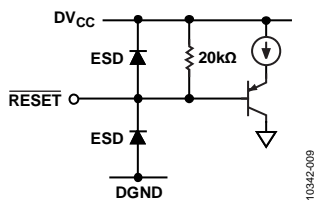


图26. 复位输入

10342-009

工作原理

ADV3205是一款两倍增益交叉点阵列，具有16个输出，每个输出都可以连接16个输入中的任意一个。16个可切换跨导级由输出行进行组织，并以16:1多路复用器的形式与每一个输出缓冲器相连。16行跨导级的每一行都与16个输入引脚并行相连，总共256个跨导级阵列。每个输出的解码逻辑都会选择一个(或不选)跨导级，以驱动输出级。跨导级为NPN输入差分对，为折叠式共源共栅输出级提供电流。补偿网络和发射极跟随器输出缓冲器位于输出级。反馈电压将增益设为+2。

ADV3205可驱动反向端接视频负载，将 $\pm 3.0\text{ V}$ 电压摆动至 $150\ \Omega$ 负载。禁用未使用的输出和跨导级可最大程度降低片内功耗。

ADV3205的特性有利于构建更大的开关矩阵。未使用的输出可被禁用，仅输出端保留 $4\text{ k}\Omega$ 的反馈网络电阻。这将使多个IC共享同一总线，假设输出负载阻抗高于允许的最小值。由于不需要额外的输入缓冲，因此可在不进一步衰减信号的情况下轻松达到高输入电阻和低输入电容。

ADV3205输入具有独特的偏置电流补偿方案，能够克服跨导输入阵列架构常见的问题。通常，随着越来越多的连接到同一个输入的跨导级导通，输入偏置电流也随之提高。由于0至16的任意跨导级都可共享同一输入引脚，因此通过源阻抗驱动输入的偏置电流源数量可变。ADV3205对来自每个跨导级的输入偏置电流进行采样，并消除它们的影响，因此无论使能了多少数量的输入，残余偏置电流的标称值都为0。

ADV3205集成内部串扰隔离箝位，具有可变偏置电平。这些电平作为允许必要的输入范围而被选中，以适应增益为+2的全输出摆幅。将输入过驱至器件线性范围以外最终会正向偏置这些箝位，增加功耗。有效输入范围为 $\pm 1.5\text{ V}$ 。当输出被禁用，且以外部驱动时，施加其上的电压不应超过ADV3205的有效输入摆幅范围。

灵活的TTL兼容型逻辑接口简化了矩阵的编程。并行或串行载入第一级锁存将对每个输出实现编程。全局锁存可同时更新所有输出。串行模式下，串行数据输出引脚(DATA OUT)允许器件以菊花链形式连接，用于单引脚编程多个IC。通过禁用所有输出，可实现上电复位功能，避免总线冲突。

数字逻辑要求在 DV_{CC} 引脚上具有相对于DGND的5 V电压。内部ESD保护二极管要求DGND和AGND引脚具有相同的电位。

短路输出条件

虽然ADV3205输出具有短路电流保护功能，但是短路输出电流依然可能达到导致器件损坏的电平值。不能将ADV3205的任意输出端为持续短路至地。

应用信息

ADV3205提供两种选项，改变交叉点矩阵的编程方式。在第一种选项中，提供80位串行字，以一次串行操作更新整个矩阵。第二种选项允许通过并行端口，改变单个输出的编程。串行选项需求的信号较少但需要更多时间(时钟周期)用于改变编程方式，而并行编程技术需求更多的信号，但每次都单独改变一个输出，并且完成编程所需时钟周期数较少。

串行编程

串行编程模式使用下列器件引脚： $\overline{\text{CE}}$ 、CLK、DATA IN、 $\overline{\text{UPDATE}}$ 和 $\overline{\text{SER/PAR}}$ 。第一步是在 $\overline{\text{SER/PAR}}$ 引脚上置位低电平，使能串行编程模式。芯片的 $\overline{\text{CE}}$ 引脚必须为低电平，以便将数据读入器件。当器件并联连接时， $\overline{\text{CE}}$ 信号可用于寻址单个器件。

数据移位至器件的串行端口时， $\overline{\text{UPDATE}}$ 信号必须为高电平。虽然 $\overline{\text{UPDATE}}$ 为低电平时数据仍可进行移位，但透明异步锁存器允许移位数据到达矩阵。这使得矩阵尝试更新所有移位数据定义的即时状态。

DATA IN上的数据在每个CLK的下降沿被读入。总共80位数据必须通过DATA IN输入移位至移位寄存器，以完成编程。16个输出中的每一个都有4位(D0至D3)决定其输入源，后跟1位(D4)决定输出的使能状态。若D4为低电平(输出禁用)，则4个关联位(D0至D3)无关，因为没有输入切换至该输出。

最高有效输出地址数据首先移位至移位寄存器中，其后数据依次移位，直至最低有效输出地址数据完成移位。此时可拉低 $\overline{\text{UPDATE}}$ ，让器件根据刚移位的数据进行编程。 $\overline{\text{UPDATE}}$ 寄存器为异步寄存器，当 $\overline{\text{UPDATE}}$ 处于低电平(并且 $\overline{\text{CE}}$ 处于低电平)时，该寄存器透明。

当多个ADV3205器件在系统中串联编程时，某个器件的DATA OUT信号可连接至下一个器件的DATA IN，形成串联信号链。并联连接所有CLK、 $\overline{\text{CE}}$ 、 $\overline{\text{UPDATE}}$ 和 $\overline{\text{SER/PAR}}$ 引脚，并以前文所述方式对其进行操作。串行数据输入信号链第一个器件的DATA IN引脚，并以纹波方式传递至位于最后的器件。因此，输入信号链中最终器件的数据应在编程序列开始时就绪。编程序列的长度为80位乘以链路中的器件数。

并行编程

在并行编程模式下，改变矩阵时不需要对整个器件进行重新编程。事实上，并行编程允许每次修改一个输出。由于并行编程只占用一个CLK/ $\overline{\text{UPDATE}}$ 周期，因此采用并行编程可节省大量时间。

使用并行编程的一个重要考虑因素，是 $\overline{\text{RESET}}$ 信号不会复位ADV3205中的所有寄存器。拉低 $\overline{\text{RESET}}$ 信号后，它只会将所有输出设为禁用状态。这在上电时比较有用，可确保同一时间不会激活两个并行输出。

完成初始上电后，器件中的内部寄存器通常包含随机数据，哪怕此时已置位 $\overline{\text{RESET}}$ 信号。若针对一路输出使用并行编程，则该输出被正确编程，但器件的其余部分具有随机的编程状态，具体取决于上电时的内部寄存器内容。因此，使用并行编程时，需注意上电后，所有的输出都应当编程为需要的状态。这样可确保编程矩阵始终处于已知状态。之后，并行编程即可用于每次对单个输出进行修改。

与此类似，如果初始上电后， $\overline{\text{CE}}$ 和 $\overline{\text{UPDATE}}$ 同时被拉低，则移位寄存器中的随机上电数据将被编程到矩阵中。因此，为了防止交叉点被编程为未知状态，初始上电后不应同时对 $\overline{\text{CE}}$ 和 $\overline{\text{UPDATE}}$ 施加逻辑低电平。初始上电后，通过串行或并行编程方案一次将整个移位寄存器编程至需要的状态，可消除矩阵被编程至未知状态的风险。

若要通过并行编程改变输出编程方式，可拉高 $\overline{\text{SER/PAR}}$ 和 $\overline{\text{UPDATE}}$ ，并拉低 $\overline{\text{CE}}$ 。CLK信号应处于高电平状态。将需要编程的4位输出地址置于A0至A3引脚。前四个数据位(D0至D3)应包含可鉴别输入的信息，该输入编程为寻址输出。第五个数据位(D4)决定输出的使能状态。若D4为低电平(输出禁用)，则D0至D3上的数据为无关数据。

所需的地址和数据信号建立后，即可通过CLK信号的高电平至低电平转换，将其锁存入移位寄存器中。但此时还未对矩阵编程，直到拉低 $\overline{\text{UPDATE}}$ 信号。随后，便有可能在 $\overline{\text{UPDATE}}$ 保持高电平时，通过CLK连续负转换，先行锁存数个或全部输出的新数据，并且随后当 $\overline{\text{UPDATE}}$ 变为低电平时使所有新数据变为有效。在并行编程中，可使用该技巧，完成上电后的器件首次编程。

ADV3205

上电复位

上电ADV3205时，通常要求输出启动为禁用状态。拉低RESET引脚时，可使所有输出处于禁用状态。然而，RESET信号并不复位ADV3205中的所有寄存器。这在操作并行编程模式时尤为重要。有关上电后编程内部寄存器的更多信息，参见“并行编程”部分。串行编程每次可编程整个矩阵；因此，无需作特殊考虑。

由于上电后移位寄存器中的数据是随机的，请不要用于编程矩阵，否则可能造成矩阵状态未知。若要防止这种情况，上电初始后不要同时对CE和UPDATE施加逻辑低电平信号。首先，加载需要的数据至移位寄存器中，然后拉低UPDATE，以便对器件编程。

RESET引脚针对DV_{CC}具有一个20 kΩ上拉电阻，可用于建立简单的上电复位电路。RESET与地之间连接一个电容，保持RESET低电平一段时间，同时器件其余部分趋于稳定。低电平条件导致所有输出禁用。电容随后便可通过上拉电阻充电至高电平状态，允许器件具有完整的编程能力。

管理视频信号

视频信号通常使用受控阻抗传输线路，这些线路端接至它们的特性阻抗。虽然并非总是这种情况，若要在受控阻抗传输线路上路由视频信号，则使用ADV3205时需考虑一些因素。图29显示了典型视频通道的输入输出原理图。

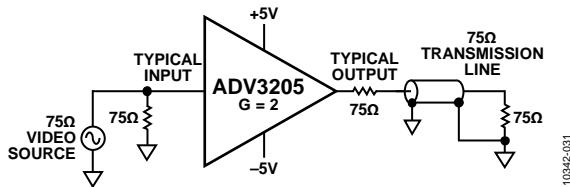


图29. 视频信号电路

视频信号最常使用的是75Ω传输线路，线路两端都需采用该电阻值进行端接。当这类源作为其中一个ADV3205的输入时，高输入阻抗无法正常端接这些信号。因此，需使用75Ω分流电阻接地，对线路实现端接。由于视频信号受限于它们的峰峰值幅度(通常不超过1.5 V峰峰值)，因此视频信号经过ADV3205前不需要进行衰减。

ADV3205输出具有低阻抗特性，并且无法正确端接75Ω传输线路的源端。这种情况下，在驱动视频信号的输出端添加一个75Ω串联电阻。然后使用75Ω电阻在其远端对75Ω传输线路进行端接。整个端接方案将ADV3205的输出幅度一分为二。由于ADV3205的通道增益为2，因此产生了一个总单位增益通道。

构建更大的交叉点阵列

ADV3205是高密度构建块，用于构建尺寸大于16×16的交叉点阵列。其输出禁用和芯片使能等多种特性对于构建更大的交叉点阵列而言非常有用。

构建更大的交叉点首先要考虑的是确定所需器件的最低数量。ADV3205的16×16架构包含256点，系数为64，大于4×1交叉点(或多路复用器)。相比较而言，使用这些更小型的器件所节省的印刷电路板(PCB)面积、功耗和设计工作量非常明显。

对于非阻塞式交叉点，所需的点数等于输入数乘以输出数。非阻塞式要求编程给定输入至一个或多个输出，这些输出不要求该输入用作任意其它输出的源。

某些非阻塞式交叉点架构要求的数量比之前计算的最小值更多。另外还存在阻塞式架构，可采用比这个最小值更少的器件数构建。这些系统基于静态提供连接性，在整体系统设计时予以决定。

构建更大的交叉点阵列的基本概念是，在水平方向上并联连接输入，并且在垂直方向上用线“或”方式连接输出。通过下图可更好地理解水平和垂直的含义。图30表示32×32交叉点阵列概念，使用了四个ADV3205器件。注意，输出端未显示75Ω源端接，但驱动75Ω传输线路时是需要的。

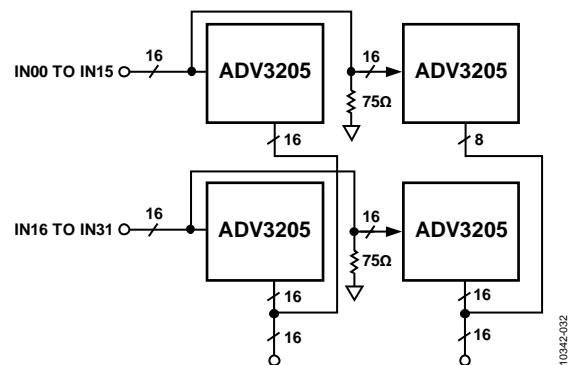


图30. 使用四个ADV3205器件的32×32交叉点阵列

各输入独立分配至两个器件各自的32个输入，并且并联75 Ω端接位于传输线路的终点处。输出以线“或”方式成对连接在一起。在任意指定的时刻，仅使能线“或”对输出中的某一对。要达到这一点，必须正确写入器件编程软件。

多通道视频

ADV3205良好的视频规格使其成为构建复合视频交叉点开关的理想替代产品。通过利用ADV3205器件的高集成度，以及在复合视频中每个系统视频通道仅需要一个交叉点通道的事实，这些开关可达到非常高的密度。但是，其它视频格式也能通过ADV3205路由，而那些格式的每个视频通道要求多个交叉点通道。

某些系统使用双绞线搭载视频信号。这些系统采用差分信号，由于电缆、连接器和端接方式的成本较低，因此可降低成本。它们还具有降低串扰和抑制共模信号的能力，这对于工作在噪声环境下的设备，或者发送和接收设备之间存在共模电压的情况而言非常重要。

这些系统中的视频信号是差分的；信号具有正和负(或者反相)版本。这些补充信号在双绞线的每一根绞线上传输，产生一阶零共模电压。在接收端，信号以差分方式接收，并转换回单端信号。

开关这些差分信号时，开关元素需要用到两路通道，以便处理组成视频通道的两路差分信号。因此，一路差分视频通道被分配至一对交叉点通道，即输入和输出。对于单个ADV3205而言，8路差分视频通道可分配至16路输入和16路输出。这便形成了有效的8×8差分交叉点开关。

编程这类器件要求成对编程输入和输出。该信息可从针对ADV3205编程格式以及系统需求的检测中推导出来。

还有其它一些模拟视频格式也要求每个视频通道具有多个模拟电路。视频系统中，一种广泛使用的双电路格式是S-视频或Y/C-视频。Y/C视频格式在其中一个通道上搭载视频信号的亮度(Y)部分，而在另一个通道上搭载色度(C)。

由于S-视频亦针对单个视频通道使用两个独立的电路，创建交叉点系统要求将一个视频通道分配至两个交叉点通道，即与差分视频系统中的情况相同。除开视频格式的本质，这两种系统的其余部分均相同。

除此之外，还有其它视频格式，使用三个通道搭载视频信息。摄像机直接从图像传感器生成RGB(红，绿，蓝)。RGB还是计算机用于内部图形的常用格式。RGB能被转化为Y、R-Y和B-Y格式，有时也称为YUV格式。这三个电路视频标准称为模拟分量视频。

模拟分量视频标准要求每个视频通道具有三个交叉点通道，处理开关功能。与双电路视频格式类似，输入和输出以三个一组进行分配，且路由视频信号时执行适当的逻辑编程。

串扰

许多视频系统具有严格的要求，保持各种信号在系统内不会相互影响。串扰是描述附近其它通道的信号耦合至给定通道的术语。

当系统中存在很多距离很近的信号时(就像使用ADV3205的系统)，串扰问题可能极为复杂。使用一个或多个ADV3205器件时，需对串扰本质以及术语定义的深入了解。

串扰种类

串扰可通过三种方式中的任意一种传播。它们可分为电场、磁场和共用公共阻抗。本部分内容解释这些影响。

每个导体都可以既是电场的辐射器，同时又是电场的接收器。当发射器产生电场，电场向整个杂散电容(例如空间)传播并与接收器耦合，然后感应出电压时，便形成了电场串扰机制。该电压在任何接收到它的通道里，都是不希望存在的串扰信号。

流经导体的电流产生磁场，该磁场围绕此电流。这些磁场随后便在任何具有与之相连路径的导体内产生电压。在这些其它通道内原本不希望存在的感应电压即为串扰信号。那些受串扰影响的通道具有互感，可将信号从一个通道耦合至另一个通道。

多通道系统的电源、地和其它信号回路通常通过各种通道实现共享。当来自某个通道的电流流过其中一条路径时，阻抗两端产生的电压便成为共享公共阻抗的其它通道的输入串扰信号。

所有这些串扰源都是矢量；因此无法将幅度简单相加，得出总串扰。事实上，有些条件下以特定配置并联驱动额外电路，可降低串扰。

串扰区域

一个实际的ADV3205电路必须在某种电路板上实现，才可连接电源和测量设备。但这样也产生了一个问题，即系统的串扰是器件内部的串扰与电路板串扰相叠加的结果。当试图最小化串扰的影响时，尝试区分这两个区域非常重要。

此外，输入至交叉点之间，以及输出之间也可能发生串扰。它也可能在输入至输出之间发生。下文提供的技巧可用于诊断系统的哪部分产生了串扰，以及如何最小化串扰。

测量串扰

通过施加一个信号至一路或多路通道，并测量选定通道上的相应信号强度，即可测得串扰。测量值通常以低于测试信号幅度多少dB表示。串扰计算如下：

$$|XT| = 20\log_{10}(A_{sel}(s)/A_{test}(s))$$

其中：

$s = j\omega$ ，是拉普拉斯变换的变量。

$A_{sel}(s)$ 是选定通道上感应信号串扰幅度。

$A_{test}(s)$ 是测试信号的幅度。

可以看出，串扰是频率的函数，但不是测试信号(针对一阶而言)幅度的函数。此外，串扰信号相位与关联测试信号有关。

网络分析仪常用于测量目标频率范围内的串扰。它可同时提供串扰信号的幅度和相位信息。

随着交叉点系统或器件的扩大，理论串扰的组合排列数可能变得极为庞大。例如，以ADV3205的 16×16 矩阵为例，注意可视为单通道(如IN00输入)的串扰项数目。IN00编程为连接ADV3205的其中一个输出，可用于测量。

首先，与驱动测试信号至所有其它15个输入有关的串扰项每一次可测量一个，同时施加“无信号”至IN00。然后，与驱动并联测试信号至所有其它15个输入有关的串扰项每一次可测量所有可能的组合中的两个，然后一次三个，以此类推，直至只剩一种方法并行驱动测试信号至所有其它15个输入。

每种情况都与其它情况存在一定差异，并且可能导出一个独特值，具体取决于测量系统的分辨率，但几乎不可能实际测量所有这些项并指定它们。此外，它仅描述了一个输入通道的串扰矩阵。所有其它输入都可假设具有相似的串扰矩阵。此外，如果考虑输入连接至其它输出(未用于测量)的可能排列组合，则数字会大得离谱。如果使用多个ADV3205器件构建更大的交叉点阵列，数字将直线上升。

显然，必须选出这些情况的某些部分，指引人们找到一种实用的串扰测量方法。一个常用的方法是测量所有不利串扰；这表示测量选定通道的串扰，同时并行驱动其它系统通道。总之，该方法得到最差情况下的串扰数，但由于串扰信号的矢量特性，情况并非总是如此。

其它有用的串扰测量方法由一个最近的相邻通道或每一侧两个相邻通道所建立。这些串扰的测量值通常高于相距较远的通道测量值，因此可用作任何其它单通道或双通道在最差情况下的串扰测量值。

输入和输出串扰

ADV3205灵活的编程能力可用于诊断串扰更多地存在于输入侧还是输出侧。一些例子可以说明。给定的输入通道(本例中，IN07位于中间)可编程驱动OUT07(同样位于中间)。输入至IN07端接至地(通过50 Ω 或75 Ω)，并且不施加信号。

其它所有输入都采用相同的测试信号(由分布式放大器提供)并行驱动，除OUT07外的其它所有输出都禁用。由于接地IN07编程驱动OUT07，因此不应当有任何信号。任何信号的存在都可影响到另外15个不利输入信号，因为不驱动其它输出(它们都被禁用)。因此，这种方法测量所有不利输入对IN07的串扰贡献。当然，该方法可用于其它输入通道和不利输入组合。

对于输出串扰测量而言，单个输入通道被驱动(例如IN00)，并且除给定输出(位于中间的IN07)外的所有输出都编程连接至IN00。OUT07编程连接IN15(远离IN00)，后者端接至地。因此，OUT07应当不存在任何信号，因为它监听的是无噪声输入。在OUT07端测得的任意信号都可能对其它16个不利输出贡献了输出串扰。同样，该方法可经过修改，用于测量其它通道以及其它交叉点矩阵组合。

阻抗对串扰的影响

输入侧的串扰受驱动输入的源端输出阻抗的影响。驱动源阻抗越低，串扰幅度也越低。输入侧的主要串扰机制是容性耦合。高阻抗输入不产生大电流，也就无法形成磁感应串扰。但是，大电流可能流经输入端接电阻和驱动它们的环路。因此，输入侧的PCB可能对磁耦合串扰作出贡献。

从电路角度来看，输入串扰机制与电容耦合至阻性负载相似。对于低频而言，串扰幅度可计算如下：

$$|XT| = 20\log_{10}[(R_s C_M) \times s]$$

其中：

R_s 为源电阻。

C_M 为测试信号电路和选定电路之间的公共电容。

s 为拉普拉斯变换的变量。

由之前公式可以看出，这种串扰机制具有高通特性；它可通过降低输入电路的耦合电容并降低驱动器的输出阻抗，最大程度地加以减少。若输入由75 Ω端接电缆驱动，则使用低输出阻抗缓冲器缓冲该信号即可降低输入串扰。

在输出侧，串扰可通过驱动较轻的负载而减少。虽然驱动150 Ω视频负载时，ADV3205具有出色的差分增益和相位规格，但由于高输出电流，串扰高于可达到的最小值。这些电流通过输出引脚共用电感以及ADV3205的焊线而引起串扰。

从电路角度来看，此输出串扰机制与绕组间含有共用电感，并驱动负载电阻的变压器类似。对于低频而言，串扰幅度可计算如下：

$$|XT| = 20\log_{10}(M_{xy} \times s/R_L)$$

其中：

M_{xy} 为输出X至输出Y的共用电感。

R_L 为测量输出的负载电阻。

该串扰机制可通过保持低共用电感，并增加 R_L 而最大程度地加以减少。通过增加导体空间并最小化它们的并联长度，便可保持低共用电感。

PCB布局布线

必须特别注意降低系统电路板产生的额外串扰。细节上需要注意的区域有：接地、屏蔽、信号路由和电源旁路。

ADV3205的封装设计为尽可能减少串扰。每个输入都通过模拟接地引脚，与其它输入隔离。直接将所有AGND引脚与电路板的接地层相连。这些接地引脚提供屏蔽、低阻抗回路和输入端的物理隔离。所有这些都助于降低串扰。

每个输出都通过模拟电源引脚的其中一个极性与其两个相邻输出隔离。所有模拟电源引脚都仅为两个最近输出的输出级提供电源。这些电源引脚提供屏蔽、物理隔离，并且为输出提供低阻抗电源。使用0.1 μF芯片电容直接与接地层相连即可单独旁路每个电源引脚，然后通过共用阻抗，最大程度降低高频输出串扰。

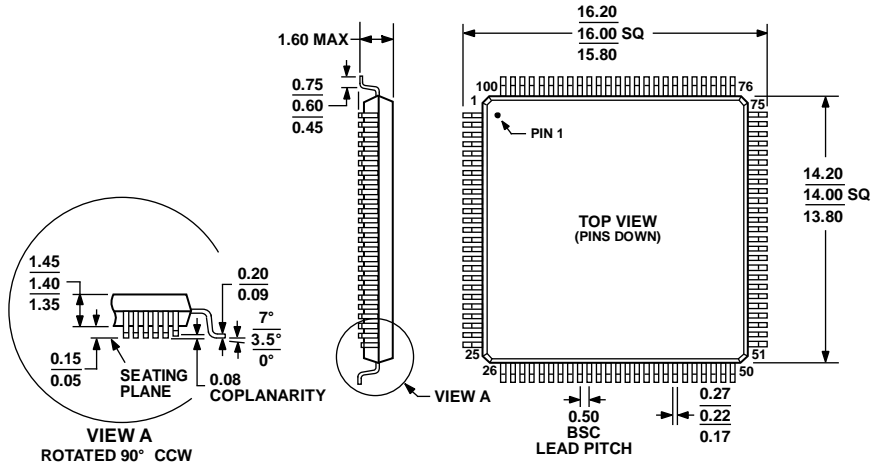
每个输出还有一个片内补偿电容，独立连接至附近的模拟地引脚。这种技术通过阻止流经这些通道的电流共用IC上的阻抗、以及封装引脚内的阻抗，从而降低串扰。直接将这些AGND引脚与接地层相连。

另外有独立的数字（逻辑）和模拟电源。DV_{CC}必须为5 V，以便与5 V CMOS和TTL逻辑兼容。AV_{CC}和AV_{EE}的范围为±5 V至±12 V，具体取决于不同的应用。

采用0.1 μF电容可对每个电源引脚（或一组相邻的电源引脚）进行局部去耦。使用10 μF电容对进入电路板的电源去耦。

ADV3205

外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-026-BED

图31. 100引脚薄型四方扁平封装[LQFP]
(ST-100-1)

尺寸单位: mm

051706-A

订购指南

型号 ¹	温度范围	封装描述	封装选项
ADV3205JSTZ	0°C至70°C	100引脚薄型四方扁平封装[LQFP]	ST-100-1
ADV3205-EVALZ		评估板	

¹ Z = 符合RoHS标准的器件。