

产品特性

低功耗：每通道55 mW (65 MSPS)，功率选项可调整
 信噪比(SNR)：75.5 dB(至奈奎斯特频率)
 无杂散动态范围(SFDR)：91.6 dBc(至奈奎斯特频率)
 差分非线性(DNL) = ± 0.6 LSB(典型值)；积分非线性(INL) = ± 1.1 LSB(典型值)

串行LVDS(ANSI-644，默认)

低功耗，减少信号选项(类似于IEEE 1596.3)

数据时钟输出和帧时钟输出

650 MHz全功率模拟带宽

2 V p-p输入电压范围

1.8 V电源供电

串行端口控制

全芯片及单一通道省电模式

灵活的位定向

内置生成及用户自定义数字测试码

可编程时钟与数据对准

可编程输出分辨率

待机模式

应用

医疗成像和无创超声检测

便携式超声和数字波束形成系统

正交无线电接收机

分集无线电接收机

光纤网络

测试设备

概述

AD9257是一款8通道、14位、40 MSPS/65 MSPS模数转换器(ADC)，内置片内采样保持电路，专门针对低成本、低功耗、小尺寸和易用性而设计。该产品的转换速率最高可达65 MSPS，具有杰出的动态性能与低功耗特性，适合比较重视小封装尺寸的应用。

该ADC要求采用1.8 V单电源供电以及LVPECL/CMOS/LVDS兼容型采样速率时钟信号，以便充分发挥其工作性能。无需外部基准电压源或驱动器即可满足许多应用需求。

该ADC会自动将采样速率时钟倍频，以便产生合适的LVDS串行数据速率。它提供一个数据时钟输出(DCO)用于在输出端捕获数据，以及一个帧时钟输出(FCO)用于发送新输出字节信号。它还支持独立关断各通道；禁用所有通道时，典型功耗低于2 mW。

该ADC内置多种功能特性，可使器件的灵活性达到最佳、

Rev. A

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

功能框图

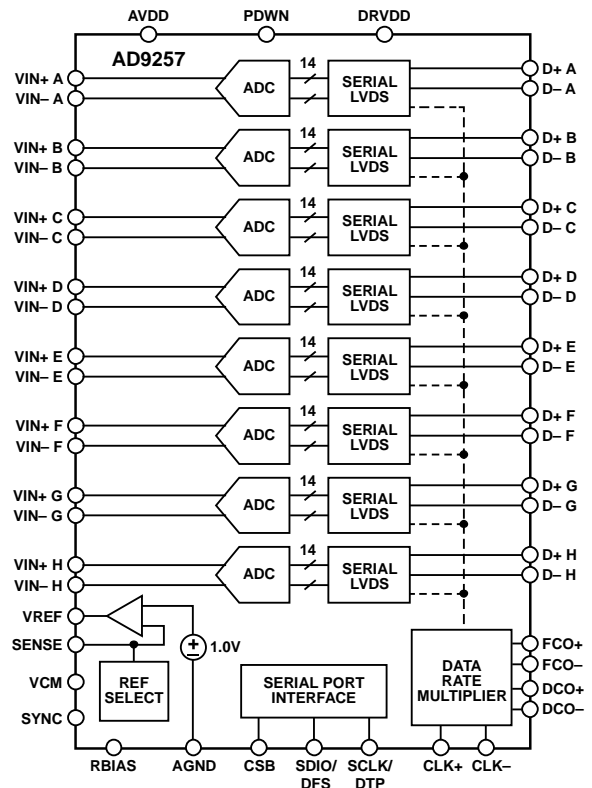


图1.

系统成本最低，例如可编程时钟与数据对准、生成可编程数字测试码等。可获得的数字测试码包括内置固定码和伪随机码，以及通过串行端口接口(SPI)输入的用户自定义测试码。

AD9257采用符合RoHS标准的64引脚LFCSP封装，额定温度范围为 -40°C 至 $+85^{\circ}\text{C}$ 工业温度范围。该产品受美国专利保护。

产品特色

1. 小尺寸。一个小封装中集成8个ADC，节省空间。
2. 低功耗。每通道55 mW(65 MSPS，功率选项可调整)
3. 易于使用。数据时钟输出(DCO)的工作频率高达455 MHz，支持双倍数据速率(DDR)操作。
4. 使用灵活。SPI控制提供丰富灵活的特性，可满足各种特定系统的需求。
5. 与AD9637(8通道12位ADC)引脚兼容。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 ©2011–2013 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

目录

产品特性	1	功耗和省电模式	22
应用	1	数字输出和时序	23
概述	1	内置输出测试模式	27
功能框图	1	输出测试模式	27
产品特点	1	串行接口(SPI)	28
修订历史	2	使用SPI的配置	28
技术规格	3	硬件接口	29
直流规格	3	不使用SPI的配置	29
交流规格	4	SPI访问特性	29
数字规格	5	存储器映射	30
开关规格	6	读取存储器映射寄存器表	30
时序规格	6	存储器映射寄存器表	31
绝对最大额定值	8	存储器映射寄存器描述	34
热特性	8	应用信息	36
ESD警告	8	设计指南	36
引脚配置和功能描述	9	电源和接地建议	36
典型性能参数	11	时钟稳定性考虑	36
AD9257-65	11	裸露焊盘散热块建议	36
AD9257-40	14	VCM	36
等效电路	17	基准电压源去耦	36
工作原理	18	SPI端口	36
模拟输入考虑	18	外形尺寸	37
基准电压源	19	订购指南	37
时钟输入考虑	20		

修订历史

2013年4月—修订版0至修订版A

更改表1	3
更改“交流规格”部分	4
表4增加1.5 ns(最小值)和3.1 ns(最大值)传播延迟	6
图7、图9、图10和图11的标题增加CLK分频比 = 8	11
更改图14和图17	12
图22、图24和图25的标题增加CLK分频比 = 8	14
图28和图31增加CLK分频比 = 4；更改图32	15
更改图36和图37	17
更改图56	22
更改“数字输出和时序”部分	23
更改“特定通道寄存器”部分	30
更改表17中的寄存器0x21位3	33
更改位[6:4]—“输入时钟相位调整”部分	35
增加“时钟稳定性考虑”部分	36
更新“外形尺寸”	37

2011年10月—修订版0：初始版

技术规格

直流规格

除非另有说明，AVDD = 1.8 V，DRVDD = 1.8 V，2 V p-p差分输入，1.0 V内部基准电压，AIN = -1.0 dBFS。

表1.

参数 ¹	温度	AD9257-40			AD9257-65			单位	
		最小值	典型值	最大值	最小值	典型值	最大值		
分辨率		14			14			位	
精度									
无失码	全	保证			保证				
失调误差	全	-0.6	-0.3	+0.1	-0.7	-0.3	+0.1	% FSR	
失调匹配	全	0	0.2	0.6	0	0.23	0.6	% FSR	
增益误差	全	-6.0	-2.1	2.0	-6.0	-2.9	+1.0	% FSR	
增益匹配	全	-1.0	+1.7	+5.0	-1.0	+1.6	+5.0	% FSR	
差分非线性(DNL)	全	-1.0	-0.5/+0.8	+1.7	-1.0	±0.6	+1.6	LSB	
积分非线性(INL)	全	-3.1	±1.1	+3.1	-4.0	±1.1	+4.0	LSB	
温度漂移									
失调误差	全	±2			±2			ppm/°C	
内部基准电压源									
输出电压(1 V模式)	全	0.98	0.99	1.01	0.98	0.99	1.01	V	
1.0 mA时的负载调整率($V_{REF} = 1 V$)	全	2			2			mV	
输入电阻	全	7.5			7.5			kΩ	
折合到输入端噪声									
$V_{REF} = 1.0 V$	25°C	0.91			0.94			LSB rms	
模拟输入									
差分输入电压($V_{REF} = 1 V$)	全	2			2			V p-p	
共模电压	全	0.9			0.9			V	
共模范围	全	0.5		1.3	0.5		1.3	V	
差分输入电阻	全	5.2			5.2			kΩ	
差分输入电容	全	3.5			3.5			pF	
电源									
AVDD	全	1.7	1.8	1.9	1.7	1.8	1.9	V	
DRVDD	全	1.7	1.8	1.9	1.7	1.8	1.9	V	
I_{AVDD}	全	147			198			211	mA
I_{DRVDD} (ANSI-644模式)	全	53			60			93	mA
I_{DRVDD} (缩小范围模式)	25°C	38			45				mA
总功耗									
总功耗(8通道, ANSI-644模式)	全	360			464			547	mW
总功耗(8通道, 缩小范围模式)	25°C	333			437				mW
关断功耗	25°C	1			1				mW
待机功耗 ²	25°C	74			92				mW

¹ 如需了解定义以及如何完成这些测试的详情，请参阅应用笔记AN-835：“了解高速ADC测试和评估”。

² 可通过SPI进行控制。

AD9257

交流规格

除非另有说明，AVDD = 1.8 V，DRVDD = 1.8 V，2 V p-p差分输入，1.0 V内部基准电压，AIN = -1.0 dBFS。CLK分频比 = 8，用于输入频率 ≥ 19.7 MHz时的典型特性。

表2.

参数 ¹	温度	AD9257-40			AD9257-65			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
信噪比(SNR)								
$f_{IN} = 9.7$ MHz	25°C		75.9			75.7		dBFS
$f_{IN} = 19.7$ MHz	全	73.5	75.8		73.3	75.6		dBFS
$f_{IN} = 30.5$ MHz	25°C		75.7			75.5		dBFS
$f_{IN} = 63.5$ MHz	25°C					74.9		dBFS
$f_{IN} = 69.5$ MHz	25°C		74.7					dBFS
$f_{IN} = 123.4$ MHz	25°C					73.2		dBFS
信纳比(SINAD)								
$f_{IN} = 9.7$ MHz	25°C		75.8			75.6		dBFS
$f_{IN} = 19.7$ MHz	全	72.5	75.7		72.0	75.6		dBFS
$f_{IN} = 30.5$ MHz	25°C		75.6			75.4		dBFS
$f_{IN} = 63.5$ MHz	25°C					74.8		dBFS
$f_{IN} = 69.5$ MHz	25°C		74.5					dBFS
$f_{IN} = 123.4$ MHz	25°C					72.8		dBFS
有效位数(ENOB)								
$f_{IN} = 9.7$ MHz	25°C		12.3			12.3		位
$f_{IN} = 19.7$ MHz	全	11.7	12.3		11.7	12.3		位
$f_{IN} = 30.5$ MHz	25°C		12.3			12.2		位
$f_{IN} = 63.5$ MHz	25°C					12.1		位
$f_{IN} = 69.5$ MHz	25°C		12.1					位
$f_{IN} = 123.4$ MHz	25°C					11.8		位
无杂散动态范围(SFDR)								
$f_{IN} = 9.7$ MHz	25°C		96			96		dBc
$f_{IN} = 19.7$ MHz	全	80	96		79	96		dBc
$f_{IN} = 30.5$ MHz	25°C		97			91		dBc
$f_{IN} = 63.5$ MHz	25°C					95		dBc
$f_{IN} = 69.5$ MHz	25°C		87					dBc
$f_{IN} = 123.4$ MHz	25°C					83		dBc
最差谐波(二次或三次)								
$f_{IN} = 9.7$ MHz	25°C		-99			-99		dBc
$f_{IN} = 19.7$ MHz	全		-96	-80		-98	-79	dBc
$f_{IN} = 30.5$ MHz	25°C		-100			-91		dBc
$f_{IN} = 63.5$ MHz	25°C					-98		dBc
$f_{IN} = 69.5$ MHz	25°C		-87					dBc
$f_{IN} = 123.4$ MHz	25°C					-83		dBc
最差其它谐波(二次或三次除外)								
$f_{IN} = 9.7$ MHz	25°C		-96			-96		dBc
$f_{IN} = 19.7$ MHz	全		-99	-86		-96	-88	dBc
$f_{IN} = 30.5$ MHz	25°C		-97			-98		dBc
$f_{IN} = 63.5$ MHz	25°C					-95		dBc
$f_{IN} = 69.5$ MHz	25°C		-98					dBc
$f_{IN} = 123.4$ MHz	25°C					-94		dBc
双音交调失真(IMD) — AIN1和AIN2 = -7.0 dBFS AND AIN2 = -7.0 dBFS								
$f_{IN1} = 8$ MHz, $f_{IN2} = 10$ MHz	25°C		95					dBc
$f_{IN1} = 30$ MHz, $f_{IN2} = 32$ MHz	25°C					92		dBc

参数 ¹	温度	AD9257-40			AD9257-65			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
串扰 ²	25°C		-100			-98		dB
串扰(超量程情况) ³	25°C		-92			-94		dB
电源抑制比(PSRR) ⁴	25°C							
AVDD			52			52		dB
DRVDD			73			71		dB
模拟输入带宽(全功率)	25°C		650			650		MHz

¹ 如需了解定义以及如何完成这些测试的详情, 请参阅应用笔记AN-835: “了解高速ADC测试和评估”。

² 串扰的测量条件: 一个通道参数为10 MHz、-1.0 dBFS模拟输入且相邻通道上无输入信号。

³ 超量程情况指高于满量程输入范围3 dB。

⁴ PSRR测量方法: 将一个10 MHz正弦波信号注入电源引脚, 测量FFT的输出杂散。PSRR等于杂散电压的幅度与引脚电压之比, 用分贝(dB)表示。

数字规格

除非另有说明, AVDD = 1.8 V, DRVDD = 1.8 V, 2 V p-p差分输入, 1.0 V内部基准电压, AIN = -1.0 dBFS。

表3.

参数 ¹	温度	最小值	典型值	最大值	单位
时钟输入(CLK+, CLK-)					
逻辑兼容			CMOS/LVDS/LVPECL		
差分输入电压 ²	全	0.2		3.6	V p-p
输入电压范围	全	AGND - 0.2		AVDD + 0.2	V
输入共模电压	全		0.9		V
输入电阻(差分)	25°C		15		kΩ
输入电容	25°C		4		pF
逻辑输入(PDWN、SYNC、SCLK)					
逻辑1电压	全	1.2		AVDD + 0.2	V
逻辑0电压	全	0		0.8	V
输入电阻	25°C		30		kΩ
输入电容	25°C		2		pF
逻辑输入(CSB)					
逻辑1电压	全	1.2		AVDD + 0.2	V
逻辑0电压	全	0		0.8	V
输入电阻	25°C		26		kΩ
输入电容	25°C		2		pF
逻辑输入(SDIO)					
逻辑1电压	全	1.2		AVDD + 0.2	V
逻辑0电压	全	0		0.8	V
输入电阻	25°C		26		kΩ
输入电容	25°C		5		pF
逻辑输出(SDIO) ³					
逻辑1电压(I _{OH} = 800 μA)	全		1.79		V
逻辑0电压(I _{OL} = 50 μA)	全			0.05	V
数字输出(D±x), ANSI-644					
逻辑兼容			LVDS		
差分输出电压(V _{OD})	全	247	350	454	mV
输出失调电压(V _{OS})	全	1.13	1.21	1.38	V
输出编码(默认)			二进制补码		
数字输出(D±x), 低功耗, 减少信号选项					
逻辑兼容			LVDS		
差分输出电压(V _{OD})	全	150	200	250	mV
输出失调电压(V _{OS})	全	1.13	1.21	1.38	V
输出编码(默认)			二进制补码		

¹ 如需了解定义以及如何完成这些测试的详情, 请参阅应用笔记AN-835: “了解高速ADC测试和评估”。

² 仅针对LVDS和LVPECL。

³ 针对共用同一连接的13个SDIO/DFS引脚。

AD9257

开关规格

除非另有说明，AVDD = 1.8 V，DRVDD = 1.8 V，2 V p-p差分输入，1.0 V内部基准电压，AIN = -1.0 dBFS。

表4.

参数 ^{1,2}	温度	最小值	典型值	最大值	单位
时钟 ³					
输入时钟速率	全	10		520	MHz
转换速率	全	10		40/65	MSPS
时钟高电平脉冲宽度(t_{EH})	全		12.5/7.69		ns
时钟低电平脉冲宽度(t_{EL})	全		12.5/7.69		ns
输出参数 ³					
传播延迟(t_{PD})	全	1.5	2.3	3.1	ns
上升时间(t_R)(20%至80%)	全		300		ps
下降时间(t_F)(20%至80%)	全		300		ps
FCO传播延迟(t_{FCO})	全	1.5	2.3	3.1	ns
DCO传播延迟(t_{CPD}) ⁴	全		$t_{FCO} + (t_{SAMPLE}/28)$		ns
DCO至数据延迟(t_{DATA}) ⁴	全	$(t_{SAMPLE}/28) - 300$	$(t_{SAMPLE}/28)$	$(t_{SAMPLE}/28) + 300$	ps
DCO至FCO延迟(t_{FRAME}) ⁴	全	$(t_{SAMPLE}/28) - 300$	$(t_{SAMPLE}/28)$	$(t_{SAMPLE}/28) + 300$	ps
数据至数据偏斜 ($t_{DATA-MAX} - t_{DATA-MIN}$)	全		± 50	± 200	ps
唤醒时间(待机)	25°C		35		μ s
唤醒时间(省电模式) ⁵	25°C		375		μ s
流水线延迟	全		16		时钟周期
孔径					
孔径延迟(t_A)	25°C		1		ns
孔径不确定(抖动)	25°C		0.1		ps rms
超范围恢复时间	25°C		1		时钟周期

¹ 如需了解定义以及如何完成这些测试的详情，请参阅应用笔记AN-835：“了解高速ADC测试和评估”。

² 采用标准FR-4材料测量。

³ 可通过SPI进行调整。

⁴ $t_{SAMPLE}/28$ 基于位数的一半，因为延迟基于一半的占空比。 $t_{SAMPLE} = 1/f_s$ 。

⁵ 唤醒时间指从省电模式返回正常工作模式所需的时间。

时序规格

表5.

参数	说明	限值	单位
同步时序要求			
t_{SSYNC}	SYNC至CLK+上升沿的建立时间	0.24	ns(典型值)
t_{HSYNC}	SYNC至CLK+上升沿的保持时间	0.40	ns(典型值)
SPI时序要求	参见图61		
t_{DS}	数据与SCLK上升沿之间的建立时间	2	ns(最小值)
t_{DH}	数据与SCLK上升沿之间的保持时间	2	ns(最小值)
t_{CLK}	SCLK周期	40	ns(最小值)
t_S	CSB与SCLK之间的建立时间	2	ns(最小值)
t_H	CSB与SCLK之间的保持时间	2	ns(最小值)
t_{HIGH}	SCLK高电平脉冲宽度	10	ns(最小值)
t_{LOW}	SCLK低电平脉冲宽度	10	ns(最小值)
t_{EN_SDIO}	相对于SCLK下降沿，SDIO引脚从输入状态切换到输出状态所需的时间(图61未显示)	10	ns(最小值)
t_{DIS_SDIO}	相对于SCLK上升沿，SDIO引脚从输出状态切换到输入状态所需的时间(图61未显示)	10	ns(最小值)

绝对最大额定值

表6.

参数	额定值
电气	
AVDD至AGND	-0.3 V至+2.0 V
DRVDD至AGND	-0.3 V至+2.0 V
数字输出(D±x、DCO+、DCO-、FCO+、FCO-)至AGND	-0.3 V至+2.0 V
CLK+、CLK-至AGND	-0.3 V至+2.0 V
VIN+ x、VIN- x至AGND	-0.3 V至+2.0 V
SCLK/DTP、SDIO/DFS、CSB至AGND	-0.3 V至+2.0 V
SYNC、PDWN至AGND	-0.3 V至+2.0 V
RBIAS至AGND	-0.3 V至+2.0 V
VREF、SENSE至AGND	-0.3 V至+2.0 V
环境	
工作温度范围(环境)	-40°C至+85°C
最高结温	150°C
引脚温度(焊接, 10秒)	300°C
存储温度范围(环境)	-65°C至+150°C

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下, 器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热特性

LFCSP封装的裸露焊盘必须焊接到接地层。将裸露焊盘焊接到PCB上可提高焊接接头的可靠性, 从而最大限度发挥封装的热性能。

表7. 热阻

封装类型	气流速度 (m/s)	$\theta_{JA}^{1,2}$	$\theta_{JC}^{1,3}$	$\theta_{JB}^{1,4}$	$\Psi_{JT}^{1,2}$	单位
64引脚 LFCSP 9 mm × 9 mm (CP-64-4)	0	22.3	1.4	N/A	0.1	°C/W
	1.0	19.5	N/A	11.8	0.2	°C/W
	2.5	17.5	N/A	N/A	0.2	°C/W

¹ 按照JEDEC 51-7, 加上JEDEC 25-5 2S2P测试板。

² 按照JEDEC JESD51-2(静止空气)或JEDEC JESD51-6(流动空气)。

³ 按照MIL-Std 883、方法1012.1。

⁴ 按照JEDEC JESD51-8(静止空气)。

θ_{JA} 典型值的测试条件为带实接地层的四层PCB。如表7所示, 气流可改善散热, 从而降低 θ_{JA} 。另外, 直接与封装引脚接触的的金属, 包括金属走线、通孔、接地层、电源层, 可降低 θ_{JA} 。

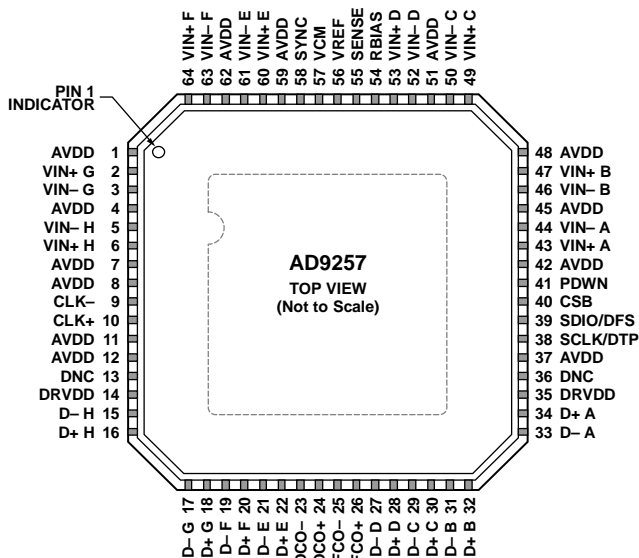
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES

1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.
2. THE EXPOSED PAD MUST BE CONNECTED TO ANALOG GROUND.

1020E-005

图5. 引脚配置(顶视图)

表8. 引脚功能描述

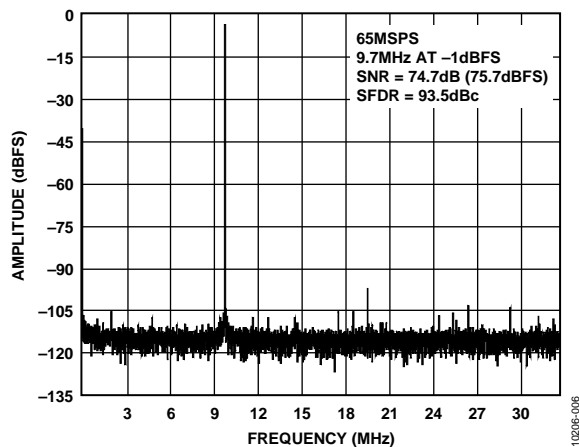
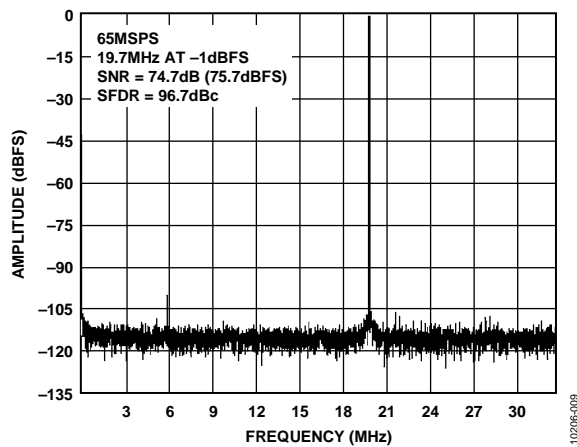
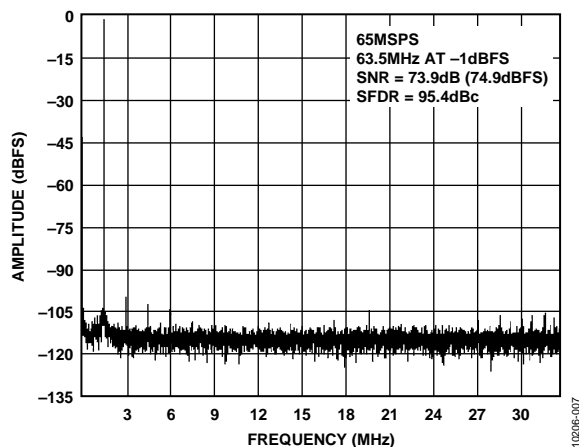
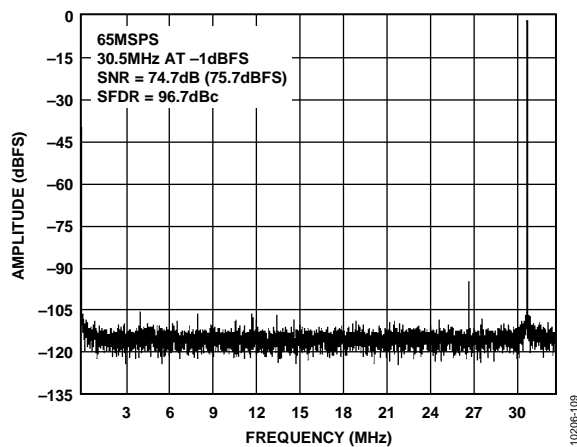
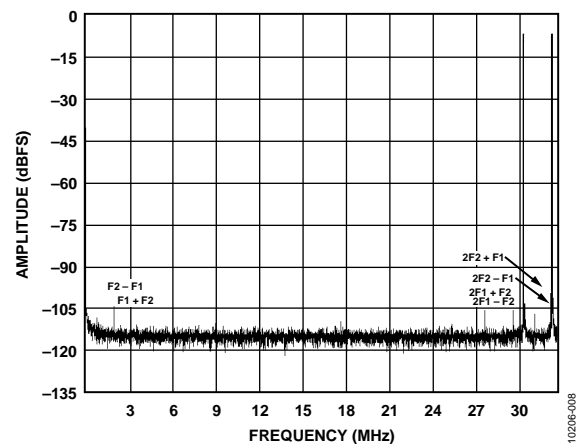
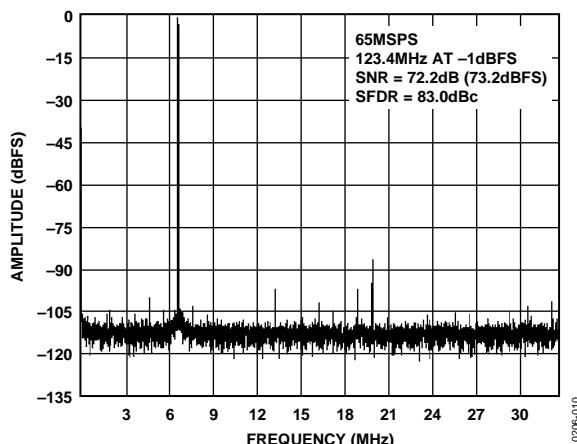
引脚编号	引脚名称	说明
0, EP	AGND、裸露焊盘	模拟地，裸露焊盘。封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须与地相连，才能正常工作。
1, 4, 7, 8, 11, 12, 37, 42, 45, 48, 51, 59, 62	AVDD	1.8 V模拟电源。
13, 36	DNC	不连接。
14, 35	DRVDD	1.8 V数字输出驱动器电源。
2, 3	VIN+ G, VIN- G	ADC G模拟输入(+), ADC G模拟输入(-)。
5, 6	VIN- H, VIN+ H	ADC H模拟输入(-), ADC H模拟输入(+)
9, 10	CLK-, CLK+	输入时钟(-), 输入时钟(+)
15, 16	D- H, D+ H	ADC H数字输出(-), ADC H数字输出(+)
17, 18	D- G, D+ G	ADC G数字输出(-), ADC G数字输出(+)
19, 20	D- F, D+ F	ADC F数字输出(-), ADC F数字输出(+)
21, 22	D- E, D+ E	ADC E数字输出(-), ADC E数字输出(+)
23, 24	DCO-, DCO+	数据时钟数字输出(-), 数据时钟数字输出(+)
25, 26	FCO-, FCO+	帧时钟数字输出(-), 帧时钟数字输出(+)
27, 28	D- D, D+ D	ADC D数字输出(-), ADC D数字输出(+)
29, 30	D- C, D+ C	ADC C数字输出(-), ADC C数字输出(+)
31, 32	D- B, D+ B	ADC B数字输出(-), ADC B数字输出(+)
33, 34	D- A, D+ A	ADC A数字输出(-), ADC A数字输出(+)
38	SCLK/DTP	串行时钟(SCLK)/数字测试码(DTP)。
39	SDIO/DFS	串行数据输入/输出(SDIO)/数据格式选择(DFS)。
40	CSB	片选信号。
41	PDWN	关断。
43, 44	VIN+ A, VIN- A	ADC A模拟输入(+), ADC A模拟输入(-)。
46, 47	VIN- B, VIN+ B	ADC B模拟输入(-), ADC B模拟输入(+)
49, 50	VIN+ C, VIN- C	ADC C模拟输入(+), ADC C模拟输入(-)
52, 53	VIN- D, VIN+ D	ADC D模拟输入(-), ADC D模拟输入(+)

AD9257

引脚编号	引脚名称	说明
54	RBIAS	设置模拟电流偏置。连接到接地10 k Ω (1%容差)电阻。
55	SENSE	基准电压模式选择。
56	VREF	基准电压输入/输出。
57	VCM	等于中间电源电压的模拟输出电压。设置模拟输入的共模电压。
58	同步	数字输入。时钟分频器的SYNC输入。内置30 k Ω 下拉电阻。
60, 61	VIN+ E, VIN- E	ADC E模拟输入(+), ADC E模拟输入(-)。
63, 64	VIN- F, VIN+ F	ADC F模拟输入(-), ADC F模拟输入(+)

典型性能参数

AD9257-65

图6. 单音16k FFT($f_{IN} = 9.7$ MHz, $f_{SAMPLE} = 65$ MSPS)图9. 单音16k FFT($f_{IN} = 19.7$ MHz, $f_{SAMPLE} = 65$ MSPS, CLK分频比 = 8)图7. 单音16k FFT($f_{IN} = 63.5$ MHz, $f_{SAMPLE} = 65$ MSPS, CLK分频比 = 8)图10. 单音16k FFT($f_{IN} = 30.5$ MHz, $f_{SAMPLE} = 65$ MSPS, CLK分频比 = 8)图8. 双音16k FFT($f_{IN1} = 30$ MHz, $f_{IN2} = 32$ MHz, $f_{SAMPLE} = 65$ MSPS)图11. 单音16k FFT($f_{IN} = 123.4$ MHz, $f_{SAMPLE} = 65$ MSPS, CLK分频比 = 8)

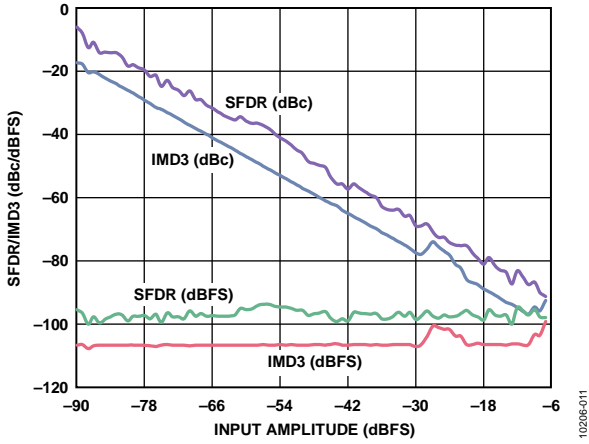


图12. 双音SFDR/IMD3与输入幅度(AIN)的关系
($f_{IN1} = 30 \text{ MHz}$, $f_{IN2} = 32 \text{ MHz}$, $f_{SAMPLE} = 65 \text{ MSPS}$)

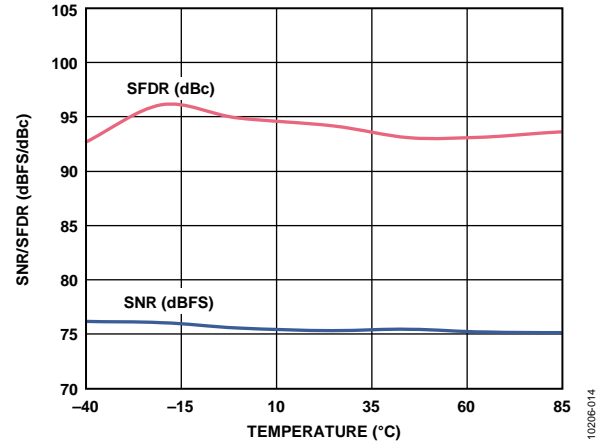


图15. SNR/SFDR与温度的关系($f_{IN} = 9.7 \text{ MHz}$, $f_{SAMPLE} = 65 \text{ MSPS}$)

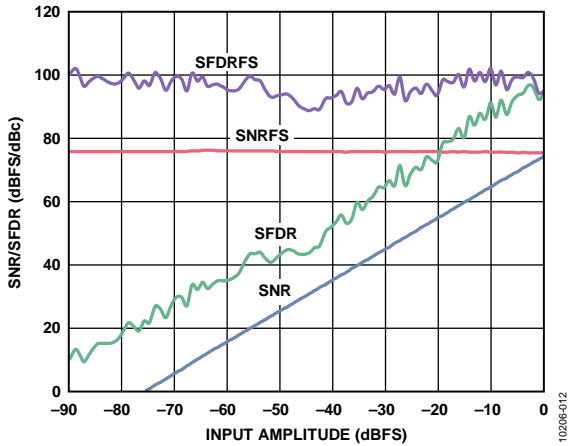


图13. SNR/SFDR与模拟输入电平的关系($f_{IN} = 9.7 \text{ MHz}$, $f_{SAMPLE} = 65 \text{ MSPS}$)

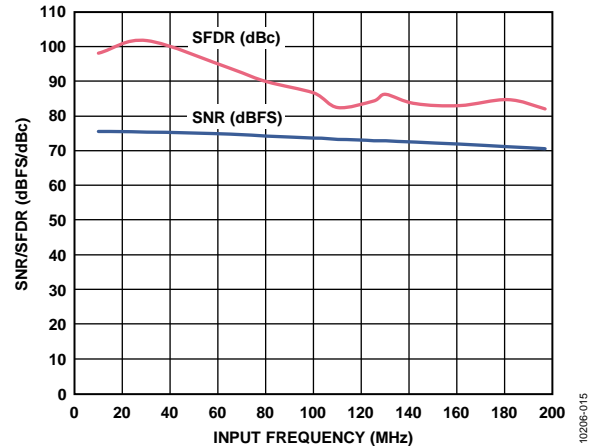


图16. SNR/SFDR与 f_{IN} 的关系($f_{SAMPLE} = 65 \text{ MSPS}$)

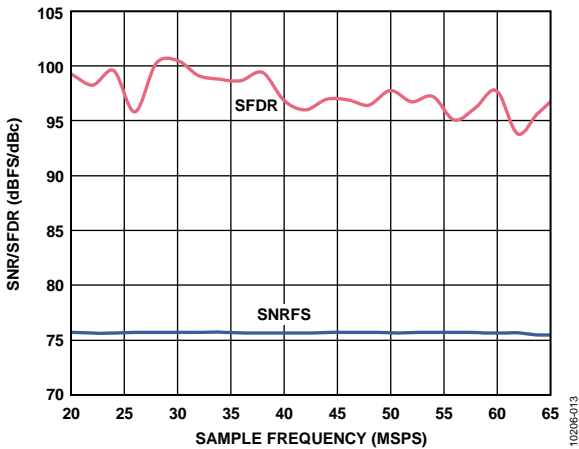


图14. SNR/SFDR与编码的关系($f_{IN} = 19.7 \text{ MHz}$, CLK分频比 = 4)

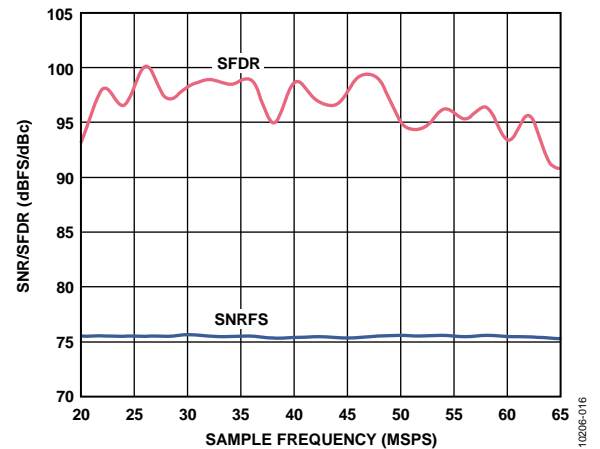


图17. SNR/SFDR与编码的关系($f_{IN} = 30.5 \text{ MHz}$, CLK分频比 = 4)

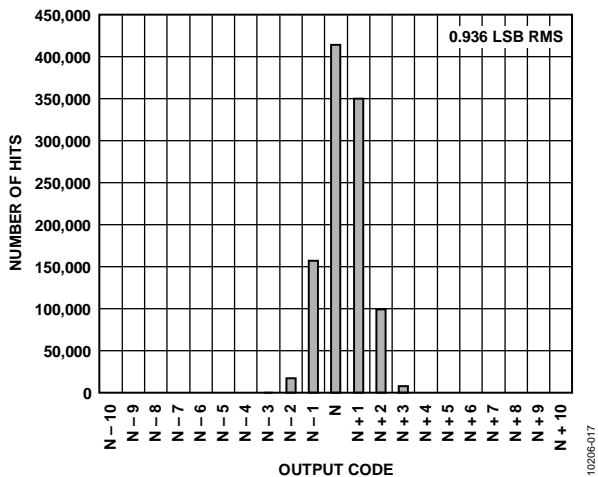


图18. 折合到输入端的噪声直方图($f_{SAMPLE} = 65 \text{ MSPS}$)

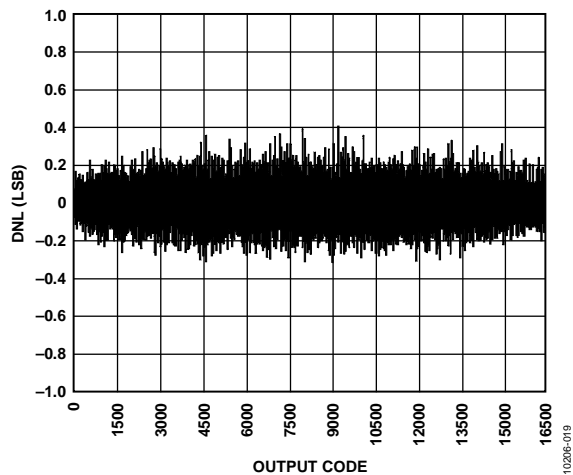


图20. $DNL(f_{IN} = 9.7 \text{ MHz}, f_{SAMPLE} = 65 \text{ MSPS})$

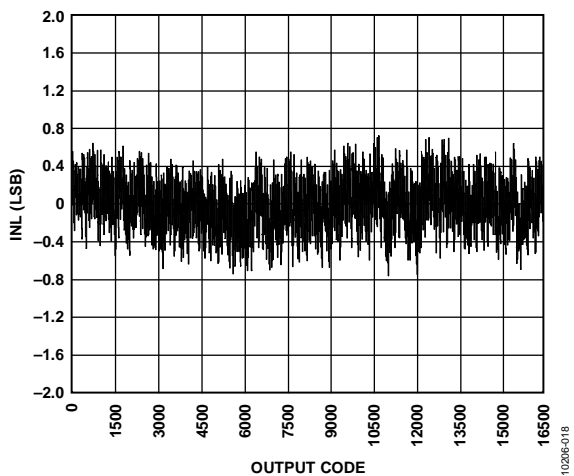


图19. $INL(f_{IN} = 9.7 \text{ MHz}, f_{SAMPLE} = 65 \text{ MSPS})$

AD9257-40

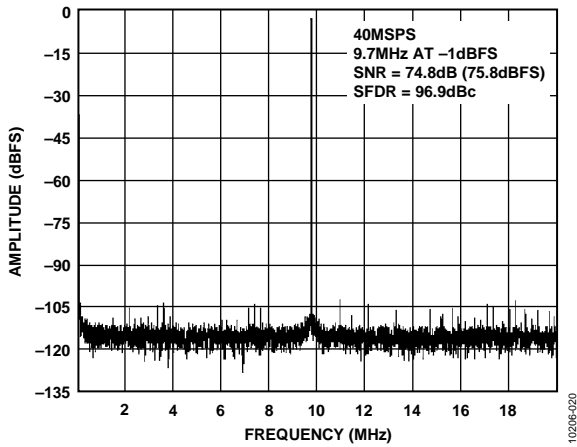


图21. 单音16k FFT($f_{IN} = 9.7 \text{ MHz}$, $f_{SAMPLE} = 40 \text{ MSPS}$)

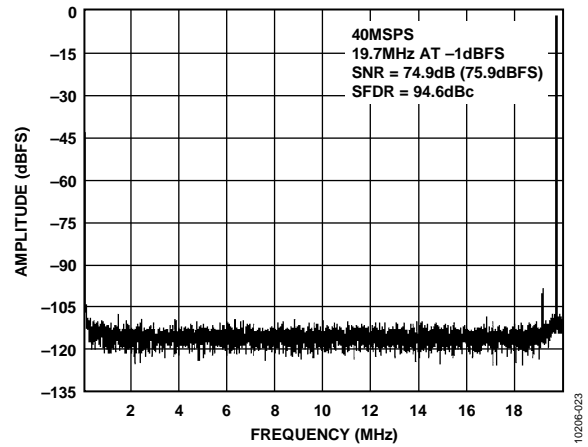


图24. 单音16k FFT($f_{IN} = 19.7 \text{ MHz}$, $f_{SAMPLE} = 40 \text{ MSPS}$, CLK分频比 = 8)

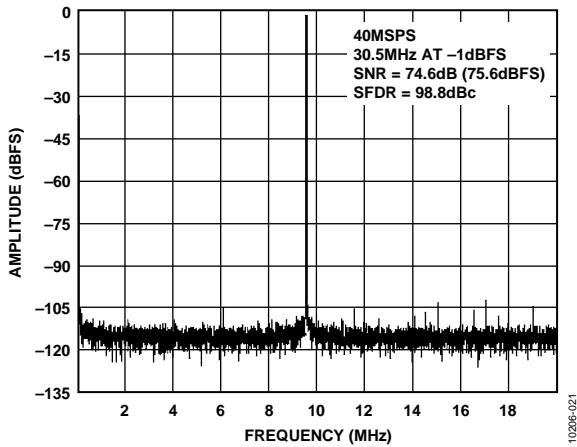


图22. 单音16k FFT($f_{IN} = 30.5 \text{ MHz}$, $f_{SAMPLE} = 40 \text{ MSPS}$, CLK分频比 = 8)

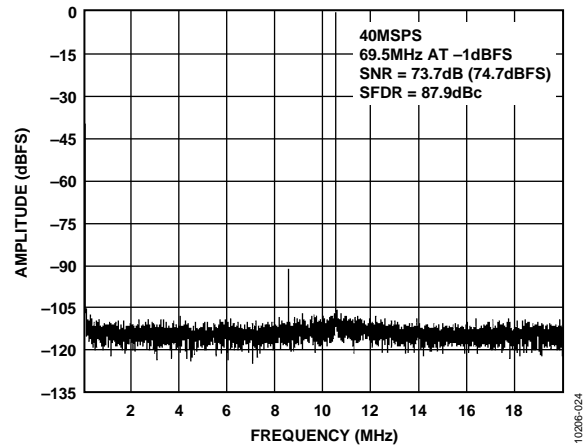


图25. 单音16k FFT($f_{IN} = 69.5 \text{ MHz}$, $f_{SAMPLE} = 40 \text{ MSPS}$, CLK分频比 = 8)

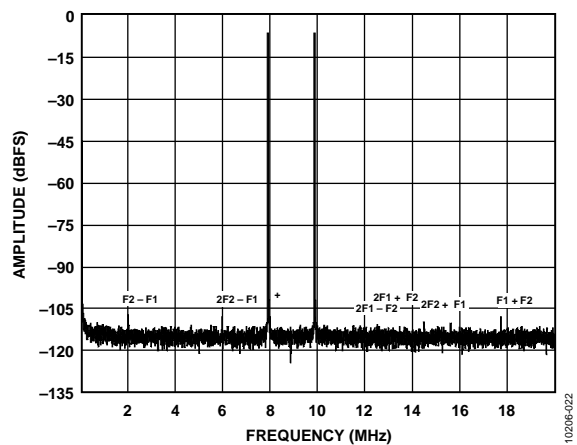


图23. 双音16k FFT($f_{IN1} = 8 \text{ MHz}$, $f_{IN2} = 10 \text{ MHz}$, $f_{SAMPLE} = 40 \text{ MSPS}$)

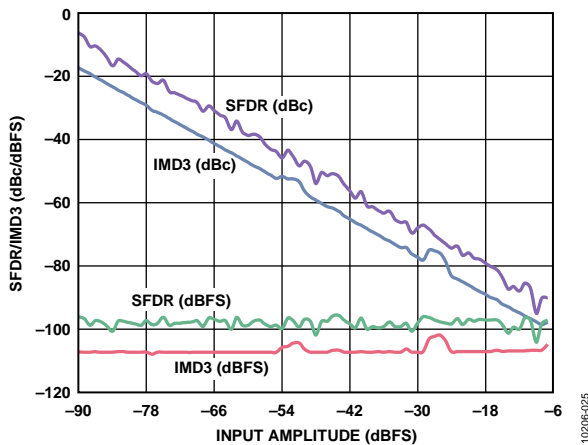


图26. 双音SFDR/IMD3与输入幅度(AIN)的关系 ($f_{IN1} = 30 \text{ MHz}$, $f_{IN2} = 32 \text{ MHz}$, $f_{SAMPLE} = 40 \text{ MSPS}$)

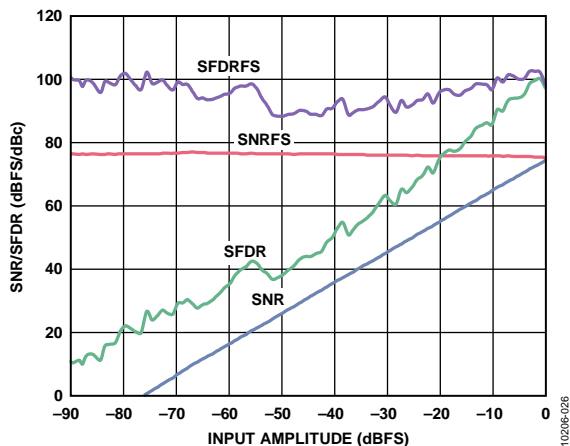


图27. SNR/SFDR与模拟输入电平的关系($f_{IN} = 9.7 \text{ MHz}$, $f_{SAMPLE} = 40 \text{ MSPS}$)

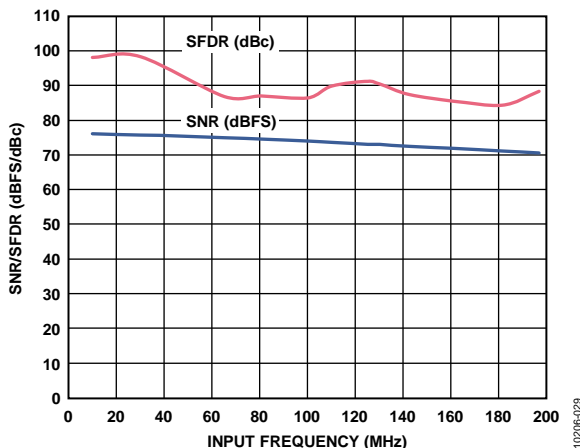


图30. SNR/SFDR与 f_{IN} 的关系($f_{SAMPLE} = 40 \text{ MSPS}$)

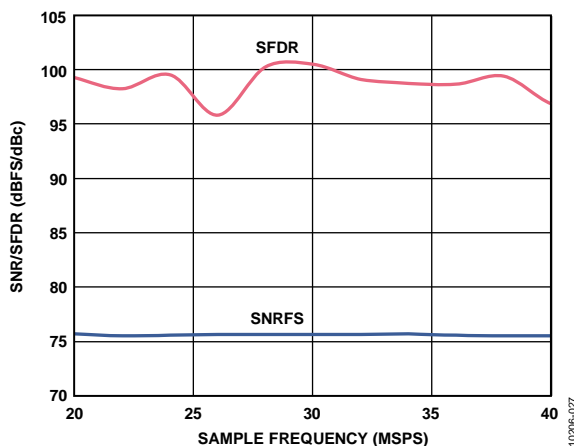


图28. SNR/SFDR与编码的关系($f_{IN} = 19.7 \text{ MHz}$, CLK分频比 = 4)

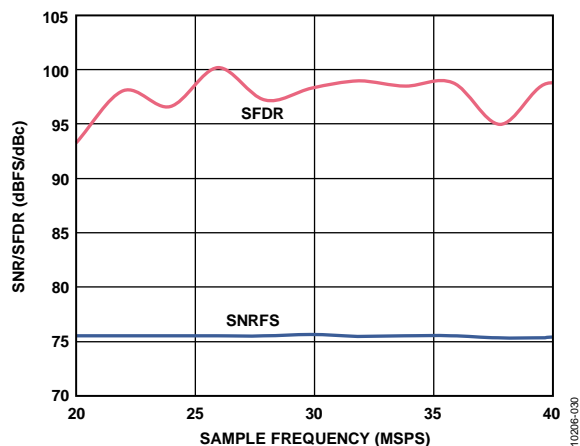


图31. SNR/SFDR与编码的关系($f_{IN} = 30.5 \text{ MHz}$, CLK分频比 = 4)

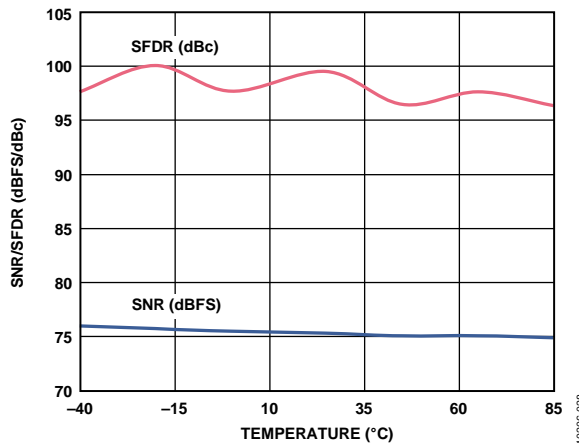


图29. SNR/SFDR与温度的关系($f_{IN} = 9.7 \text{ MHz}$, $f_{SAMPLE} = 40 \text{ MSPS}$)

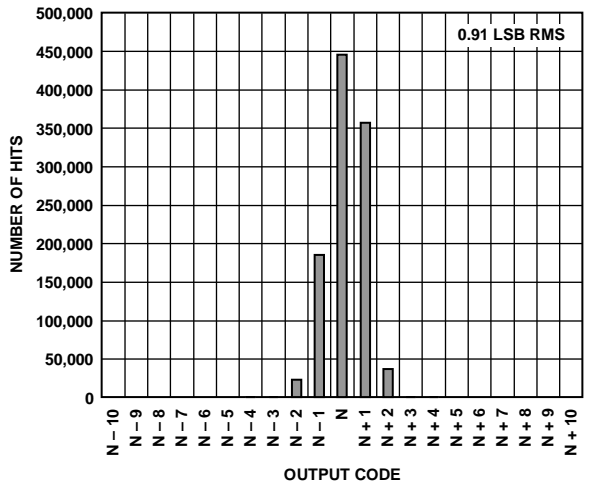


图32. 折合到输入端的噪声直方图($f_{SAMPLE} = 40 \text{ MSPS}$)

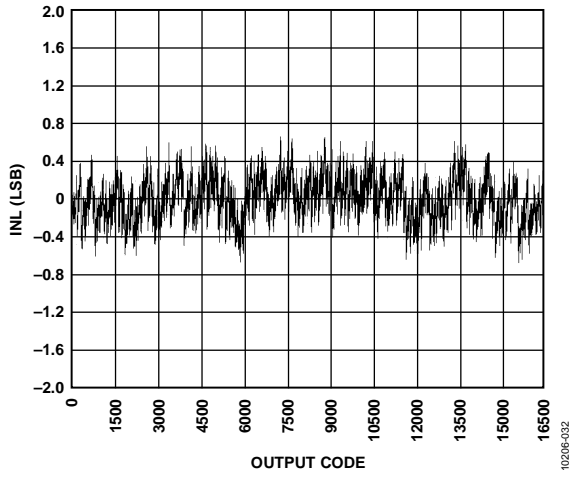


图33. $INL(f_{IN} = 9.7 \text{ MHz}, f_{SAMPLE} = 40 \text{ MSPS})$

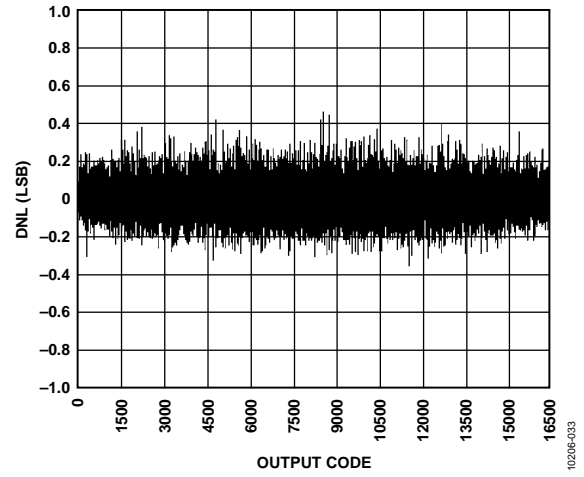


图34. $DNL(f_{IN} = 9.7 \text{ MHz}, f_{SAMPLE} = 40 \text{ MSPS})$

等效电路

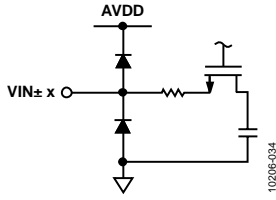


图35. 等效模拟输入电路

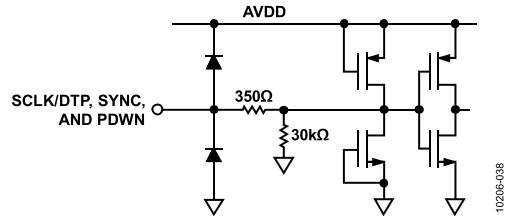


图39. 等效SCLK/DTP、SYNC和PDWN输入电路

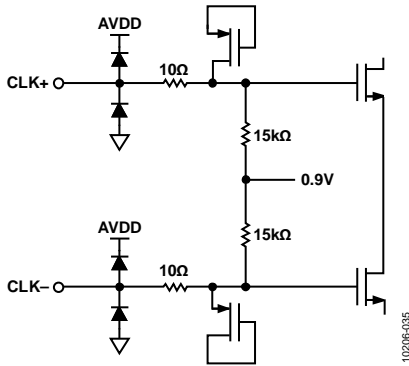


图36. 等效时钟输入电路

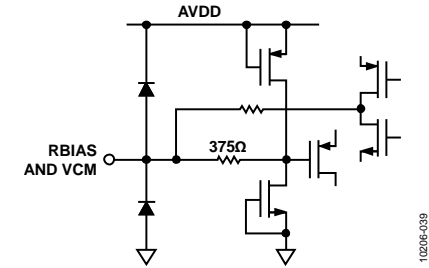


图40. 等效RBIAS、VCM电路

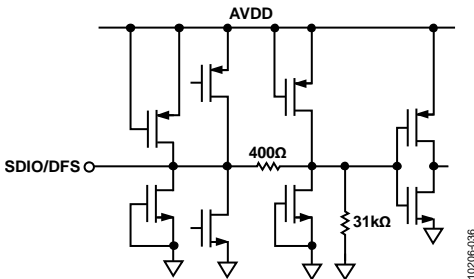


图37. 等效SDIO/DFS输入电路

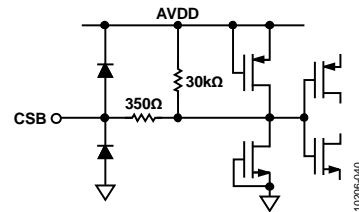


图41. 等效CSB输入电路

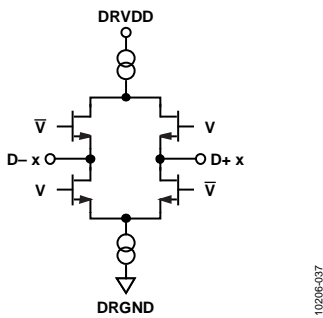


图38. 等效数字输出电路

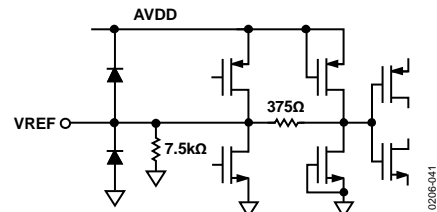


图42. 等效VREF电路

工作原理

AD9257是一款多级、流水线式ADC，各级均提供充分的重叠，以便校正上一级的Flash误差。各个级的量化输出组合在一起，在数字校正逻辑中最终形成一个14位转换结果。串行器以14位输出格式发送此转换数据。流水线式架构允许第一级处理新的输入样本，而其它级继续处理之前的样本。采样在时钟的上升沿进行。

除最后一级以外，流水线的每一级都由一个低分辨率Flash型ADC、与之相连的一个开关电容DAC和一个级间余量放大器(例如乘法数模转换器(MDAC))组成。余量放大器放大重构DAC输出与Flash型输入之差，以便提供给流水线的下一级。为了帮助对Flash误差进行数字校正，每一级设定了一位冗余量。最后一级仅由一个Flash型ADC组成。

输出级模块能够实现数据对准、错误校正，且能将数据传输到输出缓冲器。然后对数据进行串行化，并使之与帧和数据时钟对齐。

模拟输入考虑

AD9257的模拟输入端是一个差分开关电容电路，适合处理差分输入信号。该电路支持宽共模范围，同时能保持出色的性能。当输入共模电压为中间电源电压时，信号相关误差最小，并且能实现最佳性能。

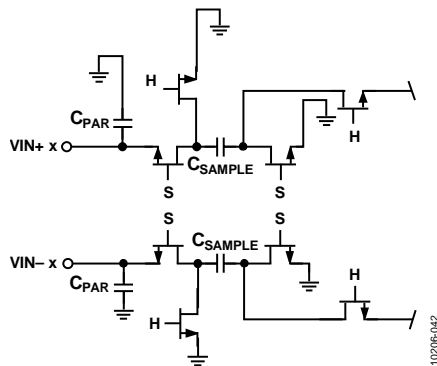


图43. 开关电容输入电路

输入电路根据时钟信号在采样模式和保持模式之间切换(见图43)。当输入电路切换到采样模式时，信号源必须能够对采样电容充电，并且在半个时钟周期内完成建立。每个输入端都串联一个小电阻，帮助降低从驱动源输出级注入的峰值瞬态电流。此外，输入端的每一侧可以使用低Q电感

或铁氧体磁珠，以减小模拟输入端的高差分电容，从而实现ADC的最大带宽。在高中频(IF)下驱动转换器前端时，必须使用低Q电感或铁氧体磁珠。输入端可以使用一个差分电容或两个单端电容，以提供匹配的无源网络。这最终会在输入端形成一个低通滤波器，用来限制无用的宽带噪声。欲了解更多信息，请参阅应用笔记AN-742、AN-827以及Analog Dialogue的文章“用于宽带模数转换器的变压器耦合前端”。(第39卷，2005年4月)。通常，精确值取决于应用。

输入共模

AD9257的模拟输入端无内部直流偏置。因此，在交流耦合应用中，用户必须提供外部偏置。为能够获得最佳性能，建议用户将器件设置为 $V_{CM} = AVDD/2$ ；但器件在更宽的范围内都能获得合理的性能，如图44所示。

芯片通过VCM引脚提供板上共模基准电压。必须用一个0.1 μ F电容对VCM引脚去耦到地，如“应用信息”部分所述。

在差分配置中，将ADC设置为最大范围可以实现最高的SNR性能。对于AD9257，最大输入范围为2 V p-p。

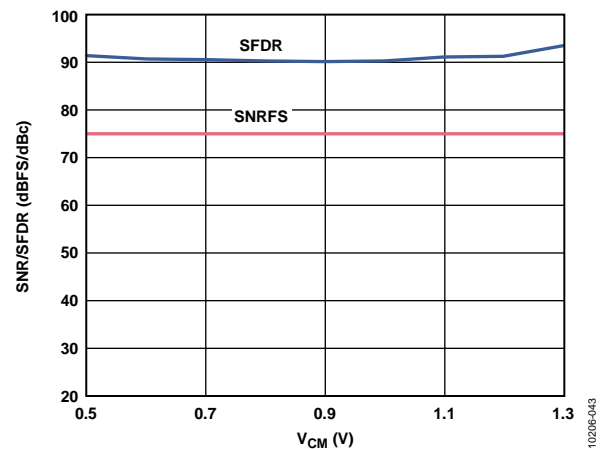


图44. SNR/SFDR与共模电压的关系
($f_{IN} = 9.7$ MHz, $f_{SAMPLE} = 65$ MSPS)

差分输入配置

有多种有源或无源方法可以驱动AD9257，不过，通过差分方式驱动模拟输入可实现最佳性能。在基带应用中，利用差分双巴伦配置驱动AD9257能够为ADC(见图46)提供出色的性能和灵活的接口。

在SNR为关键参数的应用中，因为大部分放大器的噪声性能不足以实现AD9257的真正性能，所以输入配置中建议采用差分变压器耦合(见图47)。

无论使用何种配置，分流电容值C均取决于输入频率，并且可能需要降低电容值或去掉该分流电容。

不建议以单端方式驱动AD9257输入。

基准电压源

AD9257内置稳定、精确的1.0 V基准电压源。VREF可以利用内部1.0 V基准电压或外部施加的1.0 V基准电压来配置。在接下来的部分中，将对各种基准电压模式进行介绍。VREF引脚应通过外部一个低ESR 0.1 μF陶瓷电容和一个低ESR 1.0 μF电容的并联组合去耦至地。

内部基准电压连接

AD9257的内置比较器可检测出SENSE引脚的电压，从而将基准电压配置成两种可能的模式之一(见表9)。如果SENSE引脚接地，则基准放大器开关与内部电阻分压器相连(见图45)，因而将VREF设为1.0 V。

表9. 基准电压配置表

所选模式	SENSE 电压(V)	相应的 VREF (V)	相应的差分范围(Vp-p)
固定内部基准电压	AGND至0.2	1.0, 内部	2.0
固定外部基准电压	AVDD	1.0, 施加于外部VREF引脚	2.0

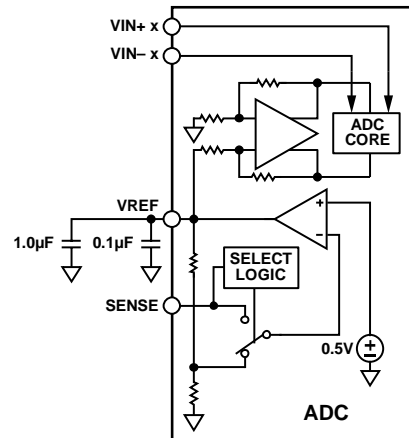


图45. 内部基准电压配置

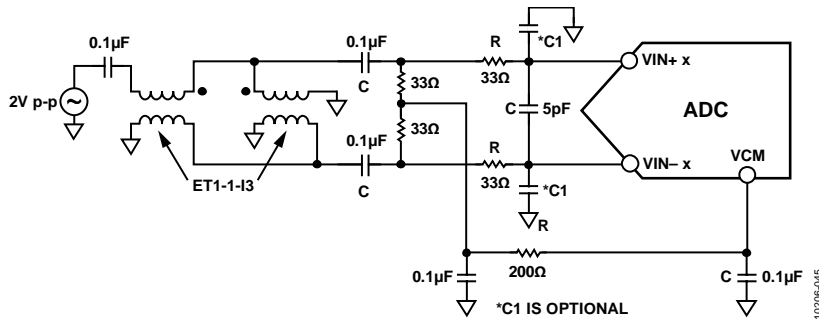


图46. 针对基带应用的差分双巴伦输入配置

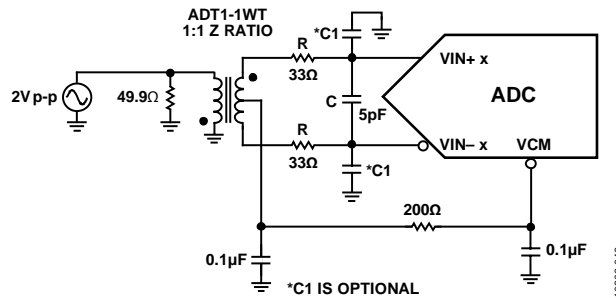


图47. 针对基带应用的差分变压器耦合配置

如需利用AD9257的内部基准电压源来驱动多个转换器，从而提高增益的匹配度，则必须考虑到其它转换器给基准电压带来的负载。图48显示负载如何影响内部基准电压。

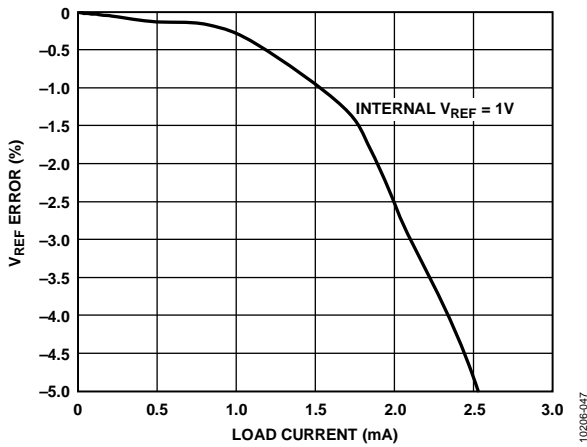


图48. V_{REF} 误差与负载电流的关系

外部基准电压

采用外部基准电压有可能进一步提高ADC增益精度或改善热漂移特性。图49显示内部基准电压为1.0 V时的典型漂移特性。

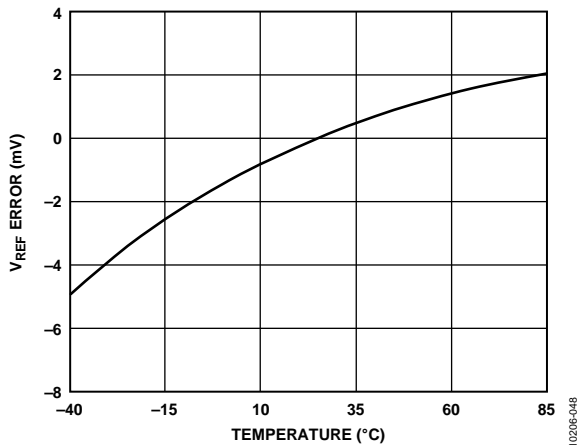


图49. 典型 V_{REF} 漂移

将SENSE引脚与AVDD相连时，可以禁用内部基准电压源，从而允许使用外部基准电压源。内部基准电压缓冲器对外部基准电压源的负载相当于7.5 kΩ负载(见图42)。内部缓冲器为ADC内核生成正、负满量程基准电压。因此，外部基准电压的最大值为1.0 V。不建议悬空SENSE引脚。

时钟输入考虑

为能够获得最佳性能，应利用一个差分信号作为AD9257采样时钟输入端(CLK+和CLK-)的时钟信号。该信号通常使用变压器或电容器交流耦合到CLK+和CLK-引脚内。这两个引脚有内部偏置(见图36)，无需外部偏置。

时钟输入选项

AD9257的时钟输入结构非常灵活。CMOS、LVDS、LVPECL或正弦波信号均可作为其时钟输入信号。无论采用哪种信号，都必须考虑到时钟源抖动，如“抖动考虑”部分所述。

图50和图51显示两种为AD9257提供时钟信号的首选方法(内部时钟分频前的时钟速率可达520 MHz)。利用射频变压器或射频巴伦，可将低抖动时钟源的单端信号转换成差分信号。

对于65 MHz至520 MHz的时钟频率，建议采用射频巴伦配置；对于10 MHz至200 MHz的时钟频率，建议采用射频变压器配置。跨接在变压器/巴伦次级绕组上的背对背肖特基二极管可以将输入到AD9257中的时钟信号限制为约差分0.8 V p-p。

这样，既可以防止时钟的大电压摆幅馈通至AD9257的其它部分，还可以保留信号的快速上升和下降时间，这一点对低抖动性能来说非常重要。但是，当频率高于500 MHz时，二极管电容会产生影响。必须小心选择适当的信号限幅二极管。

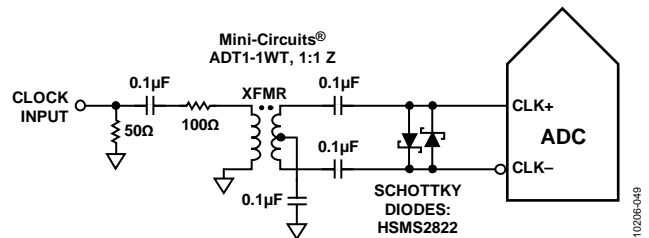


图50. 变压器耦合差分时钟(频率可达200 MHz)

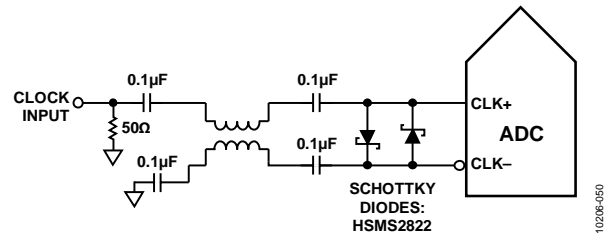


图51. 巴伦耦合差分时钟(65 MHz至520 MHz)

如果没有低抖动的时钟源，那么，另一种方法是将差分 PECL 信号交流耦合至采样时钟输入引脚，如图 52 所示。

[AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517](#) 时钟驱动器具有出色的抖动性能。

第三种方法是将差分 LVDS 信号交流耦合至采样时钟输入引脚，如图 53 所示。[AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517](#) 时钟驱动器具有出色的抖动性能。

在某些应用中，可以利用单端 1.8 V CMOS 信号来驱动采样时钟输入。在此类应用中，CLK+ 引脚直接由 CMOS 门电路驱动，CLK- 引脚则通过一个 0.1 μF 电容旁路至地 (见图 54)。

输入时钟分频器

[AD9257](#) 内置一个输入时钟分频器，可对输入时钟进行 1 至 8 整数倍分频。

利用外部 SYNC 输入信号，可同步 [AD9257](#) 时钟分频器。通过对寄存器 0x109 的位 0 和位 1 进行写操作，可以设置每次收到 SYNC 信号或者仅第一次收到 SYNC 信号后对时钟分频器再同步。有效 SYNC 可使分频器复位至初始状态。该同步

特性可让多个器件的时钟分频器对准，从而保证同时进行输入采样。

时钟占空比

典型的高速 ADC 利用两个时钟边沿产生不同的内部定时信号，因此，它对时钟占空比非常敏感。通常，为保持 ADC 的动态性能，时钟占空比容差应为 $\pm 5\%$ 。

[AD9257](#) 内置一个占空比稳定器 (DCS)，可对非采样边沿 (下降沿) 进行重新定时，并提供标称占空比为 50% 的内部时钟信号。因此，用户可提供的时钟输入占空比范围非常广，且不会影响 [AD9257](#) 的性能。当 DCS 开启时，在很宽的占空比范围内，噪声和失真性能几乎是平坦的。

输入上升沿的抖动依然值得关注，且无法借助内部稳定电路来轻易减少这种抖动。当时钟速率低于 20 MHz (标称值) 时，占空比控制环路没有作为。在时钟速率动态改变的应用中，必须考虑与该环路相关的时间常量。在动态时钟频率上升或下降后，需要等待 1.5 μs 至 5 μs 的时间，DCS 环路重新锁定输入信号。

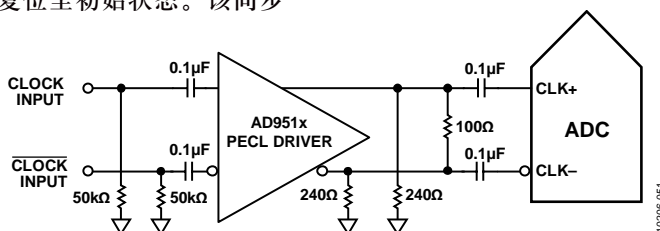


图 52. 差分 PECL 采样时钟 (频率可达 520 MHz)

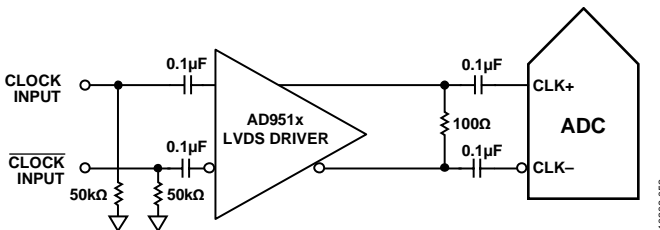


图 53. 差分 LVDS 采样时钟 (频率可达 520 MHz)

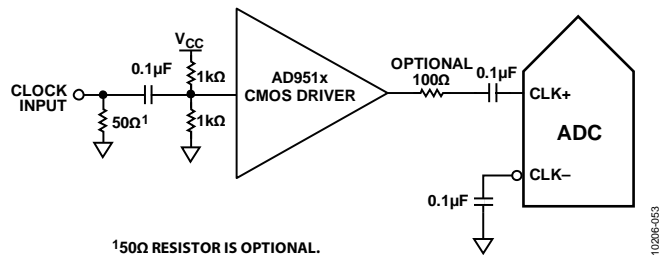


图 54. 单端 1.8 V CMOS 输入时钟 (频率可达 200 MHz)

抖动考虑

高速、高分辨率ADC对时钟输入信号的质量非常敏感。在给定的输入频率(f_A)下, 仅由孔径抖动(t_j)造成的信噪比(SNR)下降计算公式如下:

$$\text{SNR下降幅度} = 20 \log_{10} \left(\frac{1}{2\pi \times f_A \times t_j} \right)$$

公式中, 均方根孔径抖动表示所有抖动源(包括时钟输入信号、模拟输入信号和ADC孔径抖动规格)的均方根。中频欠采样应用对抖动尤其敏感(见图55)。

当孔径抖动可能影响AD9257的动态范围时, 应将时钟输入信号视为模拟信号。时钟驱动器电源应与ADC输出驱动器电源隔离, 以免在时钟信号内混入数字噪声。低抖动的晶体控制振荡器可提供最佳时钟源。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法), 则应在最后对原始时钟进行重定时。

如需更深入了解与ADC相关的抖动性能信息, 请参阅应用笔记AN-501和AN-756。

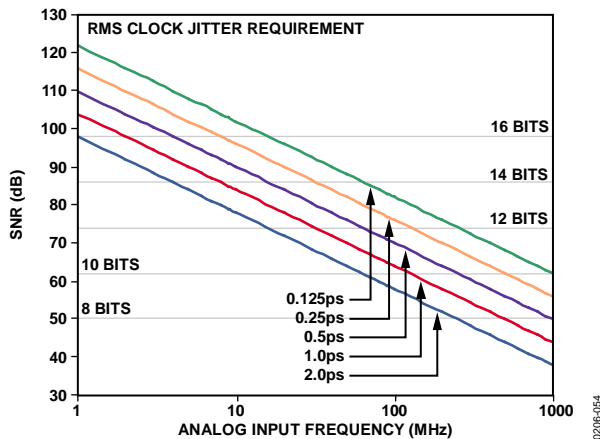


图55. 理想信噪比与输入频率和抖动的关系

功耗和省电模式

如图56所示, AD9257的功耗与其采样速率成比例关系。数字功耗变化不大, 因为它主要由DRVDD电源和LVDS输出驱动器的偏置电流决定。

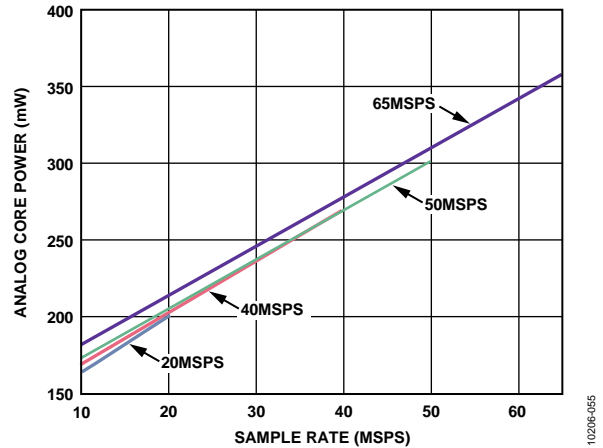


图56. 模拟内核功耗与 f_{SAMPLE} 的关系($f_{\text{IN}} = 9.7 \text{ MHz}$)

通过SPI端口或将PDWN引脚置位高电平, 可使AD9257进入省电模式。在这种状态下, ADC的典型功耗为1 mW。省电模式下, 输出驱动器处于高阻抗状态。将PDWN引脚置位低电平后, AD9257返回正常工作模式。注意, PDWN以数据输出驱动器电源电压(DRVDD)为基准, 且不得高于该电源电压。

在省电模式下, 通过关闭基准电压源、基准电压缓冲器、偏置网络以及时钟, 可实现低功耗。进入省电模式时, 内部电容放电; 返回正常工作模式时, 内部电容必须重新充电。因此, 唤醒时间与处于省电模式的时间有关; 处于省电模式的时间越短, 则相应的唤醒时间越短。使用SPI端口接口时, 用户可将ADC置于省电模式或待机模式。如需较短的唤醒时间, 可以使用待机模式, 该模式下内部基准电压电路处于通电状态。有关使用这些功能的更多信息, 请参见“存储器映射”部分。

数字输出和时序

采用默认设置上电时，AD9257差分输出符合ANSI-644 LVDS标准。通过SPI接口，可以将它更改为低功耗、减少信号选项(类似于IEEE 1596.3标准)。LVDS驱动器电流来自芯片，并将各输出端的输出电流设置为标称值3.5 mA。LVDS接收器输入端有一个100 Ω差分端接电阻，因此接收器摆幅标称值为350 mV(或700 mV p-p差分)。

在缩小范围模式下工作时，输出电流降至2 mA，接收器在100 Ω端接电阻上的摆幅为200 mV(或400 mV p-p差分)。

AD9257 LVDS输出便于与定制ASIC和FPGA中的LVDS接收器接口，从而在高噪声环境中实现出色的开关性能。推荐使用单一点到点网络拓扑结构，并将100 Ω端接电阻尽可能靠近接收器放置。如果没有远端接收器端接电阻，或者差分走线布线不佳，可能会导致时序错误。为避免产生时序错误，建议走线长度不要超过24英寸，差分输出走线应尽可能彼此靠近且长度相等。图57显示了一个走线长度和位置适当的FCO和数据流示例。缩小范围模式下LVDS输出时序的示例如图58所示。

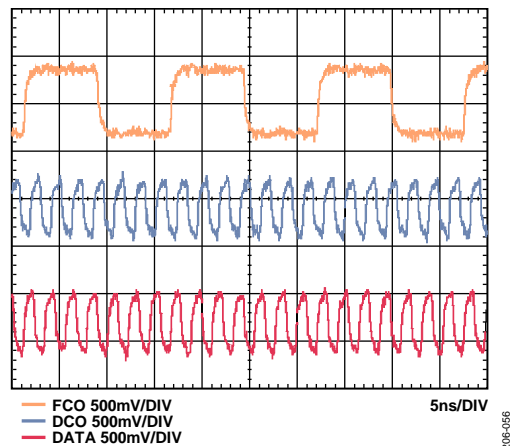


图57. LVDS输出时序示例(默认ANSI-644模式下)

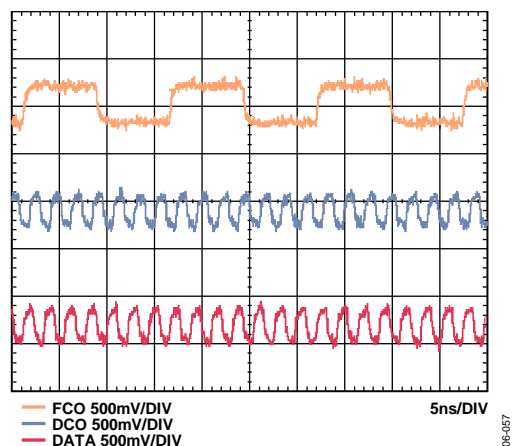


图58. 缩小范围模式下LVDS输出时序示例

AD9257

图59显示使用ANSI-644标准(默认)数据眼图(LVDS输出示例)和时间间隔误差(TIE)抖动直方图,其中走线长度小于24英寸,并采用标准FR-4材料。

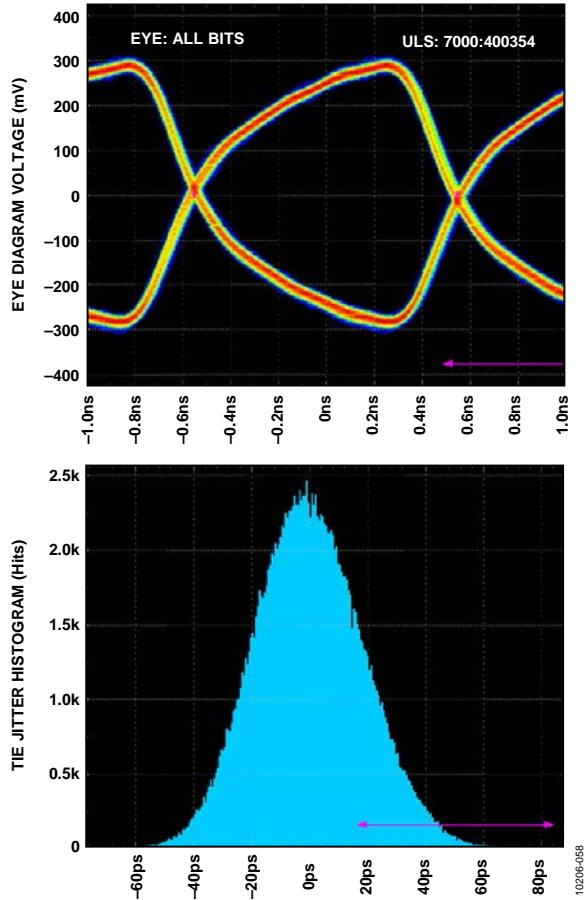


图59. LVDS输出的数据眼(ANSI-644模式, 走线长度小于24英寸, 标准FR-4, 仅外部100Ω远端端接)

图60显示走线长度超过24英寸、采用标准FR-4材料的示例。请注意,从TIE抖动直方图可看出,数据眼开口随着边沿偏离理想位置而减小。

当走线长度超过24英寸时,用户必须确定波形是否满足设计的时序预算要求。附加SPI选项允许用户进一步提高所有八路输出的内部端接电阻(提高电流),从而驱动更长的

走线(可以通过对寄存器0x15进行编程来实现)。虽然这会在数据边沿上产生更陡的上升和下降时间,并且更不容易发生位错误,但使用此选项会提高DRVDD电源的功耗。

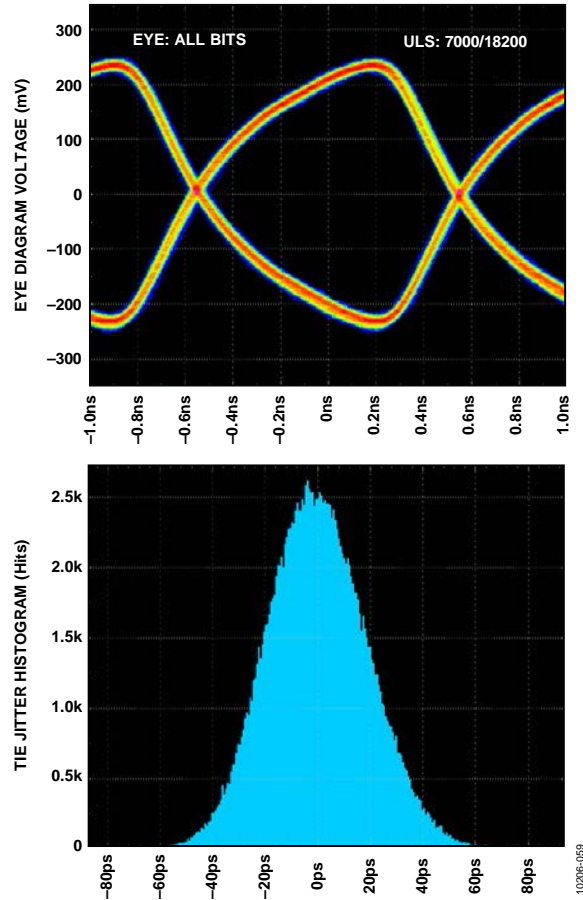


图60. LVDS输出的数据眼(ANSI-644模式, 走线长度大于24英寸, 标准FR-4, 仅外部100Ω远端端接)

输出数据格式默认为二进制补码。表10显示输出编码格式的示例。若要将输出数据格式变为偏移二进制,请参见“存储器映射”部分。

DDR模式下,来自各ADC的数据经过串行化后,通过不同的通道提供。每个串行流的数据速率等于14位乘以采样时钟速率,最大值为910 Mbps(14位 × 65 MSPS = 910 Mbps)。典型最低转换速率为10 MSPS。有关使用此功能的更多信息,请参见“存储器映射”部分。

表10. 数字输出编码

输入(V)	条件(V)	偏移二进制输出模式	二进制补码模式
VIN+ - VIN-	< -VREF - 0.5 LSB	00 0000 0000 0000	10 0000 0000 0000
VIN+ - VIN-	= -VREF	00 0000 0000 0000	10 0000 0000 0000
VIN+ - VIN-	= 0	10 0000 0000 0000	00 0000 0000 0000
VIN+ - VIN-	= +VREF - 1.0 LSB	11 1111 1111 1111	01 1111 1111 1111
VIN+ - VIN-	> +VREF - 0.5 LSB	11 1111 1111 1111	01 1111 1111 1111

为了帮助从AD9257捕捉数据，器件提供了两个输出时钟。DCO用来为输出数据提供时钟，默认工作模式下，它等于采样时钟(CLK)速率的7倍。数据逐个从AD9257输出，并必须在DCO的上升沿和下降沿进行捕捉；DCO支持双倍数据速率(DDR)捕捉。FCO用于指示新输出字节的开始，它与采样时钟速率相等(参见“时序图”部分)。

使用SPI时，DCO相位可以相对于数据边沿以60°增量进行调整。这样，用户可以根据需要优化系统时序余量。DCO+和DCO-默认时序相对于输出数据边沿为180°，如图2所示。

还可以从SPI启动12位串行流。这样，用户就可以实现并测

试与较低分辨率系统的兼容性。当分辨率变为12位串行流时，数据流缩短。图3给出了一个12位的示例。

在默认模式下，如图2所示，数据输出串行流首先输出MSB。但可以利用SPI将其反转，使数据输出串行流首先输出LSB。

通过SPI可以启动的数字输出测试码选项有12个。当验证接收器捕捉和时序时，这个功能很有用(可用的输出位序列选项参见表11)。一些测试码有两个串行序列字，可以通过各种方式进行交替，具体取决于所选的测试码。注意，有些测试码可能并不遵守数据格式选择选项。此外，可以在寄存器0x19、寄存器0x1A、寄存器0x1B和寄存器0x1C中指定用户定义的测试码。

表11. 灵活的输出测试模式

输出测试模式位序列	测试码名称	数字输出字1	数字输出字2	接受数据格式选择	注释
0000	关闭(默认)	N/A	N/A	N/A	
0001	中间电平短码	1000 0000 0000(12位) 10 0000 0000 0000(14位)	N/A	Yes	所示为偏移二进制码
0010	+满量程短码	1111 1111 1111(12位) 11 1111 1111 1111(14位)	N/A	Yes	所示为偏移二进制码
0011	-满量程短码	0000 0000 0000(12位) 00 0000 0000 0000(14位)	N/A	Yes	所示为偏移二进制码
0100	棋盘形式	1010 1010 1010(12位) 10 1010 1010 1010(14位)	0101 0101 0101(12位) 01 0101 0101 0101(14位)	No	
0101	PN长序列 ¹	N/A	N/A	Yes	PN23 ITU 0.150 $X^{23} + X^{18} + 1$
0110	PN短序列 ¹	N/A	N/A	Yes	PN9 ITU 0.150 $X^9 + X^5 + 1$
0111	1/0字反转	1111 1111 1111(12位) 11 1111 1111 1111(14位)	0000 0000 0000(12位) 00 0000 0000 0000(14位)	No	
1000	用户输入	寄存器0x19至寄存器0x1A	寄存器0x1B至寄存器0x1C	No	
1001	1/0位反转	1010 1010 1010(12位) 10 1010 1010 1010(14位)	N/A	No	
1010	1×同步	0000 0011 1111(12位) 00 0000 0111 1111(14位)	N/A	No	
1011	1位高电平	1000 0000 0000(12位) 10 0000 0000 0000(14位)	N/A	No	与外部引脚相关的测试码
1100	混合频率	1010 0011 0011(12位) 10 1000 0110 0111(14位)	N/A	No	

¹ 除PN短序列和PN长序列以外，其它测试模式都支持12到14位字长，以便验证接收器的数据捕捉是否成功。

AD9257

PN短序列测试码产生一个伪随机位序列，每隔 $2^9 - 1$ 或511位重复一次。有关PN序列的说明以及如何产生，请参见ITU-T 0.150 (05/96)标准的第5.1部分。种子值为全1(初始值见表12)。输出为串行PN9序列的并行表示(MSB优先格式)。第一个输出字是PN9序列MSB对齐形式的前14位。

表12. PN序列

序列	初始值	前三个采样输出(MSB优先)二进制补码
PN短序列	0x1FE0	0x1DF1, 0x3CC8, 0x294E
PN长序列	0x1FFF	0x1FE0, 0x2001, 0x1C00

PN长序列测试码产生一个伪随机位序列，每隔 $2^{23} - 1$ 或8,388,607位重复一次。有关PN序列的说明以及如何产生，请参见ITU-T 0.150 (05/96)标准的第5.6部分。种子值为全1(初始值见表12)，AD9257的位流与ITU标准相反。输出为串行PN23序列的并行表示(MSB优先格式)。第一个输出字是PN23序列MSB对齐格式的前14位。

有关如何通过SPI更改这些附加数字输出时序特性的信息，请参见“存储器映射”部分。

SDIO/DFS引脚

对于不需要SPI工作模式的应用，CSB引脚连接到AVDD，SDIO/DFS引脚依据表13控制输出数据格式的选择。

表13. 输出数据格式选择引脚设置

DFS引脚电压	输出模式
AVDD	二进制补码
GND(默认)	偏移二进制

SCLK/DTP引脚

SCLK/DTP引脚用于不需要SPI工作模式的应用。如果器件上电期间此引脚和CSB引脚都保持高电平，则它可以使能一个数字测试码。当SCLK/DTP连接到AVDD时，ADC通道输出移出以下测试码：10 0000 0000 0000。FCO和DCO正常工作，同时所有通道移出重复测试码。利用此测试码，用户可以对FCO、DCO和输出数据执行时序对齐。此引脚通过一个内部30 kΩ电阻连接到GND。正常工作时，可以断开连接。

表14. 数字测试码引脚设置

所选DTP	DTP电压	相应的D±x
正常工作	不连接	正常工作
DTP	AVDD	10 0000 0000 0000

当从SPI端口发出命令时，也可以观察到额外的和自定义的测试码。有关可用选项的信息，请参见“存储器映射”部分。

CSB引脚

对于不需要SPI工作模式的应用，CSB引脚应连接到AVDD。将CSB接高电平后，所有SCLK和SDIO信息都会被忽略。

RBIAS引脚

为了设置ADC的内核偏置电流，应在RBIAS引脚上串联一个10.0 kΩ、1%容差接地电阻。

内置输出测试模式

AD9257包括内置测试功能，支持对各数据输出通道的完整性验证，同时也有利于电路板级调试。此外还提供了多种输出测试选项，以便将可预测的值放在AD9257的输出上。

输出测试模式

输出测试选项见表17的地址0x0D部分所述。当使能输出测试模式时，ADC的模拟部分与数字后端模块断开，测试码

经过输出格式化模块。有些测试码需要进行输出格式化，有些则不需要。将寄存器0x0D的位4或位5置1，可以将PN序列测试的PN发生器复位。执行这些测试时，模拟信号可有可无(如有，则忽略模拟信号)，但编码时钟必不可少。如需了解更多信息，请参见应用笔记AN-877：“通过SPI与高速ADC接口”。

串行接口(SPI)

AD9257串行接口(SPI)允许用户利用ADC内部的一个结构化寄存器空间来配置转换器，以满足特定功能和操作的需要。SPI具有灵活性，可根据具体的应用进行定制。通过串行端口，可访问地址空间，以及对地址空间进行读写。存储空间以字节为单位进行组织，并且可以进一步细分成多个区域，如“存储器映射”部分所述。如需了解详细操作信息，请参见应用笔记AN-877：“通过SPI与高速ADC接口”。

使用SPI的配置

该ADC的SPI由三个引脚组成：SCLK/DTP引脚、SDIO/DFS引脚和CSB引脚(见表15)。SCLK(串行时钟)引脚用于同步ADC的读取和写入数据。SDIO(串行数据输入/输出)双功能引脚允许将数据发送至内部ADC存储器映射寄存器或从该寄存器中读取数据。CSB(片选信号)引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。

表15. 串行接口引脚

引脚	功能
SCLK	串行时钟。串行移位时钟输入，用来同步串行接口的读写操作。
SDIO	串行数据输入/输出。双功能引脚，通常用作输入或输出，具体取决于发送的指令和时序帧中的相对位置。
CSB	片选信号。低电平有效控制引脚，用来选通读写周期。

CSB的下降沿与SCLK的上升沿共同决定帧的开始。图61为串行时序图示例，相应的定义见表5。

CSB可以在多种模式下工作。CSB可始终维持在低电平状态，从而使器件一直处于使能状态；这称作流化。CSB可以在字节之间停留在高电平，这样可以允许其他外部时序。CSB引脚连接高电平时，SPI功能处于高阻抗模式。在该模式下，可以开启SPI引脚的第二功能。

在一个指令周期内，会传输一条16位指令。在指令传输后将进行数据传输，数据长度由W0位和W1位共同决定。

除了字长，指令周期还决定串行帧是读操作还是写操作，从而通过串行端口对芯片编程以及读取片上存储器内的数据。多字节串行数据传输帧中第一个字节的第一位指示发出的是读命令还是写命令。如果指令是回读操作，则执行回读操作会使串行数据输入/输出(SDIO)引脚的数据传输方向，在串行帧的一定位置由输入改为输出。

所有数据均由8位字组成。数据可通过MSB优先模式或LSB优先模式发送。芯片上电后，默认采用MSB优先的方式，可以通过SPI端口配置寄存器来更改数据发送方式。如需了解更多关于该特性及其它特性的信息，请参见应用笔记AN-877：“通过SPI与高速ADC接口”。

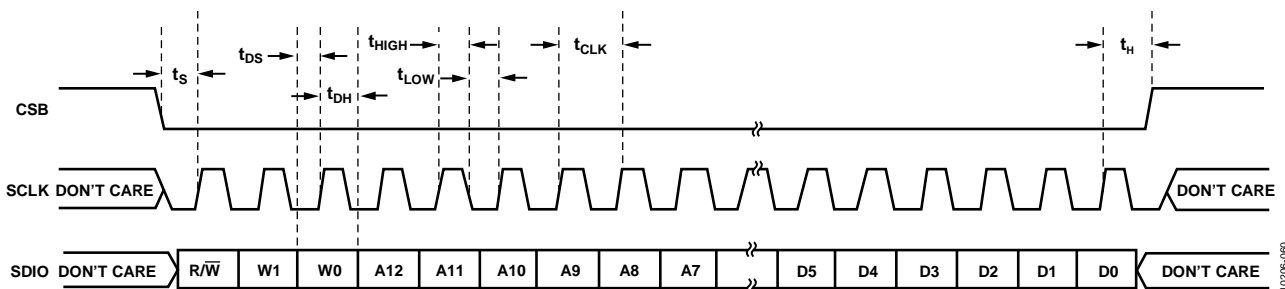


图61. 串行端口接口时序图

硬件接口

表15中所描述的引脚包括用户编程器件与AD9257的串行端口之间的物理接口。使用SPI接口时，SCLK引脚和CSB引脚用作输入引脚。SDIO引脚是双向引脚，在写入阶段，用作输入引脚；在回读阶段，用作输出引脚。

SPI接口非常灵活，FPGA或微控制器均可控制该接口。应用笔记AN-812“基于微控制器的串行端口接口(SPI)启动电路”中详细介绍了一种SPI配置方法。

当需要转换器充分发挥其全部动态性能时，应禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD9257之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

不使用SPI接口时，有些引脚用作第二功能。在器件上电期间，当这些引脚与DRVDD或地连接时，这些引脚可起到特定的作用。表13和表14说明了AD9257支持的绑定功能。

不使用SPI的配置

在不使用SPI控制寄存器接口的应用中，SDIO/DFS引脚、SCLK/DTP引脚和PDWN引脚用作独立的CMOS兼容控制

引脚。当器件上电后，假设用户希望将这些引脚用作静态控制线，分别控制输出数据格式、输出数字测试码和省电特性。在此模式下，CSB引脚应与AVDD相连，以禁用串行端口接口。

当器件处于SPI模式时，PDWN引脚(若使能)仍然有效。为通过SPI控制省电，应将PDWN引脚设为默认状态。

SPI访问特性

表16简要说明了可通过SPI访问的一般特性。如需详细了解这些特性，请参见应用笔记AN-877：“通过SPI与高速ADC接口”。AD9257器件特定的特性详见表17(“存储器映射寄存器描述”部分)之后的外部存储器映射寄存器表。

表16. 可通过SPI访问的特性

特性名称	说明
模式	允许用户设置省电模式或待机模式
时钟	允许用户访问DCS，设置时钟分频器，设置时钟分频器相位，以及使能同步
失调测试I/O	允许用户以数字方式调整转换器失调
输出模式	允许用户设置测试模式，以便在输出位上获得已知数据
输出相位	允许用户设置输出模式
ADC分辨率和速度等级	允许用户设置输出时钟极性 基于分辨率和速度级别选择的可扩展功耗选项

存储器映射

读取存储器映射寄存器表

存储器映射寄存器表的每一行有8位。存储器映射大致分为三个部分：芯片配置寄存器(地址0x00至地址0x02)、器件索引和传送寄存器(地址0x05和地址0xFF)，以及全局ADC功能寄存器，包括设置、控制和测试(地址0x08至地址0x109)。

存储器映射寄存器表(见表17)列出了每个十六进制地址及其十六进制默认值。位7 (MSB) 栏为给定十六进制默认值的起始位。例如，器件索引寄存器(地址0x05)的十六进制默认值为0x3F，这表示在地址0x05中，位[7:6] = 0，且剩余位[5:0] = 1。该设置为默认通道索引设置。该默认值导致两个ADC通道均会接收下一个写命令。如需了解更多关于该功能及其它功能的信息，请参见应用笔记AN-877“通过SPI与高速ADC接口”。该应用笔记详细描述了寄存器0x00至寄存器0xFF控制的功能。“存储器映射寄存器描述”部分介绍了其它寄存器。

禁用位置

此器件目前不支持表17中未包括的所有地址和位。有效地址中未使用的位应写为0。当一个地址(例如地址0x05)仅有部分位处于禁用状态时，才需要对这些位置进行写操作。如果整个地址(例如地址0x13)均禁用或未在表17中列出，则不应对该地址进行写操作。

默认值

AD9257复位后，关键寄存器将载入默认值。表17(存储器映射寄存器表)内列出了各寄存器的默认值。

逻辑电平

以下是逻辑电平的术语说明：

- “置位”指“将某位设置为逻辑1”或“向某位写入逻辑1”。
- “清零”指“将某位设置为逻辑0”或“向某位写入逻辑0”。

特定通道寄存器

可通过编程单独为每个通道设置某些通道功能。在这些情况下，可在内部为每个通道复制通道地址位置。这些寄存器及相应的位在表17中被称为局部寄存器。通过设置寄存器0x04和0x05中相应的数据通道位(A到H)和时钟通道DCO/FCO位(位[5:4])，可访问这些局部寄存器及相应位。如果所有位均置位，后续写操作将影响所有通道及DCO/FCO时钟通道的寄存器。在一个读周期内，仅设置一个通道，对4个局部寄存器中的1个执行读操作。如果在一个SPI读周期内置位所有位，则器件返回通道A的值。表17给出的全局寄存器及相应位会影响整个器件或通道的特性，不允许分别设置每个通道。寄存器0x04和寄存器0x05中的设置不影响全局寄存器及相应位。

存储器映射寄存器表

AD9257使用3线式接口和16位寻址，因此，寄存器0x00的位0和位7置0，位3和位4置1。当寄存器0x00的位5置1时，

SPI进入软复位，所有用户寄存器恢复默认值，位2自动清0。

表17. 存储器映射寄存器表

寄存器地址 (十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制)	注释
芯片配置寄存器											
0x00	SPI端口配置	0 = SDO有效	LSB优先	软复位	1 = 16位地址	1 = 16位地址	软复位	LSB优先	0 = SDO有效	0x18	半字节之间是镜像关系，使得LSB优先或MSB优先模式寄存器均能正确记录数据。ADC的默认值为16位模式。
0x01	芯片ID(全局)	8位芯片ID, 位[7:0] AD9257 0x92 = 8通道、14位、40 MSPS/65 MSPS串行LVDS								只读 0x92	唯一芯片ID, 用来区分器件; 只读。
0x02	芯片等级(全局)	禁用	速度等级ID, 位[6:4] 001 = 40 MSPS 011 = 65 MSPS			禁用	禁用	禁用	禁用	只读	唯一速度等级ID, 用来区分器件等级。只读。
器件索引和传送寄存器											
0x04	器件索引2	禁用	禁用	禁用	禁用	数据通道H	数据通道G	数据通道F	数据通道E	0xF	设置这些位以决定片内哪个器件接收下一个写命令。默认为片内所有器件。
0x05	器件索引1	禁用	禁用	时钟通道DCO	时钟通道FCO	数据通道D	数据通道C	数据通道B	数据通道A	0x3F	设置这些位以决定片内哪个器件接收下一个写命令。默认为片内所有器件。
0xFF	传输	禁用	禁用	禁用	禁用	禁用	禁用	禁用	启动覆盖	0x00	设置分辨率/采样速率覆盖。
全局ADC功能											
0x08	功耗模式(全局)	禁用	禁用	外部掉电引脚功能 0 = 完全掉电 1 = 待机	禁用	禁用	禁用	内部省电模式 00 = 芯片运行 01 = 完全掉电 10 = 待机 11 = 复位		0x00	决定芯片的一般工作模式。
0x09	时钟(全局)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	占空比稳定 0 = 关 1 = 开	0x01	打开或关闭占空比稳定器。

AD9257

寄存器地址 (十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制)	注释
0x0B	时钟分频 (全局)	禁用	禁用	禁用	禁用	禁用	时钟分频比, 位[2:0] 000 = 1分频 001 = 2分频 010 = 3分频 011 = 4分频 100 = 5分频 101 = 6分频 110 = 7分频 111 = 8分频			0x00	分频比为该值加上1。
0x0C	增强控制	禁用	禁用	禁用	禁用	禁用	斩波模式 0 = 关 1 = 开	禁用	禁用	0x00	使能/禁用斩波模式。
0x0D	测试模式(局部, PN序列复位除外)	用户输入测试模式 00 = 单一 01 = 交替 10 = 单一一次 11 = 交替一次 (仅影响用户输入测试模式, 位[3:0] = 1000)		产生复位PN长序列	产生复位PN短序列	输出测试模式, 位[3:0](局部) 0000 = 关(默认) 0001 = 中间电平短序列 0010 = 正FS 0011 = 负FS 0100 = 交替棋盘形式 0101 = PN 23序列 0110 = PN 9序列 0111 = 1/0字反转 1000 = 用户输入 1001 = 1/0位反转 1010 = 1×同步 1011 = 1位高电平 1100 = 混合位频率				0x00	置1时, 测试数据将取代正常数据被置于输出引脚上。
0x10	失调调整(局部)	8位器件失调调整, 位[7:0](局部) 失调调整以LSB为单位, 从+127到-128(二进制补码格式)								0x00	器件失调调整。
0x14	输出模式	禁用	LVDS-ANSI/ LVDS-IEEE选项 0 = LVDS-ANSI 1 = LVDS-IEEE 缩小范围链路 (全局); (见表18)	禁用	禁用	禁用	输出反向 (局部)	禁用	输出格式 0 = 偏移 二进制 1 = 二进制 补码(全局)	0x01	配置输出和数据格式。
0x15	输出调整	禁用	禁用	输出驱动器端接, 位[1:0] 00 = 无 01 = 200 Ω 10 = 100 Ω 11 = 100 Ω		禁用	禁用	禁用	输出驱动 0 = 1×驱动 1 = 2×驱动	0x00	决定LVDS或其它输出属性。
0x16	输出相位	禁用	输入时钟相位调整, 位[6:4] (值为相位延迟的输入时钟周期数, 参见表19)			输出时钟相位调整, 位[3:0] (设置 = 0000至1011, 参见表20)				0x03	在利用全局时钟分频的器件上, 决定使用分频器输出的哪个相位提供输出时钟。内部锁存不受影响。
0x18	V _{REF}	禁用	禁用	禁用	禁用	禁用	内部V _{REF} 调整 数字方案, 位[2:0] 000 = 1.0 V p-p 001 = 1.14 V p-p 010 = 1.33 V p-p 011 = 1.6 V p-p 100 = 2.0 V p-p			0x04	选择和/或调节V _{REF} 。

寄存器地址 (十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制)	注释
0x19	USER_PATT1_LSB (全局)	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的测试码1 LSB。
0x1A	USER_PATT1_MSB (全局)	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的测试码1 MSB。
0x1B	USER_PATT2_LSB (全局)	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的测试码2 LSB。
0x1C	USER_PATT2_MSB (全局)	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的测试码2 MSB。
0x21	串行控制 (全局)	LVDS输出 LSB优先	字宽DDR、单通道、位[6:4] 100 = DDR单通道			PLL低编码速率模式	禁用	串行输出位数 01 = 14位 10 = 12位		0x41	串行流控制。默认为MSB优先、原有位流。
0x22	串行通道状态 (局部)	禁用	禁用	禁用	禁用	禁用	禁用	通道输出复位	通道掉电	0x00	用来关断转换器的各个部分。
0x100	分辨率/采样速率覆盖	禁用	分辨率/采样速率覆盖使能	分辨率 01 = 14位 10 = 12位		禁用	采样速率 000 = 20 MSPS 001 = 40 MSPS 010 = 50 MSPS 011 = 65 MSPS			0x00	分辨率/采样速率覆盖 (需要传输位, 0xFF)。
0x101	用户I/O控制2	禁用	禁用	禁用	禁用	禁用	禁用	禁用	SDIO下拉	0x00	禁用SDIO下拉电阻。
0x102	用户I/O控制3	禁用	禁用	禁用	禁用	VCM掉电	禁用	禁用	禁用	0x00	VCM控制。
0x109	同步	禁用	禁用	禁用	禁用	禁用	禁用	仅与下一同步脉冲同步	使能同步	0x00	

存储器映射寄存器描述

如需了解有关寄存器0x00至寄存器0xFF所控制功能的更多信息，请参见应用笔记AN-877：“通过SPI与高速ADC接口”。

器件索引(寄存器0x04和寄存器0x05)

对于映射中的某些特性，各通道可以独立设置，而其它特性则是全局适用(取决于上下文)，而不论选择哪一通道。寄存器0x04和寄存器0x05的前4位可以用来选择哪个数据通道受影响。输出时钟通道也可以通过寄存器0x05选择。可以让独立特性的一个较小子集适用于这些器件。

传送(寄存器0xFF)

除寄存器0x100外，所有其它寄存器都在写入时立刻更新。此传送寄存器的位0置1时，ADC采样速率覆盖寄存器(地址0x100)的设置初始化。

功耗模式(寄存器0x08)

位[7:6]—禁用

位5—外部掉电引脚功能

若置位，外部PDWN引脚启动待机模式。若清零，外部PDWN引脚启动省电模式。

位[4:2]—禁用

位[1:0]—内部省电模式

正常工作(位[1:0] = 00)时，所有ADC通道均启用。省电模式(位[1:0] = 01)下，数字数据路径时钟禁用，数字数据路径复位。输出禁用。

待机模式(位[1:0] = 10)下，数字数据路径时钟和输出均禁用。

数字复位(位[1:0] = 11)期间，除SPI端口外，芯片的所有其它数字数据路径时钟和输出(适用时)均复位。注意，SPI始终受用户的控制，从不会自动禁用或复位(除了上电复位)。

增强控制(寄存器0x0C)

位[7:3]—禁用

位2—斩波模式

某些应用对失调电压和其它低频噪声敏感，如零差或直接变频接收机等；针对这些应用，可以设置位2来使能AD9257第一级的斩波特性。在频域中，斩波将失调和其它低频噪声转换为 $f_{CLK}/2$ ，可以通过滤波器予以滤除。

位[1:0]—禁用

输出模式(寄存器0x14)

位7—禁用

位6—LVDS-ANSI/LVDS-IEEE选项

此位置1时，选择LVDS-IEEE(缩小范围)选项。默认设置为LVDS-ANSI。如表18所示，选择LVDS-ANSI或LVDS-IEEE缩小范围链路时，用户可以选择驱动器端接。器件自动选择驱动器电流，以提供适当的输出摆幅。

表18. LVDS-ANSI/LVDS-IEEE选项

输出模式，位[6]	输出模式	输出驱动器端接	输出驱动器电流
0	LVDS-ANSI	用户可选	自动选择以提供适当的摆幅
1	LVDS-IEEE 缩小范围链路	用户可选	自动选择以提供适当的摆幅

位[5:3]—禁用

位2—输出反转

此位置1时，输出位流反转。

位1—禁用

位0—输出格式

默认情况下，此位置1，以二进制补码格式发送数据输出。如果此位复位，输出模式变为偏移二进制。

输出调整(寄存器0x15)

位[7:6]—禁用

位[5:4]—输出端接

利用这些位，用户可以选择内部端接电阻。

位[3:1]—禁用

位0—输出驱动

输出调整寄存器的位0仅控制FCO和DCO输出的LVDS驱动器的驱动强度。默认值为1x驱动，通过设置寄存器0x05中的适当通道位，然后设置位0，可以将驱动强度提高到2x。这些特性不能与输出驱动器端接选择一起使用。输出驱动器端接和输出驱动同时选择时，端接选择优先于FCO和DCO的2x驱动强度选择。

输出相位(寄存器0x16)**位7—禁用****位[6:4]—输入时钟相位调整**

使用时钟驱动器(寄存器0x0B)时, 施加的时钟频率高于内部采样时钟。位[6:4]决定在外部时钟的哪个相位执行采样。这只在使用时钟分频器时适用。位[6:4]不可选择大于寄存器0x0B位[2:0]的值。

表19. 输入时钟相位调整选项

输入时钟相位调整, 位[6:4]	相位延迟的输入时钟周期数
000(默认)	0
001	1
010	2
011	3
100	4
101	5
110	6
111	7

位[3:0]—输出时钟相位调整**表20. 输出时钟相位调整选项**

输出时钟(DCO), 相位调整, 位[3:0]	DCO相位调整 (相对于D± x边沿的度数)
0000	0
0001	60
0010	120
0011(默认)	180
0100	240
0101	300
0110	360
0111	420
1000	480
1001	540
1010	600
1011	660

分辨率/采样速率覆盖(寄存器0x100)

利用此寄存器, 用户可以降低器件性能。任何提升默认速度等级的尝试都会导致芯片掉电。此寄存器的设置在传送寄存器(寄存器0xFF)的位0写入高电平后初始化。

用户I/O控制2(寄存器0x101)**位[7:1]—禁用****位0—SDIO下拉**

位0可以置1以禁用SDIO引脚内置的30 kΩ下拉电阻; 当许多器件连接到SPI总线时, 它可以用来限制负载。

用户I/O控制3(寄存器0x102)**位[7:4]—禁用****位3—VCM掉电**

通过将位3设置为高电平, 可关断内部VCM发生器。使用外部基准电压源时使用此功能。

位[2:0]—禁用

应用信息

设计指南

在进行AD9257的系统设计和布局之前，建议设计人员先熟悉下述设计指南，其中讨论了某些引脚所需的特殊电路连接和布局布线要求。

电源和接地建议

当连接电源至AD9257时，建议使用两个独立的1.8 V电源：一个电源用于模拟输出(AVDD)，另一个电源用于数字输出(DRVDD)。对于AVDD和DRVDD，应使用多个不同的去耦电容以支持高频和低频。去耦电容应放置在接近PCB入口点和接近器件引脚的位置，并尽可能缩短走线长度。

AD9257仅需要一个PCB接地层。对PCB模拟、数字和时钟模块进行合理去耦和巧妙分隔，可以轻松获得最佳性能。

时钟稳定性考虑

上电时，AD9257进入初始相位，内部状态机设置偏置和寄存器，以便器件能正常工作。在初始化过程中，AD9257需要稳定的时钟。若ADC时钟源不存在，或在ADC上电期间不稳定，则会打断状态机，进而导致ADC上电至未知状态。要校正这一状态，需要在ADC时钟稳定后重新调用初始序列。可通过寄存器0x08发起数字复位来完成该操作。在默认配置中(内部VREF，交流耦合输入)， V_{REF} 和VCM由ADC自身提供，因此上电时具有足够稳定的时钟。当 V_{REF} 和/或 V_{CM} 由外部源提供时，上电时应当也是稳定的；否则，需要通过寄存器0x08进行序列数字复位。数字复位的伪代码序列如下所示：

```
SPI_Write (0x08, 0x03); # Digital Reset
```

```
SPI_Write (0x08, 0x00); # Normal Operation
```

裸露焊盘散热块建议

为获得最佳的电气性能和热性能，必须将ADC底部的裸露焊盘连接至模拟地(AGND)。PCB上裸露的连续铜层应与AD9257的裸露焊盘(引脚0)匹配。铜层上应有多个过孔，获得尽可能低的热阻路径以通过PCB底部进行散热。这些过孔应填满焊料或插入插针。

为了最大化地实现ADC与PCB之间的覆盖与连接，应在PCB上覆盖一个丝印层，以便将PCB上的连续铜层划分为多个均等的部分。这样，在回流焊过程中，可在ADC与PCB之间提供多个连接点，而一个无分割的连续层只能保证一个连接点。如需了解有关封装和芯片级封装PCB布局布线的详细信息，请参见应用笔记AN-772：“LFCSP封装设计与制造指南”(www.analog.com)。

VCM

VCM引脚应通过一个0.1 μ F电容去耦至地。

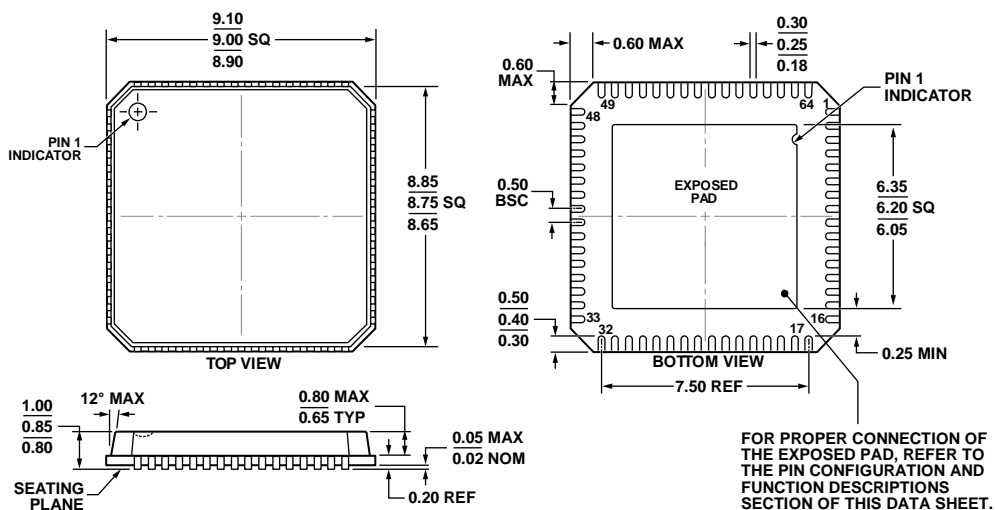
基准电压源去耦

VREF引脚应通过外部一个低ESR 0.1 μ F陶瓷电容和一个低ESR 1.0 μ F电容的并联组合去耦至地。

SPI端口

当需要转换器充分发挥其全部动态性能时，应禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD9257之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VMM4

图62. 64引脚引线框芯片级封装[LFCSP_VQ]

9 mm x 9 mm, 超薄体

(CP-64-4)

图示尺寸单位: mm

06-12-2013-C

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD9257BCPZ-40	-40°C至+85°C	64引脚引线框芯片级封装[LFCSP_VQ]	CP-64-4
AD9257BCPZRL7-40	-40°C至+85°C	64引脚引线框芯片级封装[LFCSP_VQ]	CP-64-4
AD9257BCPZ-65	-40°C至+85°C	64引脚引线框芯片级封装[LFCSP_VQ]	CP-64-4
AD9257BCPZRL7-65	-40°C至+85°C	64引脚引线框芯片级封装[LFCSP_VQ]	CP-64-4
AD9257-65EBZ		评估板	

¹ Z = 符合RoHS标准的器件。

注释

注释

AD9257

注释