



# ANALOG DEVICES 双通道、12位、80 MSPS/125 MSPS

# 串行LVDS 1.8 V模数转换器

## AD9635

### 特性

#### 1.8 V电源供电

低功耗：每通道115 mW(125 MSPS，功率选项可调整)

SNR = 71 dBFS(至Nyquist频率)

SFDR = 93 dBc (70 MHz)

DNL = -0.1 LSB至+0.2 LSB(典型值)；INL = ±0.4 LSB(典型值)

串行LVDS(ANSI-644，默认)、低功耗，缩小范围选项(类似于IEEE 1596.3)

650 MHz全功率模拟带宽

2 V p-p输入电压范围

串行端口控制

全芯片及单一通道省电模式

灵活的位定向

内置生成及用户自定义数字测试码

时钟分频器

可编程输出时钟与数据对准

可编程输出分辨率

待机模式

### 应用

#### 通信

分集无线电系统

多模式数字接收器

GSM、EDGE、W-CDMA、LTE、CDMA2000、WiMAX、TD-SCDMA

I/Q解调系统

智能天线系统

宽带数据应用

电池供电仪表

手持式示波器

便携式医疗成像和超声设备

雷达/LIDAR

### 概述

AD9635是一款双通道、12位、80 MSPS/125 MSPS模数转换器(ADC)，内置片内采样保持电路，专门针对低成本、低功耗、小尺寸和易用性而设计。该产品的转换速率最高可达125 MSPS，具有杰出的动态性能与低功耗特性，对小封装尺寸的应用很有意义。

该ADC要求采用1.8 V单电源供电以及LVPECL/CMOS/LVDS兼容型采样速率时钟信号，以便充分发挥其工作性能。对于大多数应用来说，无需外部基准电压源或驱动器件。

### 功能框图

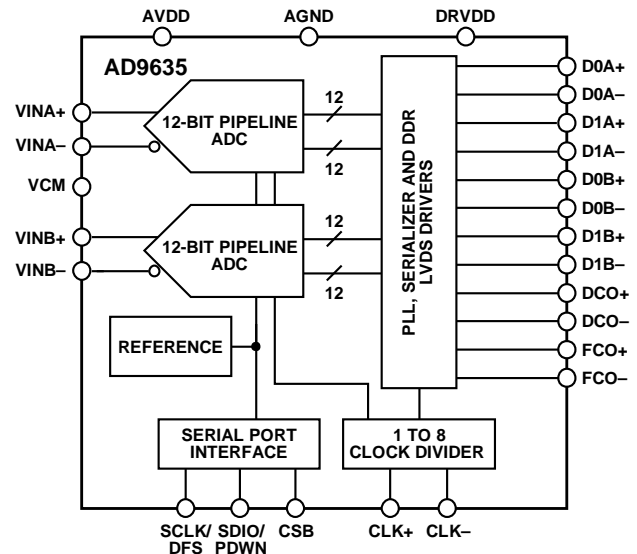


图1.

为获得合适的LVDS串行数据速率，该ADC会自动倍乘采样速率时钟。它提供一个数据时钟输出(DCO)用于在输出端捕获数据，以及一个帧时钟输出(FCO)用于发送新输出字节信号。它还支持各通道单独进入省电状态，完全掉电模式下的典型功耗低于2 mW。该ADC提供多种功能特性，可使器件的灵活性达到最佳、系统成本最低，例如可编程输出时钟与数据对准、生成数字测试码等。可获得的数字测试码包括内置固定码和伪随机码，以及通过串行端口接口(SPI)输入的用户自定义测试码。

AD9635采用符合RoHS标准的32引脚LFCSP封装，额定温度范围为-40°C至+85°C工业温度范围。该产品受美国专利保护。

### 产品特色

1. 小尺寸。一个小封装中集成2个ADC，节省空间。
2. 低功耗。每通道115 mW(125 MSPS，功率选项可调整)。
3. 与AD9645(双通道14位ADC)引脚兼容。
4. 易于使用。数据时钟输出(DCO)的工作频率高达500 MHz，支持双倍数据速率(DDR)操作。
5. 使用灵活。SPI控制提供丰富灵活的特性，可满足各种特定系统的需求。

### Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700  
www.analog.com  
Fax: 781.461.3113 ©2012 Analog Devices, Inc. All rights reserved.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

## 目录

特性.....	1	时钟输入考虑.....	21
应用.....	1	功耗和省电模式.....	22
概述.....	1	数字输出和时序.....	23
功能框图.....	1	输出测试模式.....	26
产品特点.....	1	串行端口接口(SPI).....	27
修订历史.....	2	使用SPI的配置.....	27
技术规格.....	3	硬件接口.....	28
直流规格.....	3	不使用SPI的配置.....	28
交流规格.....	4	SPI访问特性.....	28
数字规格.....	5	存储器映射.....	29
开关规格.....	6	读取存储器映射寄存器表.....	29
时序规格.....	6	存储器映射寄存器表.....	30
绝对最大额定值.....	10	存储器映射寄存器描述.....	33
热阻.....	10	应用信息.....	35
ESD警告.....	10	设计指南.....	35
引脚配置和功能描述.....	11	电源和接地指南.....	35
典型工作特性.....	12	裸露焊盘散热块建议.....	35
AD9635-80.....	12	VCM.....	35
AD9635-125.....	15	基准电压源去耦.....	35
等效电路.....	18	SPI端口.....	35
工作原理.....	19	外形尺寸.....	36
模拟输入考虑.....	19	订购指南.....	36
基准电压源.....	20		

## 修订历史

2012年6月—修订版0：初始版

# 技术规格

## 直流规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、2 V峰峰值差分输入、1.0 V内部基准电压、AIN = -1.0 dBFS。

表1.

参数 <sup>1</sup>	温度	AD9635-80			AD9635-125			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
分辨率		12			12			Bits
精度		保证			保证			
无失码	全	保证			保证			
失调误差	全	-0.6	-0.3	+0.1	-0.6	-0.3	+0.2	% FSR
失调匹配	全	-0.2	+0.1	+0.4	-0.2	+0.1	+0.4	% FSR
增益误差	全	-4.0	-0.8	+2.1	-4.7	-0.4	+4.8	% FSR
增益匹配	全	0.5			0.6			% FSR
差分非线性(DNL)	全	-0.2			-0.3			LSB
	25°C	-0.1至+0.2			-0.1至+0.2			LSB
积分非线性(INL)	全	-0.7			-1.1			LSB
	25°C	±0.3			±0.4			LSB
温度漂移								
失调误差	全	2.9			3.7			ppm/°C
内部基准电压源								
输出电压(1 V模式)	全	0.98	1.0	1.02	0.98	1.0	1.02	V
负载调整率@ 1.0 mA ( $V_{REF} = 1 V$ )	25°C	2			2			mV
输入电阻	25°C	7.5			7.5			kΩ
折合到输入端噪声								
$V_{REF} = 1.0 V$	25°C	0.41			0.42			LSB rms
模拟输入								
差分输入电压( $V_{REF} = 1 V$ )	全	2			2			V p-p
共模电压	全	0.9			0.9			V
共模范围	25°C	0.5			0.5			V
差分输入电阻	25°C	5.2			5.2			kΩ
差分输入电容	25°C	3.5			3.5			pF
电源								
AVDD	全	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD	全	1.7	1.8	1.9	1.7	1.8	1.9	V
$I_{AVDD}$ <sup>2</sup>	全	57			75			mA
$I_{DRVDD}$ (ANSI-644模式) <sup>2</sup>	全	45			52			mA
$I_{DRVDD}$ (缩小范围模式) <sup>2</sup>	25°C	36			43			mA
总功耗								
直流输入	全	174			215			mW
正弦波输入(双通道; ANSI-644模式下包括输出驱动器)	全	184			229			mW
正弦波输入(双通道; 缩小范围模式下包括输出驱动器)	25°C	167			212			mW
掉电	25°C	2			2			mW
待机 <sup>3</sup>	全	91			114			mW

<sup>1</sup> 如需了解定义以及这些测试如何完成的详情，请参阅应用笔记AN-835：“了解高速ADC测试和评估。”

<sup>2</sup> 测量条件为：两个通道均采用低输入频率的满量程正弦波。

<sup>3</sup> 可通过SPI进行控制。

# AD9635

## 交流规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、2 V峰峰值差分输入、1.0 V内部基准电压、AIN = -1.0 dBFS。

表2.

参数 <sup>1</sup>	温度	AD9635-80			AD9635-125			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
信噪比(SNR)								
$f_{IN} = 9.7$ MHz	25°C		71.8			71.5		dBFS
$f_{IN} = 30.5$ MHz	25°C		71.7			71.5		dBFS
$f_{IN} = 70$ MHz	全	70.6	71.2		70.1	71.1		dBFS
$f_{IN} = 139.5$ MHz	25°C		69.9			70.2		dBFS
$f_{IN} = 200.5$ MHz	25°C		68.4			68.9		dBFS
信纳比(SINAD)								
$f_{IN} = 9.7$ MHz	25°C		71.8			71.5		dBFS
$f_{IN} = 30.5$ MHz	25°C		71.6			71.5		dBFS
$f_{IN} = 70$ MHz	全	70.5	71.2		69.7	71.1		dBFS
$f_{IN} = 139.5$ MHz	25°C		69.6			70.2		dBFS
$f_{IN} = 200.5$ MHz	25°C		68.2			68.7		dBFS
有效位数(ENOB)								
$f_{IN} = 9.7$ MHz	25°C		11.6			11.6		Bits
$f_{IN} = 30.5$ MHz	25°C		11.6			11.6		Bits
$f_{IN} = 70$ MHz	全	11.4	11.5		11.3	11.5		Bits
$f_{IN} = 139.5$ MHz	25°C		11.3			11.4		Bits
$f_{IN} = 200.5$ MHz	25°C		11.0			11.1		Bits
无杂散动态范围(SFDR)								
$f_{IN} = 9.7$ MHz	25°C		93			92		dBc
$f_{IN} = 30.5$ MHz	25°C		90			93		dBc
$f_{IN} = 70$ MHz	全	82	94		82	93		dBc
$f_{IN} = 139.5$ MHz	25°C		81			92		dBc
$f_{IN} = 200.5$ MHz	25°C		82			83		dBc
最差谐波(二次或三次)								
$f_{IN} = 9.7$ MHz	25°C		-93			-92		dBc
$f_{IN} = 30.5$ MHz	25°C		-90			-93		dBc
$f_{IN} = 70$ MHz	全		-94	-85		-93	-82	dBc
$f_{IN} = 139.5$ MHz	25°C		-81			-92		dBc
$f_{IN} = 200.5$ MHz	25°C		-82			-83		dBc
最差其它谐波或杂散								
$f_{IN} = 9.7$ MHz	25°C		-96			-95		dBc
$f_{IN} = 30.5$ MHz	25°C		-95			-95		dBc
$f_{IN} = 70$ MHz	全		-94	-82		-94	-82	dBc
$f_{IN} = 139.5$ MHz	25°C		-95			-93		dBc
$f_{IN} = 200.5$ MHz	25°C		-92			-89		dBc
双音交调失真(IMD) — AIN1和AIN2 = -7.0 dBFS AIN2 = -7.0 dBFS $f_{IN1} = 70.5$ MHz, $f_{IN2} = 72.5$ MHz	25°C		-92			-92		dBc
串扰 <sup>2</sup>	25°C		-97			-97		dB
串扰(超量程情况) <sup>3</sup>	25°C		-97			-97		dB
电源抑制比(PSRR) <sup>4</sup>								
AVDD	25°C		44			43		dB
DRVDD	25°C		59			66		dB
模拟输入带宽(全功率)	25°C		650			650		MHz

<sup>1</sup> 如需了解定义以及这些测试如何完成的详情，请参阅应用笔记AN-835：“了解高速ADC测试和评估。”

<sup>2</sup> 串扰的测量条件：一个通道参数为70 MHz、-1.0 dBFS模拟输入且相邻通道上无输入信号。

<sup>3</sup> 超量程情况特指满量程输入范围的3 dB。

<sup>4</sup> PSRR测量方法：将一个10 MHz正弦波信号注入电源引脚，测量FFT的输出杂散。PSRR等于杂散电压的幅度与引脚电压的幅度之比，用分贝(dB)表示。

## 数字规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、2 V峰峰值差分输入、1.0 V内部基准电压、AIN = -1.0 dBFS。

表3.

参数 <sup>1</sup>	温度	最小值	典型值	最大值	单位
时钟输入(CLK+、CLK-)					
逻辑兼容		CMOS/LVDS/LVPECL			
差分输入电压 <sup>2</sup>	全	0.2		3.6	V p-p
输入电压范围	全	AGND - 0.2		AVDD + 0.2	V
输入共模电压	全		0.9		V
输入电阻(差分)	25°C		15		kΩ
输入电容	25°C		4		pF
逻辑输入(SCLK/DFS)					
逻辑1电压	全	1.2		AVDD + 0.2	V
逻辑0电压	全	0		0.8	V
输入电阻	25°C		30		kΩ
输入电容	25°C		2		pF
逻辑输入(CSB)					
逻辑1电压	全	1.2		AVDD + 0.2	V
逻辑0电压	全	0		0.8	V
输入电阻	25°C		26		kΩ
输入电容	25°C		2		pF
逻辑输入(SDIO/PDWN)					
逻辑1电压	全	1.2		AVDD + 0.2	V
逻辑0电压	全	0		0.8	V
输入电阻	25°C		26		kΩ
输入电容	25°C		5		pF
逻辑输出(SDIO/PDWN) <sup>3</sup>					
逻辑1电压(I <sub>OH</sub> = 800 μA)	全		1.79		V
逻辑0电压(I <sub>OL</sub> = 50 μA)	全			0.05	V
数字输出(D0x±、D1x±), ANSI-644					
逻辑兼容		LVDS			
差分输出电压幅度(V <sub>OD</sub> )	全	290	345	400	mV
输出失调电压(V <sub>OS</sub> )	全	1.15	1.25	1.35	V
输出编码(默认)		二进制补码			
数字输出(D0x±、D1x±), 低功耗、减少信号选项					
逻辑兼容		LVDS			
差分输出电压幅度(V <sub>OD</sub> )	全	160	200	230	mV
输出失调电压(V <sub>OS</sub> )	全	1.15	1.25	1.35	V
输出编码(默认)		二进制补码			

<sup>1</sup> 如需了解定义以及这些测试如何完成的详情，请参阅应用笔记AN-835：“了解高速ADC测试和评估。”

<sup>2</sup> 仅针对LVDS和LVPECL。

<sup>3</sup> 针对共用同一连接的13个SDIO/PDWN引脚。

# AD9635

## 开关规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、2 V峰峰值差分输入、1.0 V内部基准电压、AIN = -1.0 dBFS。

表4.

参数 <sup>1,2</sup>	温度	最小值	典型值	最大值	单位
时钟 <sup>3</sup>					
输入时钟速率	全	10		1000	MHz
转换速率	全	10		80/125	MSPS
时钟高电平脉宽( $t_{EH}$ )	全		6.25/4.00		ns
时钟低电平脉宽( $t_{EL}$ )	全		6.25/4.00		ns
输出参数 <sup>3</sup>					
传播延迟( $t_{PD}$ )	全		2.3		ns
上升时间( $t_R$ )(20%至80%)	全		300		ps
下降时间( $t_F$ )(20%至80%)	全		300		ps
FCO传播延迟( $t_{FCO}$ )	全	1.5	2.3	3.1	ns
DCO传播延迟( $t_{CPD}$ ) <sup>4</sup>	全		$t_{FCO} + (t_{SAMPLE}/12)$		ns
DCO至数据延迟( $t_{DATA}$ ) <sup>4</sup>	全	$(t_{SAMPLE}/12) - 300$	$t_{SAMPLE}/12$	$(t_{SAMPLE}/12) + 300$	ps
DCO至FCO延迟( $t_{FRAME}$ ) <sup>4</sup>	全	$(t_{SAMPLE}/12) - 300$	$t_{SAMPLE}/12$	$(t_{SAMPLE}/12) + 300$	ps
通道延迟( $t_{LD}$ )			90		ps
数据至数据偏斜( $t_{DATA-MAX} - t_{DATA-MIN}$ )	全		$\pm 50$	$\pm 200$	ps
唤醒时间(待机)	25°C		250		ns
唤醒时间(省电模式) <sup>5</sup>	25°C		375		$\mu$ s
流水线延迟	全		16		时钟周期
孔径					
孔径延迟( $t_A$ )	25°C		1		ns
孔径不确定性(抖动, $t_j$ )	25°C		174		fs rms
超范围恢复时间	25°C		1		时钟周期

<sup>1</sup> 如需了解定义以及这些测试如何完成的详情，请参阅应用笔记AN-835：“了解高速ADC测试和评估。”

<sup>2</sup> 采用标准FR-4材料测量。

<sup>3</sup> 可通过SPI进行调整。转换速率指分频之后的时钟速率。

<sup>4</sup>  $t_{SAMPLE}/16$ 基于两个LVDS数据通道的位数。 $t_{SAMPLE} = 1/f_c$ 。

<sup>5</sup> 唤醒时间指从掉电模式返回正常工作模式所需的时间。

## 时序规格

表5.

参数	描述	限值	单位
SPI时序要求	见图68		
$t_{DS}$	数据与SCLK上升沿之间的建立时间	2	ns(最小值)
$t_{DH}$	数据与SCLK上升沿之间的保持时间	2	ns(最小值)
$t_{CLK}$	SCLK周期	40	ns(最小值)
$t_S$	CSB与SCLK之间的建立时间	2	ns(最小值)
$t_H$	CSB与SCLK之间的保持时间	2	ns(最小值)
$t_{HIGH}$	SCLK高电平脉冲宽度	10	ns(最小值)
$t_{LOW}$	SCLK低电平脉冲宽度	10	ns(最小值)
$t_{EN\_SDIO}$	相对于SCLK下降沿，SDIO引脚从输入状态切换到输出状态所需的时间(图68未显示)	10	ns(最小值)
$t_{DIS\_SDIO}$	相对于SCLK上升沿，SDIO引脚从输出状态切换到输入状态所需的时间(图68未显示)	10	ns(最小值)

时序图

SPI寄存器设置参见“存储器映射寄存器描述”部分和表20。

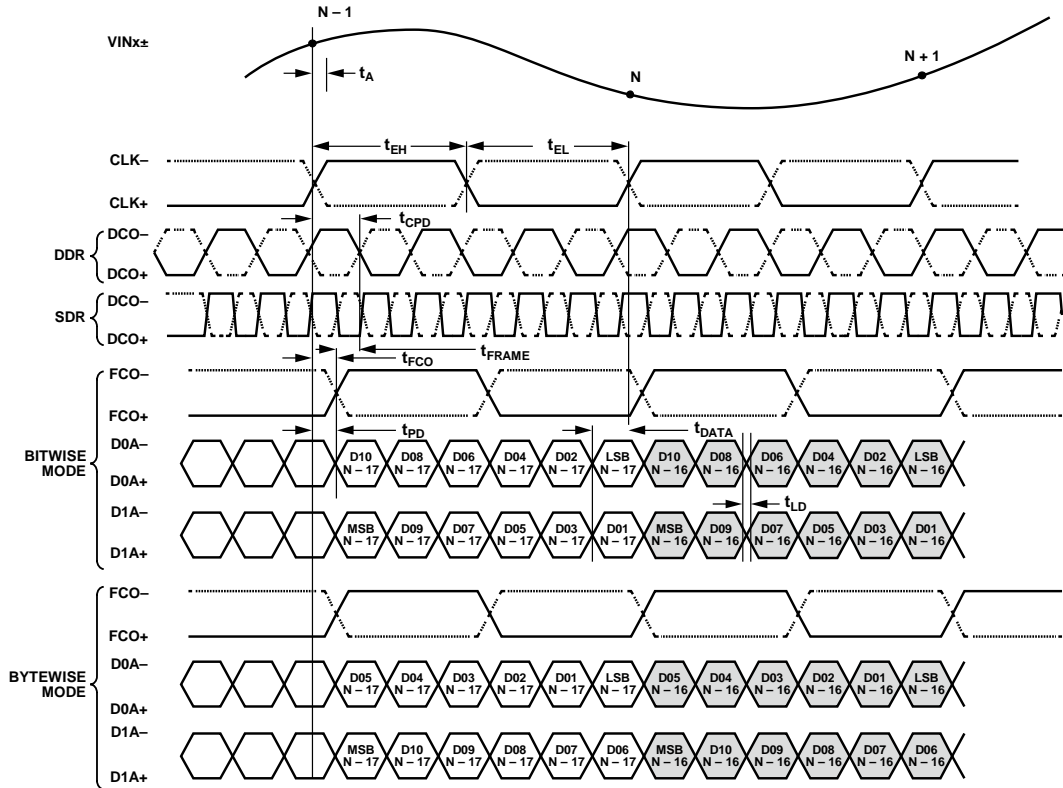


图2. 12位DDR/SDR、双通道、1×帧模式(默认)

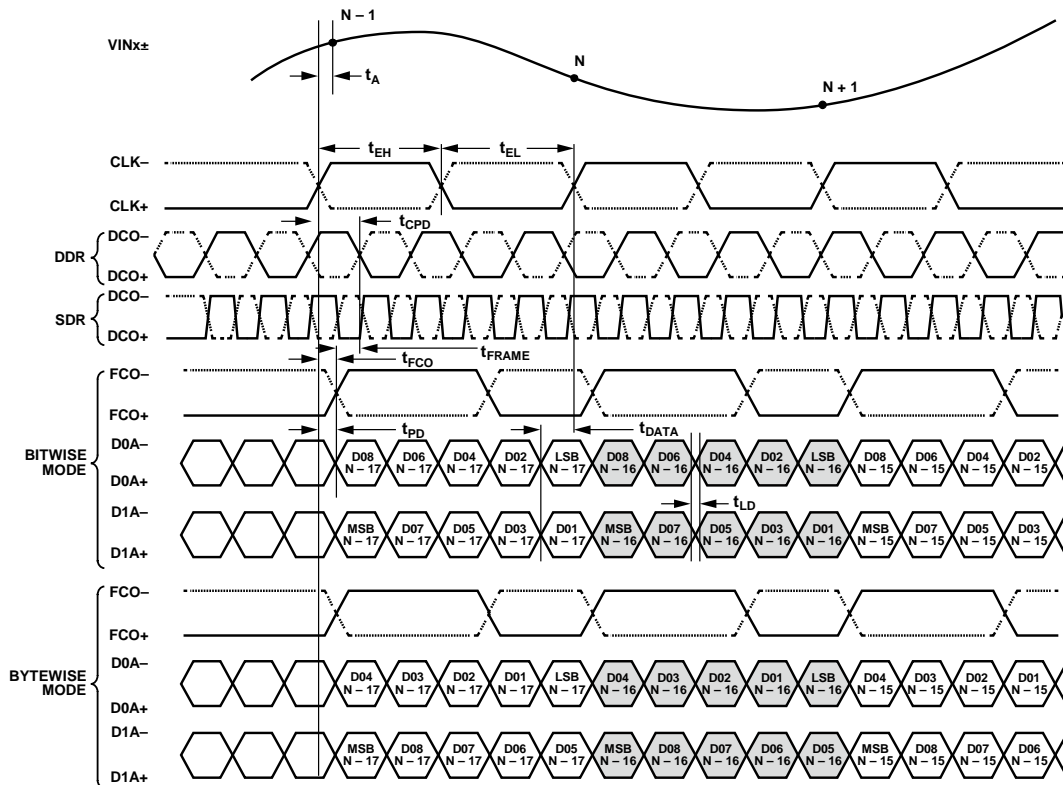


图3. 10位DDR/SDR、双通道、1×帧模式

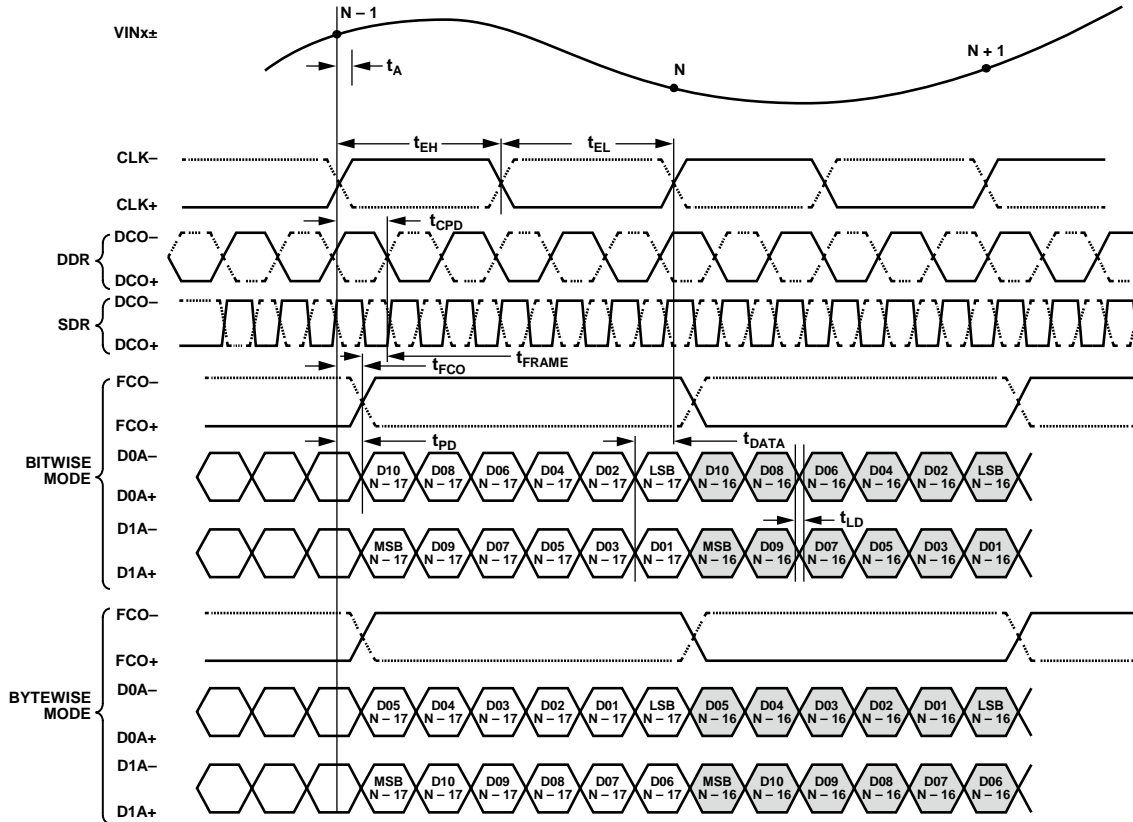


图4. 12位DDR/SDR、双通道、2×帧模式

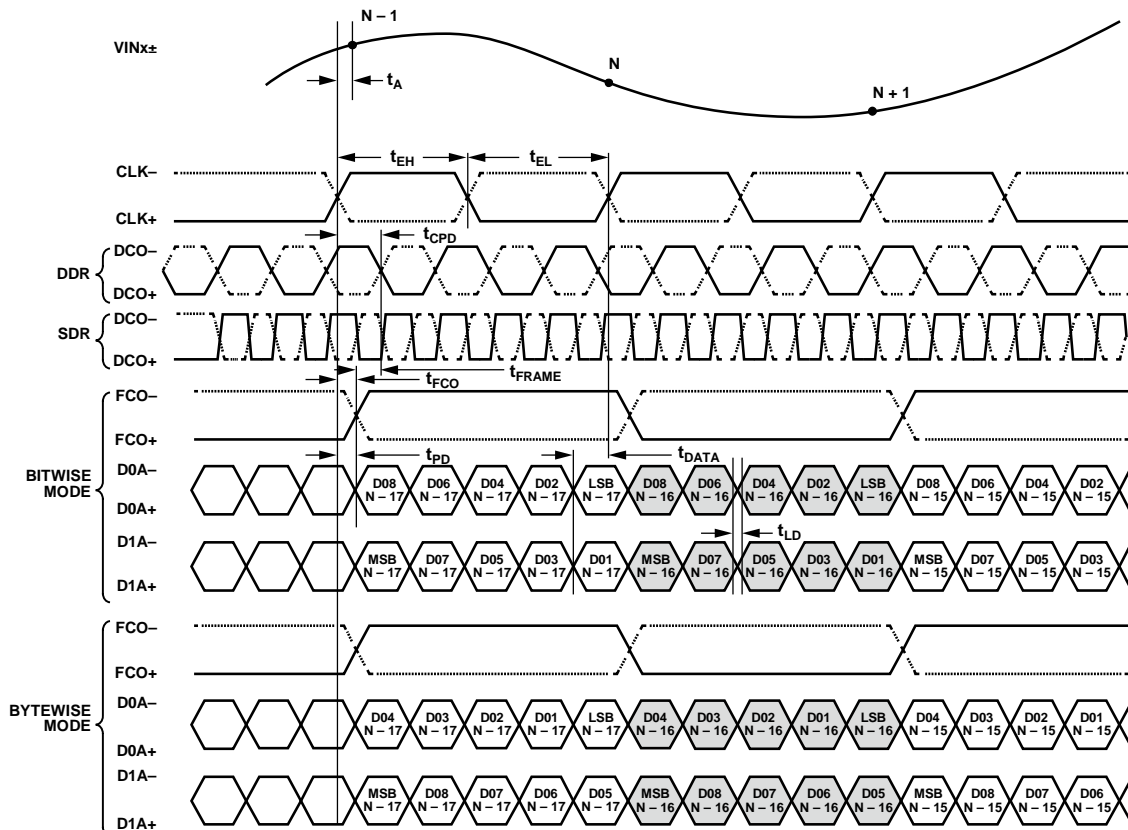


图5. 10位DDR/SDR、双通道、2×帧模式



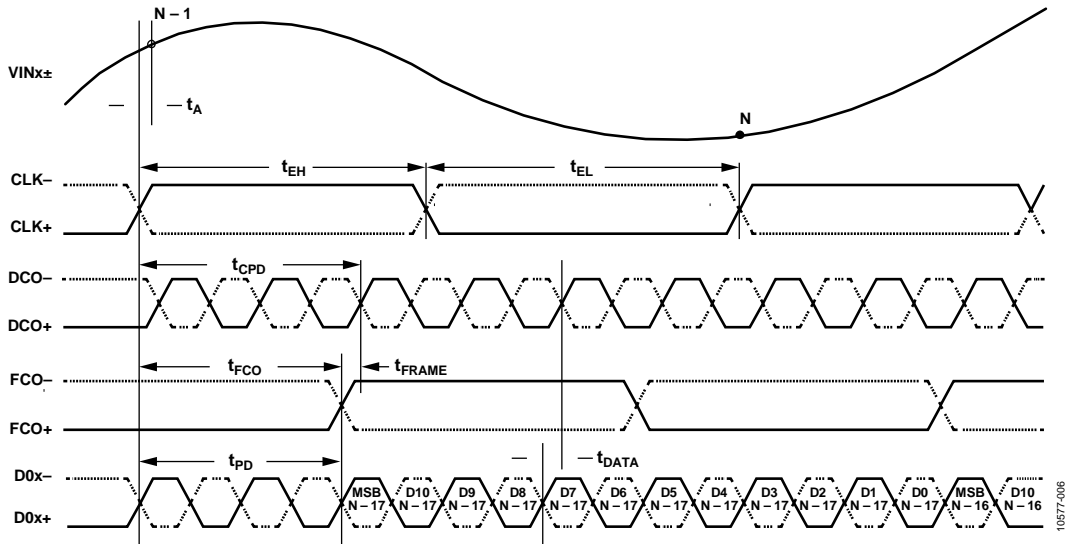


图6. 逐字DDR、单通道、1×帧、12位输出模式

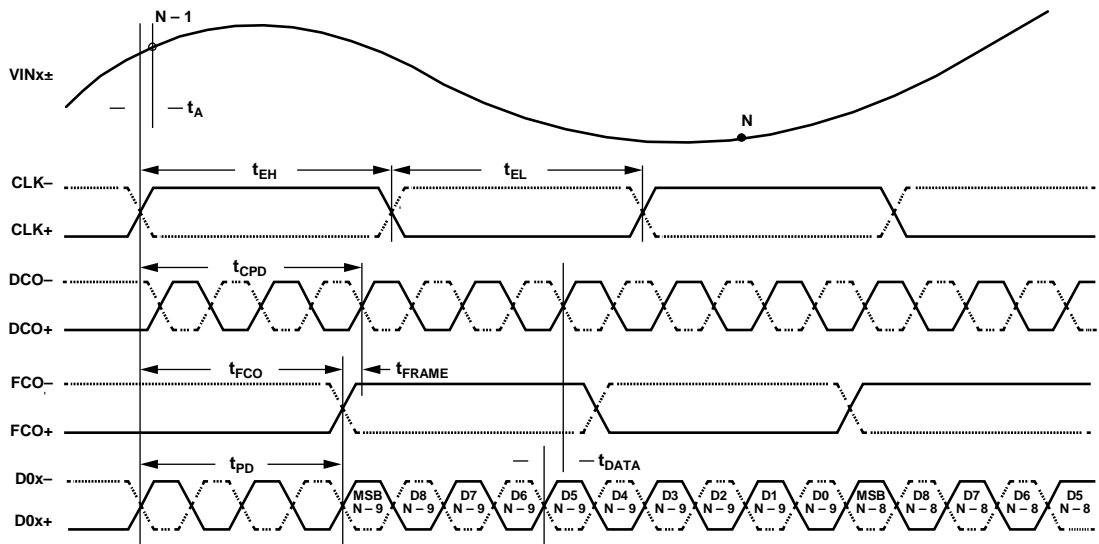


图7. 逐字DDR、单通道、1×帧、10位输出模式

## 绝对最大额定值

表6.

参数	额定值
电气	
AVDD至AGND	-0.3V至+2.0V
DRVDD至AGND	-0.3V至+2.0V
数字输出至AGND (D0x±、D1x±、DCO+、DCO-、 FCO+、FCO-)	-0.3V至+2.0V
CLK+、CLK-至AGND	-0.3V至+2.0V
VINx+、VINx-至AGND	-0.3V至+2.0V
SCLK/DFS、SDIO/PDWN、CSB至AGND	-0.3V至+2.0V
RBIAS至AGND	-0.3V至+2.0V
VREF至AGND	-0.3V至+2.0V
VCM至AGND	-0.3V至+2.0V
环境参数	
工作温度范围(环境)	-40°C至 +85°C
最高结温	150°C
引脚温度(焊接, 10秒)	300°C
存储温度范围(环境)	-65°C至+150°C

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下, 器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

## 热阻

裸露焊盘是芯片的唯一接地连接, 必须焊接到用户电路板的AGND层。将裸露焊盘焊接到用户板上, 还可提高焊接可靠性, 从而最大限度发挥封装的热性能。

表7. 热阻

封装类型	气流速度 (m/s)	$\theta_{JA}^{1,2}$	$\theta_{JC}^{1,3}$	$\theta_{JB}^{1,4}$	$\Psi_{JT}^{1,2}$	单位
32-Lead LFCSP, 5 mm × 5 mm	0	37.1	3.1	20.7	0.3	°C/W
	1.0	32.4			0.5	°C/W
	2.5	29.1			0.8	°C/W

<sup>1</sup>按照JEDEC JESD51-7, 加上JEDEC JESD51-5 2S2P测试板。

<sup>2</sup>按照JEDEC JESD51-2(静止空气)或JEDEC JESD51-6(流动空气)。

<sup>3</sup>按照MIL-STD 883、方法1012.1。

<sup>4</sup>按照JEDEC JESD51-8(静止空气)。

$\theta_{JA}$  典型值的测试条件为带实接地层的四层PCB。如表7所示, 气流可改善散热, 从而降低 $\theta_{JA}$ 。另外, 直接与封装引脚接触的的金属, 包括金属走线、通孔、接地层、电源层, 可降低 $\theta_{JA}$ 。

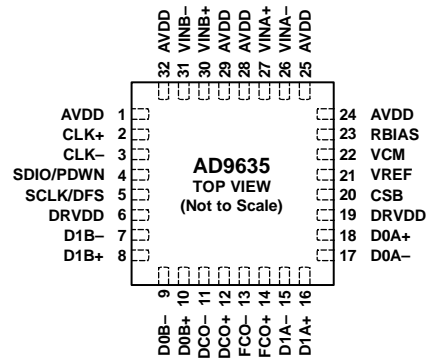
## ESD警告



## ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

## 引脚配置和功能描述



### NOTES

1. THE EXPOSED PADDLE IS THE ONLY GROUND CONNECTION ON THE CHIP. IT MUST BE SOLDERED TO THE ANALOG GROUND OF THE PCB TO ENSURE PROPER FUNCTIONALITY AND HEAT DISSIPATION, NOISE, AND MECHANICAL STRENGTH BENEFITS.

10577-008

图8. 引脚配置(顶视图)

表8. 引脚功能描述

引脚编号	引脚名称	描述
0	AGND, 裸露焊盘	裸露焊盘是芯片的唯一接地连接，必须焊接到PCB模拟地，以确保正常工作和散热，并获得噪声和机械强度方面的好处。
1, 24, 25, 28 29, 32	AVDD	ADC模拟内核域的1.8 V电源引脚。
2, 3	CLK+, CLK-	LVPECL、LVDS或1.8 V CMOS输入的差分编码时钟。
4	SDIO/PDWN	SPI模式下为数据输入/输出(SDIO)。双向SPI数据I/O，内置30 kΩ下拉电阻。非SPI模式下为掉电引脚(PDWN)。利用30 kΩ内部下拉电阻对芯片掉电进行静态控制。
5	SCLK/DFS	SPI模式下为SPI时钟输入(SCLK)。内置30 kΩ下拉电阻。非SPI模式下为数据格式选择引脚(DFS)。利用30 kΩ内部下拉电阻对数据输出格式进行静态控制。DFS高电平 = 二进制补码输出；DFS低电平 = 偏移二进制输出。
6, 19	DRVDD	输出驱动器域的1.8 V电源引脚。
7, 8	D1B-, D1B+	通道B数字输出。
9, 10	D0B-, D0B+	通道B数字输出。
11, 12	DCO-, DCO+	数据时钟输出。
13, 14	FCO-, FCO+	帧时钟输出。
15, 16	D1A-, D1A+	通道A数字输出。
17, 18	D0A-, D0A+	通道A数字输出。
20	CSB	SPI片选。低电平有效使能；内置15 kΩ上拉电阻。
21	VREF	1.0 V基准电压输入/输出。
22	VCM	中间AVDD电源的模拟输出电压。设置模拟输入的共模电压。
23	RBIAS	设置模拟电流偏置。此引脚连接到10 kΩ (1%容差)接地电阻。
26, 27	VINA-, VINA+	通道A ADC模拟输入。
30, 31	VINB+, VINB-	通道B ADC模拟输入。

## 典型工作特性

### AD9635-80

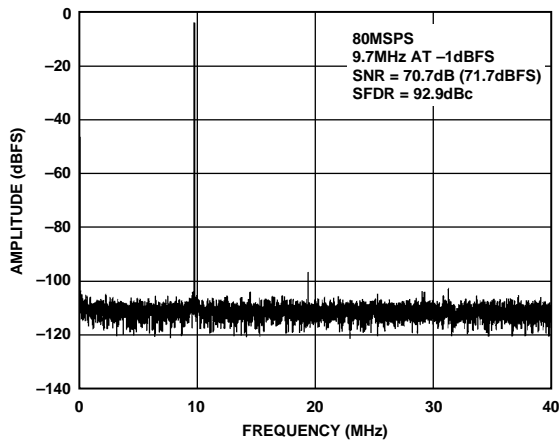


图9. 单音16k FFT( $f_{IN} = 9.7 \text{ MHz}$ ,  $f_{SAMPLE} = 80 \text{ MSPS}$ )

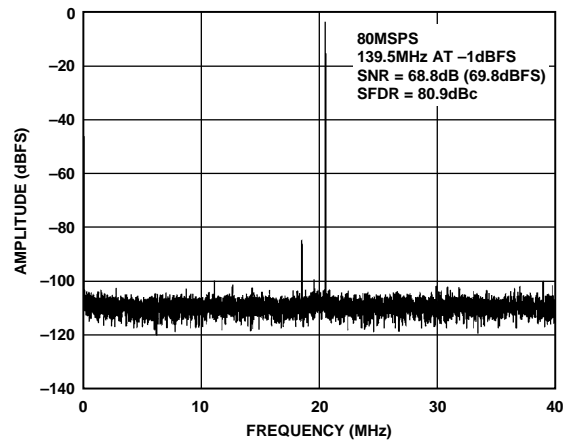


图12. 单音16k FFT( $f_{IN} = 139.5 \text{ MHz}$ ,  $f_{SAMPLE} = 80 \text{ MSPS}$ )

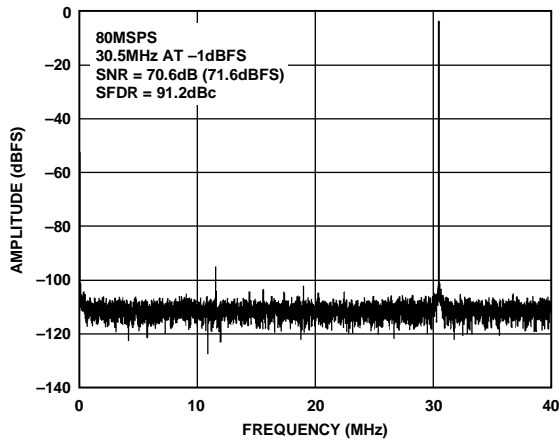


图10. 单音16k FFT( $f_{IN} = 30.5 \text{ MHz}$ ,  $f_{SAMPLE} = 80 \text{ MSPS}$ )

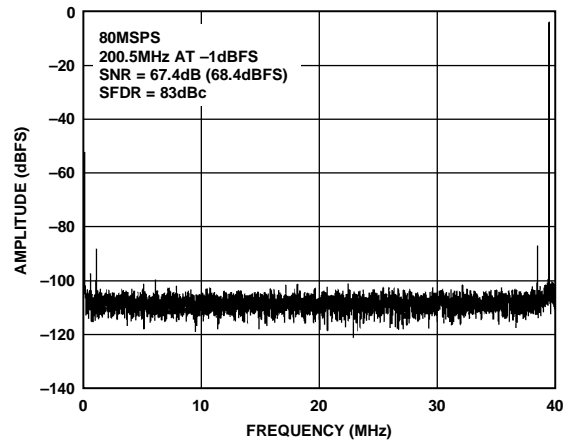


图13. 单音16k FFT( $f_{IN} = 200.5 \text{ MHz}$ ,  $f_{SAMPLE} = 80 \text{ MSPS}$ )

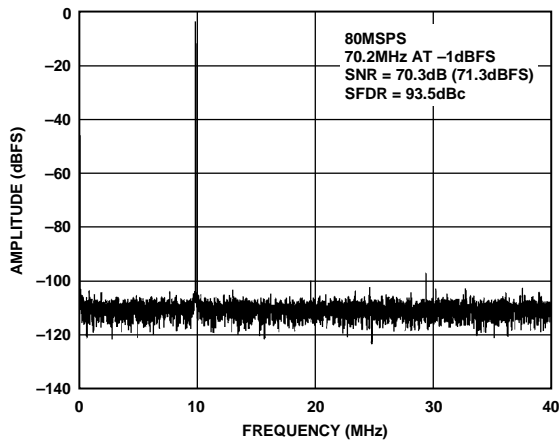


图11. 单音16k FFT( $f_{IN} = 70.2 \text{ MHz}$ ,  $f_{SAMPLE} = 80 \text{ MSPS}$ )

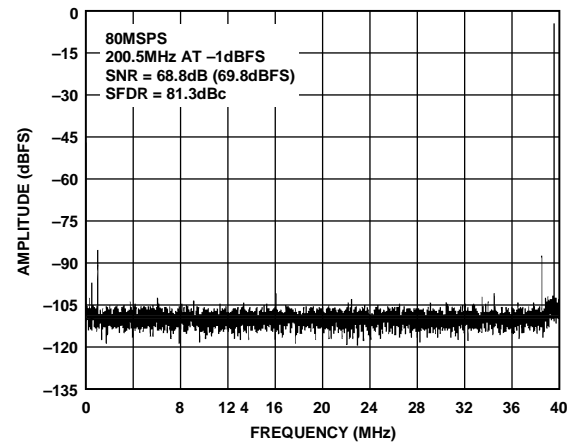


图14. 单音16k FFT( $f_{IN} = 200.5 \text{ MHz}$ ,  $f_{SAMPLE} = 80 \text{ MSPS}$ , 时钟分频 = 8分频)

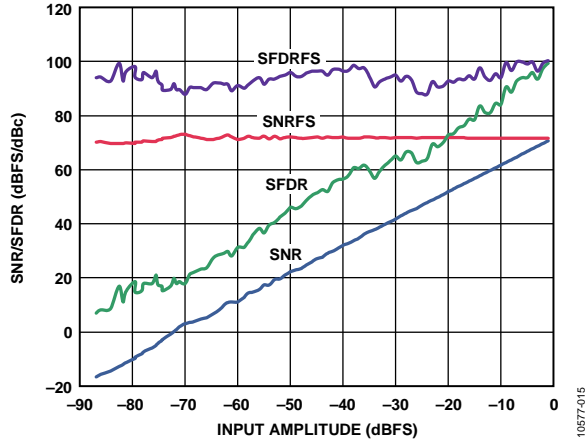


图15. SNR/SFDR与模拟输入电平的关系( $f_{IN} = 9.7 \text{ MHz}$ ,  $f_{SAMPLE} = 80 \text{ MSPS}$ )

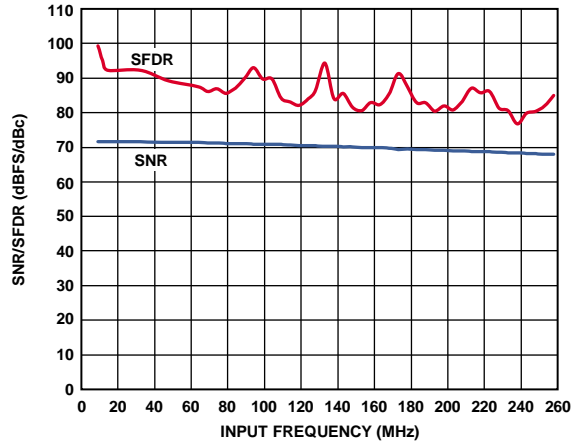


图18. SNR/SFDR与 $f_{IN}$ 的关系( $f_{SAMPLE} = 80 \text{ MSPS}$ )

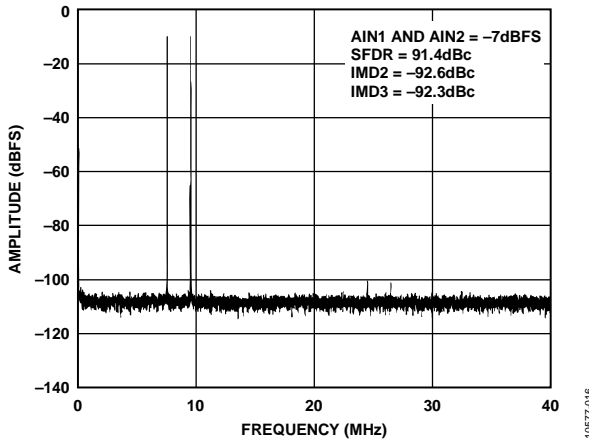


图16. 双音16k FFT( $f_{IN1} = 70.5 \text{ MHz}$ ,  $f_{IN2} = 72.5 \text{ MHz}$ ,  $f_{SAMPLE} = 80 \text{ MSPS}$ )

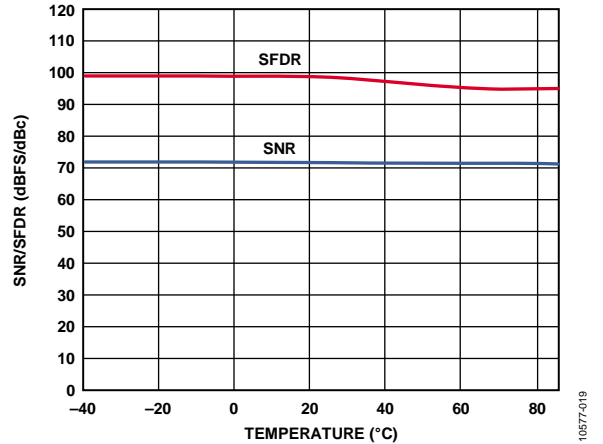


图19. SNR/SFDR与温度的关系( $f_{IN} = 9.7 \text{ MHz}$ ,  $f_{SAMPLE} = 80 \text{ MSPS}$ )

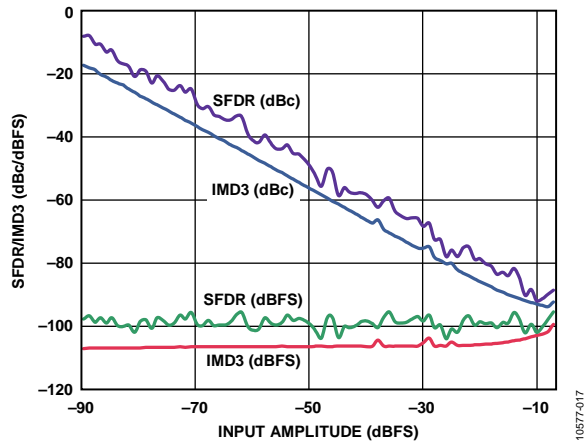


图17. 双音SFDR/IMD3与输入幅度(AIN)的关系( $f_{IN1} = 70.5 \text{ MHz}$ ,  $f_{IN2} = 72.5 \text{ MHz}$ ,  $f_{SAMPLE} = 80 \text{ MSPS}$ )

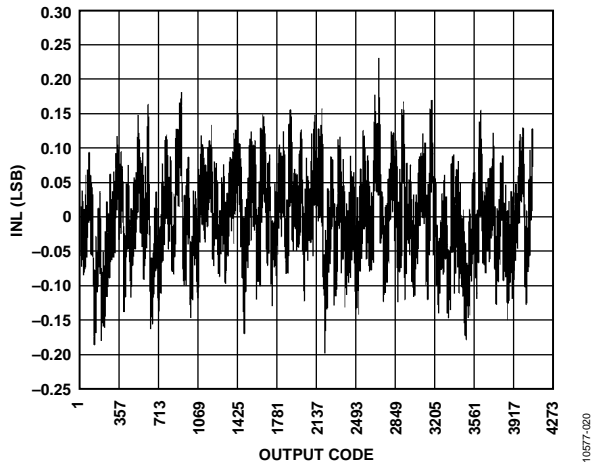


图20. INL( $f_{IN} = 9.7 \text{ MHz}$ ,  $f_{SAMPLE} = 80 \text{ MSPS}$ )

# AD9635

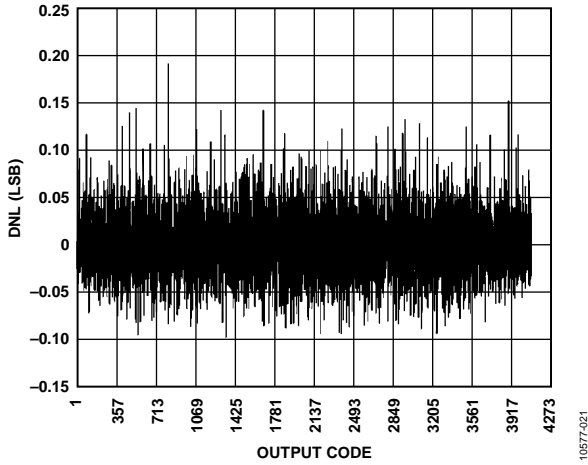


图21. DNL( $f_{IN} = 9.7 \text{ MHz}$ ,  $f_{SAMPLE} = 80 \text{ MSPS}$ )

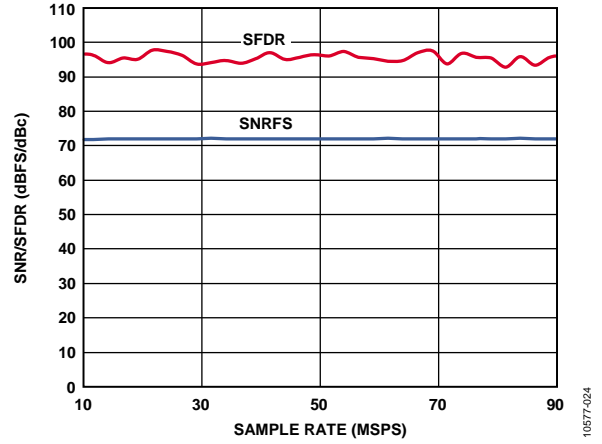


图24. SNR/SFDR与采样速率的关系( $f_{IN} = 9.7 \text{ MHz}$ ,  $f_{SAMPLE} = 80 \text{ MSPS}$ )

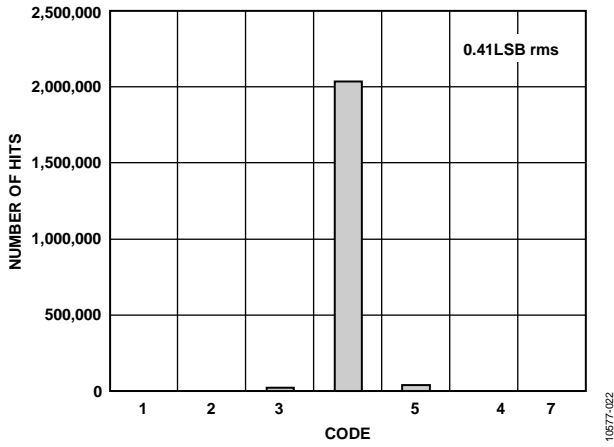


图22. 折合到输入端的噪声直方图( $f_{SAMPLE} = 80 \text{ MSPS}$ )

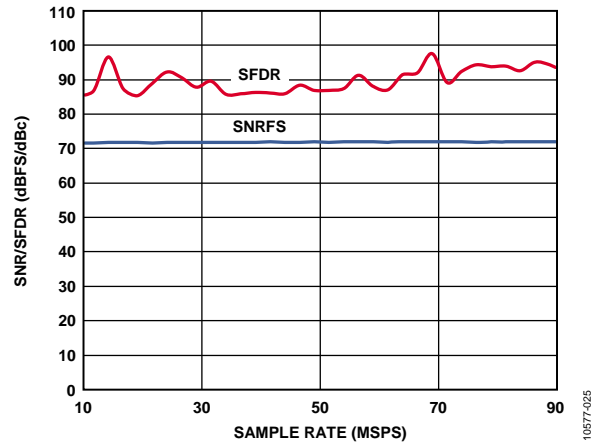


图25. SNR/SFDR与采样速率的关系( $f_{IN} = 70 \text{ MHz}$ ,  $f_{SAMPLE} = 80 \text{ MSPS}$ )

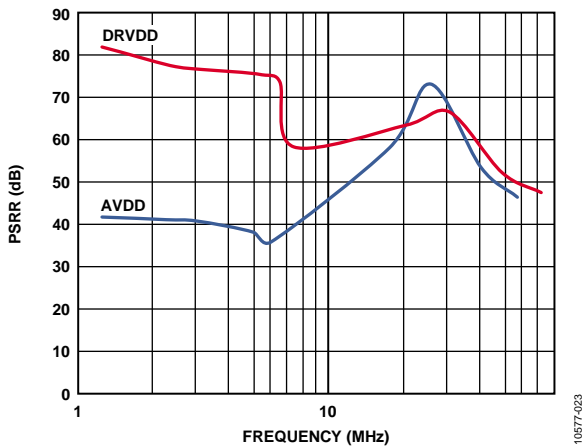


图23. PSRR与频率的关系( $f_{CLK} = 125 \text{ MHz}$ ,  $f_{SAMPLE} = 80 \text{ MSPS}$ )

AD9635-125

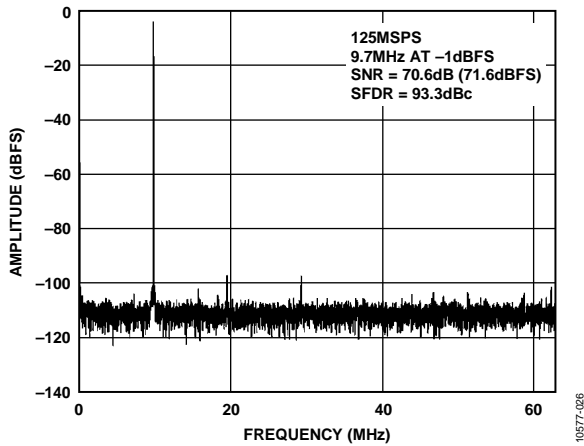


图26. 单音16k FFT( $f_{IN} = 9.7 \text{ MHz}$ ,  $f_{SAMPLE} = 125 \text{ MSPS}$ )

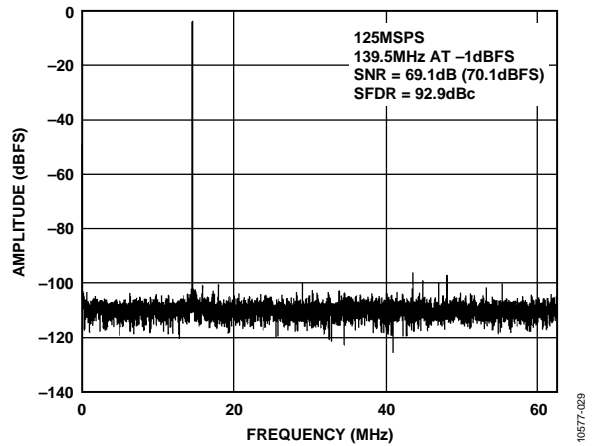


图29. 单音16k FFT( $f_{IN} = 139.5 \text{ MHz}$ ,  $f_{SAMPLE} = 125 \text{ MSPS}$ )

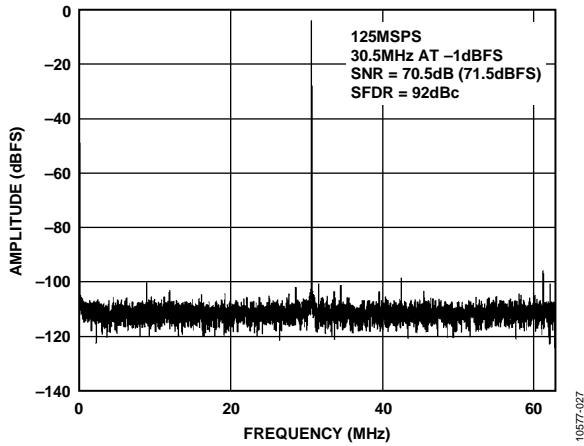


图27. 单音16k FFT( $f_{IN} = 30.5 \text{ MHz}$ ,  $f_{SAMPLE} = 125 \text{ MSPS}$ )

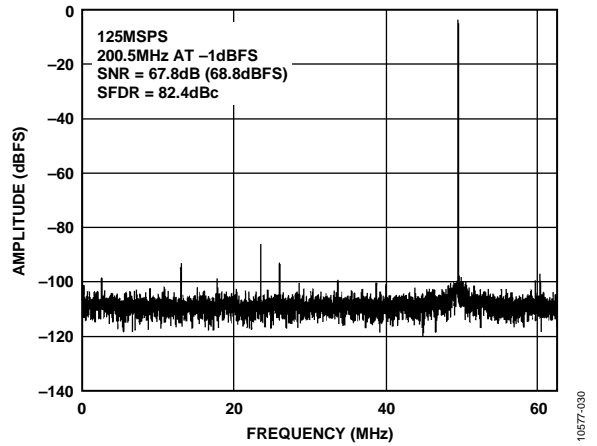


图30. 单音16k FFT( $f_{IN} = 200.5 \text{ MHz}$ ,  $f_{SAMPLE} = 125 \text{ MSPS}$ )

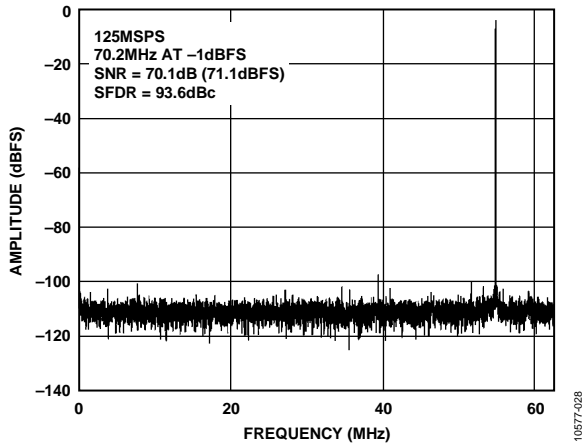


图28. 单音16k FFT( $f_{IN} = 70.2 \text{ MHz}$ ,  $f_{SAMPLE} = 125 \text{ MSPS}$ )

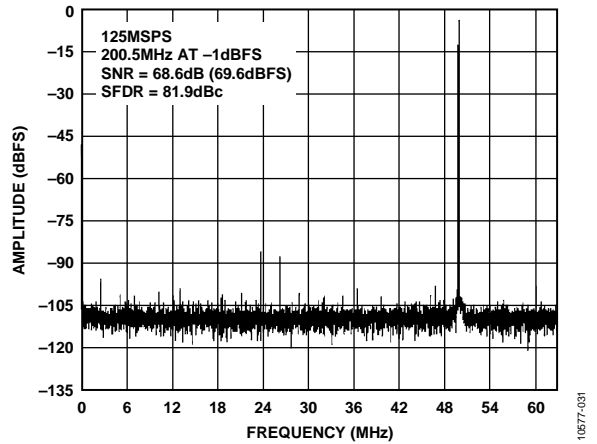


图31. 单音16k FFT( $f_{IN} = 200.5 \text{ MHz}$ ,  $f_{SAMPLE} = 125 \text{ MSPS}$ , 时钟分频 = 8分频)

# AD9635

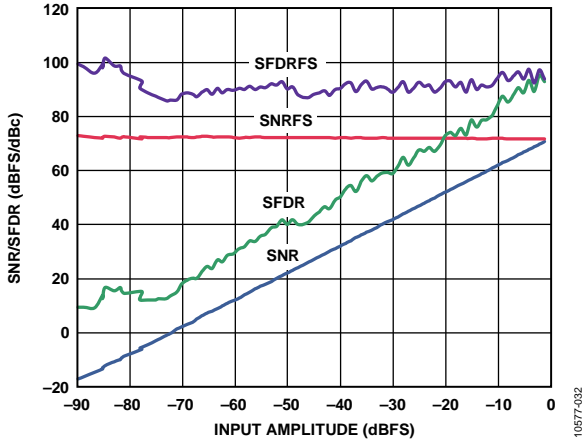


图32. SNR/SFDR与模拟输入电平的关系( $f_{IN} = 9.7 \text{ MHz}$ ,  $f_{SAMPLE} = 125 \text{ MSPS}$ )

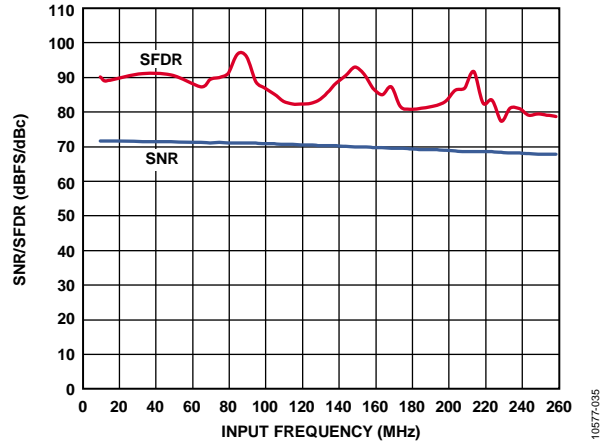


图35. SNR/SFDR与 $f_{IN}$ 的关系( $f_{SAMPLE} = 125 \text{ MSPS}$ )

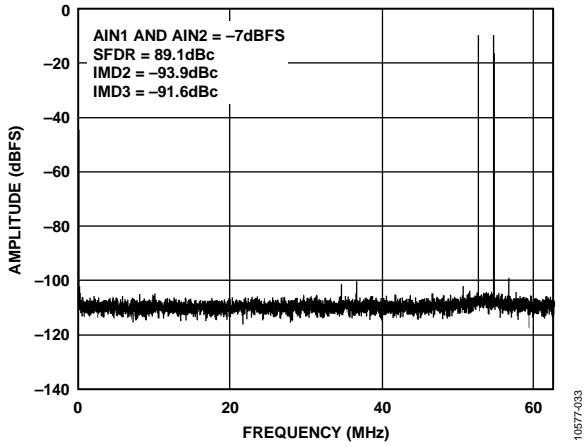


图33. 双音16k FFT( $f_{IN1} = 70.5 \text{ MHz}$ ,  $f_{IN2} = 72.5 \text{ MHz}$ ,  $f_{SAMPLE} = 125 \text{ MSPS}$ )

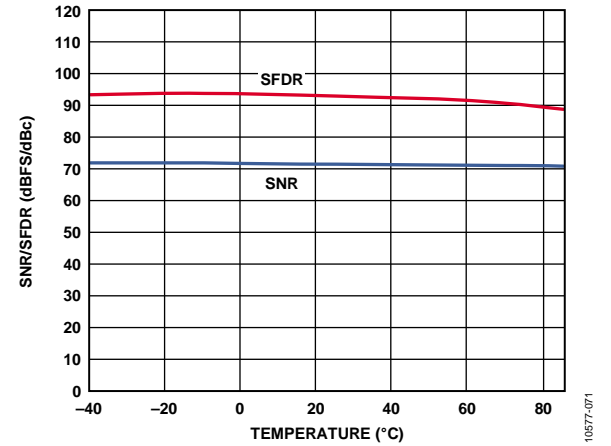


图36. SNR/SFDR与温度的关系( $f_{IN} = 9.7 \text{ MHz}$ ,  $f_{SAMPLE} = 125 \text{ MSPS}$ )

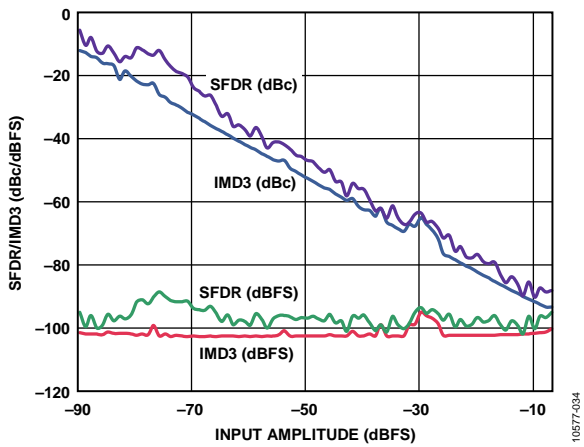


图34. 双音SFDR/IMD3与输入幅度(AIN)的关系  
( $f_{IN1} = 70.5 \text{ MHz}$ ,  $f_{IN2} = 72.5 \text{ MHz}$ ,  $f_{SAMPLE} = 125 \text{ MSPS}$ )

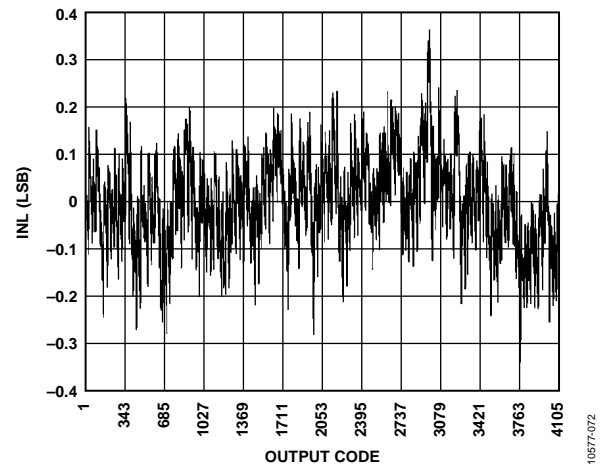


图37. INL( $f_{IN} = 9.7 \text{ MHz}$ ,  $f_{SAMPLE} = 125 \text{ MSPS}$ )



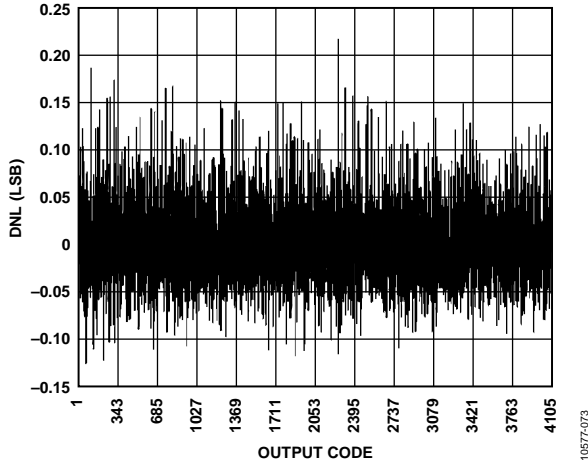


图38. DNL( $f_{IN} = 9.7 \text{ MHz}$ ,  $f_{SAMPLE} = 125 \text{ MSPS}$ )

10577-073

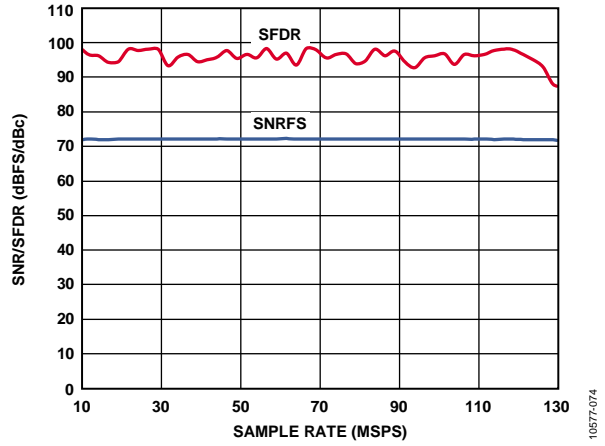


图41. SNR/SFDR与采样速率的关系( $f_{IN} = 9.7 \text{ MHz}$ ,  $f_{SAMPLE} = 125 \text{ MSPS}$ )

10577-074

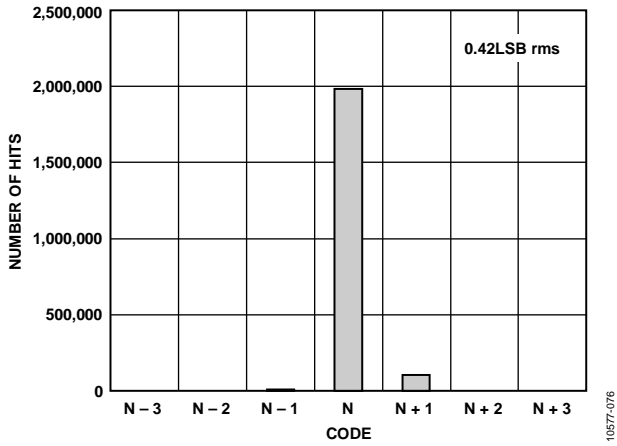


图39. 折合到输入端的噪声直方图( $f_{SAMPLE} = 125 \text{ MSPS}$ )

10577-076

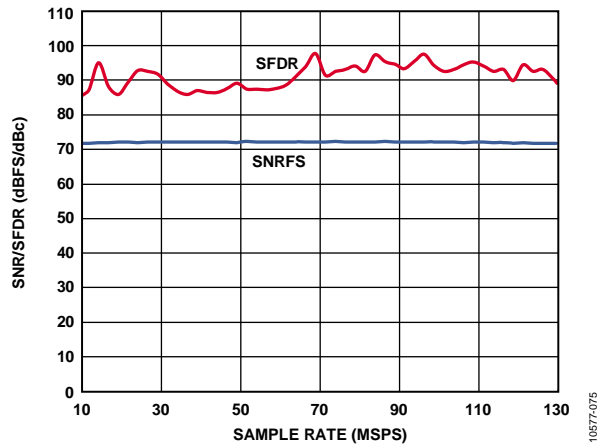


图42. SNR/SFDR与采样速率的关系( $f_{IN} = 70 \text{ MHz}$ ,  $f_{SAMPLE} = 125 \text{ MSPS}$ )

10577-075

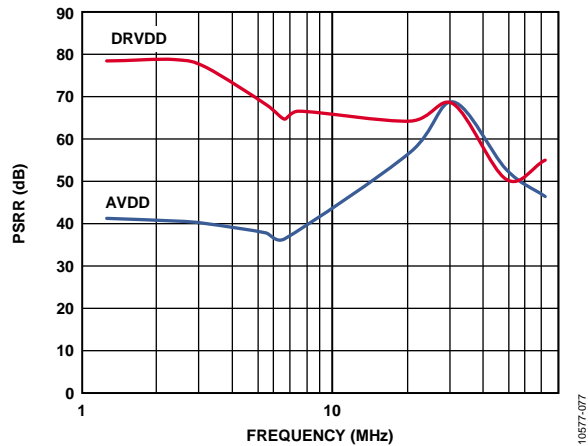


图40. PSRR与频率的关系( $f_{CLK} = 125 \text{ MHz}$ ,  $f_{SAMPLE} = 125 \text{ MSPS}$ )

10577-077

## 等效电路

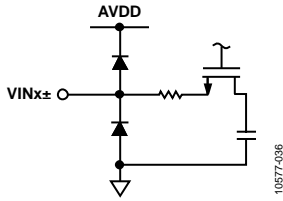


图43. 等效模拟输入电路

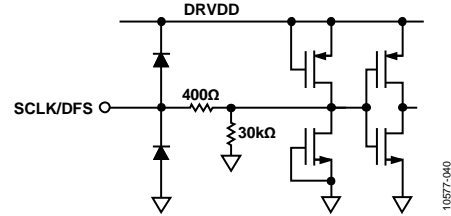


图47. 等效SCLK/DFS输入电路

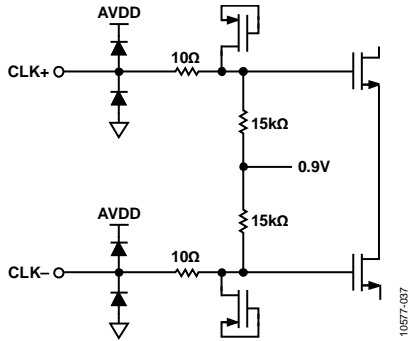


图44. 等效时钟输入电路

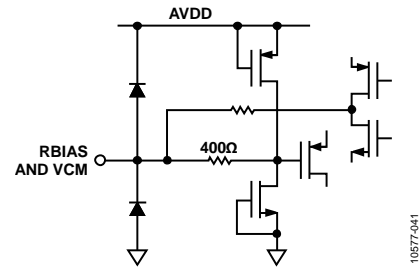


图48. 等效RBIAS和VCM电路

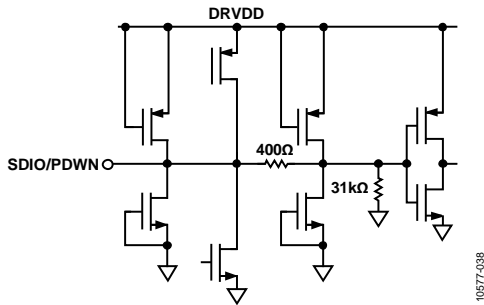


图45. 等效SDIO/PDWN输入电路

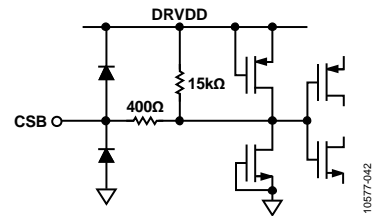


图49. 等效CSB输入电路

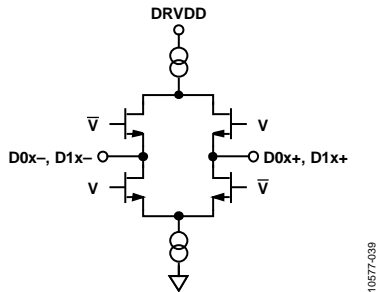


图46. 等效数字输出电路

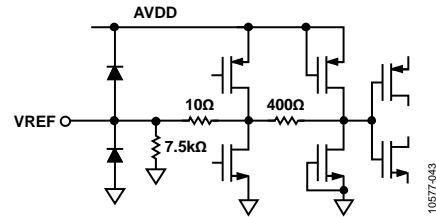


图50. 等效VREF电路

## 工作原理

AD9635是一款多级、流水线式ADC，各级均提供充分的重叠，以便校正上一级的Flash误差。各个级的量化输出组合在一起，在数字校正逻辑中最终形成一个12位转换结果。流水线结构允许第一级处理新的输入采样点，而其它级继续处理之前的采样点。采样在时钟的上升沿进行。

除最后一级以外，流水线的每一级都由一个低分辨率Flash型ADC、与之相连的一个开关电容DAC和一个级间余量放大器(例如乘法数模转换器MDAC)组成。余量放大器用于放大重构DAC输出与Flash型输入之间的差，用于流水线的下一级。为了便于实现Flash误差的数字校正，每一级设定了1位的冗余量。最后一级由一个Flash型ADC组成。

输出级模块能够实现数据对准、错误校正，且能将数据传输到输出缓冲器。然后对数据进行串行化，并使之与帧和数据时钟对齐。

## 模拟输入考虑

AD9635的模拟输入端是一个差分开关电容电路，设计用于处理差分输入信号。该电路支持宽共模范围，同时能保持出色的性能。当输入共模电压为中间电源电压时，信号相关误差最小，并且能实现最佳性能。

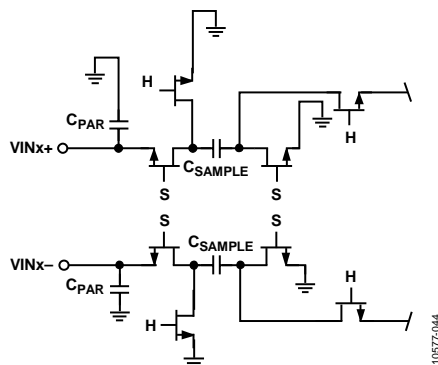


图51. 开关电容输入电路

输入电路根据时钟信号，在采样模式和保持模式之间切换(见图51)。当输入电路切换到采样模式时，信号源必须能够对采样电容充电，并且在半个时钟周期内完成建立。

每个输入端都串联一个小电阻，可以降低从驱动源输出级注入的峰值瞬态电流。此外，输入端的每一侧可以使用低Q电感或铁氧体磁珠，以减小模拟输入端的高差分电容，从而实现ADC的最大带宽。在高中频(IF)下驱动转换器前端时，必须使用低Q电感或铁氧体磁珠。输入端可以使用一个差分电容或两个单端电容，以提供匹配的无源网络。这最终会在输入端形成一个低通滤波器，用来限制无用的宽带噪声。欲了解更多信息，请参阅应用笔记AN-742、AN-827以及Analog Dialogue的文章“用于宽带模数转换器的变压器耦合前端”(第39卷，2005年4月)。通常，模数转换的精度取决于应用。

## 输入共模

AD9635的模拟输入端无内部直流偏置。因此，在交流耦合应用中，用户必须提供外部偏置。为能够获得最佳性能，建议用户对器件设置为 $V_{CM} = AVDD/2$ ；但器件在更宽的范围都能获得合理的性能，如图52所示。

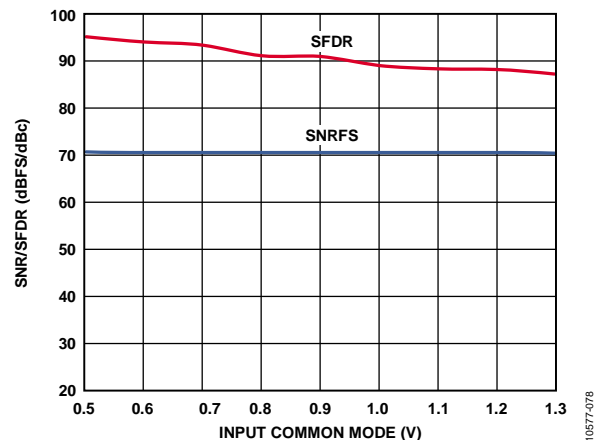


图52. SNR/SFDR与输入共模电压的关系  
( $f_{IN} = 9.7 \text{ MHz}$ ,  $f_{SAMPLE} = 125 \text{ MSPS}$ )

芯片通过VCM引脚提供片内共模基准电压。必须用一个0.1 μF电容对VCM引脚去耦到地，如“应用信息”部分所述。

在差分配置中，将ADC设置为最大范围可以实现最高的SNR性能。对于AD9635，最大输入范围为2 V峰峰值。

# AD9635

## 差分输入配置

有多种有源或无源方法可以驱动AD9635，不过，通过差分方式驱动模拟输入可实现最佳性能。在基带应用中，利用差分双巴伦配置驱动AD9635能够为ADC提供出色的性能和灵活的接口(参见图55)。

在SNR为关键参数的应用中，因为大部分放大器的噪声性能不足以实现AD9635的真正性能，所以输入配置中建议采用差分变压器耦合(见图56)。

无论何种配置，并联电容值C均取决于输入频率，并且可能需要降低电容量或去掉该并联电容。

不建议以单端方式驱动AD9635输入。

## 基准电压源

AD9635内置稳定、精确的1.0 V基准电压源。VREF引脚应通过外部一个低ESR 0.1  $\mu\text{F}$ 陶瓷电容和一个低ESR 1.0  $\mu\text{F}$ 电容的并联组合去耦至地。

如需利用AD9635的内部基准电压来驱动多个转换器，从而提高增益的匹配度，则必须考虑到其它转换器对基准电压的负载。图53说明负载如何影响内部基准电压。图54显示内部基准电压为1.0 V时的典型漂移特性。

内部缓冲器为ADC内核生成正、负满量程基准电压。

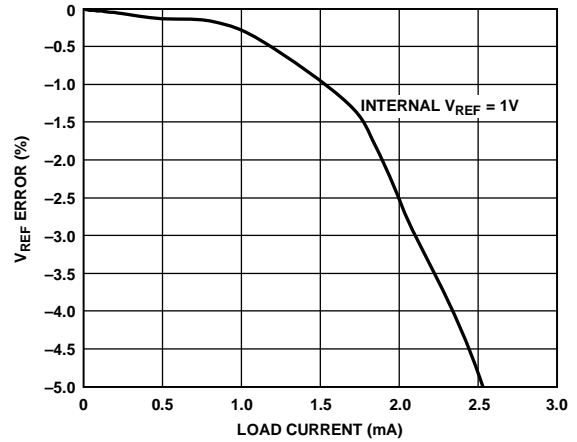


图53.  $V_{REF}$  误差与负载电流的关系

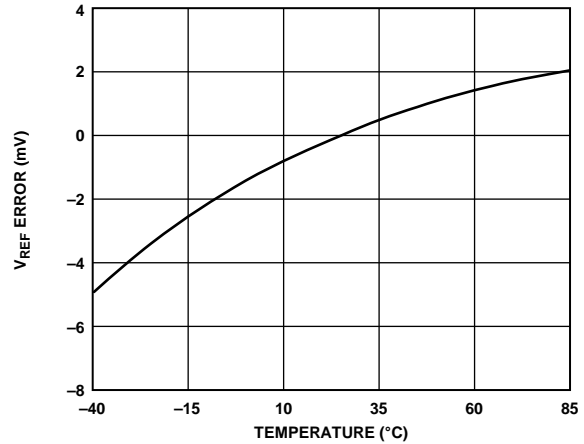


图54. 典型  $V_{REF}$  漂移

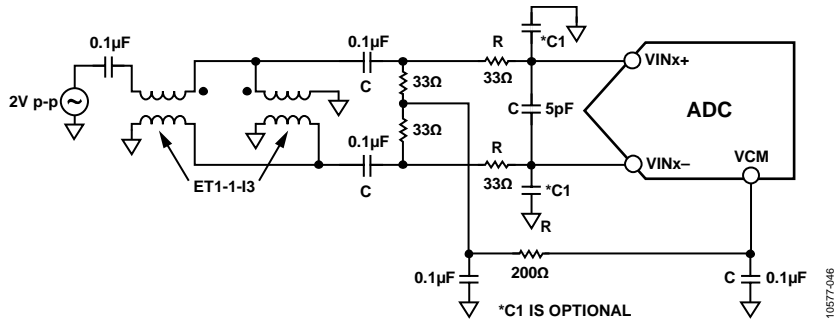


图55. 针对基带应用的差分双巴伦输入配置

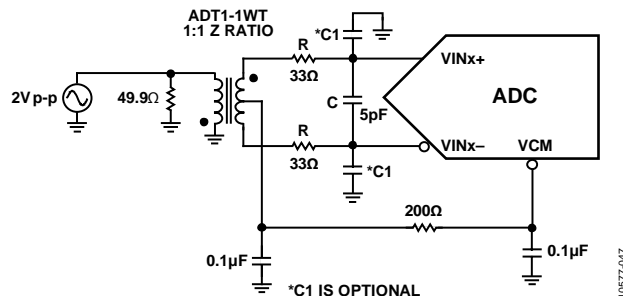


图56. 针对基带应用的差分变压器耦合配置

## 时钟输入考虑

为了充分发挥芯片的性能，应利用一个差分信号作为AD9635采样时钟输入端(CLK+和CLK-)的时钟信号。该信号通常使用变压器或电容器交流耦合到CLK+和CLK-引脚内。CLK+和CLK-引脚有内部偏置(见图44)，无需外部偏置。

## 时钟输入选项

AD9635具有灵活的时钟输入结构。CMOS、LVDS、LVPECL或正弦波信号均可作为其时钟输入信号。无论采用哪种信号，都必须考虑到时钟源抖动(见抖动考虑部分说明)。

图57和图58显示两种为AD9635提供时钟信号的首选方法(内部时钟分频前的时钟速率可达1 GHz)。利用射频变压器或射频巴伦，可将低抖动时钟源的单端信号转换成差分信号。

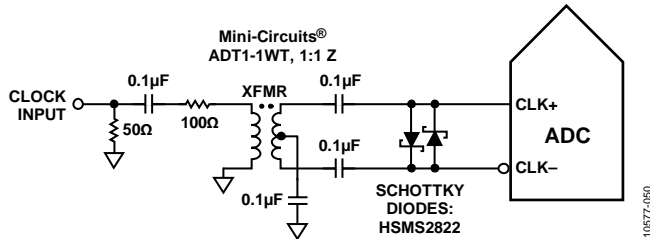


图57. 变压器耦合差分时钟(频率可达200 MHz)

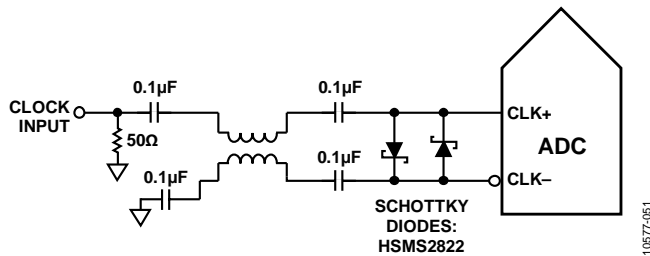


图58. 巴伦耦合差分时钟(频率可达1 GHz)

对于125 MHz至1 GHz的时钟频率，建议采用射频巴伦配置；对于10 MHz至200 MHz的时钟频率，建议采用射频变压器配置。跨接在变压器/巴伦次级绕组上的背对背肖特基二极管可以将输入到AD9635中的时钟信号限制为约差分0.8 V峰峰值。

这样，既可以防止时钟的大电压摆幅馈通至AD9635的其它部分，还可以保留信号的快速上升和下降时间，这一点对实现低抖动性能来说非常重要。但是，当频率高于500 MHz时，二极管电容会产生影响。应小心选择适当的信号限幅二极管。

如果没有低抖动的时钟源，那么，另一种方法是将差分PECL信号交流耦合至采样时钟输入引脚(如图59所示)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517时钟驱动器具有出色的抖动性能。

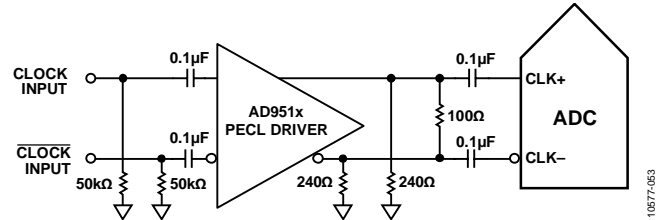


图59. 差分PECL采样时钟(频率可达1 GHz)

第三种方法是将差分LVDS信号交流耦合至采样时钟输入引脚(如图60所示)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517时钟驱动器具有出色的抖动性能。

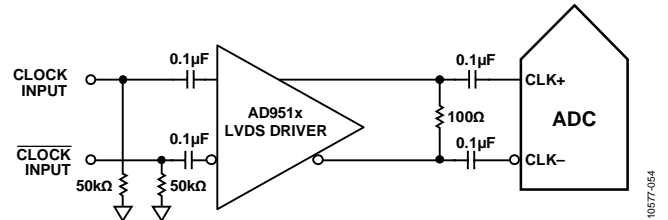
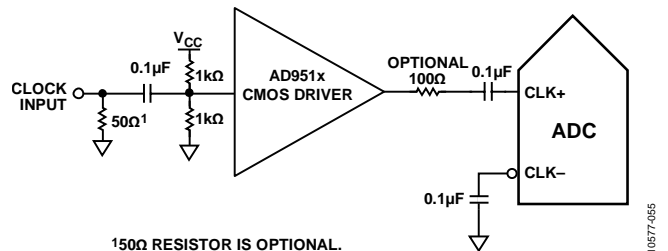


图60. 差分LVDS采样时钟(频率可达1 GHz)

在某些应用中，可以利用单端1.8 V CMOS信号来驱动采样时钟输入。在此类应用中，CLK+引脚直接由CMOS门电路驱动，CLK-引脚则通过一个0.1 μF电容旁路至地(见图61)。



150Ω RESISTOR IS OPTIONAL.

图61. 单端1.8 V CMOS输入时钟(频率可达200 MHz)

## 输入时钟分频器

AD9635内置一个输入时钟分频器，可对输入时钟进行1至8整数倍分频。要实现给定的采样速率，外部时钟的频率须与分频值相乘。较高的外部时钟速率一般会降低时钟抖动，这对中频欠采样应用十分有利。

## 时钟占空比

典型的高速ADC利用两个时钟边沿产生不同的内部定时信号，因此，它对时钟占空比非常敏感。通常，为保持ADC的动态性能，时钟占空比容差应为±5%。

AD9635内置一个占空比稳定器(DCS)，可对非采样边沿(下降沿)进行重新定时，并提供标称占空比为50%的内部时钟信号。因此，用户可提供的时钟输入占空比范围非常广，且不会影响AD9635的性能。当DCS开启时，在很宽的占空比范围内，噪声和失真性能几乎是平坦的。

输入上升沿的抖动依然值得关注，且无法借助内部稳定电路来轻易减少这种抖动。当时钟速率低于20 MHz(标称值)时，占空比控制环路没有作为。在时钟速率动态改变的应用中，必须考虑与环路相关的时间常量。在DCS环路重新锁定输入信号前，都需要等待1.5 μs至5 μs的时间。

## 抖动考虑

高速、高分辨率ADC对时钟输入信号的质量非常敏感。在给定的输入频率( $f_A$ )下，由于孔径抖动( $t_j$ )造成的信噪比(SNR)下降计算公式如下：

$$SNR \text{ Degradation} = 20 \log_{10} \left( \frac{1}{2\pi f_A t_j} \right)$$

公式中，均方根孔径抖动表示所有抖动源(包括时钟输入信号、模拟输入信号和ADC孔径抖动规格)的均方根。中频欠采样应用对抖动尤其敏感(如图62所示)。

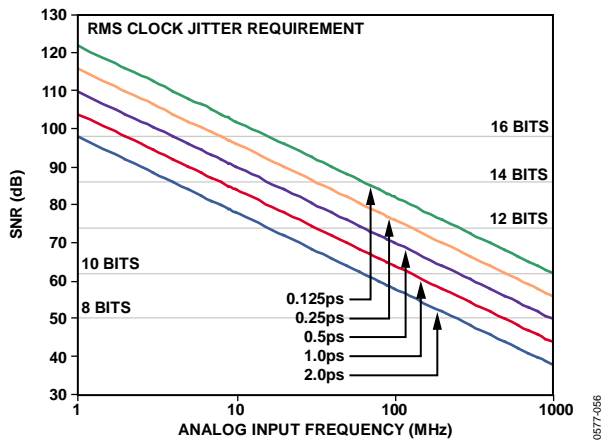


图62. 理想信噪比与输入频率和抖动的关系

当孔径抖动可能影响AD9635的动态范围时，应将时钟输入信号视为模拟信号。时钟驱动器电源应与ADC输出驱动器电源分离，以免在时钟信号内混入数字噪声。低抖动的晶体控制振荡器可提供最佳时钟源。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法)，则需要在最后对原始时钟进行重定时。

如需更深入了解与ADC相关的抖动性能信息，请参阅应用笔记AN-501和AN-756。

## 功耗和省电模式

如图63所示，AD9635的功耗与其采样速率成比例关系。通过SPI端口或将PDWN引脚置位高电平，可使AD9635进入掉电模式。在这种状态下，ADC的典型功耗为2 mW。在掉电模式下，输出驱动器处于高阻抗状态。将PDWN引脚置位低电平后，AD9635返回正常工作模式。注意，PDWN以数据输出驱动器电源电压(DRVDD)为基准，且不得高于该电压。

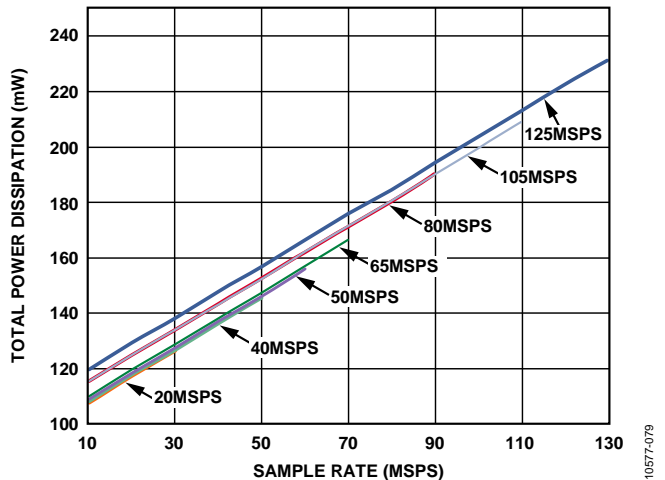


图63. 总功耗与 $f_{SAMPLE}$ 的关系( $f_{IN} = 9.7 \text{ MHz}$ )

在掉电模式下，通过关闭基准电压、基准电压缓冲器、偏置网络以及时钟，可实现低功耗。器件进入掉电模式时，内部电容放电；返回正常工作模式时，内部电容必须重新充电。因此，唤醒时间与处于掉电模式的时间有关；处于掉电模式的时间越短，则相应的唤醒时间越短。使用SPI端口接口时，用户可将ADC置于掉电模式或待机模式。如需较短的唤醒时间，可以使用待机模式，该模式下内部基准电压电路处于通电状态。有关使用这些功能的更多信息见存储器映射部分。

## 数字输出和时序

采用默认设置上电时，AD9635差分输出符合ANSI-644 LVDS标准。通过SPI接口，可以将默认设置更改为低功耗、减少信号选项(类似于IEEE 1596.3标准)。LVDS驱动器电流来自芯片，并将各输出端的输出电流设置为标称值3.5 mA。LVDS接收器输入端有一个100  $\Omega$ 差分端接电阻，因此接收器摆幅标称值为350 mV(或700 mV p-p差分)。

在缩小范围模式下工作时，输出电流降至2 mA，接收器在100  $\Omega$ 端接电阻上的摆幅为200 mV(或400 mV p-p差分)。

LVDS输出便于与定制ASIC和FPGA中的LVDS接收器接口，从而在高噪声环境中实现出色的开关性能。推荐使用单一点到点网络拓扑结构，并将100  $\Omega$ 端接电阻尽可能靠近接收器放置。如果没有远端接收器端接电阻，或者差分走线布线不佳，可能会导致时序错误。为避免产生时序错误，应确保走线长度小于24英寸，差分输出走线应尽可能彼此靠近且长度相等。

图64显示了一个走线长度和位置适当的FCO和数据流示例。

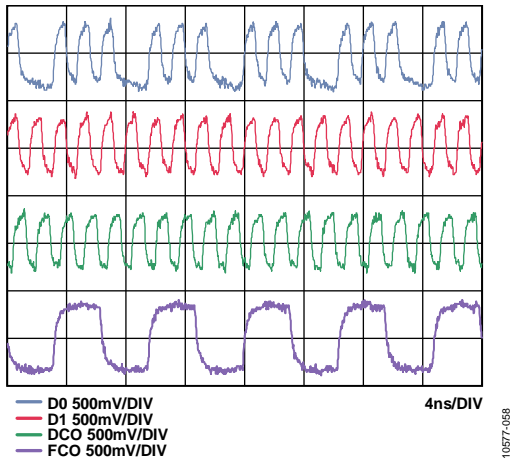


图64. AD9635-125 LVDS输出时序示例(默认ANSI-644模式下)

图65显示了缩小范围模式下的LVDS输出时序。

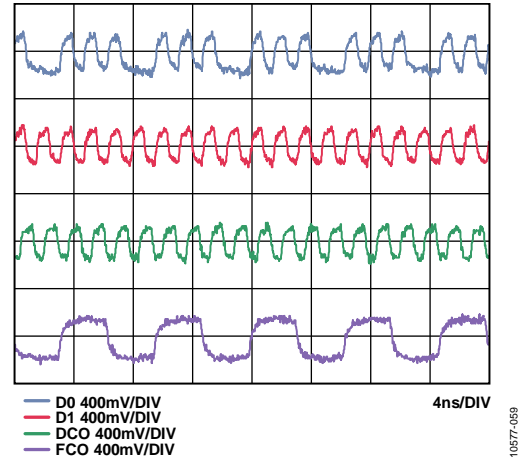


图65. AD9635-125 LVDS输出时序示例(缩小范围模式下)

图66显示使用ANSI-644标准(默认)数据眼图(LVDS输出示例)和时间间隔误差(TIE)抖动直方图，其中走线长度小于24英寸，并采用标准FR-4材料。

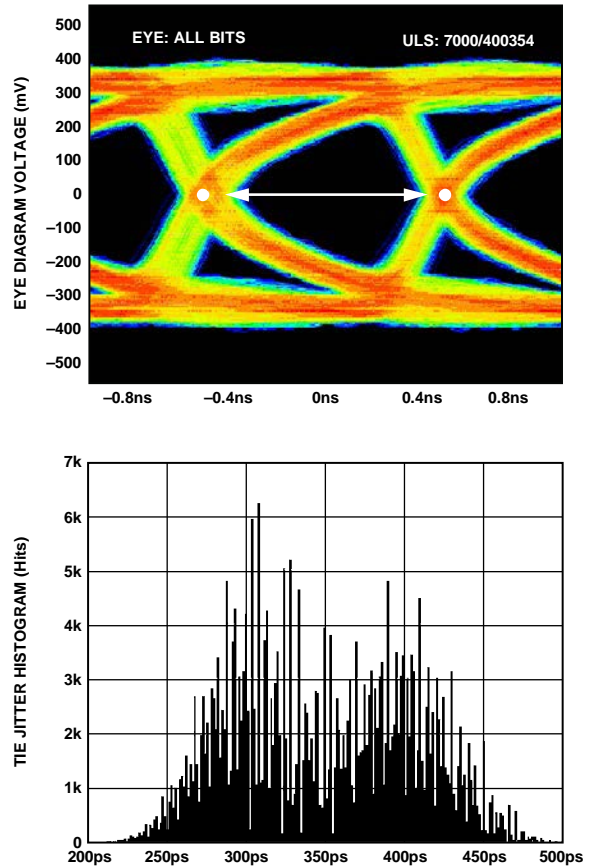


图66. LVDS输出的数据眼(ANSI-644模式，走线长度小于24英寸，标准FR-4材料，仅外部100  $\Omega$ 远端端接)

# AD9635

图67显示走线长度超过24英寸、采用标准FR-4材料的示例。请注意，从TIE抖动直方图可看出，数据眼开口随着边沿偏离理想位置而减小。

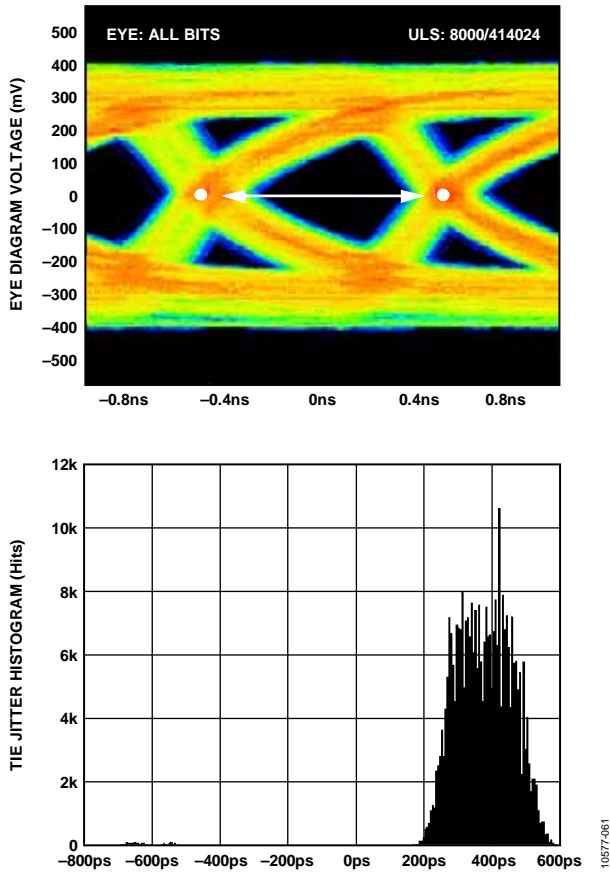


图67. LVDS输出的数据眼(ANSI-644模式，走线长度大于24英寸，标准FR-4材料，仅外部100 Ω远端端接)

当走线长度超过24英寸时，用户必须确定波形是否满足设计的时序预算要求。附加SPI选项允许用户进一步提高两路输出的内部端接电阻(提高电流)，从而驱动更长的走

线。提高电流可以通过设置寄存器0x15时序。虽然这会在数据边沿上产生更陡的上升和下降时间，并且更不容易发生比特错误，但使用此选项会提高DRVDD电源的功耗。

输出数据格式默认为二进制补码。表9给出了一个输出编码格式示例。若要将输出数据格式变为偏移二进制，请参阅存储器映射部分。

在DDR模式下，来自各ADC的数据经过串行化后，通过不同的通道提供。每个串行流的数据速率等于12位乘以采样时钟速率除以2个通道，最大值为每通道750 Mbps(12位 × 125 MSPS / 2通道 = 750 Mbps/通道)。典型最低转换速率为10 MSPS。如果转换速率小于20 MSPS，必须利用SPI重新配置集成PLL。有关使用此功能的详细信息，参见存储器映射部分的寄存器0x21。

为了帮助从AD9635捕捉数据，器件提供了两个输出时钟。DCO用来为输出数据定时，默认工作模式下，它等于采样时钟(CLK)速率的3倍。数据逐个从AD9635输出，必须在DCO的上升沿和下降沿进行捕捉；DCO支持双倍数据速率(DDR)捕捉。FCO用于指示新输出字节的开始，在1×帧模式下，它与采样时钟速率相等。更多信息参见时序图部分。

使用SPI时，DCO相位可以相对于数据边沿以60°增量进行调整。这样，必要时用户可以优化系统时序余量。DCO+和DCO-默认时序相对于输出数据边沿为180°，如图2所示。

还可以从SPI启动10位串行流。这样，用户就可以实现并测试与更低分辨率系统的兼容性。当分辨率变为10位串行流时，数据流缩短。

在默认模式下，如图2所示，数据输出串行流首先输出MSB。但这可以利用SPI将其反转，使数据输出串行流首先输出LSB。

表9. 数字输出编码

输入(V)	条件(V)	偏移二进制输出模式	二进制补码模式
VIN+ – VIN–	< –VREF – 0.5 LSB	0000 0000 0000	1000 0000 0000
VIN+ – VIN–	–VREF	0000 0000 0000	1000 0000 0000
VIN+ – VIN–	0 V	1000 0000 0000	0000 0000 0000
VIN+ – VIN–	+VREF – 1.0 LSB	1111 1111 1111	0111 1111 1111
VIN+ – VIN–	> +VREF – 0.5 LSB	1111 1111 1111	0111 1111 1111



表10. 灵活的输出测试模式

输出测试模式位序列	测试码名称	数字输出字1	数字输出字2	接受数据格式选择	注释
0000	关闭(默认)	N/A	N/A	N/A	
0001	中间电平短码	10 0000 0000 (10-bit) 1000 0000 0000 (12-bit)	N/A	是	所示为偏移二进制码
0010	+满量程短码	11 1111 1111 (10-bit) 1111 1111 1111 (12-bit)	N/A	是	所示为偏移二进制码
0011	-满量程短码	00 0000 0000 (10-bit) 0000 0000 0000 (12-bit)	N/A	是	所示为偏移二进制码
0100	棋盘形式	10 1010 1010 (10-bit) 1010 1010 1010 (12-bit)	01 0101 0101 (10-bit) 0101 0101 0101 (12-bit)	否	
0101	PN长序列 <sup>1</sup>	N/A	N/A	是	PN23 ITU 0.150 $X^{23} + X^{18} + 1$
0110	PN短序列 <sup>1</sup>	N/A	N/A	是	PN9 ITU 0.150 $X^9 + X^5 + 1$
0111	1/0字反转	11 1111 1111 (10-bit) 1111 1111 1111 (12-bit)	00 0000 0000 (10-bit) 0000 0000 0000 (12-bit)	否	
1000	用户输入	寄存器0x19至寄存器0x1A	寄存器0x1B至寄存器0x1C	否	
1001	1/0位反转	10 1010 1010 (10-bit) 1010 1010 1010 (12-bit)	N/A	否	
1010	1×同步	00 0011 1111 (10-bit) 0000 0111 1111 (12-bit)	N/A	否	
1011	1位高电平	10 0000 0000 (10-bit) 1000 0000 0000 (12-bit)	N/A	否	与外部引脚相关的测试码
1100	混合频率	10 0011 0011 (10-bit) 1000 0110 0111 (12-bit)	N/A	否	

<sup>1</sup>除PN短序列和PN长序列以外，其它测试模式都支持10到12位字长，以便验证接收器的数据捕捉是否成功。

通过SPI可以启动的数字输出测试码选项有12个。当验证接收器捕捉和时序时，这个功能很有用。可用的输出位序列选项参见表10。一些测试码有两个串行序列字，可以通过各种方式进行交替，具体取决于所选的测试码。

注意有些测试码可能并不遵守数据格式选择选项。此外，可以在0x19、0x1A、0x1B和0x1C寄存器地址中指定用户定义的测试码。

PN短序列测试码产生一个伪随机位序列，每隔 $2^9 - 1$ 或511位重复一次。关于PN序列的说明以及如何产生，请参阅ITU-T 0.150 (05/96)标准的第5.1部分。种子值为全1(初始值见表11)。输出为串行PN9序列的并行表示(MSB优先格式)。第一个输出字是PN9序列MSB对齐形式的前12位。

表11. PN序列

序列	初始值	前三个采样输出(MSB优先), 二进制补码
PN短序列	0x7F8	0xBDF, 0x973, 0xA09
PN长序列	0x7FF	0x7FE, 0x800, 0xFC0

PN长序列测试码产生一个伪随机位序列，每隔 $2^{23} - 1$ 或8,388,607位重复一次。关于PN序列的说明以及如何产生，请参阅ITU-T 0.150 (05/96)标准的第5.6部分。种子值为全1(初始值见表11)，AD9635的位流与ITU标准相反。输出为串行PN23序列的并行表示(MSB优先格式)。第一个输出字是PN23序列MSB对齐形式的前12位。

有关如何通过SPI更改这些附加数字输出时序特性的信息，请参阅存储器映射部分。

**SDIO/PDWN引脚**

对于不需要SPI工作模式的应用，CSB引脚连接到DRVDD，SDIO/PDWN引脚依据表12控制掉电模式。

**表12. 掉电模式引脚设置**

PDWN引脚电压	器件模式
AGND(默认)	运行器件，正常工作
DRVDD	关断器件

注意，在非SPI模式下(CSB接DRVDD)，必须遵守“电源和接地指南”部分所述的上电顺序。如果违反上电顺序，则需要通过SPI执行软复位，而这在非SPI模式下是不可能的。

**SCLK/DFS引脚**

SCLK/DFS引脚用于不需要SPI工作模式的应用中的输出格式选择。在器件上电期间，当CSB引脚保持高电平时，此引脚决定数字输出格式。当SCLK/DFS接DRVDD时，ADC输出格式为二进制补码；当SCLK/DFS接AGND时，ADC输出格式为偏移二进制。

**表13. 数字输出格式**

DFS电压	输出格式
AGND	偏移二进制
DRVDD	二进制补码

**CSB引脚**

对于不需要SPI工作模式的应用，CSB引脚应连接到DRVDD。将CSB接高电平后，所有SCLK和SDIO信息都会被忽略。

注意，在非SPI模式下(CSB接DRVDD)，必须遵守“电源和接地指南”部分所述的上电顺序。如果违反上电顺序，则需要通过SPI执行软复位，而这在非SPI模式下是不可能的。

**RBIAS引脚**

为了设置ADC的内核偏置电流，应在RBIAS引脚上串联一个10.0 kΩ、1%容差接地电阻。

**输出测试模式**

输出测试选项见表10所示，由地址0x0D的输出测试模式位控制。当使能输出测试模式时，ADC的模拟部分与数字后端模块断开，测试码经过输出格式化模块。有些测试码需要进行输出格式化，有些则不需要。将寄存器0x0D的位4或位5置1，可以将PN序列测试的PN发生器复位。执行这些测试时，模拟信号可有可无(如有，则忽略模拟信号)，但编码时钟必不可少。如需了解更多信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。

## 串行端口接口(SPI)

AD9635的串行端口接口(SPI)允许用户利用ADC内部的一个结构化寄存器空间来配置转换器，以满足特定功能和操作的需要。SPI具有灵活性，可根据具体的应用进行定制。通过串行端口，可访问地址空间、对地址空间进行读写。存储空间以字节为单位进行组织，并且可以进一步细分成多个区域，如存储器映射部分所述。如需了解详细操作信息，请参阅应用笔记AN-877“通过SPI与高速ADC接口”。

### 使用SPI的配置

该ADC的SPI由三部分组成：SCLK/DFS引脚、SDIO/PDWN引脚和CSB引脚(见表14)。SCLK/DFS(CSB接低电平时为串行时钟)引脚用于同步ADC数据的读取和写入。SDIO/PDWN(CSB接低电平时为串行数据输入/输出)双功能引脚允许将数据发送至内部ADC存储器映射寄存器或从寄存器中读出数据。CSB(片选信号)引脚是低电平有效控制引脚，它能够使能或者禁用SPI读写周期。

表14. 串行端口接口引脚

引脚	功能
SCLK/DFS	CSB接低电平时为串行时钟。串行移位时钟输入，用来同步串行接口的读、写操作。
SDIO/PDWN	CSB接低电平时为串行数据输入/输出。双功能引脚；通常用作输入或输出，取决于发送的指令和时序帧中的相对位置。
CSB	片选信号。低电平有效控制信号，用来使能SPI模式读写周期。

CSB的下降沿与SCLK/DFS的上升沿共同决定帧的开始。串行时序的实例如图68所示。时序参数的定义见表5。

CSB引脚可以在其它模式下工作。CSB可始终维持在低电平状态，从而使器件一直处于使能状态；这称作流。CSB可以在字节之间停留在高电平，这样可以允许其他外部时序。CSB引脚拉高时，SPI功能处于高阻态模式。在该模式下，可以开启SPI引脚的第二功能。

在SPI操作的指令阶段，传输一条16位指令。在指令传输后将进行数据传输，数据长度由W0位和W1位共同决定。

除了字长，指令周期还决定串行帧是读操作指令还是写操作指令，从而通过串行端口对芯片编程或读取片上存储器内的数据。多字节串行数据传输帧的第一个字节的第一位表示发出的是读命令还是写命令。如果指令是回读操作，则执行回读操作会使串行数据输入/输出(SPIO)引脚的数据传输方向，在串行帧的一定位置由输入改为输出。

所有数据均由8位字组成。数据可通过MSB优先模式或LSB优先模式发送。芯片上电后，默认模式为MSB优先，可以通过SPI端口配置寄存器来更改数据发送方式。如需了解更多关于该特性及其它特性的信息，请参阅应用笔记AN-877“通过SPI与高速ADC接口”。

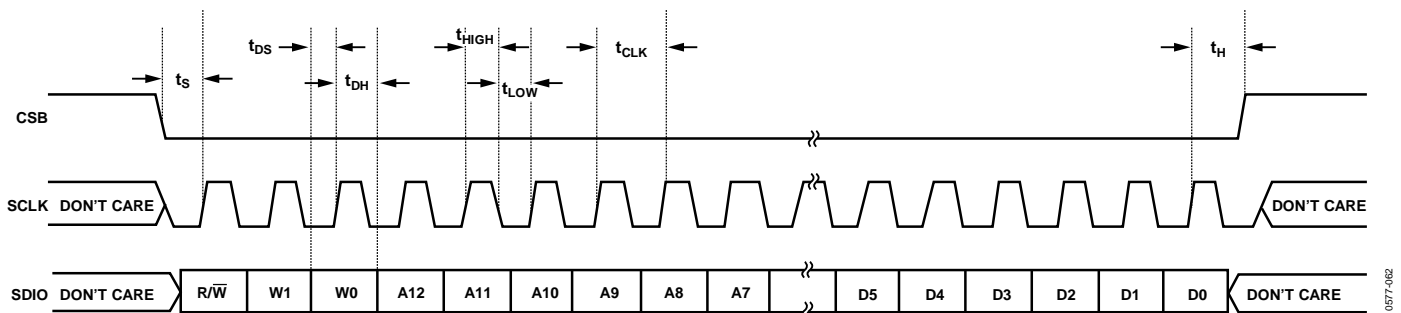


图68. 串行端口接口时序图

## 硬件接口

表14中所描述的引脚包括用户编程器件与AD9635的串行端口之间的物理接口。当使用SPI接口时，SCLK/DFS引脚和CSB引脚用作输入引脚。SDIO/PDWN引脚是双向引脚，在写入阶段，用作输入引脚；在回读阶段，用作输出引脚。

SPI接口非常灵活，FPGA或微控制器均可控制该接口。[应用笔记AN-812](#)“基于微控制器的串行端口接口(SPI)启动电路”中详细介绍了一种SPI配置方法。

当需要转换器充分发挥其全动态性能时，应禁用SPI端口。通常SCLK/DFS信号、CSB信号和SDIO/PDWN信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD9635之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

不使用SPI接口时，SCLK/DFS和SDIO/PDWN引脚可以发挥第二功能。在器件上电期间，当这些引脚与DRVDD或接地端连接时，这些引脚可起到特定的作用。表12和表13说明了AD9635支持的绑定功能。

## 不使用SPI的配置

在不使用SPI控制寄存器接口的应用中，SCLK/DFS引脚和SDIO/PDWN引脚用作独立的CMOS兼容控制引脚。当器件上电后，假设用户希望将这些引脚用作静态控制线，分别控制输出数据格式和掉电特性。在此模式下，CSB引脚应与DRVDD相连，以禁用串行端口接口。

注意，在非SPI模式下(CSB接DRVDD)，必须遵守“电源和接地指南”部分所述的上电顺序。如果违反上电顺序，则需要通过SPI执行软复位，而这在非SPI模式下是不可能的。

## SPI访问特性

表15简要说明了可通过SPI访问的一般特性。如需详细了解这些特性，请参阅[应用笔记AN-877](#)“通过SPI与高速ADC接口”。AD9635器件特定的特性详见表16(外部存储器映射寄存器表)。

**表15. 可通过SPI访问的特性**

特性名称	描述
功耗模式	允许用户设置掉电模式或待机模式
时钟	允许用户访问DCS，设置时钟分频器，以及设置时钟分频器相位
失调	允许用户以数字方式调整转换器失调
测试I/O	允许用户设置测试模式，以便在输出位上获得已知数据
输出模式	允许用户设置输出模式
输出相位	允许用户设置输出时钟极性
ADC分辨率	允许根据采样速率调整功耗

## 存储器映射

### 读取存储器映射寄存器表

存储器映射寄存器表(见表16)的每一行有8位。存储器映射大致分为三个部分：芯片配置寄存器(地址0x00至地址0x02)、器件索引和传送寄存器(地址0x05和地址0xFF)，以及全局ADC功能寄存器，包括设置、控制和测试(地址0x08至地址0x102)。

存储器映射寄存器表列出了每个十六进制地址及其十六进制默认值。位7 (MSB) 栏为给定十六进制默认值的起始位。例如，器件索引寄存器(地址0x05)的十六进制默认值为0x33，表示在地址0x05中，位[7:6] = 00，位[5:4] = 11，位[3:2] = 00，位[1:0] = 11(二进制)。此设置是默认的通道索引设置。该默认值导致两个ADC通道均会接收下一个写命令。如需了解更多关于该功能及其它功能的信息，请参阅应用笔记AN-877“通过SPI与高速ADC接口”。该应用笔记详细描述了寄存器0x00至寄存器0xFF控制的功能。“存储器映射寄存器描述”部分介绍了其它寄存器。

### 禁用的地址

此器件目前不支持表16中未包括的所有地址和位。有效地址中未使用的位应写为0。当一个地址(例如地址0x05)仅有部分位处于禁用状态时，才需要对这些位置进行写操作。如果整个地址(例如地址0x13)均禁用或未在表16中列出，则不应对该地址进行写操作。

### 默认值

AD9635复位后，关键寄存器将载入默认值。表16(存储器映像寄存器表)内列出了各寄存器的默认值。

### 逻辑电平

以下是逻辑电平的术语说明：

- “置位”指将某位设置为逻辑“1”或“向某位写入逻辑1”。
- “清除位”指将某位设置为逻辑“0”或“向某位写入逻辑0”。

### 特定通道寄存器

可通过编程，单独为每个通道设置某些通道功能(例如：信号监控阈值)。在这些情况下，可在内部为每个通道复制通道地址位置。这些寄存器及相应的局部寄存器位，见表16。通过设置寄存器0x05的适当数据通道位(A或B)、时钟通道DCO位(位5)和FCO位(位4)，可访问这些局部寄存器及相应位。如果所有位均置位，后续写操作将影响两个通道及DCO/FCO时钟通道的寄存器。在一个读周期内，仅允许设置一个通道(A或B)，以便对两个寄存器中的一个执行读操作。如果在一个SPI读周期内置位所有位，则器件返回通道A的值。表16给出的全局寄存器及相应位会影响整个器件或通道的特性，不允许分别设置每个通道。寄存器0x05中的设置不影响全局寄存器及相应位的值。

# AD9635

## 存储器映射寄存器表

AD9635使用3线接口和16位寻址，因此，寄存器0x00的位0和位7置0，位3和位4置1。

当寄存器0x00的位5置1时，SPI进入软复位，所有用户寄存器恢复默认值，位2自动清0。

表16.

地址(十六进制)	参数名称	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	默认值 (十六进制)	注释
芯片配置寄存器											
0x00	SPI端口配置	0=SDO有效	LSB优先	软复位	1=16位地址	1=16位地址	软复位	LSB优先	0=SDO有效	0x18	半字节镜像复制，无论MSB优先还是LSB优先模式，给定寄存器值均能执行同样的功能。
0x01	芯片ID(全局)	8位芯片ID，位[7:0] AD9635 0x8D = 双通道、12位、80 MSPS/125 MSPS、串行LVDS								0x8D	唯一芯片ID，用来区分器件；只读。
0x02	芯片等级(全局)	禁用	速度等级ID，位[6:4] 100 = 80 MSPS 110 = 125 MSPS			禁用	禁用	禁用	禁用		唯一速度等级ID，用来区分器件等级；只读。
器件索引和传送寄存器											
0x05	器件索引	禁用	禁用	时钟通道 DCO	时钟通道 FCO	禁用	禁用	数据通道B	数据通道A	0x33	设置这些位以决定片内何器件接收下一个写命令。默认为片内所有器件。
0xFF	传送	禁用	禁用	禁用	禁用	禁用	禁用	禁用	启动覆盖	0x00	设置分辨率/采样速率覆盖。
全局ADC功能寄存器											
0x08	功耗模式(全局)	禁用	禁用	禁用	禁用	禁用	禁用	功耗模式 00 = 芯片运行 01 = 完全掉电 10 = 待机 11 = 复位		0x00	决定芯片的一般工作模式。
0x09	时钟(全局)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	占空比稳定器 0 = 关 1 = 开	0x00	打开或关闭占空比稳定器。
0x0B	时钟分频器(全局)	禁用	禁用	禁用	禁用	禁用	时钟分频比[2:0] 000 = 1分频 001 = 2分频 010 = 3分频 011 = 4分频 100 = 5分频 101 = 6分频 110 = 7分频 111 = 8分频			0x00	
0x0C	增强控制	禁用	禁用	禁用	禁用	禁用	斩波模式 0 = 关 1 = 开	禁用	禁用	0x00	使能/禁用斩波模式。

地址(十六进制)	参数名称	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	默认值 (十六进制)	注释	
0x0D	测试模式 (局部, PN 序列复位除外)	用户输入测试模式 00 = 单一 01 = 交替 10 = 单一一次 11 = 交替一次 (仅影响用户输入测试模式, 位 [3:0] = 1000)		产生复位 PN长序列	产生复位 PN短序列	输出测试模式, 位[3:0](局部) 0000 = 关(默认) 0001 = 中间电平短路 0010 = 正FS 0011 = 负FS 0100 = 交替棋盘形式 0101 = PN23序列 0110 = PN9序列 0111 = 1/0字反转 1000 = 用户输入 1001 = 1/0位反转 1010 = 1×同步 1011 = 1位高电平 1100 = 混合位频率				0x00	置1时, 测试数据将取代正常数据被置于输出引脚上。	
0x10	失调调整(局部)	8位器件失调调整, 位[7:0](局部) 失调调整以LSB为单位, 从+127到-128(二进制补码格式)									0x00	器件失调调整。
0x14	输出模式	禁用	LVDS-ANSI/ LVDS-IEEE选项 0 = LVDS-ANSI 1 = LVDS-IEEE 缩小范围链路 (全局); 见表17	禁用	禁用	禁用	输出反转 (局部)	禁用	输出格式 0 = 偏移 二进制 1 = 二进制 补码 (全局)	0x01	配置输出和数据格式。	
0x15	输出调整	禁用	禁用	输出驱动器 端接, 位[1:0] 00 = 无 01 = 200 Ω 10 = 100 Ω 11 = 100 Ω		禁用	禁用	禁用	输出驱动 0 = 1×驱动 1 = 2×驱动	0x00	决定LVDS或其它输出属性。	
0x16	输出相位	禁用	输入时钟相位调整, 位[6:4] (值为相位延迟的输入时钟周期数); 见表18			输出时钟相位调整, 位[3:0] (0000至1011); 见表19				0x03	用于利用全局时钟分频的器件上, 决定使用分频器输出的哪一个相位来提供输出时钟。内部锁存不受影响。	
0x18	V <sub>REF</sub>	禁用	禁用	禁用	禁用	禁用	内部V <sub>REF</sub> 调整 数字方案, 位[2:0] 000 = 1.0 V p-p 001 = 1.14 V p-p 010 = 1.33 V p-p 011 = 1.6 V p-p 100 = 2.0 V p-p			0x04	选择和/或调整V <sub>REF</sub>	
0x19	USER_PATT1_LSB (全局)	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的测试码1 LSB。	
0x1A	USER_PATT1_MSB (全局)	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的测试码1 MSB。	
0x1B	USER_PATT2_LSB (全局)	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的测试码2 LSB。	
0x1C	USER_PATT2_MSB (全局)	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的测试码2 MSB。	

# AD9635

地址(十六进制)	参数名称	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	默认值 (十六进制)	注释
0x21	串行输出数据控制(全局)	LVDS 输出 0 = MSB 优先 (默认) 1 = LSB 优先	SDR/DDR单通道/双通道、逐位/逐字节, 位[6:4] 000 = SDR双通道、逐位 001 = SDR双通道、逐字节 010 = DDR双通道、逐位 011 = DDR双通道、逐字节 (默认) 100 = DDR单通道、逐字			编码模式 0 = 正常 编码速率模式 (默认) 1 = 低编码速率模式(采样速率 < 20 MSPS)	0 = 1×帧 (魔方) 1 = 2×帧	串行输出位数 10 = 12位 (默认) 11 = 10位		0x32	串行流控制。采样速率小于 20 MSPS时, 要求位[6:4] = 100(DDR单通道)和位 3 = 1(低编码速率模式)。
0x22	串行通道状态(局部)	禁用	禁用	禁用	禁用	禁用	禁用	通道输出复位	通道掉电	0x00	用来关断转换器的各个部分。
0x100	分辨率/采样速率覆盖	禁用	分辨率/采样速率覆盖使能	分辨率 10 = 12位 11 = 10位		禁用	采样速率 000 = 20 MSPS 001 = 40 MSPS 010 = 50 MSPS 011 = 65 MSPS 100 = 80 MSPS 101 = 105 MSPS 110 = 125 MSPS			0x00	分辨率/采样速率覆盖 (要求写入传送寄存器 0xFF)。
0x101	用户I/O控制2	禁用	禁用	禁用	禁用	禁用	禁用	禁用	SDIO pull-down	0x00	禁用SDIO下拉电阻。
0x102	用户I/O控制3	禁用	禁用	禁用	禁用	VCM掉电	禁用	禁用	禁用	0x00	VCM控制。



## 存储器映射寄存器描述

如需了解有关寄存器0x00至寄存器0xFF所控制功能的更多信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。

### 器件索引(寄存器0x05)

对于映射中的某些特性，各通道可以独立设置，而其它特性则是全局适用(取决于上下文)，不论选择哪一通道。寄存器0x05的位[1:0]可以用来选择哪个数据通道受影响。输出时钟通道也可以通过寄存器0x05选择。可以让独立特性的一个较小子集适用于这些器件。

### 传送(寄存器0xFF)

除寄存器0x100外，所有其它寄存器都在写入时立刻更新。寄存器0xFF的位0置1时，ADC采样速率覆盖寄存器(地址0x100)的设置初始化。

### 功耗模式(寄存器0x08)

#### 位[7:2]—禁用

#### 位[1:0]—功耗模式

正常工作(位[1:0] = 00)时，两个ADC通道均启用。

掉电模式(位[1:0] = 01)下，数字数据路径时钟禁用，数字数据路径复位。输出禁用。

待机模式(位[1:0] = 10)下，数字数据路径时钟和输出均禁用。

数字复位(位[1:0] = 11)期间，除SPI端口外，芯片的所有其它数字数据路径时钟和输出(适用时)均复位。注意，SPI始终受用户的控制，从不会自动禁用或复位(除非上电复位)。

### 增强控制(寄存器0x0C)

#### 位[7:3]—禁用

#### 位2—斩波模式

某些应用对失调电压和其它低频噪声敏感，如零差或直接变频接收机等，针对这些应用，可以将位2置1来使能AD9635第一级的斩波特性。在频域，斩波将失调和其它低频噪声转换为 $f_{CLK}/2$ ，可以通过滤波器予以滤除。

#### 位[1:0]—禁用

### 输出模式(寄存器0x14)

#### 位7—禁用

#### 位6—LVDS-ANSI/LVDS-IEEE选项

此位置1，选择LVDS-IEEE(缩小范围)选项。

默认设置为LVDS-ANSI。选择LVDS-ANSI或LVDS-IEEE缩小范围链路时，用户可以选择驱动器端接(见表17)。驱动器电流自动选择以提供适当的输出摆幅。

表17. LVDS-ANSI/LVDS-IEEE选项

输出模式，位6	输出模式	输出驱动器端接	输出驱动器电流
0	LVDS-ANSI	用户可选	自动选择以提供适当的摆幅
1	LVDS-IEEE 缩小范围 链路	用户可选	自动选择以提供适当的摆幅

#### 位[5:3]—禁用

#### 位2—输出反转

此位置1，输出位流反转。

#### 位1—禁用

#### 位0—输出格式

默认情况下，此位置1，以二进制补码格式发送数据输出。如果此位清0，输出模式变为偏移二进制。

### 输出调整(寄存器0x15)

#### 位[7:6]—禁用

#### 位[5:4]—输出驱动器端接

利用这些位，用户可以选择内部端接电阻。

#### 位[3:1]—禁用

#### 位0—输出驱动

输出调整寄存器的位0仅控制FCO和DCO输出的LVDS驱动器的驱动强度。默认值为1×驱动，通过设置寄存器0x05中的适当通道位，然后将位0置1，可以将驱动强度提高到2×。这些特性不能与输出驱动器端接选择一起使用。输出驱动器端接和输出驱动同时选择时，端接选择优先于FCO和DCO的2×驱动强度选择。

### 输出相位(寄存器0x16)

#### 位7—禁用

#### 位[6:4]—输入时钟相位调整

详情参见表18。

表18. 输入时钟相位调整选项

输入时钟相位调整，位[6:4]	相位延迟的输入时钟周期数
000(默认)	0
001	1
010	2
011	3
100	4
101	5
110	6
111	7

# AD9635

## 位[3:0]—输出时钟相位调整

详情参见表19。

**表19. 输出时钟相位调整选项**

输出时钟(DCO), 相位调整, 位[3:0]	DCO相位调整(相对于D0x±/ D1x±边沿的度数)
0000	0
0001	60
0010	120
0011(默认)	180
0100	240
0101	300
0110	360
0111	420
1000	480
1001	540
1010	600
1011	660

## 串行输出数据控制(寄存器0x21)

串行输出数据控制寄存器用于设置AD9635的各种输出数据模式, 具体依据数据捕捉方案而定。表20列出了AD9635的各种串行化选项。

**表20. SPI寄存器选项**

寄存器0x21 内容	选择的串行化选项			DCO倍频器	时序图
	串行输出位数 (SONB)	帧模式	串行数据模式		
0x32	12-bit	1×	DDR双通道逐字节	3 × f <sub>S</sub>	见图2(默认设置)
0x22	12-bit	1×	DDR双通道逐位	3 × f <sub>S</sub>	见图2
0x12	12-bit	1×	SDR双通道逐字节	6 × f <sub>S</sub>	见图2
0x02	12-bit	1×	SDR双通道逐位	6 × f <sub>S</sub>	见图2
0x36	12-bit	2×	DDR双通道逐字节	3 × f <sub>S</sub>	见图4
0x26	12-bit	2×	DDR双通道逐位	3 × f <sub>S</sub>	见图4
0x16	12-bit	2×	SDR双通道逐字节	6 × f <sub>S</sub>	见图4
0x06	12-bit	2×	SDR双通道逐位	6 × f <sub>S</sub>	见图4
0x42	12-bit	1×	DDR单通道逐字	6 × f <sub>S</sub>	见图6
0x33	10-bit	1×	DDR双通道逐字节	2.5 × f <sub>S</sub>	见图3
0x23	10-bit	1×	DDR双通道逐位	2.5 × f <sub>S</sub>	见图3
0x13	10-bit	1×	SDR双通道逐字节	5 × f <sub>S</sub>	见图3
0x03	10-bit	1×	SDR双通道逐位	5 × f <sub>S</sub>	见图3
0x37	10-bit	2×	DDR双通道逐字节	2.5 × f <sub>S</sub>	见图5
0x27	10-bit	2×	DDR双通道逐位	2.5 × f <sub>S</sub>	见图5
0x17	10-bit	2×	SDR双通道逐字节	5 × f <sub>S</sub>	见图5
0x07	10-bit	2×	SDR双通道逐位	5 × f <sub>S</sub>	见图5
0x43	10-bit	1×	DDR单通道逐字	5 × f <sub>S</sub>	见图7

## 分辨率/采样速率覆盖(寄存器0x100)

利用此寄存器, 用户可以降低器件性能。任何提升默认速度等级的尝试都会导致芯片掉电。此寄存器的设置在传送寄存器(寄存器0xFF)的位0写入1后初始化。

## 用户I/O控制2(寄存器0x101)

### 位[7:1]—禁用

#### 位0—SDIO下拉

位0可以置1以禁用SDIO引脚内置的30 kΩ下拉电阻; 当许多器件连接到SPI总线时, 它可以用来限制负载。

## 用户I/O控制3(寄存器0x102)

### 位[7:4]—禁用

#### 位3—VCM掉电

通过将位3置1, 可关断内部VCM发生器。使用外部基准电压源时使用此功能。

### 位[2:0]—禁用

## 应用信息

### 设计指南

在进行AD9635的系统设计和布局之前，建议设计者先熟悉下述设计指南，其中说明了某些引脚所需的特殊电路连接和布局布线要求。

### 电源和接地指南

当连接电源至AD9635时，建议使用两个独立的1.8 V电源：一个电源用于模拟输出(AVDD)，另一个电源用于数字输出(DRVDD)。对于AVDD和DRVDD，应使用多个不同的去耦电容以支持高频和低频。去耦电容应放置在接近PCB入口点和接近器件引脚的位置，并尽可能缩短走线长度。

使用两个电源时，AVDD不得先于DRVDD上电，DRVDD必须先于或与AVDD同时上电。如果违反此顺序，通过SPI寄存器0x00 (位[7:0] = 0x3C)执行软复位，然后通过SPI寄存器0x08 (位[7:0] = 0x03，随后位[7:0] = 0x00)执行数字复位，可使器件恢复正常工作。

在非SPI模式下，电源上电顺序是强制性的，违反顺序将无法补救。

AD9635仅需要一个PCB接地层。对PCB模拟、数字和时钟模块进行合理去耦和巧妙分隔，可以轻松获得最佳性能。

### 裸露焊盘散热块建议

为获得最佳的电气性能和热性能，必须将ADC底部的裸露焊盘连接至模拟地(AGND)。PCB上裸露的连续铜平面应与AD9635的裸露焊盘(引脚0)匹配。铜平面上应有多个通孔，获得尽可能低的热阻路径以通过PCB底部进行散热。这些过孔应填满焊料或插入插针。

为了最大化地实现ADC与PCB之间的覆盖与连接，应在PCB上覆盖一个丝印层，以便将PCB上的连续铜平面划分为多个均等的部分。这样，在回流焊过程中，可在ADC与PCB之间提供多个连接点，而一个连续的、无分割的平面只能保证一个连接点。可以参考图69所示的PCB布局布线范例。如需了解有关封装和芯片级封装PCB布局布线的详细信息，请参阅应用笔记AN-772：“LFCSP封装设计与制造指南”(www.analog.com)。

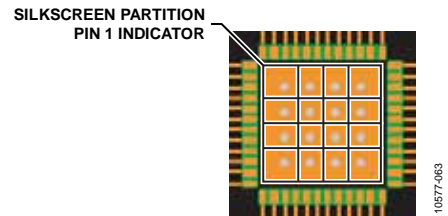


图69. 典型PCB布局布线

### VCM

VCM引脚应通过一个0.1  $\mu$ F电容去耦至地。

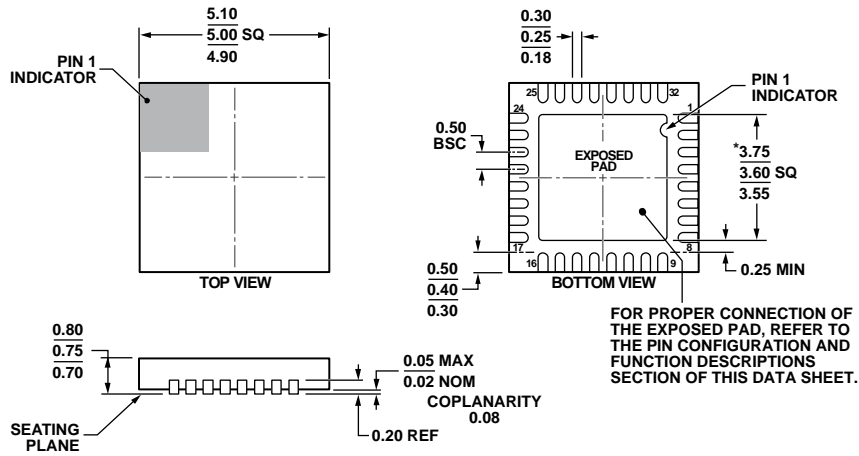
### 基准电压源去耦

VREF引脚应通过外部一个低ESR 0.1  $\mu$ F陶瓷电容和一个低ESR 1.0  $\mu$ F电容的并联组合去耦至地。

### SPI端口

当需要转换器充分发挥其全动态性能时，应禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD9635之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

## 外形尺寸



\*COMPLIANT TO JEDEC STANDARDS MO-220-WHHD-5 WITH EXCEPTION TO EXPOSED PAD DIMENSION.

图70. 32引脚引脚架构芯片级封装[LFCSP\_WQ]  
5 mm x 5 mm, 超薄体  
(CP-32-12)  
尺寸单位: mm

08/16/2010-B

## 订购指南

型号 <sup>1</sup>	温度范围	封装描述	封装选项
AD9635BCPZ-80	-40°C至+85°C	32引脚架构芯片级封装(LFCSP_WQ)	CP-32-12
AD9635BCPZRL7-80	-40°C至+85°C	32引脚架构芯片级封装(LFCSP_WQ)	CP-32-12
AD9635BCPZ-125	-40°C至+85°C	32引脚架构芯片级封装(LFCSP_WQ)	CP-32-12
AD9635BCPZRL7-125	-40°C至+85°C	32引脚架构芯片级封装(LFCSP_WQ)	CP-32-12
AD9635-125EBZ		评估板	

<sup>1</sup> Z = 符合RoHS标准的器件。