

## AD5629R/AD5669R

### 产品特性

#### 低功耗8通道DAC

**AD5629R**: 12位

**AD5669R**: 16位

2.6 mm × 2.6 mm、16引脚WLCSP

4 mm × 4 mm、16引脚LFCSP和16引脚TSSOP

1.25 V/2.5 V、5 ppm/°C片内基准电压源

关断模式下的功耗: 400 nA (5 V), 200 nA (3 V)

2.7 V至5.5 V电源

通过设计保证单调性

上电复位至零电平或中间电平

3种关断功能

硬件LDAC和CLR功能

I<sup>2</sup>C兼容型串行接口支持标准(100 kHz)和快速(400 kHz)模式

### 应用

过程控制

数据采集系统

便携式电池供电仪表

数字增益和失调电压调整

可编程电压源和电流源

### 概述

AD5629R/AD5669R分别是低功耗、8通道、12/16位缓冲电压输出DAC，通过设计保证单调性。

AD5629R/AD5669R片内集成基准电压源，内部增益为2。AD5629R-1/AD5669R-1内置一个1.25 V、5 ppm/°C基准电压源，满量程输出范围为2.5 V。AD5629R-2/AD5629R-3和AD5669R-2/AD5669R-3内置2.5 V、5 ppm/°C基准电压源，满量程输出范围为5 V，具体取决于所选的选项。选择1.25 V基准电压的器件可采用2.7 V至5.5 V单电源供电。选择2.5 V基准电压的器件可在4.5 V至5.5 V电压范围内工作。上电时，片内基准电压源关闭，因而可以用外部基准电压。内部基准电压源通过软件写入使能。

### 功能框图

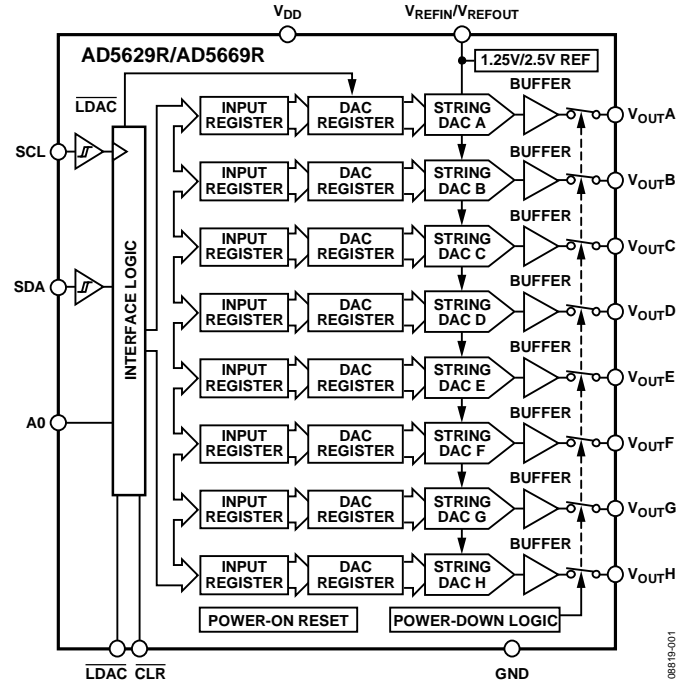


图1.

上述器件内置一个上电复位电路，确保DAC输出上电至0 V (AD5629R-1/AD5629R-2、AD5669R-1/AD5669R-2)或中量程(AD5629R-3/AD5669R-3)并保持该电平，直到执行一次有效的写操作为止。此外还具有各通道独立关断特性，在关断模式下，器件在5 V时的功耗降至400 nA，并提供软件可选输出负载。

### 产品特色

1. 8通道12/16位DAC。
2. 1.25 V/2.5 V、5 ppm/°C片内基准电压源。
3. 采用16引脚LFCSP和TSSOP、16引脚WLCSP封装。
4. 上电复位至0 V或中间电平。
5. 关断功能。关断模式下，3 V时DAC的典型功耗为200 nA，5 V时为400 nA。

Rev. D

#### Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 ©2010–2014 Analog Devices, Inc. All rights reserved.  
Technical Support [www.analog.com](http://www.analog.com)

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

## 目录

特性.....	1	电阻串.....	21
应用.....	1	内部基准电压源.....	21
功能框图.....	1	输出放大器.....	22
概述.....	1	串行接口.....	22
产品特点.....	1	写操作.....	22
修订历史.....	2	读操作.....	22
技术规格.....	3	输入移位寄存器.....	23
交流特性.....	6	多字节操作.....	23
I <sup>2</sup> C时序特性.....	7	内部基准电压寄存器.....	24
绝对最大额定值.....	9	上电复位.....	24
ESD警告.....	9	省电模式.....	25
引脚配置和功能描述.....	10	清零编码寄存器.....	25
典型性能参数.....	12	LDAC 功能.....	27
术语.....	19	电源旁路和接地.....	27
工作原理.....	21	外形尺寸.....	28
数模转换器(DAC)部分.....	21	订购指南.....	30

## 修订历史

### 2014年4月—修订版C至修订版D

更改表6中的V <sub>OUT</sub> B、V <sub>OUT</sub> C、V <sub>OUT</sub> D、V <sub>OUT</sub> E、V <sub>OUT</sub> G、V <sub>OUT</sub> H引脚编号.....	11
--	----

### 2014年2月—修订版B至修订版C

更改表6.....	11
更改图38、图39和图40.....	17
更改“订购指南”.....	30

### 2013年2月—修订版A至修订版B

增加16引脚WLCSP封装.....	通篇
更改“产品特性”部分.....	1
增加图5；重新排序.....	10
移动表6.....	11
更改图25和图26.....	15
增加图58.....	29
更改订购指南.....	30

### 2010年12月—修订版0至修订版A

更改特性、概述和产品聚焦部分.....	1
更改AD5629R相对精度参数、基准输出(1.25 V)基准输入范围参数和基准输出(2.5 V)基准输入范围参数(表1).....	3
更改相对精度参数和基准电压温度系数参数(表2).....	5
更改输出电压建立时间参数(表3).....	6
更改表5.....	9
更改CLR引脚描述(表6).....	10
增加图32和图33.....	15
增加图46.....	17
更改“内部基准电压”部分.....	20
更改“上电复位”部分.....	23
更改“清零编码寄存器”部分.....	24
更新“外形尺寸”.....	27
更改“订购指南”.....	28

### 2010年10月—修订版0：初始版

## 技术规格

$V_{DD} = 4.5\text{ V}$ 至 $5.5\text{ V}$ ,  $R_L = 2\text{ k}\Omega$ 接GND,  $C_L = 200\text{ pF}$ 接GND,  $V_{REFIN} = V_{DD}$ 。除非另有说明, 所有规格均相对于 $T_{MIN}$ 至 $T_{MAX}$ 而言。

表1.

参数	A级 <sup>1</sup>		B级 <sup>1</sup>		单位	测试条件/注释
	最小值	典型值 最大值	最小值	典型值 最大值		
静态性能 <sup>2</sup>						
AD5629R						
分辨率	12		12		位	
相对精度		±0.5 ±4		±0.5 ±1	LSB	参见图7
差分非线性				±0.25	LSB	通过设计保证单调性(参见图9)
AD5669R						
分辨率	16		16		位	
相对精度		±8 ±32		±8 ±16	LSB	参见图6
差分非线性				±1	LSB	通过设计保证单调性(参见图8)
零代码误差	6	19	6	19	mV	全0载入DAC寄存器(参见图19)
零编码误差漂移		±2		±2	μV/°C	
满量程误差		-0.2 -1		-0.2 -1	% FSR	全1载入DAC寄存器(参见图20)
增益误差				±1	% FSR	
增益温度系数		±2.5		±2.5	ppm	用FSR/°C表示
失调误差		±6 ±19		±6 ±19	mV	
直流电源抑制比		-80		-80	dB	$V_{DD} \pm 10\%$
直流串扰(外部基准电压源)		10		10	μV	满量程输出变化引起; $R_L = 2\text{ k}\Omega$ 接GND或 $V_{DD}$
		5		5	μV/mA	负载电流变化引起
		10		10	μV	(各通道)掉电引起
直流串扰(内部基准电压源)		25		25	μV	满量程输出变化引起; $R_L = 2\text{ k}\Omega$ 接GND或 $V_{DD}$
		10		10	μV/mA	负载电流变化引起
输出特性 <sup>3</sup>						
输出电压范围	0	$V_{DD}$	0	$V_{DD}$	V	
容性负载稳定性		2		2	nF	$R_L = \infty$
		10		10	nF	$R_L = 2\text{ k}\Omega$
直流输出阻抗		0.5		0.5	Ω	
短路电流		30		30	mA	$V_{DD} = 5\text{ V}$
上电时间		4		4	μs	退出关断模式, $V_{DD} = 5\text{ V}$
参考输入						
基准电流		40 50		40 50	μA	$V_{REFIN} = V_{DD} = 5.5\text{ V}$ (各DAC通道)
基准输入范围	0	$V_{DD}$	0	$V_{DD}$	V	
基准输入阻抗		14.6		14.6	kΩ	
基准输出(1.25 V)						
输出电压	1.247	1.253	1.247	1.253	μA	$T_A = 25^\circ\text{C}$
基准输入范围		±15		±5 ±15	ppm/°C	LFCSP, TSSOP
				±15		WLCSP
输出阻抗		7.5		7.5	kΩ	
基准输出(2.5 V)						
输出电压	2.495	2.505	2.495	2.505	μA	$T_A = 25^\circ\text{C}$
基准输入范围		±15		±5 ±10	ppm/°C	
输出阻抗		7.5		7.5	kΩ	

# AD5629R/AD5669R

参数	A级 <sup>1</sup>		B级 <sup>1</sup>		单位	测试条件/注释
	最小值	典型值 最大值	最小值	典型值 最大值		
逻辑输入 <sup>3</sup>						
输入电流		±3		±3	μA	所有数字输入
输入低电压 $V_{INL}$		0.8		0.8	V	$V_{DD} = 5\text{ V}$
输入高电压 $V_{INH}$	2		2		V	$V_{DD} = 5\text{ V}$
引脚电容		3		3	pF	
电源要求						
$V_{DD}$	4.5	5.5	4.5	5.5	V	所有数字输入为0或 $V_{DD}$ ，DAC启用， 不包括负载电流
$I_{DD}$ (正常模式) <sup>4</sup>						$V_{IH} = V_{DD}$ 和 $V_{IL} = \text{GND}$
$V_{DD} = 4.5\text{ V}$ 至 $5.5\text{ V}$		1.3 1.8		1.3 1.8	mA	内部基准电压源关闭
		2 2.5		2 2.5	mA	内部基准电压源开启
$I_{DD}$ (全掉电模式) <sup>5</sup>						
$V_{DD} = 4.5\text{ V}$ 至 $5.5\text{ V}$		0.4 1		0.4 1	μA	$V_{IH} = V_{DD}$ 和 $V_{IL} = \text{GND}$

<sup>1</sup> 温度范围：-40°C至+105°C，典型值在25°C。

<sup>2</sup> 线性度计算使用缩减的数据范围：AD5629R(编码32到编码4064)，AD5669R(编码512到65024)。输出端无负载。

<sup>3</sup> 通过设计和特性保证，但未经生产测试。

<sup>4</sup> 接口未启用。所有DAC启用。DAC输出端无负载。

<sup>5</sup> 所有8个DAC均关断。

$V_{DD} = 2.7\text{ V}$ 至 $3.6\text{ V}$ ,  $R_L = 2\text{ k}\Omega$ 接GND,  $C_L = 200\text{ pF}$ 接GND,  $V_{REFIN} = V_{DD}$ 。除非另有说明, 所有规格均相对于 $T_{MIN}$ 至 $T_{MAX}$ 而言。

表2.

参数	A级 <sup>1</sup>			B级 <sup>1</sup>			单位	测试条件/注释
	最小值	典型值	最大值	最小值	典型值	最大值		
静态性能 <sup>2</sup>								
AD5629R								
分辨率	12			12			位	
相对精度		$\pm 0.5$	$\pm 4$		$\pm 0.5$	$\pm 1$	LSB	参见图7
差分非线性			$\pm 0.25$			$\pm 0.25$	LSB	通过设计保证单调性(参见图9)
AD5669R								
分辨率	16			16			位	
相对精度		$\pm 8$	$\pm 32$		$\pm 8$	$\pm 16$	LSB	参见图6
差分非线性			$\pm 1$			$\pm 1$	LSB	通过设计保证单调性(参见图8)
零代码误差	6	19		6	19		mV	全0载入DAC寄存器(参见图19)
零编码误差漂移		$\pm 2$			$\pm 2$		$\mu\text{V}/^\circ\text{C}$	
满量程误差	-0.2	-1		-0.2	-1		% FSR	全1载入DAC寄存器(参见图20)
增益误差			$\pm 1$			$\pm 1$	% FSR	
增益温度系数		$\pm 2.5$			$\pm 2.5$		ppm	用FSR/ $^\circ\text{C}$ 表示
失调误差		$\pm 6$	$\pm 19$		$\pm 6$	$\pm 19$	mV	
直流电源抑制比		-80			-80		dB	$V_{DD} \pm 10\%$
直流串扰(外部基准电压源)		10			10		$\mu\text{V}$	满量程输出变化引起; $R_L = 2\text{ k}\Omega$ 接GND或 $V_{DD}$
		5			5		$\mu\text{V}/\text{mA}$	负载电流变化引起
		10			10		$\mu\text{V}$	(各通道)掉电引起
直流串扰(内部基准电压源)		25			25		$\mu\text{V}$	满量程输出变化引起; $R_L = 2\text{ k}\Omega$ 接GND或 $V_{DD}$
		10			10		$\mu\text{V}/\text{mA}$	负载电流变化引起
输出特性 <sup>3</sup>								
输出电压范围	0		$V_{DD}$	0		$V_{DD}$	V	
容性负载稳定性		2			2		nF	$R_L = \infty$
		10			10		nF	$R_L = 2\text{ k}\Omega$
直流输出阻抗		0.5			0.5		$\Omega$	
短路电流		30			30		mA	$V_{DD} = 3\text{ V}$
上电时间		4			4		$\mu\text{s}$	退出关断模式, $V_{DD} = 3\text{ V}$
参考输入								
基准电流		40	50		40	50	$\mu\text{A}$	$V_{REFIN} = V_{DD} = 3.6\text{ V}$ (各DAC通道)
基准输入范围	0		$V_{DD}$	0		$V_{DD}$		
基准输入阻抗		14.6			14.6		k $\Omega$	
基准输出								
输出电压	1.247		1.253	1.247		1.253	V	$T_A = 25^\circ\text{C}$
AD5629R/AD5669R		$\pm 15$			$\pm 5$	$\pm 15$	ppm/ $^\circ\text{C}$	LFCSOP, TSSOP
基准温度系数 <sup>3</sup>								WLCSP
基准输出阻抗		7.5			7.5		k $\Omega$	
逻辑输入 <sup>3</sup>								
输入电流			$\pm 3$			$\pm 3$	$\mu\text{A}$	所有数字输入
输入低电压VINL			0.8			0.8	V	$V_{DD} = 3\text{ V}$
输入高电压VINH	2			2			V	$V_{DD} = 3\text{ V}$
引脚电容		3			3		pF	

# AD5629R/AD5669R

参数	A级 <sup>1</sup>		B级 <sup>1</sup>		单位	条件/注释
	最小值	典型值 最大值	最小值	典型值 最大值		
电源要求 $V_{DD}$	2.7	3.6	2.7	3.6	V	所有数字输入为0或 $V_{DD}$ ，DAC启用，不包括负载电流
$I_{DD}$ (正常模式) <sup>4</sup> $V_{DD} = 2.7\text{ V至}3.6\text{ V}$	1.0	1.5	1.0	1.5	mA	$V_{IH} = V_{DD}$ 和 $V_{IL} = \text{GND}$ 内部基准电压源关闭
$I_{DD}$ (全掉电模式) <sup>5</sup> $V_{DD} = 2.7\text{ V至}3.6\text{ V}$	1.8	2.25	1.7	2.25	mA	内部基准电压源开启
	0.2	1	0.2	1	$\mu\text{A}$	$V_{IH} = V_{DD}$ 和 $V_{IL} = \text{GND}$

<sup>1</sup> 温度范围：-40°C至+105°C，典型值在25°C。

<sup>2</sup> 线性度计算使用缩减的数据范围：AD5629R(编码32到编码4064)，AD5669R(编码512到65024)。输出端无负载。

<sup>3</sup> 通过设计和特性保证，但未经生产测试。

<sup>4</sup> 接口未启用。所有DAC启用。DAC输出端无负载。

<sup>5</sup> 所有8个DAC均关断。

## 交流特性

$V_{DD} = 2.7\text{ V至}5.5\text{ V}$ ， $R_L = 2\text{ k}\Omega$ 接GND， $C_L = 200\text{ pF}$ 接GND， $V_{REFIN} = V_{DD}$ 。除非另有说明，所有规格均相对于 $T_{MIN}$ 至 $T_{MAX}$ 而言。

表3.

参数 <sup>1,2</sup>	最小值	典型值 最大值	单位	条件/注释 <sup>3</sup>
输出电压建立时间	2.5	7	$\mu\text{s}$	$\frac{1}{4}$ 到 $\frac{3}{4}$ 量程建立到 $\pm 2\text{ LSB}$
压摆率	1.2		V/ $\mu\text{s}$	
数模转换毛刺脉冲	4		nV-s	主进位发生1 LSB变化(参见图35)
	19		nV-s	编码59904到编码59903
数字馈通	0.1		nV-s	
基准馈通	-90		dB	$V_{REFIN} = 2\text{ V} \pm 0.1\text{ V p-p}$ ，频率范围10 Hz至20 MHz
数字串扰	0.2		nV-s	
模拟串扰	0.4		nV-s	
DAC间串扰	0.8		nV-s	
乘法带宽	320		kHz	$V_{REFIN} = 2\text{ V} \pm 0.2\text{ V p-p}$
总谐波失真	-80		dB	$V_{REFIN} = 2\text{ V} \pm 0.1\text{ V p-p}$ ，频率 = 10 kHz
输出噪声频谱密度	120		nV/ $\sqrt{\text{Hz}}$	DAC编码 = 0x8400，1 kHz
	100		nV/ $\sqrt{\text{Hz}}$	DAC编码 = 0x8400，10 kHz

<sup>1</sup> 通过设计和特性保证，但未经生产测试。

<sup>2</sup> 参见术语部分。

<sup>3</sup> 温度范围：-40°C至+105°C，典型值在25°C。

**I<sup>2</sup>C时序特性**

除非另有说明， $V_{DD} = 2.7\text{ V}$ 至 $5.5\text{ V}$ ，所有规格均相对于 $T_{MIN}$ 至 $T_{MAX}$ 而言， $f_{SCL} = 400\text{ kHz}$ 。

**表4.**

参数	条件	最小值	最大值	单位	描述
$f_{SCL}^1$	标准模式		100	kHz	串行时钟频率
	快速模式		400	kHz	
$t_1$	标准模式	4		$\mu\text{s}$	$t_{HIGH}$ ，SCL高电平时间
	快速模式	0.6		$\mu\text{s}$	
$t_2$	标准模式	4.7		$\mu\text{s}$	$t_{LOW}$ ，SCL低电平时间
	快速模式	1.3		$\mu\text{s}$	
$t_3$	标准模式	250		ns	$t_{SU,DAT}$ ，数据建立时间
	快速模式	100		ns	
$t_4$	标准模式	0	3.45	$\mu\text{s}$	$t_{HD,DAT}$ ，数据保持时间
	快速模式	0	0.9	$\mu\text{s}$	
$t_5$	标准模式	4.7		$\mu\text{s}$	$t_{SU,STA}$ ，重复起始条件的建立时间
	快速模式	0.6		$\mu\text{s}$	
$t_6$	标准模式	4		$\mu\text{s}$	$t_{HD,STA}$ ，(重复)起始条件保持时间
	快速模式	0.6		$\mu\text{s}$	
$t_7$	标准模式	4.7		$\mu\text{s}$	$t_{BUF}$ ，一个停止条件与一个起始条件之间的总线空闲时间
	快速模式	1.3		$\mu\text{s}$	
$t_8$	标准模式	4		$\mu\text{s}$	$t_{SU,STO}$ ，停止条件的建立时间
	快速模式	0.6		$\mu\text{s}$	
$t_9$	标准模式		1000	ns	$t_{RDA}$ ，SDA信号的上升时间
	快速模式		300	ns	
$t_{10}$	标准模式		300	ns	$t_{FDA}$ ，SDA信号的下降时间
	快速模式		300	ns	
$t_{11}$	标准模式		1000	ns	$t_{RCL}$ ，SCL信号的上升时间
	快速模式		300	ns	
$t_{11A}$	标准模式		1000	ns	$t_{RCL1}$ ，重复起始条件和应答位后的SCL信号上升时间
	快速模式		300	ns	
$t_{12}$	标准模式		300	ns	$t_{FCL}$ ，SCL信号的下降时间
	快速模式		300	ns	
$t_{13}$	标准模式	10		ns	$\overline{\text{LDAC}}$ 低电平脉冲宽度
	快速模式	10		ns	
$t_{14}$	标准模式	300		ns	有效写操作最后一个字节的第9个SCL时钟脉冲的下降沿到 $\overline{\text{LDAC}}$ 下降沿
	快速模式	300		ns	
$t_{15}$	标准模式	20		ns	$\overline{\text{CLR}}$ 低电平脉冲宽度
	快速模式	20		ns	
$t_{SP}^2$	快速模式	0	50	ns	尖峰抑制脉宽

<sup>1</sup> SDA和SCL时序通过输入滤波器使能来测量。关闭输入滤波器可提高传输速率，但对器件的EMC特性有不利影响。

<sup>2</sup> SCL和SDA输入的输入滤波在快速模式下可抑制小于50 ns的噪声尖峰，在高速模式下可抑制小于10 ns的噪声尖峰。

# AD5629R/AD5669R

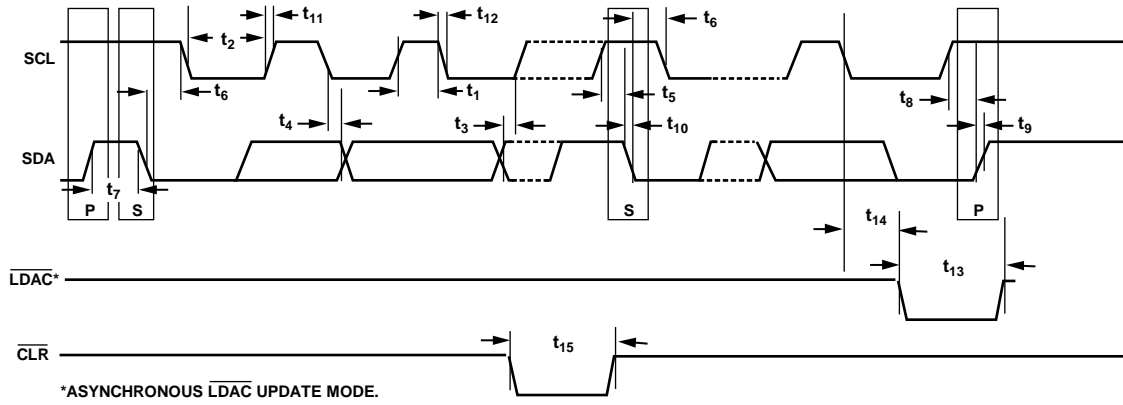


图2. 串行写入操作

08819-002



## 绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表5.

参数	额定值
$V_{DD}$ 至 GND	-0.3 V 至 +7 V
数字输入电压至 GND	-0.3 V 至 $V_{DD} + 0.3$ V
$V_{OUT}$ 至 GND	-0.3 V 至 $V_{DD} + 0.3$ V
$V_{REFIN}/V_{REFOUT}$ 至 GND	-0.3 V 至 $V_{DD} + 0.3$ V
工业温度范围	-40°C 至 +105°C
存储温度范围	-65°C 至 +150°C
结温 ( $T_{JMAX}$ )	+150°C
功耗	$(T_{JMAX} - T_A)/\theta_{JA}$
热阻 $\theta_{JA}$	
16 引脚 TSSOP(4 层板)	112.6°C/W
16 引脚 LFCSP(4 层板)	30.4°C/W
回流焊峰值温度	
无铅	260°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

### ESD警告



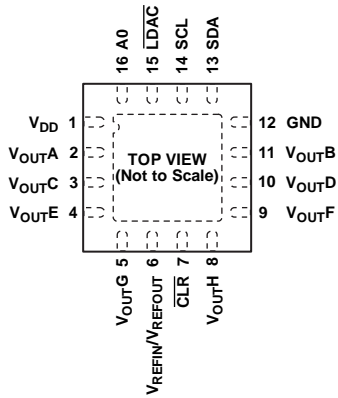
#### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。

# AD5629R/AD5669R

## 引脚配置和功能描述

AD5629R/AD5669R



**NOTES**

1. EXPOSED PAD MUST BE TIED TO GND.

图3. 16引脚LFCSP (CP-16-17)

08819-003

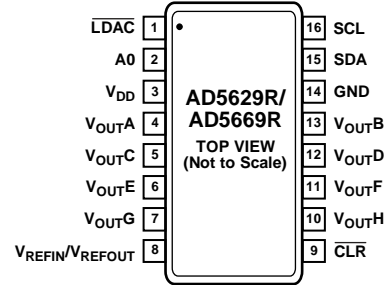


图4. 16引脚TSSOP (RU-16)

08819-004

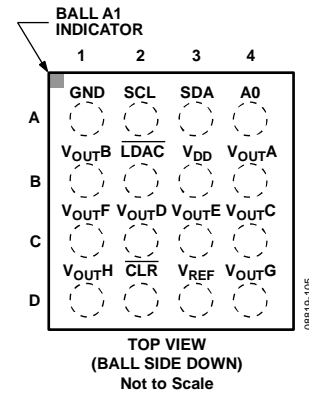


图5. 16引脚WLCSP

08819-105

表6. 引脚功能描述

引脚编号			引脚名称	描述
LFCSP	TSSOP	WLCSP		
15	1	B2	$\overline{\text{LDAC}}$	发送脉冲使该引脚变为低电平后，当输入寄存器有新数据时，可以更新任意或全部DAC寄存器。因此，所有DAC输出可以同时更新。也可以将该引脚永久接为低电平。
16	2	A4	A0	地址输入。将最低有效位设为7位从机地址。
1	3	B3	V <sub>DD</sub>	电源输入引脚。这些器件可以采用2.7 V至5.5 V电源供电，电源应通过并联的10 $\mu\text{F}$ 电容和0.1 $\mu\text{F}$ 电容去耦至GND。
2	4	B4	V <sub>OUTA</sub>	DAC A的模拟输出电压。输出放大器能以轨到轨方式工作。
3	5	C4	V <sub>OUTC</sub>	DAC C的模拟输出电压。输出放大器能以轨到轨方式工作。
4	6	C3	V <sub>OUTE</sub>	DAC E的模拟输出电压。输出放大器能以轨到轨方式工作。
5	7	D4	V <sub>OUTG</sub>	DAC G的模拟输出电压。输出放大器能以轨到轨方式工作。
6	8	D3	V <sub>REFIN</sub> /V <sub>REFOUT</sub>	AD5629R/AD5669R有一个用于基准输入和输出的公用引脚。使用内部基准电压源时，此引脚为基准输出。使用外部基准电压源时，此引脚为基准输入。此引脚默认用作基准输入。
7	9	D2	$\overline{\text{CLR}}$	异步清零输入。 $\overline{\text{CLR}}$ 输入对下降沿敏感。当 $\overline{\text{CLR}}$ 为低电平时，所有 $\overline{\text{LDAC}}$ 脉冲都被忽略。当 $\overline{\text{CLR}}$ 有效时，输入寄存器和DAC寄存器更新为 $\overline{\text{CLR}}$ 编码寄存器内的数据：零电平、中间电平或满量程。默认设置是输出清零至0V。
8	10	D1	V <sub>OUTH</sub>	DAC H的模拟输出电压。输出放大器能以轨到轨方式工作。
9	11	C1	V <sub>OUTF</sub>	DAC F的模拟输出电压。输出放大器能以轨到轨方式工作。
10	12	C2	V <sub>OUTD</sub>	DAC D的模拟输出电压。输出放大器能以轨到轨方式工作。
11	13	B1	V <sub>OUTB</sub>	DAC B的模拟输出电压。输出放大器能以轨到轨方式工作。
12	14	A1	GND	器件上所有电路的接地基准点。
13	15	A3	SDA	串行数据输入。该引脚与SCL线配合使用，将数据输入或输出32位输入移位寄存器。它是一种双向开漏数据线，应通过一个外部上拉电阻上拉至电源。
14	16	A2	SCL	串行时钟线。该引脚与SDA线配合使用，将数据输入或输出32位输入移位寄存器。
17	不适用	不适用	裸露焊盘 (EPAD)	裸露焊盘必须连接到GND。

## 典型性能参数

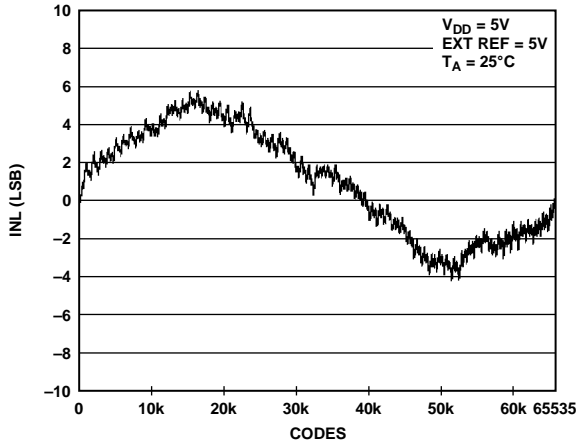


图6. INL AD5669R—外部基准电压源

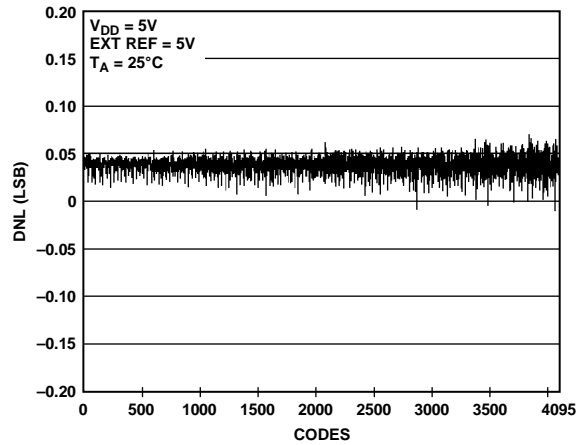


图9. DNL AD5629R—外部基准电压源

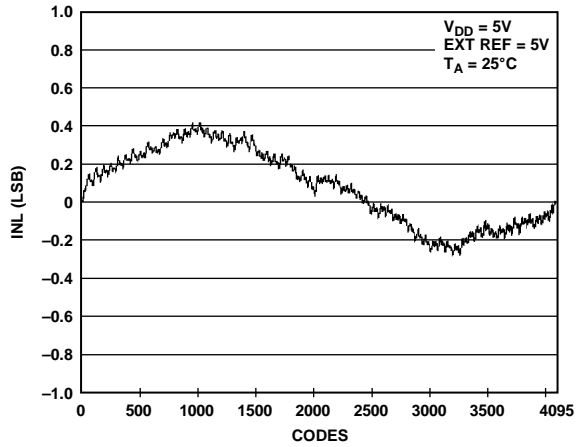


图7. INL AD5629R—外部基准电压源

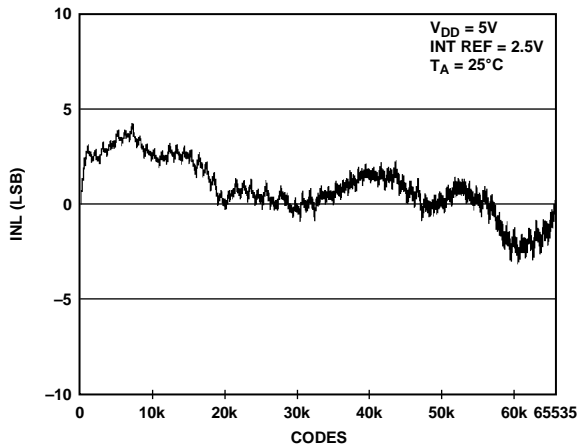


图10. INL AD5669R-2—内部基准电压源

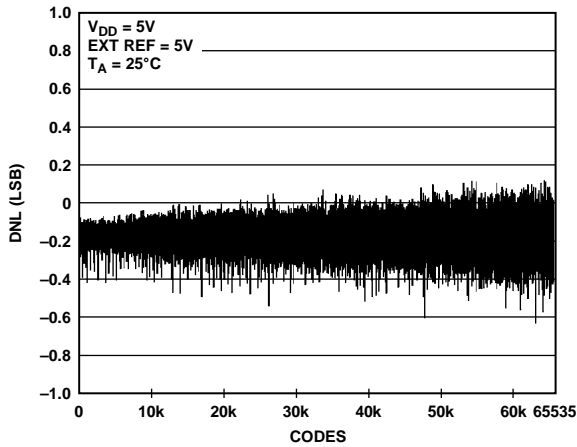


图8. DNL AD5669R—外部基准电压源

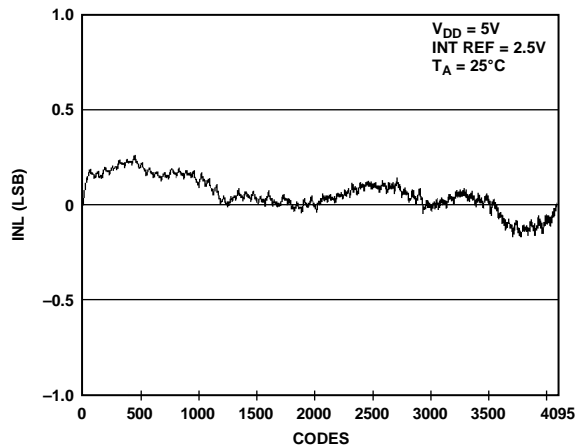


图11. INL AD5629R-2—内部基准电压源

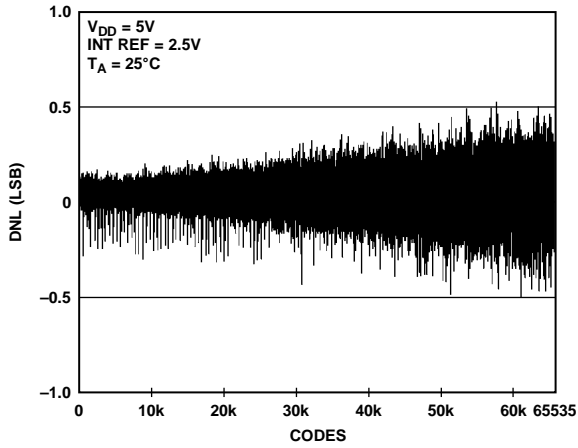


图12. DNL AD5669R-2—内部基准电压源

08819-115

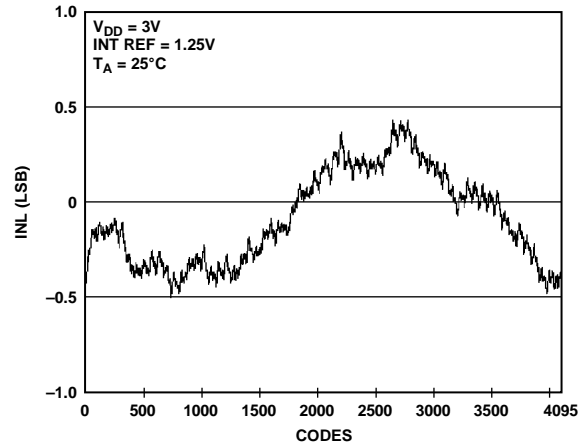


图15. INL AD5629R-1—内部基准电压源

08819-120

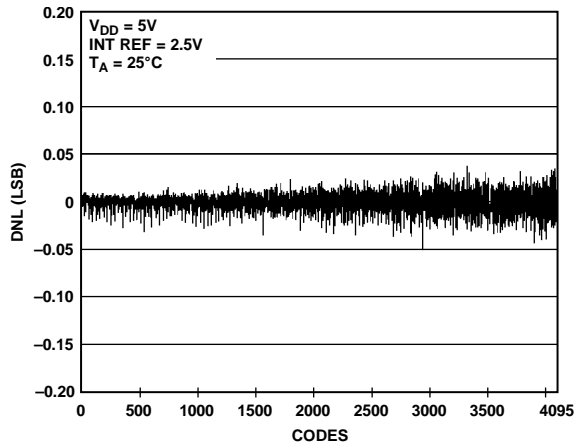


图13. DNL AD5629R-2—内部基准电压源

08819-117

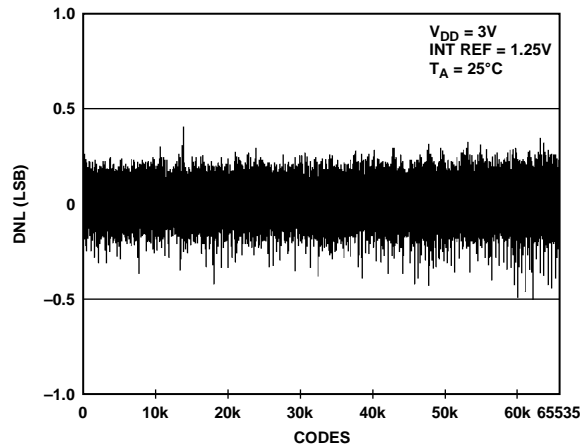


图16. DNL AD5669R-1—内部基准电压源

08819-121

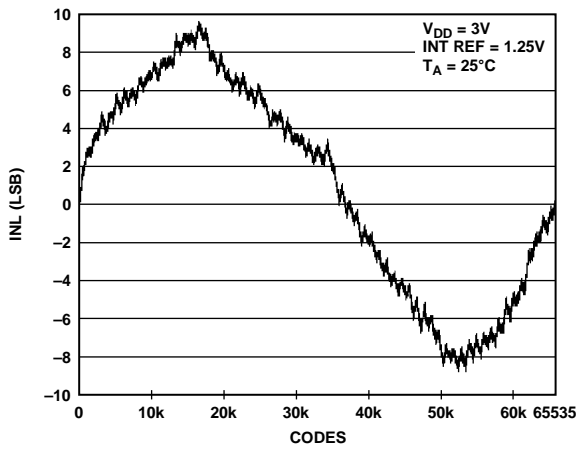


图14. INL AD5669R-1—内部基准电压源

08819-116

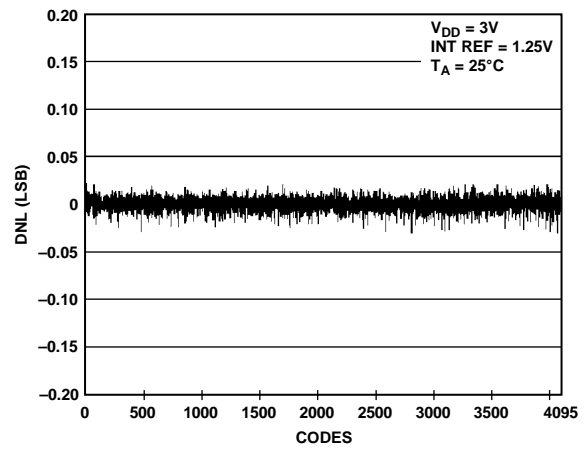


图17. DNL AD5629R-1—内部基准电压源

08819-123

# AD5629R/AD5669R

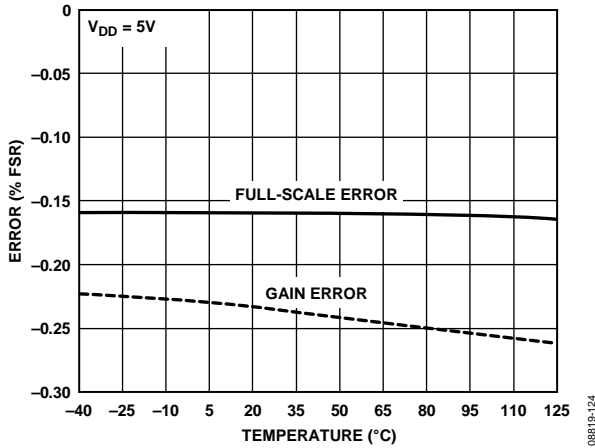


图18. 增益误差和满量程误差与温度的关系

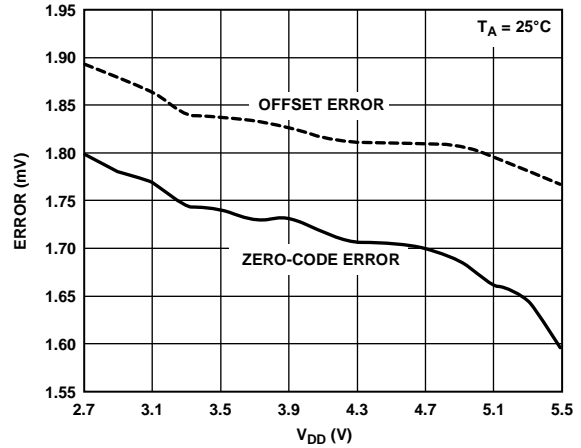


图21. 零编码误差和失调误差与电源电压的关系

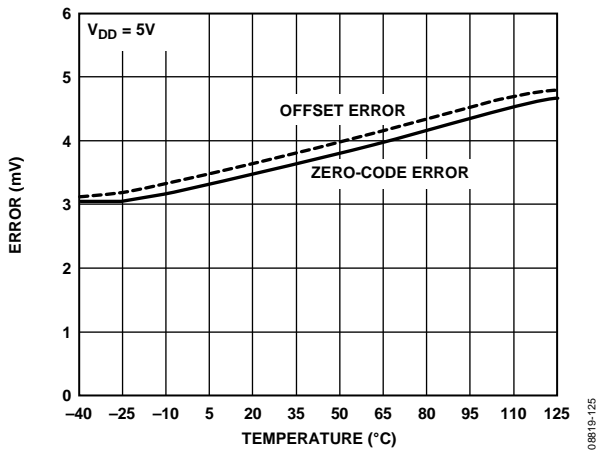


图19. 零代码误差和失调误差与温度的关系

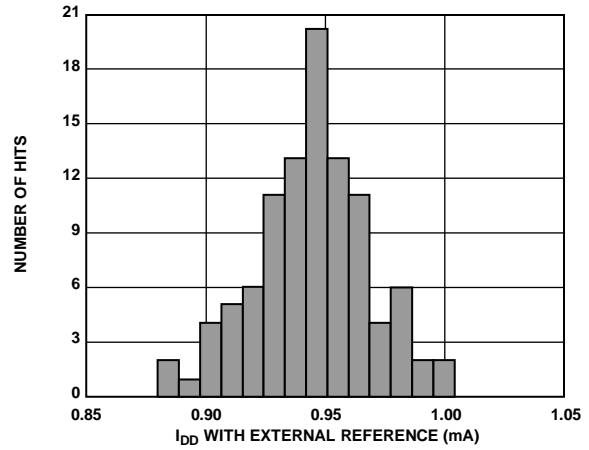


图22. 采用外部基准电压源时的 $I_{DD}$ 直方图

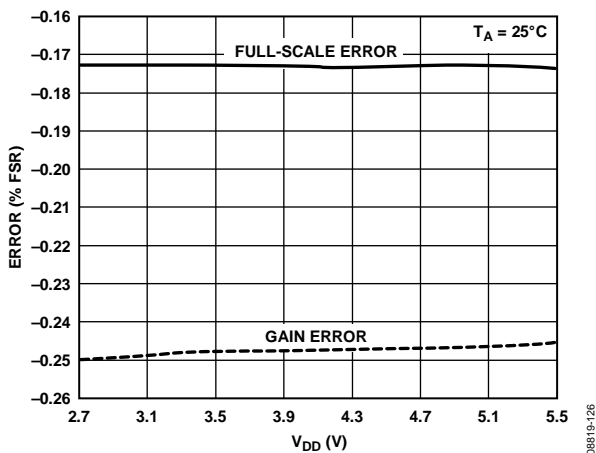


图20. 增益误差和满量程误差与电源电压的关系

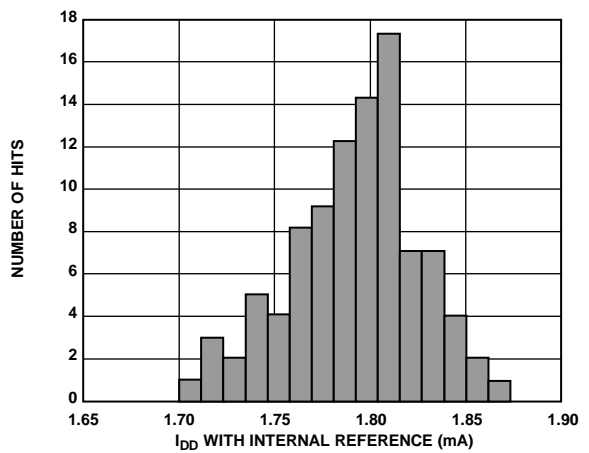


图23. 采用内部基准电压源时的 $I_{DD}$ 直方图

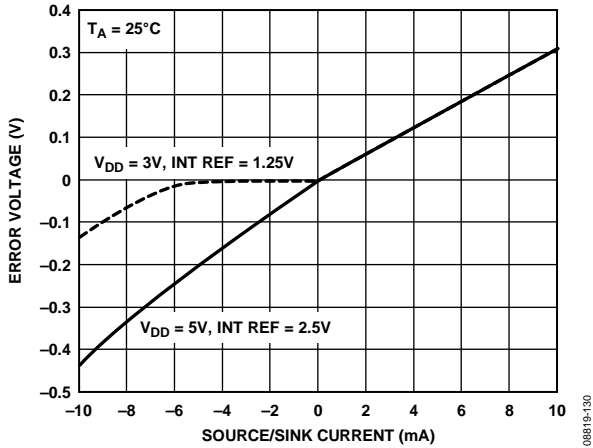


图24. 供电轨裕量与源电流和吸电流的关系

08819-130

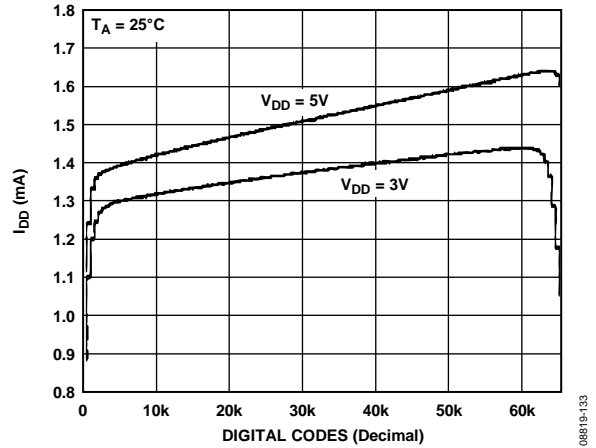


图27. 电源电流与编码的关系

08819-133

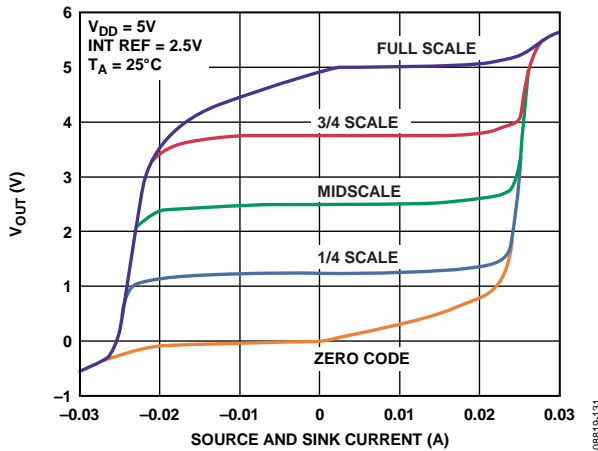


图25. AD5669R-2的源电流和吸电流能力

08819-131

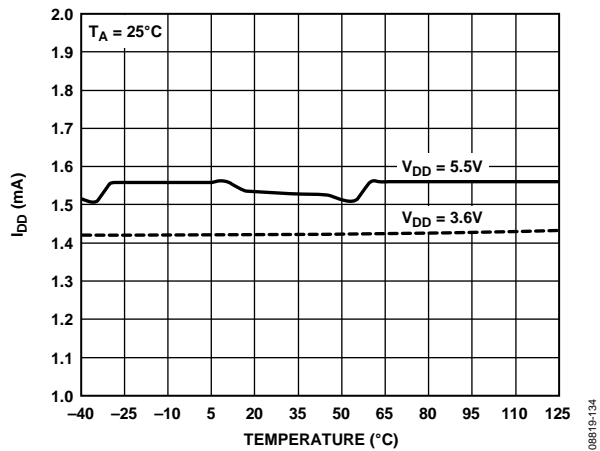


图28. 电源电流与温度的关系

08819-134

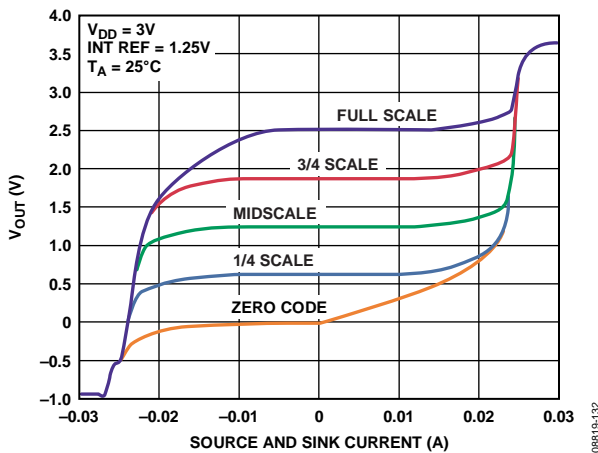


图26. AD5669R-1的源电流和吸电流能力

08819-132

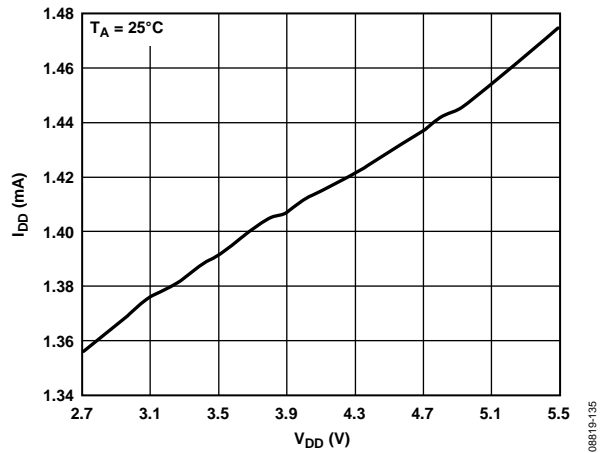


图29. 电源电流与电源电压的关系

08819-135

# AD5629R/AD5669R

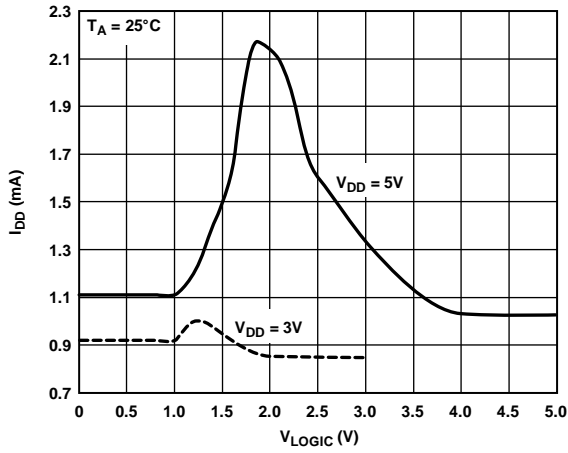


图30. 电源电流与逻辑输入电压的关系

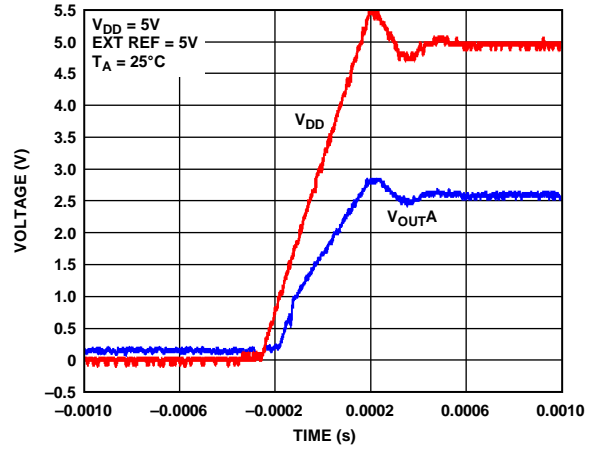


图33. 上电复位至中间电平

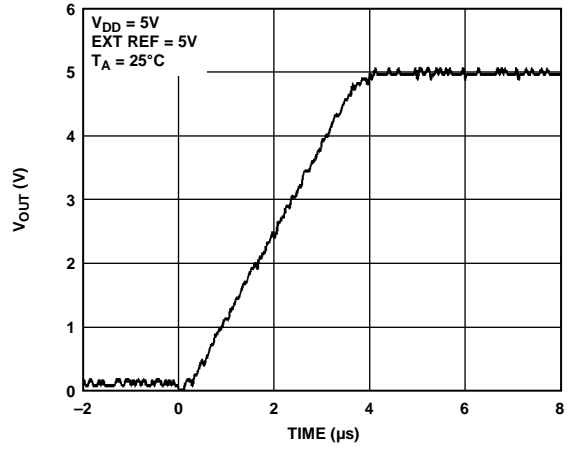


图31. 满量程建立时间(5 V)

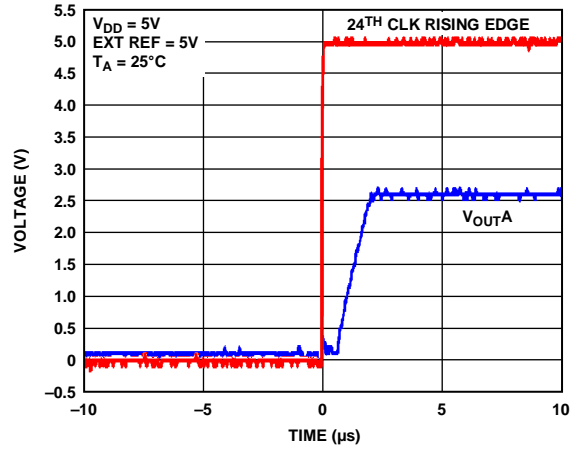


图34. 退出掉电模式进入中间电平

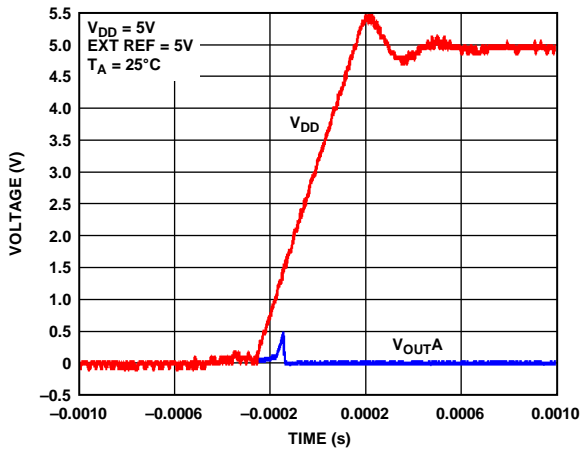


图32. 上电复位至0 V

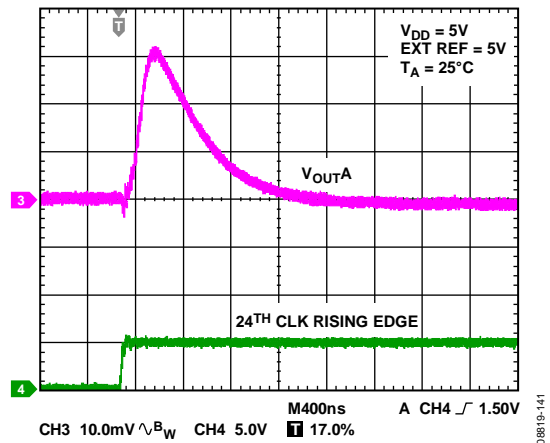


图35. 数模转换毛刺脉冲(负)



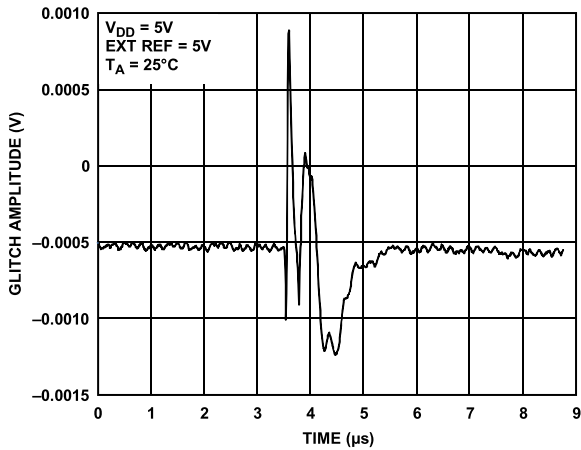


图36. 模拟串扰

08819-142

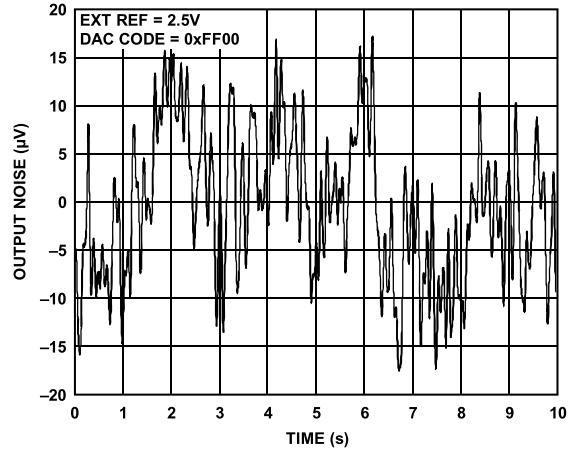


图39. 0.1 Hz至10 Hz输出噪声图, 内部基准电压源

08819-145

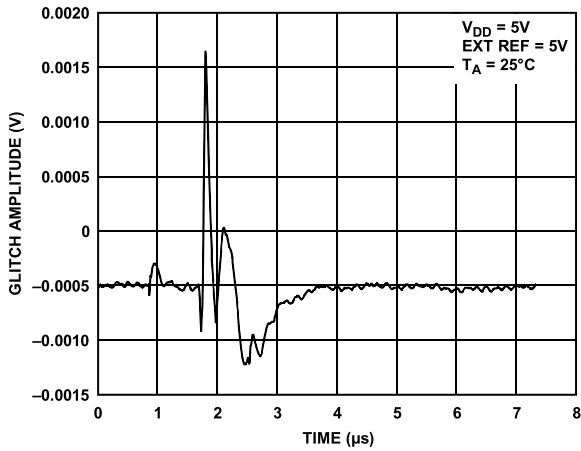


图37. DAC间串扰

08819-143

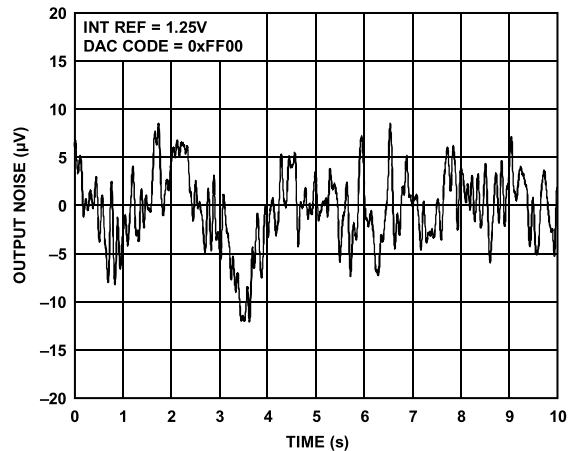


图40. 0.1 Hz至10 Hz输出噪声图, 内部基准电压源

08819-146

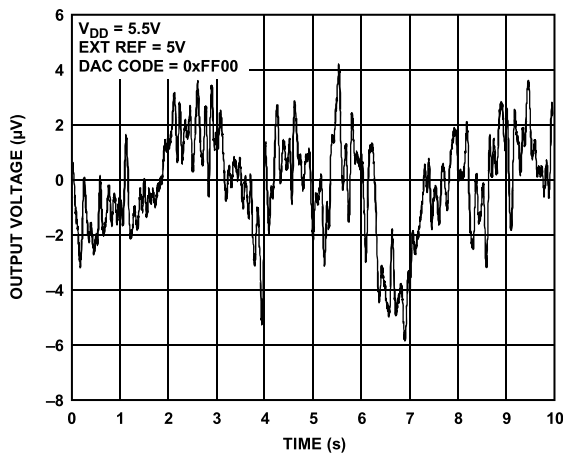


图38. 0.1 Hz至10 Hz输出噪声图, 外部基准电压源

08819-144

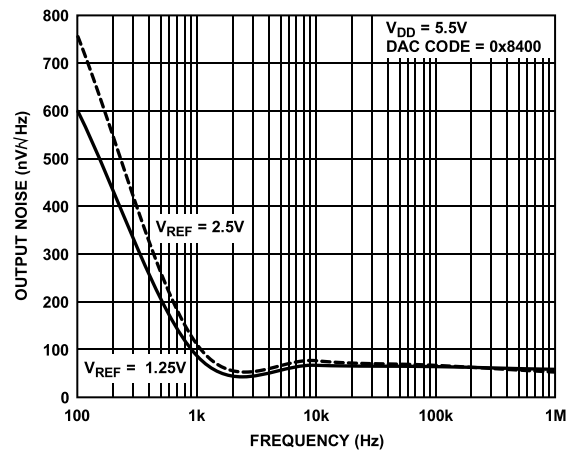


图41. 噪声频谱密度, 内部基准电压源

08819-147

# AD5629R/AD5669R

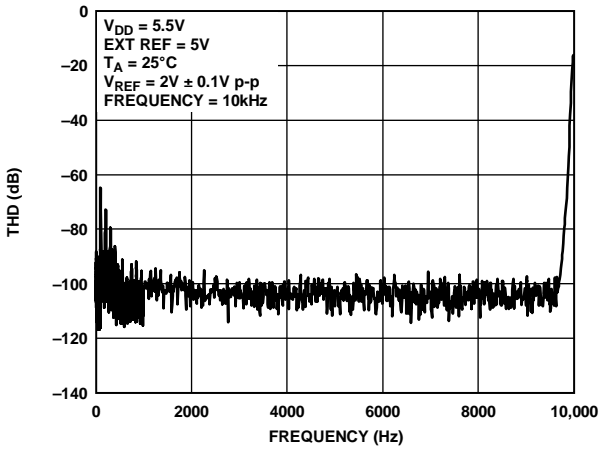


图42. 总谐波失真

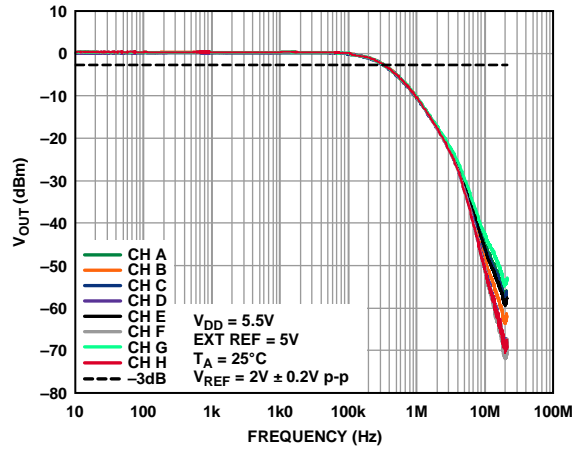


图45. 乘法带宽

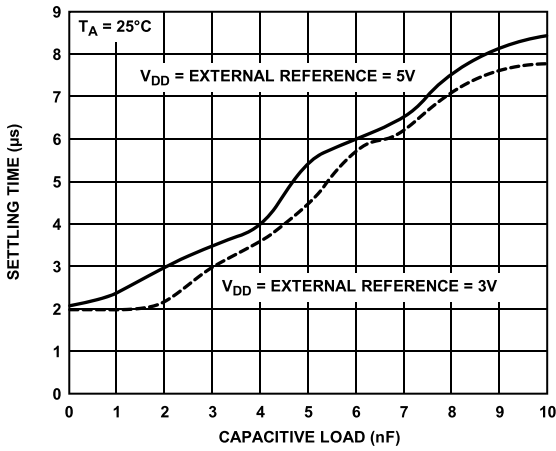


图43. 建立时间与容性负载的关系

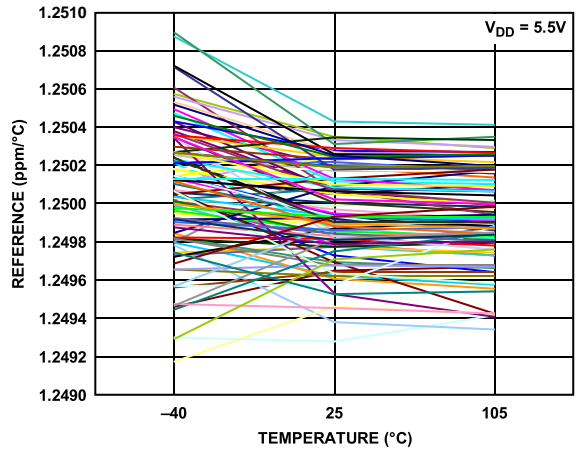


图46. 1.25 V基准电压温度系数与温度的关系

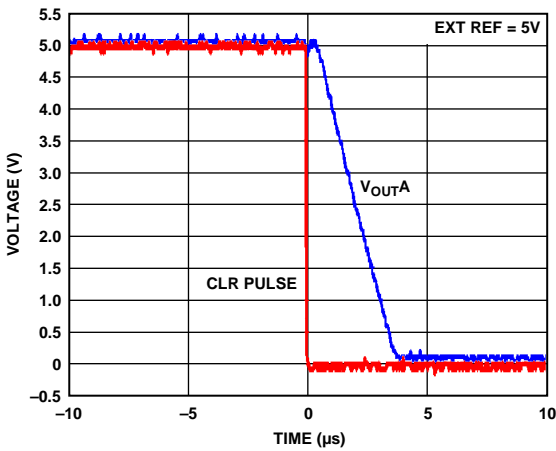


图44. 硬件CLR

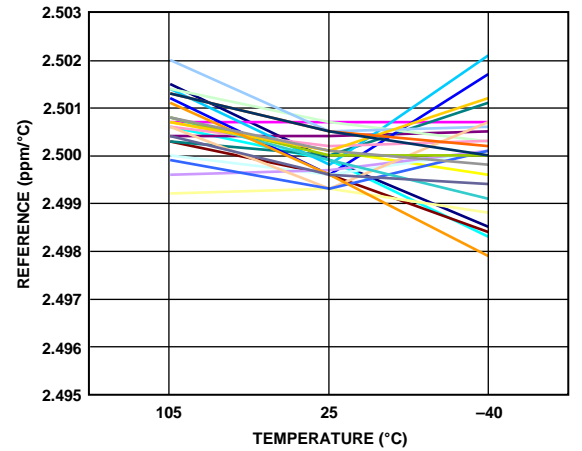


图47. 2.5 V基准电压温度系数与温度的关系

## 术语

### 相对精度

对于DAC，相对精度或积分非线性(INL)是指DAC输出与通过DAC传递函数的两个端点的直线之间的最大偏差，单位为LSB。图6、图7、图10、图11、图14和图15为典型INL与编码的关系图。

### 差分非线性

差分非线性(DNL)是指任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。最大 $\pm 1$  LSB的额定差分非线性可确保单调性。本DAC通过设计保证单调性。图8、图9、图12、图13、图16和图17为典型DNL与编码的关系图。

### 失调误差

失调误差是指传递函数线性区内实际 $V_{OUT}$ 和理想 $V_{OUT}$ 之间的差值，用毫伏(mV)表示。失调误差在AD5669R上是通过将512和65024之间的编码载入DAC寄存器测得的。该值可以为正，也可为负，用毫伏(mV)表示。

### 零代码误差

零代码误差衡量将零编码(0x0000)载入DAC寄存器时的输出误差。理想情况下，输出应为0V。零代码误差始终为正值，因为在DAC和输出放大器中的失调误差的共同作用下，DAC输出不能低于0V。零代码误差用mV表示。图19所示为典型零代码误差与温度的关系图。

### 增益误差

增益误差衡量DAC的量程误差，是指DAC传递特性的斜率与理想值之间的偏差，用满量程范围的百分比表示。

### 零编码误差漂移

零代码误差漂移衡量零代码误差随温度的变化，用 $\mu V/^\circ C$ 表示。

### 增益误差漂移

增益误差漂移衡量增益误差随温度的变化，用(满量程范围的ppm)/ $^\circ C$ 表示。

### 满量程误差

满量程误差衡量将满量程编码(0xFFFF)载入DAC寄存器时的输出误差。理想情况下，输出应为 $V_{REF} - 1$  LSB。满量程误差用满量程范围的百分比表示。图17所示为典型满量程误差与温度的关系图。

### 数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的编码输入变化时注入到模拟输出的脉冲。数模转换毛刺脉冲通常规定为毛刺的面积，用nV-s表示，数字输入编码在主进位跃迁中改变1 LSB(0x7FFF至0x8000)时进行测量。图35所示为典型数模转换毛刺脉冲图。

### 直流电源抑制比(PSRR)

PSRR表示电源电压变化对DAC输出的影响大小，是指DAC满量程输出的条件下 $V_{OUT}$ 变化量与 $V_{DD}$ 变化量之比， $V_{REF}$ 保持在2V，而 $V_{DD}$ 的变化范围为 $\pm 10\%$ 。单位为dB。

### 直流串扰

直流串扰是一个DAC输出电平因响应另一个DAC输出变化而发生的直流变化。其测量方法是让一个DAC发生满量程输出变化(或软件关断并上电)，同时监控另一个保持中间电平的DAC。单位为 $\mu V$ 。

负载电流变化引起的直流串扰用来衡量一个DAC的负载电流变化对另一个保持中间电平的DAC的影响。以mV/mA为单位。

### 数字馈通

数字馈通衡量从器件的数字输入引脚注入到DAC模拟输出的脉冲，但在未写入DAC时进行测量。数字馈通的单位为nV-s，测量数字输入引脚上发生满量程编码变化时的情况，即全0至全1，或相反。

### 数字串扰

数字串扰是指一个输出为中间电平的DAC，其输出因响应另一个DAC的输入寄存器的满量程编码变化(全0至全1或相反)而引起的毛刺脉冲，该值在独立模式下进行测量，用nV-s表示。

### 模拟串扰

模拟串扰是指一个DAC的输出因响应另一个DAC输出的变化引起毛刺脉冲，其测量方法是向一个DAC的输入寄存器加载满量程编码变化(全0至全1，或相反)，同时 $\overline{LDAC}$ 保持高电平，然后发送脉冲使 $\overline{LDAC}$ 变为低电平，并监控数字编码未改变的DAC的输出。毛刺面积用nV-s表示。

# AD5629R/AD5669R

## DAC间串扰

DAC间串扰是指一个DAC的输出因响应另一个DAC的数字编码变化和后续的模拟输出变化，而引起的毛刺脉冲，包括数字和模拟串扰。其测量方法是向一个DAC加载满量程编码变化(全0至全1，或相反)，保持 $\overline{LDAC}$ 为低电平，同时监控另一个DAC的输出。毛刺的能量用nV-s表示。

## 乘法带宽

DAC内部的放大器具有有限的带宽，乘法带宽即是衡量该带宽。参考端的正弦波(DAC加载满量程编码)出现在输出端。乘法带宽指输出幅度降至输入幅度以下3 dB时的频率。

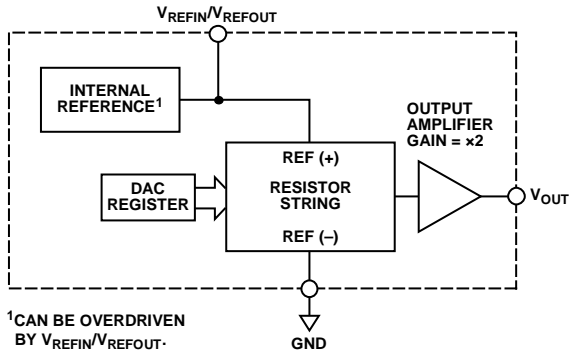
## 总谐波失真(THD)

总谐波失真是指理想正弦波与使用DAC时其衰减形式的差别。正弦波用作DAC的参考，而THD用来衡量DAC输出端存在的谐波。单位为dB。

## 工作原理

### 数模转换器(DAC)部分

AD5629R/AD5669R采用CMOS工艺制造，由一串DAC和一个输出缓冲放大器构成。每个器件均内置一个1.25 V/2.5 V、5 ppm/°C基准电压源，其内部增益为2。图48和图49所示为DAC架构框图。



¹CAN BE OVERDRIVEN BY VREFIN/VREFOUT-

图48. 内部基准电压配置的DAC架构

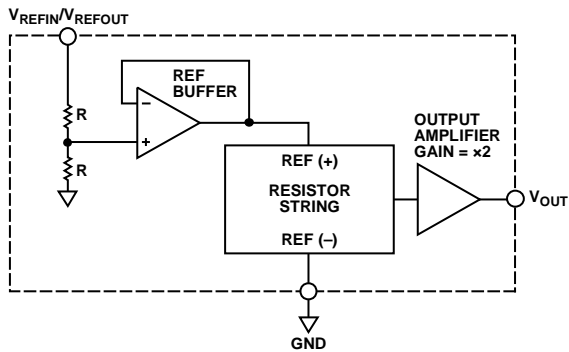


图49. 外部基准电压配置的DAC架构

DAC的输入编码为直接二进制，使用外部基准电压源时的理想输出电压为：

$$V_{OUT} = V_{REFIN} \times \left(\frac{D}{2^N}\right)$$

使用内部基准电压源时的理想输出电压为：

$$V_{OUT} = 2 \times V_{REFOUT} \times \left(\frac{D}{2^N}\right)$$

其中：

$D$ 是载入DAC寄存器的二进制编码的十进制等效值，具体如下：

AD5629R(12位)：0至4095。

AD5669R(16位)：0至65535。

$N$ 为DAC分辨率。

### 电阻串

电阻串部分如图50所示。它只是一串电阻，各电阻的值为 $R$ 。载入DAC寄存器的编码决定抽取电阻串上哪一个节点的电压，以馈入输出放大器。抽取电压的方法是将连接电阻串与放大器的开关之一闭合。由于它是一串电阻，因此可以保证单调性。

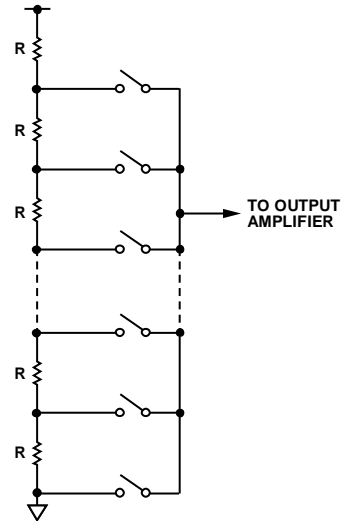


图50. 电阻串

### 内部基准电压源

AD5629R/AD5669R内置一个片内基准电压源，内部增益为2。AD5629R-1/AD5669R-1内置一个1.25 V、5 ppm/°C基准电压源，满量程输出可达到2.5 V；AD5629R-2/AD5629R-3/AD5669R-2/AD5629R-3内置一个2.5 V、5 ppm/°C基准电压源，工作电压为4.5 V至5.5 V，满量程输出可达到5 V。上电时，片内基准电压源关闭，因而可以使用外部基准电压源。内部基准电压源通过写入控制寄存器启用(参见表8)。

各器件的内部基准电压通过 $V_{REFOUT}$ 引脚提供。如果利用基准电压输出驱动外部负载，则需要使用缓冲器。使用内部基准电压源时，建议在基准电压输出与GND之间放置一个100 nF电容，使基准电压保持稳定。

使用内部基准电压源时，不支持各通道独立关断。

# AD5629R/AD5669R

## 输出放大器

输出缓冲放大器可以在其输出端产生轨到轨电压，输出范围为0 V至 $V_{DD}$ 。它能驱动连接至GND的一个与1000 pF电容并联的2 k $\Omega$ 负载。输出放大器的源电流和吸电流能力如图25和图26所示。压摆率为1.5 V/ $\mu$ s， $\frac{1}{4}$ 到 $\frac{3}{4}$ 量程建立时间为10  $\mu$ s。

## 串行接口

AD5629R/AD5669R采用双线I<sup>2</sup>C兼容型串行接口(参见Philips Semiconductor于2000年1月发布的《I<sup>2</sup>C总线规范》2.1版)。AD5629R/AD5669R可作为从器件连接到I<sup>2</sup>C总线，受主器件的控制。典型写序列的时序图参见图2。

AD5629R/AD5669R支持标准(100 kHz)和快速(400 kHz)模式。高速模式仅在某些型号中提供。欲了解各型号的完整列表，请参见“订购指南”。不支持10位寻址和广播寻址。

AD5629R/AD5669R各有一个7位从机地址。这些器件有一个从机地址，5个MSB设为10101，2个LSB由决定A0和A1地址位状态的A0地址引脚状态设置。

更改A0引脚硬连线的设置允许用户将多达三个器件集成到一条总线上，如表7所示。

表7. ADDR引脚设置

A0引脚连接	A1	A0
$V_{DD}$	0	0
NC	1	0
GND	1	1

双线式串行总线协议按如下方式工作：

1. 当SDA线上发生高低转换而SCL处于高电平时，主机通过建立起始条件而启动数据传输。之后的字节是地址字节，由7位从机地址组成。与发送地址对应的从机地址

通过在第9个时钟脉冲期间拉低SDA来做出响应(这称为应答位)。在这个阶段，在选定器件等待从移位寄存器读写数据期间，总线上的所有其它器件保持空闲状态。

2. 数据按9个时钟脉冲(8个数据位和1个应答位)的顺序通过串行总线发送。SDA线上的数据转换必须发生在SCL低电平期间，并且在SCL高电平期间保持稳定。
3. 读取或写入所有数据位之后，停止条件随即建立。在写入模式下，主器件在第10个时钟脉冲期间拉高SDA线，以建立停止条件。在读取模式下，主机会向第9个时钟脉冲发送不应答(即SDA线保持高电平)。主机在第10个时钟脉冲前将SDA线拉低，然后在第10个时钟脉冲期间拉高，以建立停止条件。

## 写操作

写入AD5629R/AD5669R时，用户必须先写入启动命令和地址字节( $R/\bar{W}=0$ )，接着DAC通过拉低SDA做出应答，表示其已做好接收数据准备。AD5629R/AD5669R需要用于DAC的两字节数据，以及控制各种DAC功能的一个命令字节。因此，必须有三个字节的的数据写入DAC，即命令字节、最高有效数据字节和最低有效数据字节，如图51所示。这些数据字节得到AD5629R/AD5669R应答后，随即出现停止条件。

## 读操作

从AD5629R/AD5669R读回数据时，用户必须先写入启动命令和地址字节( $R/\bar{W}=1$ )，接着DAC通过拉低SDA做出应答，表示其已做好发送数据准备。然后从DAC读取两个字节的的数据，均由主机应答，如图52所示。随即出现停止条件。

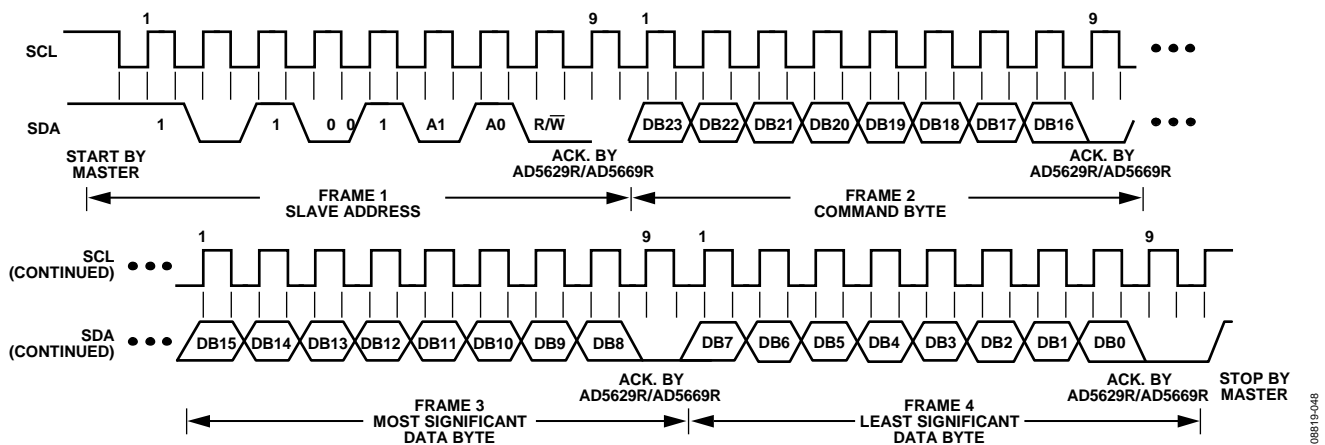


图51. I<sup>2</sup>C写操作

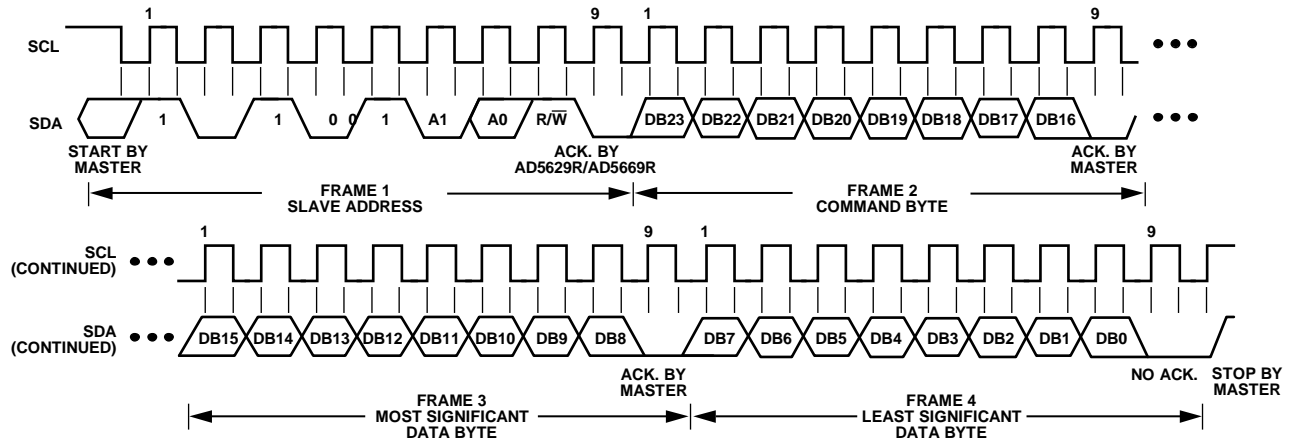


图52. I<sup>2</sup>C读操作

表8. 命令定义

命令				描述
C3	C2	C1	C0	
0	0	0	0	写入输入寄存器n
0	0	0	1	更新DAC寄存器n
0	0	1	0	写入输入寄存器n, 更新全部(软件LDAC)
0	0	1	1	写入并更新DAC通道n
0	1	0	0	DAC掉电/上电
0	1	0	1	加载清零编码寄存器
0	1	1	0	加载LDAC寄存器
0	1	1	1	复位(上电复位)
1	0	0	0	设置内部REF寄存器
1	0	0	1	使能多字节模式
1	0	1	0	保留
-	-	-	-	保留
1	1	1	1	保留

表9. 地址命令

地址(n)				选定的DAC通道
A3	A2	A1	A0	
0	0	0	0	DAC A
0	0	0	1	DAC B
0	0	1	0	DAC C
0	0	1	1	DAC D
0	1	0	0	DAC E
0	1	0	1	DAC F
0	1	1	0	DAC G
0	1	1	1	DAC H
1	1	1	1	所有DAC

### 输入移位寄存器

输入移位寄存器为24位宽。数据在串行时钟输入SCL的控制下作为24位字载入器件。该操作的输入寄存器内容如图53和54所示。8个MSB构成命令字节。DB23至DB20为命令位C3、C2、C1和C0，控制器件的工作模式(详情参见表9)。第一个字节的后四位是地址位A3、A2、A1和A0(详情参见表9)。其余位是16/12位数据字。

AD5669R数据字由16位输入编码(参见图53)组成，AD5629R数据字则由12位输入编码和4个无关位组成(参见图54)。

### 多字节操作

AD5629R/AD5669R支持多字节操作。命令1001保留用于多字节操作(参见表8)。2字节操作适合需要快速DAC更新且不需更改命令字节的应用。命令寄存器的S位(DB22)可设置为1，以用于2字节工作模式。要实现标准3字节和4字节操作，命令字节的S位(DB22)应设置为0。

# AD5629R/AD5669R

## 内部基准电压源寄存器

所有版本均提供内部基准电压源。片内基准电压源在上电时默认关闭。将用户可编程的内部REF寄存器的位DB0设为高电平或低电平，可以关闭或开启片内基准电压源(参见表10)。DB1用于选择内部基准电压值。命令1000用于内部REF寄存器的设置(参见表8)。表11列出了输入移位寄存器中各位的状态与器件工作模式的对应关系。

## 上电复位

AD5629R/AD5669R具有上电复位电路，可以在上电时控制输出电压。AD5629R/AD5669R DAC在上电后输出0 V，AD5669R-3 DAC在上电后输出中间电平。输出一直保持该电平，直到对DAC执行有效的写序列。这对于在上电过程中需要了解DAC输出状态的应用来说很重要。还有一个软件可执行的复位功能，它可将DAC复位至上电复位代码。命令0111保留用于该复位功能(参见表8)。上电复位期间， $\overline{\text{LDAC}}$ 或 $\overline{\text{CLR}}$ 上的所有事件都会被忽略。

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
C3	C2	C1	C0	A3	A2	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
COMMAND				DAC ADDRESS				DAC DATA								DAC DATA							
COMMAND BYTE				DATA HIGH BYTE								DATA LOW BYTE											

图53. AD5669R输入寄存器内容

08819-050

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
C3	C2	C1	C0	A3	A2	A1	A0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X	X	X
COMMAND				DAC ADDRESS				DAC DATA								DAC DATA							
COMMAND BYTE				DATA HIGH BYTE								DATA LOW BYTE											

图54. AD5629R输入寄存器内容

08819-052



## 掉电模式

AD5629R/AD5669R具有四种独立的工作模式。命令0100用于关断功能(参见表8)。这些模式可通过软件编程,设置控制寄存器中的两位(DB9和DB8)进行选择。

表12列出了这些位的状态与器件工作模式的对应关系。将相应的8位(DB7至DB0)设为1,任意或所有DAC(DAC H至DAC A)都可以关断到选定的模式。表13列出了关断/上电期间输入移位寄存器的内容。

当两位均设为0时,器件正常工作,5 V时正常模式功耗为1.3 mA。在三种关断模式下,5 V时电源电流降至0.4  $\mu$ A(3 V时为0.2  $\mu$ A)。不仅是供电电流下降,输出级也从放大器输出切换为已知值的电阻网络,这是有好处的,因为在掉电模式下器件的输出阻抗是已知的。有三种不同的选项:输出通过1 k $\Omega$ 电阻或100 k $\Omega$ 电阻内部连接到GND,或者保持开路状态(三态)。图55显示了此输出级。

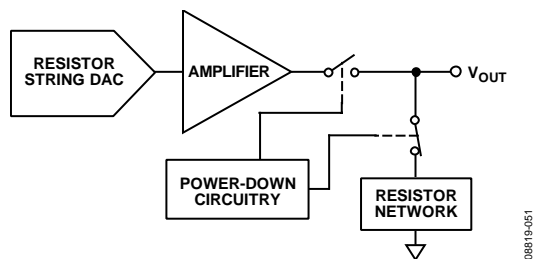


图55. 掉电模式下的输出级

在关断模式有效时,选定DAC的偏置发生器、输出放大器、电阻串以及其它相关线性电路全部关闭。内部基准电压源仅在所有通道均关断时才关断。然而,掉电期间DAC寄存器的内容不受影响。对于 $V_{DD} = 5$  V和 $V_{DD} = 3$  V,退出关断模式所需时间通常为4  $\mu$ s。

将PD1和PD0设为0(正常工作),可以使任意DAC组合上电。上电后,输出为输入寄存器中的值( $\overline{LDAC}$ 为低电平),或者输出为关断前DAC寄存器中的值( $\overline{LDAC}$ 为高电平)。

## 清零编码寄存器

AD5629R/AD5669R具有一个硬件异步清零输入引脚 $\overline{CLR}$ 。 $\overline{CLR}$ 输入对下降沿敏感。通过将 $\overline{CLR}$ 线置为低电平,可以将输入寄存器和DAC寄存器的内容清零至用户可配置 $\overline{CLR}$ 寄存器中的数据,并相应地设置模拟输出。此功能在系统校准中可用于将零电平、中间电平或满量程同时载入所有通道。通过设置CLR控制寄存器中的两位DB1和DB0,用户可以对这些清零编码值进行编程(参见表15)。默认设置是输出清零至0 V。命令0101用于加载清零编码寄存器(参见表8)。

器件在下次有效写操作结束时退出清零编码模式。如果 $\overline{CLR}$ 在写序列期间有效,写操作将被中止。

$\overline{CLR}$ 脉冲有效时间( $\overline{CLR}$ 的下降沿到输出开始改变时)通常为280 ns。然而,如果在DAC的线性区域以外,则执行 $\overline{CLR}$ 后通常需要520 ns输出才开始改变(参见图44)。

表14列出了加载清零编码寄存器操作期间输入移位寄存器的内容。

表10. 内部基准电压寄存器

内部REF寄存器(DB0)	操作
0	基准电压源关闭(默认)
1	基准电压源开启

表11. 基准电压源设置命令的32位输入移位寄存器内容

MSB								LSB	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15至DB1	DB0
1	0	0	0	X	X	X	X	X	1/0
命令位(C3至C0)				地址位(A3至A0)				无关位	内部REF开/关

# AD5629R/AD5669R

表12. 关断工作模式

DB9	DB8	工作模式
0	0	正常工作
0	1	掉电模式
1	0	1 kΩ至GND
1	1	100 kΩ至GND
1	1	三态

表13. 关断/上电功能的32位输入移位寄存器内容

MSB										LSB
DB23	DB22	DB21	DB20	DB19至DB16	DB15至DB10	DB9	DB8	DB7至DB1	DB0	
0	1	0	0	X	X	PD1	PD0	DAC H至DAC B	DAC A	
命令位(C3至C0)				地址位(A3至A0) 无关位		无关位		掉电模式		关断/上电通道选择, 相应的位设为1可选择通道

表14. 清零编码功能的32位输入移位寄存器内容

MSB										LSB	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15至DB2	DB1	DB0	
0	1	0	1	X	X	X	X	X	CR1	CR0	
命令位(C3至C0)				地址位(A3至A0)无关位				无关位		清零编码寄存器	

表15. 清零编码寄存器

清零编码寄存器		清零编码
DB1	DB0	
CR1	CR0	
0	0	0x0000
0	1	0x8000
1	0	0xFFFF
1	1	无操作

## LDAC 功能

利用硬件 $\overline{\text{LDAC}}$ 引脚可以同时更新所有DAC的输出。

### 同步 $\overline{\text{LDAC}}$

DAC寄存器在读入新数据后更新。 $\overline{\text{LDAC}}$ 可以永久接为低电平或脉冲形式，如图2所示。

### 异步 $\overline{\text{LDAC}}$

输出不在写入输入寄存器的同时更新。当 $\overline{\text{LDAC}}$ 变为低电平时，DAC寄存器更新为输入寄存器的内容。

或者，利用软件 $\overline{\text{LDAC}}$ 功能，写入输入寄存器n并更新所有DAC寄存器，也可以同时更新所有DAC的输出。命令0011用于该软件 $\overline{\text{LDAC}}$ 功能。

利用 $\overline{\text{LDAC}}$ 寄存器，用户可以更加灵活地控制硬件 $\overline{\text{LDAC}}$ 引脚。如果将某一DAC通道的 $\overline{\text{LDAC}}$ 位寄存器设为0，则意味着该通道的更新受 $\overline{\text{LDAC}}$ 引脚的控制。如果该位设为1，则该通道同步更新，即DAC寄存器在读入新数据后更新，与 $\overline{\text{LDAC}}$ 引脚的状态无关，此时 $\overline{\text{LDAC}}$ 引脚被视为接低电平。有关 $\overline{\text{LDAC}}$ 寄存器的工作模式，请参见表16。

在用户希望同时更新选定的通道，而其余通道同步更新的应用中，这种灵活性十分有用。使用命令0110写入DAC将加载8位 $\overline{\text{LDAC}}$ 寄存器(DB7至DB0)。各通道的默认值为0，即 $\overline{\text{LDAC}}$ 引脚正常工作。如果将某一位设为1，则意味着无论 $\overline{\text{LDAC}}$ 引脚的状态如何，对应的DAC通道都会更新。表17列出了加载 $\overline{\text{LDAC}}$ 寄存器工作模式期间输入移位寄存器的内容。

表16.  $\overline{\text{LDAC}}$ 寄存器

加载DAC寄存器		$\overline{\text{LDAC}}$ 操作
$\overline{\text{LDAC}}$ 位(DB7至DB0)	$\overline{\text{LDAC}}$ 引脚	
0	1/0	由 $\overline{\text{LDAC}}$ 引脚决定。
1	X—无关位	DAC通道更新，覆盖 $\overline{\text{LDAC}}$ 引脚。DAC通道视 $\overline{\text{LDAC}}$ 为0。

表17.  $\overline{\text{LDAC}}$ 寄存器功能的32位输入移位寄存器内容

MSB															LSB	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15至DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	1	1	0	X	X	X	X	X	DAC H	DAC G	DAC F	DAC E	DAC D	DAC C	DAC B	DAC A
命令位(C3至C0)				地址位(A3至A0) 无关位				无关位	LDAC位设为1将覆盖 $\overline{\text{LDAC}}$ 引脚							

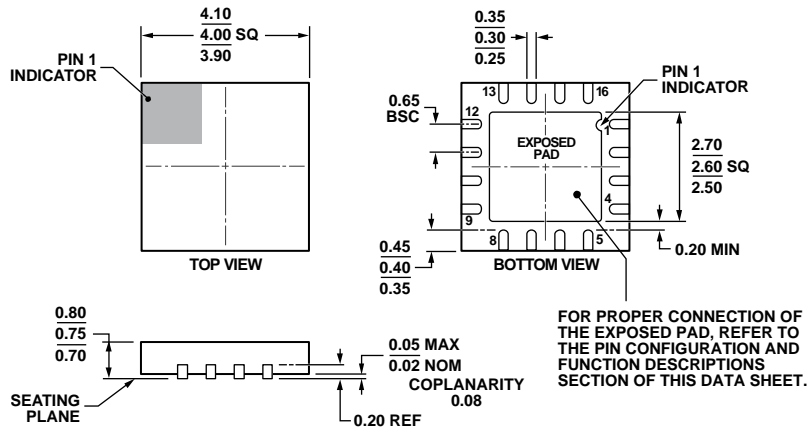
## 电源旁路和接地

在注重精度的电路中，精心考虑电路板上的电源和接地回路布局很有用。AD5629R/AD5669R所在的印刷电路板应将模拟部分与数字部分分离。如果AD5629R/AD5669R所在系统中有其它器件要求AGND至DGND连接，则只能在一个点上连接。该接地点应尽可能靠近AD5629R/AD5669R。

AD5629R/AD5669R的电源应使用10  $\mu\text{F}$ 和0.1  $\mu\text{F}$ 电容进行旁路。这些电容应尽可能靠近该器件，0.1  $\mu\text{F}$ 电容最好正对着该器件右上方。10  $\mu\text{F}$ 电容应为钽珠型电容。0.1  $\mu\text{F}$ 电容必须具有低有效串联电阻(ESR)和低有效串联电感(ESL)，普通陶瓷型电容通常具有这些特性。针对内部逻辑开关引起的瞬态电流所导致的高频干扰，该0.1  $\mu\text{F}$ 电容可提供低阻抗接地路径。

电源走线应尽可能宽，以提供低阻抗路径，并减小电源线路上的毛刺效应。时钟和其它快速开关的数字信号应通过数字地将其与电路板上的其它器件屏蔽开。尽可能避免数字信号与模拟信号交叠。当电路板相反两侧的走线相交时，应确保这些走线彼此垂直，以减小电路板的馈通效应。最佳电路板布局技术是微带线技术，其中电路板的元件侧专用于接地层，信号走线则布设在焊接侧。但是，这种技术对于双层电路板未必可行。

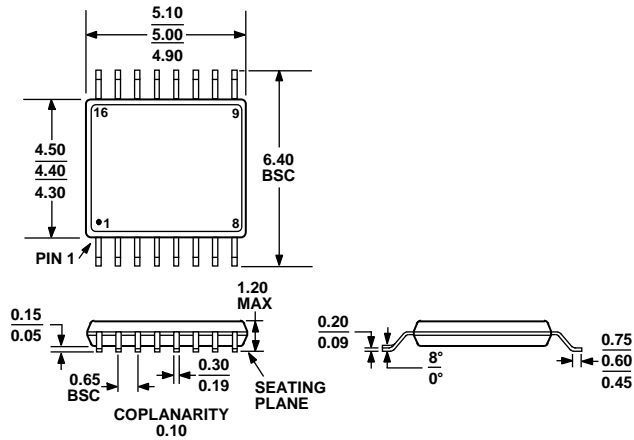
外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WGGC.

图56. 16引脚引脚架构芯片级封装[LFCSP\_WQ]  
4 mm x 4 mm, 超薄体  
(CP-16-17)  
尺寸单位: mm

08-16-2010-C



COMPLIANT TO JEDEC STANDARDS MO-153-AB

图57. 16引脚超薄紧缩小型封装[TSSOP]  
(RU-16)  
尺寸单位: mm

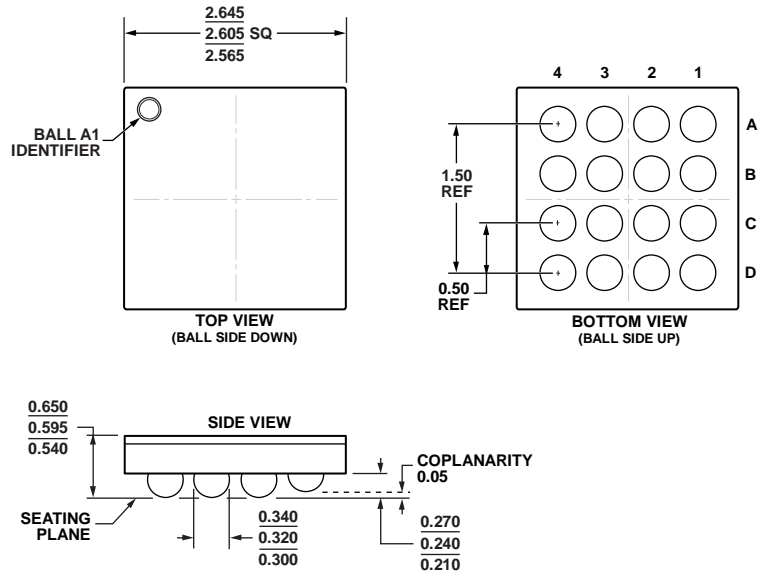


图58. 16引脚晶圆级芯片规模封装[WLCSP]  
(CB-16-16)  
图示尺寸单位: mm

08-16-2011-A

# AD5629R/AD5669R

## 注释

型号 <sup>1</sup>	温度范围	封装描述	封装选项	上电复位至编码	精度	内部基准电压源
AD5629RARUZ-1	-40°C至+105°C	16引脚 TSSOP	RU-16	零电平	±4 LSB INL	1.25 V
AD5629RARUZ-1-RL7	-40°C至+105°C	16引脚 TSSOP	RU-16	零电平	±4 LSB INL	1.25 V
AD5629RBRUZ-2	-40°C至+105°C	16引脚 TSSOP	RU-16	零电平	±1 LSB INL	2.5 V
AD5629RBRUZ-2-RL7	-40°C至+105°C	16引脚 TSSOP	RU-16	零电平	±1 LSB INL	2.5 V
AD5629RACPZ-2-RL7	-40°C至+105°C	16引脚 LFCSP_WQ	CP-16-17	零电平	±4 LSB INL	2.5 V
AD5629RACPZ-3-RL7	-40°C至+105°C	16引脚 LFCSP_WQ	CP-16-17	中间电平	±4 LSB INL	2.5 V
AD5629RBCPZ-1-RL7	-40°C至+105°C	16引脚 LFCSP_WQ	CP-16-17	零电平	±1 LSB INL	1.25 V
AD5629RBCPZ-2-RL7	-40°C至+105°C	16引脚 LFCSP_WQ	CP-16-17	零电平	±1 LSB INL	2.5 V
AD5629RBCBZ-1-RL7	-40°C至+105°C	16引脚 WLCSP	CB-16-16	零电平	±1 LSB INL	1.25 V
AD5669RARUZ-1	-40°C至+105°C	16引脚 TSSOP	RU-16	零电平	±32 LSB INL	1.25 V
AD5669RARUZ-1-RL7	-40°C至+105°C	16引脚 TSSOP	RU-16	零电平	±32 LSB INL	1.25 V
AD5669RBRUZ-2	-40°C至+105°C	16引脚 TSSOP	RU-16	零电平	±16 LSB INL	2.5 V
AD5669RBRUZ-2-RL7	-40°C至+105°C	16引脚 TSSOP	RU-16	零电平	±16 LSB INL	2.5 V
AD5669RACPZ-2-RL7	-40°C至+105°C	16引脚 LFCSP_WQ	CP-16-17	零电平	±32 LSB INL	2.5 V
AD5669RACPZ-3-RL7	-40°C至+105°C	16引脚 LFCSP_WQ	CP-16-17	中间电平	±32 LSB INL	2.5 V
AD5669RBCPZ-1-RL7	-40°C至+105°C	16引脚 LFCSP_WQ	CP-16-17	零电平	±16 LSB INL	1.25 V
AD5669RBCPZ-2-RL7	-40°C至+105°C	16引脚 LFCSP_WQ	CP-16-17	零电平	±16 LSB INL	2.5 V
AD5669RBCPZ-1500R7	-40°C至+105°C	16引脚 LFCSP_WQ	CP-16-17	零电平	±16 LSB INL	1.25 V
AD5669RBCPZ-2500R7	-40°C至+105°C	16引脚 LFCSP_WQ	CP-16-17	零电平	±16 LSB INL	2.5 V
AD5669RBCBZ-1-RL7	-40°C至+105°C	16引脚 WLCSP	CB-16-16	零电平	±16 LSB INL	1.25 V
AD5669RBCBZ-1-R5	-40°C至+105°C	16引脚 WLCSP	CB-16-16	零电平	±16 LSB INL	1.25 V
EVAL-AD5629RSDZ		评估板				
EVAL-AD5669RSDZ		评估板				

<sup>1</sup> Z = 符合RoHS标准的器件。

**注释**

**注释**

I<sup>2</sup>C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。