



**ANALOG
DEVICES**

内置序列器的8通道、1 MSPS、8/10/12位 ADC，采用20引脚TSSOP封装

AD7908/AD7918/AD7928

产品特性

高吞吐率: 1 MSPS

额定电压(V_{DD}): 2.7 V至5.25 V

低功耗

6.0 mW(最大值, 1 MSPS, 3 V电源)

13.5 mW(最大值, 1 MSPS, 5 V电源)

8个带序列器的(单端)输入

宽输入带宽

信纳比70 dB(最小值, 50 kHz输入频率、AD7928)

灵活的功耗/串行时钟速度管理

无流水线延迟

高速串行接口: SPI[®]/QSPI[™]/MICROWIRE[™]/DSP兼容

关断模式: 0.5 μ A(最大值)

20引脚TSSOP封装

通过汽车应用认证

概述

AD7908/AD7918/AD7928分别是8位、10位和12位高速、低功耗、8通道逐次逼近型ADC。采用单电源工作，电源电压为2.7 V至5.25 V，最高吞吐速率可达1 MSPS。它内置一个低噪声、宽带宽采样保持放大器，可处理8 MHz以上的输入频率。

转换过程和数据采集过程通过 \overline{CS} 和串行时钟信号进行控制，从而为器件与微处理器或DSP轻松接口创造了条件。输入信号在 \overline{CS} 的下降沿进行采样，而转换同时在此处启动。该器件无流水线延迟。

AD7908/AD7918/AD7928采用先进的设计技术，可在最高吞吐量下实现极低的功耗。在最高吞吐量下，采用3 V电源时，AD7908/AD7918/AD7928的最大功耗为2 mA；采用5 V电源时，最大功耗为2.7 mA。

通过配置控制寄存器，器件的模拟输入范围可以在0 V至 REF_{IN} 或0 V至 $2 \times REF_{IN}$ 间选择，可采用标准二进制或二进制补码输出编码。AD7908/AD7918/AD7928具有8个带通道序列器的单端模拟输入，可以通过预先编程选择通道转换顺序。

AD7908/AD7918/AD7928的转换时间取决于SCLK频率，该频率同时用作转换控制的主时钟。

Rev. E

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

功能框图

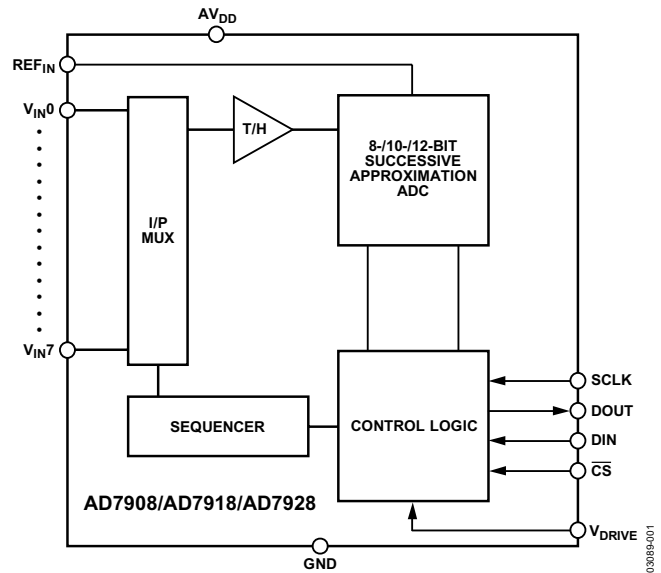


图1.

产品特点

1. 高吞吐速率、低功耗。AD7908/AD7918/AD7928的吞吐量高达1 MSPS。在最高吞吐量下，采用3 V电源时，AD7908/AD7918/AD7928的最大功耗仅6 mW。
2. 8路带通道序列器的单端输入。可以选择通道顺序，ADC将按该顺序循环执行转换。
3. 利用 V_{DRIVE} 功能实现单电源供电。AD7908/AD7918/AD7928采用2.7 V至5.25 V单电源供电。利用 V_{DRIVE} 功能，串行接口可直接连至独立于 AV_{DD} 的3 V或5 V处理器系统。
4. 灵活的功耗/串行时钟速度管理。转换速率取决于串行时钟，通过提高串行时钟速度可缩短转换时间。这些器件还提供多种关断模式，可在较低吞吐量下实现最高功效，完全关断时的最大功耗为0.5 μ A。
5. 无流水线延迟。这些器件采用标准逐次逼近型ADC，通过 \overline{CS} 输入与一次性转换控制可实现对采样时间的精确控制。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2006–2014 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

目录

特性.....	1	控制寄存器.....	15
概述.....	1	序列器操作.....	16
功能框图.....	1	SHADOW寄存器.....	17
产品特色.....	1	电路信息.....	18
修订历史.....	2	转换器操作.....	18
技术规格.....	3	ADC传递函数.....	19
AD7908规格.....	3	处理双极性输入信号.....	19
AD7918规格.....	5	典型连接图.....	19
AD7928规格.....	7	工作模式.....	21
时序规格.....	9	功耗与吞吐速率.....	23
绝对最大额定值.....	10	串行接口.....	23
ESD警告.....	10	微处理器接口.....	24
引脚配置和功能描述.....	11	应用须知.....	27
术语.....	12	外形尺寸.....	28
典型性能参数.....	13	订购指南.....	28
性能曲线.....	13	汽车应用级产品.....	28

修订历史

2014年1月—修订版D至修订版E

更改“订购指南”.....	28
---------------	----

2010年12月—修订版C至修订版D

更改“产品特性”部分.....	1
增加汽车SINAD和SNR参数(表1).....	3
增加汽车SINAD和SNR参数(表2).....	5
增加汽车SINAD和SNR参数(表3).....	7
增加汽车温度范围(表5).....	7
增加“汽车应用级产品”部分.....	28
更改“订购指南”.....	28

2008年11月—修订版B至修订版C

更改表5、ESD参数.....	10
-----------------	----

2006年6月—修订版A至修订版B

格式更新.....	通篇
更改“基准电压”部分.....	21

2003年9月—修订版0至修订版A

更改图3.....	15
更改“基准电压”部分.....	18

规格

AD7908规格

除非另有说明, $AV_{DD} = V_{DRIVE} = 2.7\text{ V}$ 至 5.25 V , $REF_{IN} = 2.5\text{ V}$, $f_{SCLK} = 20\text{ MHz}$, $T_A = T_{MIN}$ 至 T_{MAX} 。

表1.

参数	B级 ¹	单位	测试条件/注释
动态性能			$f_{IN} = 50\text{ kHz}$ 正弦波, $f_{SCLK} = 20\text{ MHz}$
信纳比(SINAD) ²	49	dB, 最小值	B型
信噪比(SNR) ²	48.5	dB, 最小值	W型
总谐波失真(THD) ²	49	dB, 最小值	B型
峰值谐波或杂散噪声(SFDR) ²	48.5	dB, 最小值	W型
交调失真(IMD) ²	-66	dB(最大值)	
二阶项	-64	dB(最大值)	$f_a = 40.1\text{ kHz}$, $f_b = 41.5\text{ kHz}$
三阶项	-90	dB(典型值)	
孔径延迟	-90	dB(典型值)	
孔径抖动	10	ns(典型值)	
通道间隔离 ²	50	ps(典型值)	
全功率带宽	-85	dB(典型值)	$f_{IN} = 400\text{ kHz}$
	8.2	MHz(典型值)	在3 dB条件下
	1.6	MHz(典型值)	在0.1 dB条件下
直流精度 ²			
分辨率	8	位	
积分非线性	± 0.2	LSB(最大值)	保证8位无失码
差分非线性	± 0.2	LSB(最大值)	标准二进制输出编码
输入范围: 0 V 至 REF_{IN}			
失调误差	± 0.5	LSB(最大值)	
失调误差匹配	± 0.05	LSB(最大值)	
增益误差	± 0.2	LSB(最大值)	
增益误差匹配	± 0.05	LSB(最大值)	
输入范围: 0 V 至 $2 \times REF_{IN}$			$-REF_{IN}$ 至 $+REF_{IN}$, 在 REF_{IN} 偏置, 采用二进制补码输出编码方式
正增益误差	± 0.2	LSB(最大值)	
正增益误差	± 0.05	LSB(最大值)	
匹配零代码误差	± 0.5	LSB(最大值)	
零代码误差匹配	± 0.1	LSB(最大值)	
负增益误差	± 0.2	LSB(最大值)	
负增益误差匹配	± 0.05	LSB(最大值)	
模拟输入			
输入电压范围	0 至 REF_{IN} 0 至 $2 \times REF_{IN}$	V V	RANGE位设为1 RANGE位设为0, $AV_{DD}/V_{DRIVE} = 4.75\text{ V}$ 至 5.25 V
直流漏电流	± 1	μA (最大值)	
输入电容	20	pF(典型值)	
基准输入			
REF_{IN} 输入电压	2.5	V	$\pm 1\%$ (额定性能)
直流漏电流	± 1	μA (最大值)	
REF_{IN} 输入阻抗	36	k Ω (典型值)	$f_{SAMPLE} = 1\text{ MSPS}$
逻辑输入			
输入高电压 V_{INH}	$0.7 \times V_{DRIVE}$	V(最小值)	
输入低电压 V_{INL}	$0.3 \times V_{DRIVE}$	V(最大值)	
输入电流 I_{IN}	± 1	μA (最大值)	典型值 10 nA , $V_{IN} = 0\text{ V}$ 或 V_{DRIVE}
输入电容 C_{IN}^3	10	pF(最大值)	

AD7908/AD7918/AD7928

参数	B级 ¹	单位	测试条件/注释
逻辑输出			
输出高电压 V_{OH}	$V_{DRIVE} - 0.2$	V(最小值)	$I_{SOURCE} = 200 \mu A$, $AV_{DD} = 2.7 V$ 至 $5.25 V$ $I_{SINK} = 200 \mu A$
输出低电压 V_{OL}	0.4	V(最大值)	
浮空态泄漏电流	± 1	μA (最大值)	
悬空态输出电容 ³	10	pF(最大值)	
输出编码		标准(自然)二进制 二进制补码	
转换速率			
转换时间	800	ns(最大值)	16个SCLK周期(SCLK为20 MHz)
采样保持器采集时间	300	ns(最大值)	正弦波输入
	300	ns(最大值)	满量程阶跃输入
吞吐速率	1	MSPS, 最大值	参见“串行接口”部分
电源要求			
AV_{DD}	2.7/5.25	V, 最小值/最大值	数字输入 = 0 V或 V_{DRIVE} $AV_{DD} = 2.7 V$ 至 $5.25 V$, SCLK开启或关闭 $AV_{DD} = 4.75 V$ 至 $5.25 V$, $f_{SCLK} = 20 MHz$ $AV_{DD} = 2.7 V$ 至 $3.6 V$, $f_{SCLK} = 20 MHz$ $f_{SAMPLE} = 250 kSPS$ (静态) SCLK开启或关闭(20 nA典型值)
V_{DRIVE}	2.7/5.25	V, 最小值/最大值	
I_{DD}^4			
正常模式(静态)	600	μA (典型值)	
正常模式(工作状态)	2.7	mA(最大值)	
	2	mA(最大值)	
使用自动关断模式	960	μA (典型值)	
	0.5	μA (最大值)	
完全关断模式	0.5	μA (最大值)	
功耗 ⁴			
正常模式(工作状态)	13.5	mW(最大值)	
	6	mW(最大值)	
自动关断模式(静态)	2.5	μW (最大值)	
	1.5	μW (最大值)	
完全关断模式	2.5	μW (最大值)	
	1.5	μW (最大值)	

¹ 温度范围如下：B级：-40°C至+85°C。

² 参见“术语”部分。

³ 样品在25°C下进行测试，以确保符合标准要求。

⁴ 参见“功耗与吞吐速率的关系”部分。

AD7918规格

除非另有说明, $AV_{DD} = V_{DRIVE} = 2.7\text{ V}$ 至 5.25 V , $REF_{IN} = 2.5\text{ V}$, $f_{SCLK} = 20\text{ MHz}$, $T_A = T_{MIN}$ 至 T_{MAX} 。

表2.

参数	B级 ¹	单位	测试条件/注释
动态性能			$f_{IN} = 50\text{ kHz}$ 正弦波, $f_{SCLK} = 20\text{ MHz}$
信纳比(SINAD) ²	61	dB, 最小值	B型
	60.5	dB, 最小值	W型
信噪比(SNR) ²	61	dB, 最小值	B型
	60.5	dB, 最小值	W型
总谐波失真(THD) ²	-72	dB(最大值)	
峰值谐波或杂散噪声(SFDR) ²	-74	dB(最大值)	
交调失真(IMD) ²			$f_a = 40.1\text{ kHz}$, $f_b = 41.5\text{ kHz}$
二阶项	-90	dB(典型值)	
三阶项	-90	dB(典型值)	
孔径延迟	10	ns(典型值)	
孔径抖动	50	ps(典型值)	
通道间隔离 ²	-85	dB(典型值)	$f_{IN} = 400\text{ kHz}$
全功率带宽	8.2	MHz(典型值)	在3 dB条件下
	1.6	MHz(典型值)	在0.1 dB条件下
直流精度 ²			
分辨率	10	位	
积分非线性	± 0.5	LSB(最大值)	
差分非线性	± 0.5	LSB(最大值)	保证10位无失码
输入范围: 0V至 REF_{IN}			标准二进制输出编码
失调误差	± 2	LSB(最大值)	
失调误差匹配	± 0.2	LSB(最大值)	
增益误差	± 0.5	LSB(最大值)	
增益误差匹配	± 0.2	LSB(最大值)	
输入范围: 0V至 $2 \times REF_{IN}$			$-REF_{IN}$ 至 $+REF_{IN}$, 在 REF_{IN} 偏置, 采用二进制补码输出编码方式
正增益误差	± 0.5	LSB(最大值)	
正增益误差	± 0.2	LSB(最大值)	
匹配零代码误差	± 2	LSB(最大值)	
零代码误差匹配	± 0.2	LSB(最大值)	
负增益误差	± 0.5	LSB(最大值)	
负增益误差匹配	± 0.2	LSB(最大值)	
模拟输入			
输入电压范围	0至 REF_{IN} 0至 $2 \times REF_{IN}$	V V	RANGE位设为1 RANGE位设为0, $AV_{DD}/V_{DRIVE} = 4.75\text{ V}$ 至 5.25 V
直流漏电流	± 1	μA (最大值)	
输入电容	20	pF(典型值)	
基准输入			
REF_{IN} 输入电压	2.5	V	$\pm 1\%$ (额定性能)
直流漏电流	± 1	μA (最大值)	
REF_{IN} 输入阻抗	36	k Ω (典型值)	$f_{SAMPLE} = 1\text{ MSPS}$
逻辑输入			
输入高电压 V_{INH}	$0.7 \times V_{DRIVE}$	V(最小值)	
输入低电压 V_{INL}	$0.3 \times V_{DRIVE}$	V(最大值)	
输入电流 I_{IN}	± 1	μA (最大值)	典型值10 nA, $V_{IN} = 0\text{ V}$ 或 V_{DRIVE}
输入电容 C_{IN}^3	10	pF(最大值)	

AD7908/AD7918/AD7928

参数	B级 ¹	单位	测试条件/注释
逻辑输出			
输出高电压 V_{OH}	$V_{DRIVE} - 0.2$	V(最小值)	$I_{SOURCE} = 200 \mu A$, $AV_{DD} = 2.7 V$ 至 $5.25 V$ $I_{SINK} = 200 \mu A$
输出低电压 V_{OL}	0.4	V(最大值)	
浮空态泄漏电流	± 1	μA (最大值)	
悬空态输出电容 ³	10	pF(最大值)	
输出编码	标准(自然)二进制 二进制补码		
转换速率			
转换时间	800	ns(最大值)	16个SCLK周期(SCLK为20 MHz)
采样保持器采集时间	300	ns(最大值)	正弦波输入
	300	ns(最大值)	满量程阶跃输入
吞吐速率	1	MSPS, 最大值	参见“串行接口”部分
电源要求			
AV_{DD}	2.7/5.25	V, 最小值/最大值	数字输入 = 0 V或 V_{DRIVE} $AV_{DD} = 2.7 V$ 至 $5.25 V$, SCLK开启或关闭 $AV_{DD} = 4.75 V$ 至 $5.25 V$, $f_{SCLK} = 20 MHz$ $AV_{DD} = 2.7 V$ 至 $3.6 V$, $f_{SCLK} = 20 MHz$ $f_{SAMPLE} = 250 KSPS$ (静态) SCLK开启或关闭(20 nA典型值)
V_{DRIVE}	2.7/5.25	V, 最小值/最大值	
I_{DD} ⁴			
正常模式(静态)	600	μA (典型值)	
正常模式(工作状态)	2.7	mA(最大值)	
	2	mA(最大值)	
使用自动关断模式	960	μA (典型值)	
	0.5	μA (最大值)	
完全关断模式	0.5	μA (最大值)	
功耗 ⁴			
正常模式(工作状态)	13.5	mW(最大值)	
	6	mW(最大值)	
自动关断模式(静态)	2.5	μW (最大值)	
	1.5	μW (最大值)	
完全关断模式	2.5	μW (最大值)	
	1.5	μW (最大值)	

¹ 温度范围如下：B级：-40°C至+85°C。

² 参见“术语”部分。

³ 样片在25°C下进行测试，以确保符合标准要求。

⁴ 参见“功耗与吞吐速率的关系”部分。

AD7928规格

除非另有说明， $AV_{DD} = V_{DRIVE} = 2.7\text{ V}$ 至 5.25 V ， $REF_{IN} = 2.5\text{ V}$ ， $f_{SCLK} = 20\text{ MHz}$ ， $T_A = T_{MIN}$ 至 T_{MAX} 。

表3.

参数	B级 ¹	单位	测试条件/注释
动态性能			$f_{IN} = 50\text{ kHz}$ 正弦波， $f_{SCLK} = 20\text{ MHz}$
信纳比(SINAD) ²	70	dB, 最小值	5 V, B型
	69.5	dB, 最小值	5 V, W型
信噪比(SNR) ²	69	dB, 最小值	3 V, 典型值为70 dB
	70	dB, 最小值	B型
	69.5	dB, 最小值	W型
总谐波失真(THD) ²	-77	dB(最大值)	5 V, 典型值为-84 dB
	-73	dB(最大值)	3 V, 典型值为-77 dB
峰值谐波或杂散噪声(SFDR) ²	-78	dB(最大值)	5 V, 典型值为-86 dB
	-76	dB(最大值)	3 V, 典型值为-80 dB
交调失真(IMD) ²			$f_a = 40.1\text{ kHz}$, $f_b = 41.5\text{ kHz}$
二阶项	-90	dB(典型值)	
三阶项	-90	dB(典型值)	
孔径延迟	10	ns(典型值)	
孔径抖动	50	ps(典型值)	
通道间隔离 ²	-85	dB(典型值)	$f_{IN} = 400\text{ kHz}$
全功率带宽	8.2	MHz(典型值)	在3 dB条件下
	1.6	MHz(典型值)	在0.1 dB条件下
直流精度 ²			
分辨率	12	位	
积分非线性	±1	LSB(最大值)	
差分非线性	-0.9/+1.5	LSB(最大值)	保证12位无失码
输入范围: 0 V至 REF_{IN}			标准二进制输出编码
失调误差	±8	LSB(最大值)	通常为±0.5 LSB
失调误差匹配	±0.5	LSB(最大值)	
增益误差	±1.5	LSB(最大值)	
增益误差匹配	±0.5	LSB(最大值)	
输入范围: 0 V至 $2 \times REF_{IN}$			- REF_{IN} 至 $+REF_{IN}$, 在 REF_{IN} 偏置, 采用二进制补码输出编码方式
正增益误差	±1.5	LSB(最大值)	
正增益误差	±0.5	LSB(最大值)	
匹配零代码误差	±8	LSB(最大值)	通常为±0.8 LSB
零代码误差匹配	±0.5	LSB(最大值)	
负增益误差	±1	LSB(最大值)	
负增益误差匹配	±0.5	LSB(最大值)	
模拟输入			
输入电压范围	0至 REF_{IN} 0至 $2 \times REF_{IN}$	V V	RANGE位设为1 RANGE位设为0, $AV_{DD}/V_{DRIVE} = 4.75\text{ V}$ 至 5.25 V
直流漏电流	±1	μA(最大值)	
输入电容	20	pF(典型值)	
基准输入			
REF_{IN} 输入电压	2.5	V	±1%(额定性能)
直流漏电流	±1	μA(最大值)	
REF_{IN} 输入阻抗	36	kΩ(典型值)	$f_{SAMPLE} = 1\text{ MSPS}$
逻辑输入			
输入高电压 V_{INH}	$0.7 \times V_{DRIVE}$	V(最小值)	
输入低电压 V_{INL}	$0.3 \times V_{DRIVE}$	V(最大值)	
输入电流 I_{IN}	±1	μA(最大值)	典型值10 nA, $V_{IN} = 0\text{ V}$ 或 V_{DRIVE}
输入电容 C_{IN}^3	10	pF(最大值)	

AD7908/AD7918/AD7928

参数	B级 ¹	单位	测试条件/注释
逻辑输出			
输出高电压 V_{OH}	$V_{DRIVE} - 0.2$	V(最小值)	$I_{SOURCE} = 200 \mu A$, $AV_{DD} = 2.7 V$ 至 $5.25 V$ $I_{SINK} = 200 \mu A$
输出低电压 V_{OL}	0.4	V(最大值)	
浮空态泄漏电流	± 1	μA (最大值)	
悬空态输出电容 ³	10	pF(最大值)	
输出编码	标准(自然)二进制 二进制补码		
转换速率			
转换时间	800	ns(最大值)	16个SCLK周期(SCLK为20 MHz)
采样保持器采集时间	300	ns(最大值)	正弦波输入
	300	ns(最大值)	满量程阶跃输入
吞吐速率	1	MSPS, 最大值	参见“串行接口”部分
电源要求			
AV_{DD}	2.7/5.25	V, 最小值/最大值	数字输入 = 0 V或 V_{DRIVE} $AV_{DD} = 2.7 V$ 至 $5.25 V$, SCLK开启或关闭 $AV_{DD} = 4.75 V$ 至 $5.25 V$, $f_{SCLK} = 20 MHz$ $AV_{DD} = 2.7 V$ 至 $3.6 V$, $f_{SCLK} = 20 MHz$ $f_{SAMPLE} = 250 kSPS$ (静态) SCLK开启或关闭(20 nA典型值)
V_{DRIVE}	2.7/5.25	V, 最小值/最大值	
I_{DD} ⁴			
正常模式(静态)	600	μA (典型值)	
正常模式(工作状态)	2.7	mA(最大值)	
	2	mA(最大值)	
使用自动关断模式	960	μA (典型值)	
	0.5	μA (最大值)	
完全关断模式	0.5	μA (最大值)	
功耗 ⁴			
正常模式(工作状态)	13.5	mW(最大值)	
	6	mW(最大值)	
自动关断模式(静态)	2.5	μW (最大值)	
	1.5	μW (最大值)	
完全关断模式	2.5	μW (最大值)	
	1.5	μW (最大值)	

¹ 温度范围如下：B级：-40°C至+85°C。

² 参见“术语”部分。

³ 样片在25°C下进行测试，以确保符合标准要求。

⁴ 参见“功耗与吞吐速率的关系”部分。

时序规格

除非另有说明, $AV_{DD} = 2.7\text{ V}$ 至 5.25 V , $V_{DRIVE} \leq AV_{DD}$, $REF_{IN} = 2.5\text{ V}$, $T_A = T_{MIN}$ 至 T_{MAX} 。¹

表4.

参数	在 T_{MIN} 、 T_{MAX} 下的限值AD7908/AD7918/AD7928			说明
	$AV_{DD} = 3\text{ V}$	$AV_{DD} = 5\text{ V}$	单位	
f_{SCLK}^2	10	10	kHz(最小值)	
	20	20	MHz(最大值)	
$t_{CONVERT}$	$16 \times t_{SCLK}$	$16 \times t_{SCLK}$		\overline{CS} 上升沿到下一次转换开始的最短安静时间
t_{QUIET}	50	50	ns(最小值)	
t_2	10	10	ns(最小值)	\overline{CS} 到SCLK建立时间
t_3^3	35	30	ns(最大值)	从 \overline{CS} 直到DOUT三态禁用的延迟时间
t_4^3	40	40	ns(最大值)	SCLK下降沿后的数据访问时间
t_5	$0.4 \times t_{SCLK}$	$0.4 \times t_{SCLK}$	ns(最小值)	SCLK低电平脉宽
t_6	$0.4 \times t_{SCLK}$	$0.4 \times t_{SCLK}$	ns(最小值)	SCLK高电平脉宽
t_7	10	10	ns(最小值)	SCLK到DOUT的有效保持时间
t_8^4	15/45	15/35	ns(最小值/最大值)	SCLK下降沿到DOUT高阻态
t_9	10	10	ns(最小值)	SCLK下降沿之前的DIN建立时间
t_{10}	5	5	ns(最小值)	SCLK下降沿之后的DIN保持时间
t_{11}	20	20	ns(最小值)	第16个SCLK下降沿到 \overline{CS} 高电平
t_{12}	1	1	μs (最大值)	完全关断/自动关断模式上电时间

¹ 样片在 25°C 下进行测试, 以确保符合标准要求。所有输入信号均指定 $t_r = t_f = 5\text{ ns}$ (10%到90%的 AV_{DD})并从1.6 V电平起开始计时。参见图2。3 V工作范围为2.7 V至3.6 V。5 V工作范围为4.75 V至5.25 V。

² SCLK输入的传号空号比为40/60至60/40。

³ 测量时, 负载电路如图2所示, 定义为输出跨越 0.4 V 或 $0.7 \times V_{DRIVE}$ 所需的时间。

⁴ t_8 来源于测量时间, 该时间为采用图2所示负载电路时数据输出改变 0.5 V 所需的时间。接下来, 通过对测量结果进行反向推断, 可以消除对50 pF电容充、放电的影响。这意味着, 时序特性所给出的时间 t_8 是该器件真正的总线释放时间, 因而与总线负载无关。

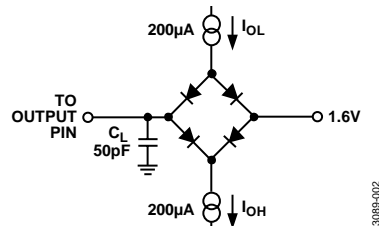


图2. 数字输出时序规格的负载电路

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表5.

参数	额定值
AV_{DD} 至 AGND	-0.3 V 至 +7 V
V_{DRIVE} 至 AGND	-0.3 V 至 $AV_{DD} + 0.3$ V
模拟输入电压至 AGND	-0.3 V 至 $AV_{DD} + 0.3$ V
数字输入电压至 AGND	-0.3 V 至 +7 V
数字输出电压至 AGND	-0.3 V 至 $AV_{DD} + 0.3$ V
REF_{IN} 至 AGND	-0.3 V 至 $AV_{DD} + 0.3$ V
输入电流至除电源外的任何引脚 ¹	± 10 mA
工作温度范围	
商用(B级)	-40°C 至 +85°C
存储温度范围	-65°C 至 +150°C
汽车应用温度范围	-40°C 至 +125°C
结温	150°C
TSSOP封装功耗	450 mW
θ_{JA} 热阻	143°C/W (TSSOP)
θ_{JC} 热阻	45°C/W (TSSOP)
引脚温度, 焊接	
气相(60秒)	215°C
红外(15秒)	220°C
ESD	1.5 kV

¹ 100 mA 以下的瞬态电流不会造成 SCR 闩锁。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告

ESD(静电放电)敏感器件。静电电荷很容易在人体和测试设备上累积，可高达4000 V，并可能在没有察觉的情况下放电。尽管本产品具有专用ESD保护电路，但在遇到高能量静电放电时，可能会发生永久性器件损坏。因此，建议采取适当的ESD防范措施，以避免器件性能下降或功能丧失。



引脚配置和功能描述

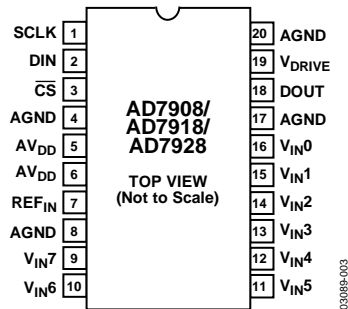


图3. 引脚配置

表6. 引脚功能描述

引脚编号	引脚名称	说明
1	SCLK	串行时钟。逻辑输入。SCLK提供访问器件数据所需的串行时钟。此时钟也用作AD7908/AD7918/AD7928转换过程的时钟源。
2	DIN	数据输入，逻辑输入。待写入AD7908/AD7918/AD7928控制寄存器的数据由此输入提供，并在SCLK下降沿逐个输入寄存器(参见“控制寄存器”部分)。
3	$\overline{\text{CS}}$	片选。低电平有效逻辑输入。
4, 8, 17, 20	AGND	此输入提供两个功能：启动AD7908/AD7918/AD7928的转换和使能串行数据帧传输。模拟地。这是AD7908/AD7918/AD7928上所有模拟电路的接地基准点。所有模拟输入信号和任何外部基准信号都应参考此AGND电压。
5, 6	AV _{DD}	所有AGND引脚应连在一起。模拟电源输入引脚。AD7908/AD7918/AD7928的AV _{DD} 范围为2.7 V至5.25 V。对于0 V至2 × REF _{IN} 范围，AV _{DD} 范围应为4.75 V至5.25 V。
7	REF _{IN}	AD7908/AD7918/AD7928的基准电压输入。必须将一个外部基准电压施加于此输入引脚。外部基准电压范围为2.5 V ± 1%时可达指定性能。
16至9	V _{IN0} 至V _{IN7}	模拟输入0到模拟输入7。这8个单端模拟输入通道多路复用至片内采样保持电路。使用控制寄存器的地址位ADD2到ADD0选择待转换的模拟输入通道。地址位配合SEQ和SHADOW位使用，可对序列器编程。所有输入通道的输入范围可从0 V扩展至REF _{IN} ，或者从0 V扩展至2 × REF _{IN} ，具体可通过控制寄存器中的RANGE位选择。任何未使用的输入通道应连接到AGND，以免拾取噪声。
18	DOUT	数据输出。逻辑输出。AD7908/AD7918/AD7928的转换结果以串行数据流形式通过此输出提供。各数据位在SCLK输入的下沿逐个输出。AD7908的输出数据流包括一个前置0和3个地址位(表示转换结果对应的通道)，然后是8个转换数据位，以及4个尾随零(MSB优先)；AD7918的输出数据流包括一个前置0和3个地址位(表示转换结果对应的通道)，然后是10个转换数据位，以及2个尾随零(MSB优先)；AD7928的输出数据流包括一个前置0和3个地址位(表示转换结果对应的通道)，然后是12个转换数据位(MSB优先)。输出编码方式可选择标准二进制或二进制补码，通过控制寄存器中的CODING位选择。
19	V _{DRIVE}	逻辑电源输入。此引脚的电源电压决定AD7908/AD7918/AD7928串行接口的工作电压。

术语

积分非线性

积分非线性表示ADC传递函数与一条通过ADC传递函数端点的直线的最大偏差。传递函数有两个端点，起点在低于第一个码转换的1 LSB处的零电平，终点在高于最后一个码转换的1 LSB处的满量程。

差分非线性

差分非线性表示ADC中任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。

失调误差

失调误差表示第一个码转换(00 ... 000到00 ... 001)与理想值(即AGND + 1 LSB)的偏差。

失调误差匹配

失调误差匹配表示任何两个通道之间失调误差的差异。

增益误差

增益误差表示最后一个码转换(从111 ... 110到111 ... 111)与理想值(即REF_{IN} - 1 LSB)的偏差(调节并消除失调误差后)。

增益误差匹配

增益误差匹配表示任何两个通道之间增益误差的差异。

零代码误差

此参数适用于二进制输出编码方式，特别是-REF_{IN}至+REF_{IN}的2 × REF_{IN}输入范围，在REF_{IN}点偏置。它表示中间电平转换(全0到全1)与理想V_{IN}电压(即REF_{IN} - 1 LSB)的偏差。

零代码误差匹配

零代码误差匹配表示任何两个通道之间零代码误差的差异。

正增益误差

此参数适用于二进制输出编码方式，特别是-REF_{IN}至+REF_{IN}的2 × REF_{IN}输入范围，在REF_{IN}点偏置。它表示最后一个码转换(从011 ... 110到011 ... 111)与理想值(即+REF_{IN} - 1 LSB)的偏差(调节并消除零代码误差后)。

正增益误差匹配

正增益误差匹配表示任何两个通道之间正增益误差的差异。

负增益误差

此参数适用于二进制输出编码方式，特别是-REF_{IN}至+REF_{IN}的2 × REF_{IN}输入范围，在REF_{IN}点偏置。它表示第一个码转换(100 ... 000到100 ... 001)与理想值(即-REF_{IN} + 1 LSB)的偏差(调节并消除零代码误差后)。

负增益误差匹配

负增益误差匹配表示任何两个通道之间负增益误差的差异。

通道间隔离

通道间隔离衡量通道之间的串扰水平。通过向所有7个未选定的输入通道施加一个满量程400 kHz正弦波信号，并决定该信号在选定通道内随50 kHz信号的衰减程度来测量。图中所示针对AD7908/AD7918/AD7928全部8个通道的最差情况而言。

电源抑制(PSR)

电源变化会影响转换器的满量程转换，但不会影响其线性。电源抑制是由于电源电压偏离标称值所引起的最大满量程转换点变化(参见“性能曲线”部分)。

采样保持器采集时间

采样保持放大器在转换结束后恢复跟踪模式。采样保持采集时间是转换结束后，采样保持放大器输出达到最终值(在±1 LSB内)所需的时间。

信纳比(SINAD)

信纳比是指在ADC输出端测得的信号对噪声及失真比。这里的信号是基波幅值的均方根值。噪声为所有达到采样频率一半($f_s/2$ ，直流信号除外)的非基波信号之和。在数字化过程中，这个比值的大小取决于量化级数，量化级数越多，量化噪声就越小。对于一个正弦波输入的理想N-bit转换器，信纳比值理论值计算公式为：

$$\text{信纳比} = (6.02N + 1.76)\text{dB}$$

因此，对于12位转换器，信纳比为74 dB；对于10位转换器，该值为62 dB；对于8位转换器，该值为50 dB。

总谐波失真

总谐波失真(THD)是指所有谐波均方根和与基波的比值。对于AD7908/AD7918/AD7928，其定义为：

$$\text{THD (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

其中： V_1 是基波幅度的均方根值； V_2 、 V_3 、 V_4 、 V_5 和 V_6 是二次到六次谐波幅度的均方根值。

典型性能参数

性能曲线

图4显示AD7928在1 MSPS采样速率和50 kHz输入频率下的典型FFT曲线。图5显示以1 MSPS采样且SCLK为20 MHz时，各种电源电压下的信纳比与输入频率的关系。

图6显示不使用去耦时，AD7928的电源抑制比与电源纹波频率的关系。电源抑制比定义为满量程频率f下ADC输出功率与频率f_s下施加于ADC AV_{DD}电源的200 mV p-p正弦波功率的比值：

$$PSRR(\text{dB}) = 10 \log(P_f/P_{fs})$$

P_f等于频率f下的ADC输出功率；P_{f_s}等于频率f_s下耦合至ADC AV_{DD}电源的功率。此处，200 mV p-p正弦波耦合至AV_{DD}电源。

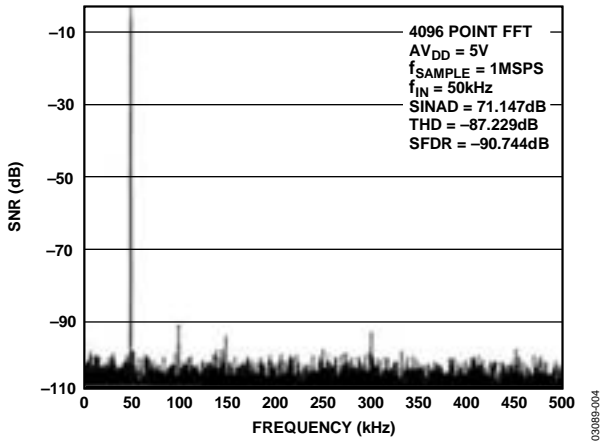


图4. AD7928动态性能(1 MSPS)

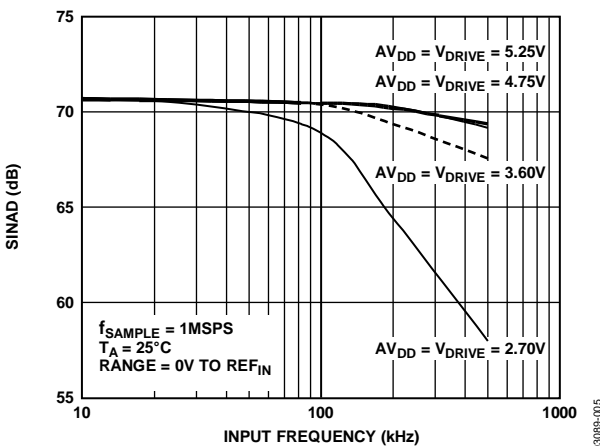


图5. 不同电源电压下AD7928 SINAD与模拟输入频率的关系(1 MSPS)

图7显示不同电源电压下总谐波失真与模拟输入频率的关系曲线，图8显示不同源阻抗下总谐波失真与模拟输入频率的关系曲线。参见“模拟输入”部分。

图9和图10显示AD7928的典型INL和DNL曲线。

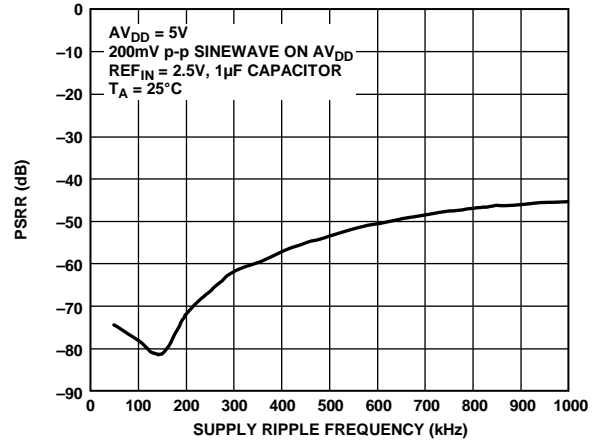


图6. AD7928 PSRR与电源纹波频率的关系

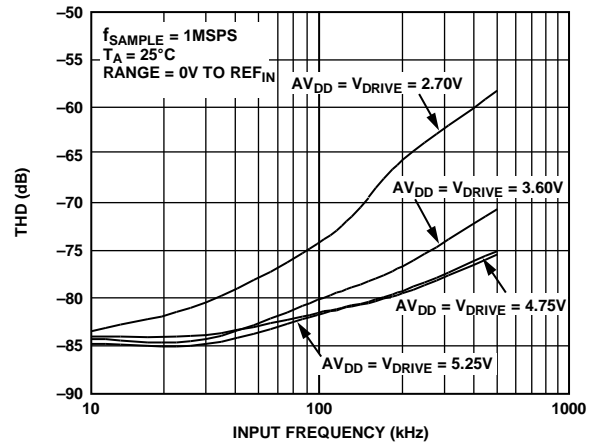


图7. 不同电源电压下AD7928 THD与模拟输入频率的关系(1 MSPS)

AD7908/AD7918/AD7928

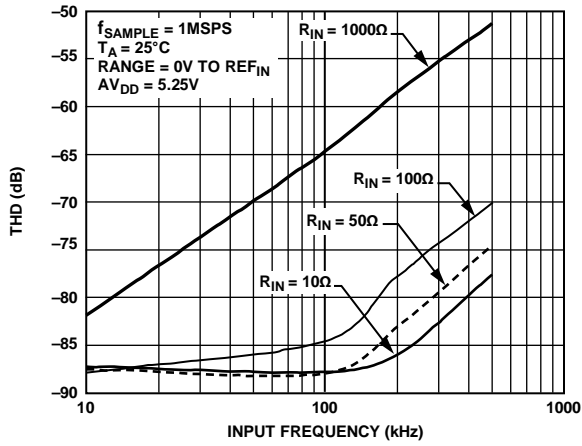


图8. 不同源阻抗下AD7928 THD与模拟输入频率的关系

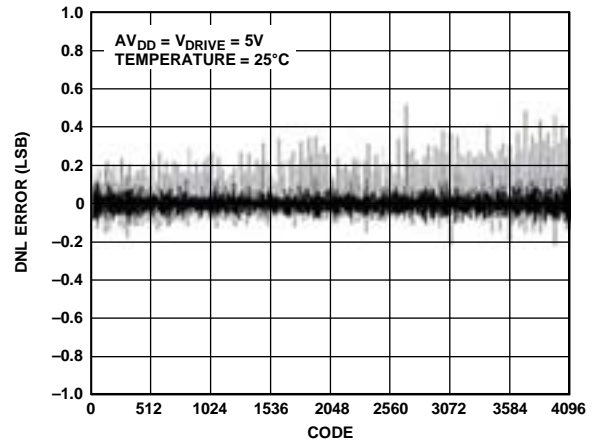


图10. AD7928典型DNL

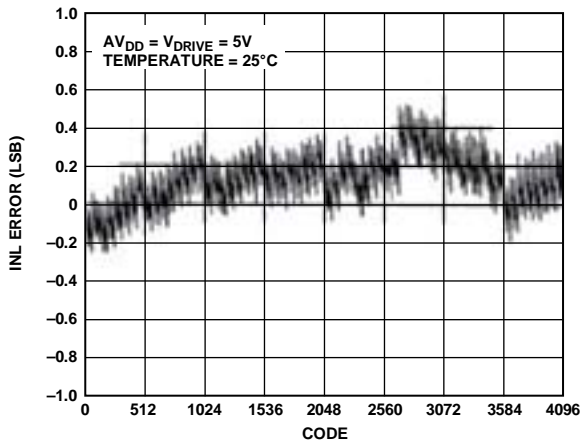


图9. AD7928典型INL

控制寄存器

AD7908/AD7918/AD7928控制寄存器是12位只写寄存器。数据在SCLK的下降沿从AD7908/AD7918/AD7928的DIN引脚载入。从器件读出转换结果的同时，数据通过DIN线路传输。DIN线路上传输的数据对应于下一个转换的AD7908/AD7918/AD7928配置。每次数据传输需要16个串行时钟。只有在前12个时钟下降沿(\overline{CS} 下降沿之后)提供的信息才会被载入控制寄存器。MSB表示数据流的第一位。位功能如表7所示。

MSB

LSB

WRITE	SEQ	DON'TCARE	ADD2	ADD1	ADD0	PM1	PM0	SHADOW	DON'TCARE	RANGE	CODING
-------	-----	-----------	------	------	------	-----	-----	--------	-----------	-------	--------

表7. 控制寄存器位功能

位	引脚名称	评论
11	WRITE	写入此控制寄存器位的值决定是否将随后的11位载入控制寄存器。 如果此位为1，则将后续11位写入控制寄存器；如果为0，则其余11位不载入控制寄存器，控制寄存器保持不变。
10	SEQ	控制寄存器中的SEQ位配合SHADOW位使用，可控制序列器功能的使用并访问SHADOW寄存器 (参见“SHADOW寄存器位映射”)。
9	无关位	
8 to 6	ADD2 to ADD0	这3个地址位在当前转换序列结束时加载，用于选择下一串行传输中要转换的模拟输入通道， 或者在连续的序列中选择最终通道，如表10所述。所选输入通道的解码如表8所示。 对应于转换结果的地址位同样先于12个数据位在DOUT上输出，见“串行接口”部分。 待转换的下一个通道由多路复用器在第14个SCLK下降沿选择。
5, 4	PM1, PM0	电源管理位。这两位解码AD7908/AD7918/AD7928的工作模式，如表9所示。
3	SHADOW	控制寄存器中的SHADOW位配合SEQ位使用，可控制序列器功能的使用并访问SHADOW寄存器(见表10)。
2	无关位	
1	RANGE	此位选择用于AD7908/AD7918/AD7928的模拟输入范围。若此位设为0，则模拟输入范围从0 V扩展至 $2 \times \text{REF}_{\text{IN}}$ 。 若设为1，则从0 V扩展至 REF_{IN} (用于下一次转换)。对于0 V至 $2 \times \text{REF}_{\text{IN}}$ ， $\text{AV}_{\text{DD}} = 4.75 \text{ V}$ 至 5.25 V 。
0	CODING	此位选择AD7908/AD7918/AD7928用于转换结果的输出编码类型。 若此位设为0，则器件输出编码采用二进制补码方式。若设为1，则为标准二进制(用于下一次转换)。

表8. 通道选择

ADD2	ADD1	ADD0	模拟输入通道
0	0	0	$V_{\text{IN}0}$
0	0	1	$V_{\text{IN}1}$
0	1	0	$V_{\text{IN}2}$
0	1	1	$V_{\text{IN}3}$
1	0	0	$V_{\text{IN}4}$
1	0	1	$V_{\text{IN}5}$
1	1	0	$V_{\text{IN}6}$
1	1	1	$V_{\text{IN}7}$

AD7908/AD7918/AD7928

表9. 电源模式选择

PM1	PM0	模式
1	1	正常工作。此模式下，AD7908/AD7918/AD7928保持全功率模式，无论任意逻辑输入的状态如何。此模式可实现AD7908/AD7918/AD7928的最高吞吐速率。
1	0	完全关断。此模式下，AD7908/AD7918/AD7928处于完全关断模式，所有电路关断。关断模式下，AD7908/AD7918/AD7928的控制寄存器保存信息。器件保持完全关断状态，直到这些位发生改变。
0	1	自动关断。此模式下，当更新控制寄存器时，AD7908/AD7918/AD7928在每次转换结束后自动进入完全关断模式。完全关断的唤醒时间为1 μs；在此模式下试图对器件执行一次有效转换之前，用户必须保证已经过1 μs。
0	0	无效选择。不允许此配置。

序列器操作

控制寄存器中的SEQ和SHADOW位可让用户选择序列器功能的特定工作模式。表10列出序列器的四种工作模式。

表10. 序列选择

SEQ	SHADOW	序列类型
0	0	该配置表示序列功能未使用。 每次转换选择的模拟输入通道由之前每一次写操作的ADD0到ADD2通道地址位内容决定。 此工作模式反映不使用序列器功能时多通道ADC的传统操作，此时每次写入AD7908/AD7918/AD7928都会选择下一次转换的通道(见图11)。
0	1	该配置选择SHADOW寄存器用于编程。 下列写操作加载SHADOW寄存器内容。 它将在逐次有效的CS下降沿连续对待转换通道的序列进行编程(参见“SHADOW寄存器”部分、SHADOW寄存器位映射和图12)。选择的通道无需连续。
1	0	如果以此方式设置SEQ和SHADOW位，则完成写操作后不会中断序列功能。 这样可以在一个序列的两次转换之间改变控制寄存器中的其他位，而无需中断周期。
1	1	该配置与ADD2至ADD0通道地址位配合使用，可对从通道0至控制寄存器中通道地址位所选定的最终通道的连续通道序列进行连续转换(见图13)。

SHADOW寄存器

MSB

LSB

V _{IN0}	V _{IN1}	V _{IN2}	V _{IN3}	V _{IN4}	V _{IN5}	V _{IN6}	V _{IN7}	V _{IN0}	V _{IN1}	V _{IN2}	V _{IN3}	V _{IN4}	V _{IN5}	V _{IN6}	V _{IN7}
序列1								序列2							

AD7908/AD7918/AD7928 SHADOW寄存器是16位只写寄存器。数据在SCLK的下降沿从AD7908/AD7918/AD7928的DIN引脚载入。从器件读出转换结果的同时，数据通过DIN线路传输。每次数据传输需要16个串行时钟下降沿。若SEQ和SHADOW位在上一次控制寄存器的写操作中分别设为0和1，则该信息逐个输入SHADOW寄存器。MSB表示数据流的第一位。从通道0到通道7，每一位都表示一路模拟输入。通过对SHADOW寄存器进行编程，可以选择两个通道序列，通过这两个序列AD7908/AD7918/AD7928将在写入SHADOW寄存器后依次循环执行所有转换。

首先执行序列1，然后执行序列2。如果用户不希望执行第二序列，则必须向SHADOW寄存器的最后8位LSB写入全0。要选择通道序列，必须针对每个模拟输入设置相关的通道位。AD7908/AD7918/AD7928从最低通道开始，在选定的通道间按升序连续循环执行序列，直到发生写操作(即WRITE位设为1)；SEQ和SHADOW位任意配置(除了1和0，见表10)。位功能在SHADOW寄存器位映射中列出。

图11反映了多通道ADC的传统操作，各串行传输选择下一个要转换的通道。此工作模式中不使用序列器功能。

图12显示如何编程AD7908/AD7918/AD7928以连续转换特定的通道序列。若要退出这种工作模式并返回多通道ADC的传统工作模式(如图11所示)，应在下一次串行传输中确保WRITE位 = 1并且SEQ = SHADOW = 0。图13显示如何在不需要编程SHADOW寄存器或每次串行传输时写入器件的情况下转换连续通道序列。同样，若要退出这种工作模式并返回多通道ADC的传统工作模式(如图11所示)，应在下一次串行传输中确保WRITE位 = 1并且SEQ = SHADOW = 0。

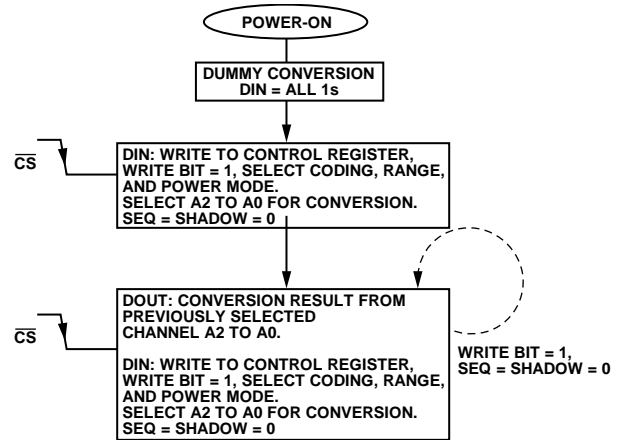


图11. SEQ位 = 0, SHADOW位 = 0(流程图)

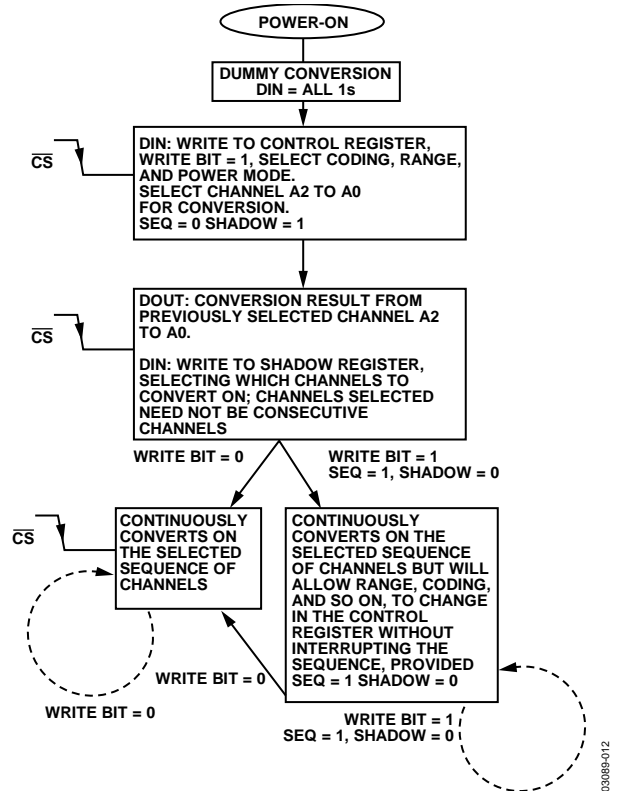


图12. SEQ位 = 0, SHADOW位 = 1(流程图)

AD7908/AD7918/AD7928

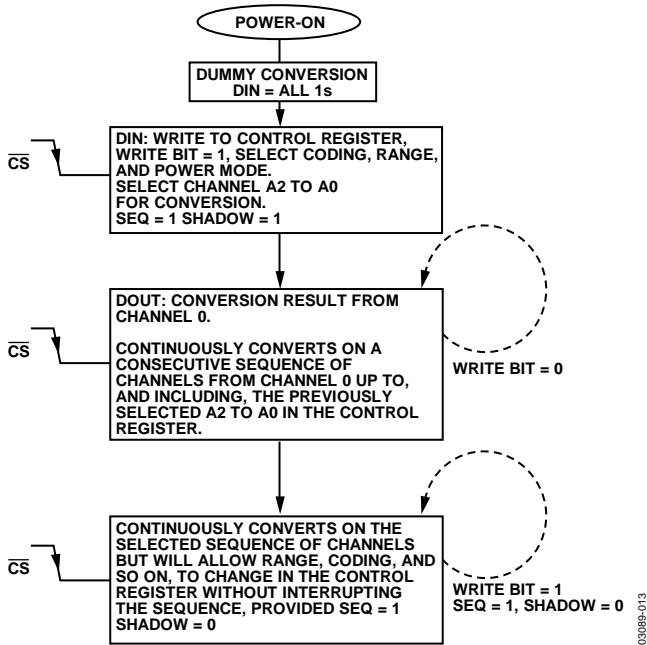


图13. SEQ位 = 1, SHADOW位 = 1(流程图)

电路信息

AD7908/AD7918/AD7928分别是高速、8通道、8/10/12位单电源ADC。该器件可采用2.7 V至5.25 V电源供电。采用5 V或3 V电源、20 MHz时钟工作时，AD7908/AD7918/AD7928吞吐速率可达1 MSPS。

AD7908/AD7918/AD7928为用户提供了片内采样保持ADC和串行接口，采用20引脚TSSOP封装。每一个AD7908/AD7918/AD7928都具有8个单端输入通道，并提供通道序列器，允许用户选择一个通道序列，让ADC利用每一个连续的 \overline{CS} 下降沿对这些通道循环执行转换。串行时钟输入访问器件中的数据，控制写入ADC的数据传输，并为逐次逼近型ADC提供时钟源。AD7908/AD7918/AD7928模拟输入范围为0 V至 REF_{IN} 或0 V至 $2 \times REF_{IN}$ ，具体取决于控制寄存器中位1的状态。对于0至 $2 \times REF_{IN}$ 范围，器件必须采用4.75 V至5.25 V电源供电。

AD7908/AD7918/AD7928提供灵活的电源管理选项，以便用户在给定的吞吐速率下实现最佳功耗性能。通过编程控制寄存器中的PM1和PM0电源管理位，可选择这些选项。

转换器操作

AD7908/AD7918/AD7928分别是8/10/12位逐次逼近型模数转换器，基于容性DAC构建。AD7908/AD7918/AD7928可在0 V至 REF_{IN} 或0 V至 $2 \times REF_{IN}$ 范围内转换模拟输入信号。图14和图15显示了该ADC的原理示意图。ADC包括控制逻辑、SAR和容性DAC，这些电路可以加上和减去采样电容中的固定电荷数量，使比较器恢复到平衡状态。图14显示的是采样阶段的ADC。SW2闭合，SW1置于A，比较器保持在平衡状态，采样电容采集选定 V_{IN} 通道的信号。

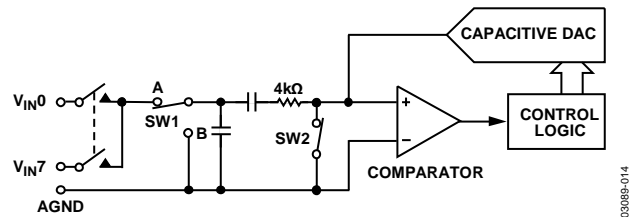


图14. ADC采集阶段

当ADC启动转换(见图15)时，SW2断开，而SW1移至位置B，使比较器变得不平衡。控制逻辑和容性DAC可以加上和减去采样电容中的固定电荷数量，使得比较器恢复到平衡状态。当比较器重新平衡后，转换就已经完成。控制逻辑产生ADC的输出代码。图17和图18显示ADC传递函数。

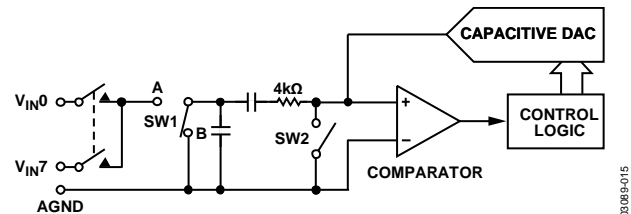


图15. ADC转换阶段

模拟输入

图16显示AD7908/AD7918/AD7928的模拟输入结构等效电路。二极管(D1和D2)提供模拟输入的ESD保护。切记，模拟输入信号决不能超过供电轨300 mV以上，否则会造成二极管正偏，并开始向芯片内部导入电流。这些二极管可以传导但不会对器件造成彻底损坏的最大电流为10 mA。图16中的电容C1通常约为4 pF，主要是引脚寄生电容。电阻R1是一个集总元件，由采样保持开关的导通电阻组成，还包括输入多路复用器的导通电阻，总电阻典型值约为400 Ω。

电容C2是ADC采样电容，典型值为30 pF。对于交流应用，建议在相应的模拟输入引脚用一个RC低通滤波器来滤除模拟输入信号的高频成分。在对谐波失真和信噪比要求严格的应用中，模拟输入应采用一个低阻抗源进行驱动。高源阻抗会显著影响ADC的交流特性。这种情况下有必要使用一个输入缓冲放大器。通常根据具体应用来选择运算放大器。

不用放大器来驱动模拟输入端时，应将源阻抗限制在较低的值。源阻抗最大值取决于可容许的总谐波失真(THD)。总谐波失真随着输入源阻抗的增加而增大，从而使ADC性能下降(见图8)。

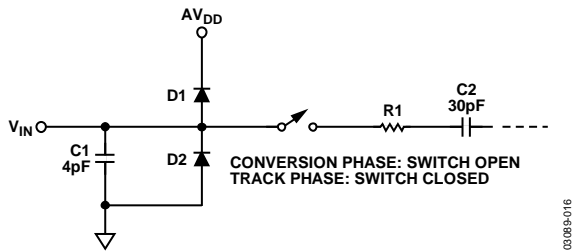


图16. 等效模拟输入电路

ADC传递函数

AD7908/AD7918/AD7928输出编码为标准二进制或二进制补码，具体取决于控制寄存器中的LSB状态。所设计的码跃迁在连续LSB值上(即1 LSB、2 LSB等等)进行。AD7908、AD7918、AD7928的LSB大小分别为 $V_{REF_IN}/256$ 、 $V_{REF_IN}/1024$ 和 $V_{REF_IN}/4096$ 。选择标准二进制编码方式时，AD7908/AD7918/AD7928的理想传递特性如图17所示；选择二进制补码编码方式时，AD7908/AD7918/AD7928的理想传递特性如图18所示。

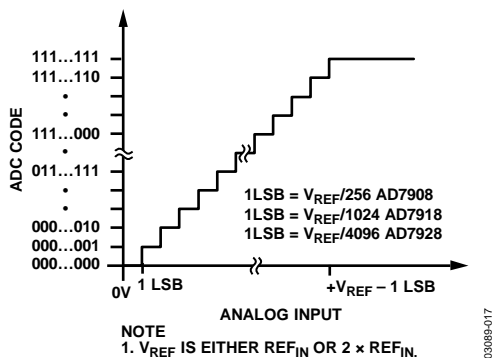


图17. 标准二进制传递特性

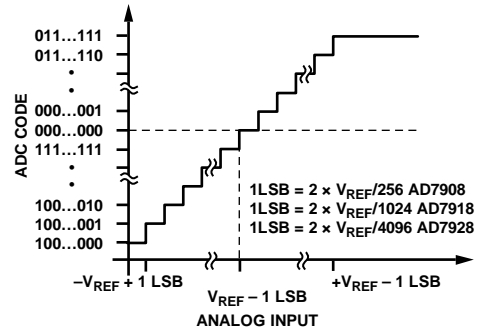


图18. 二进制补码传递特性($V_{REF_IN} \pm V_{REF_IN}$ 输入范围)

处理双极性输入信号

图19显示 $2 \times V_{REF_IN}$ 输入范围配合二进制补码输出编码方案使用时，处理双极性输入信号的情况。如果双极性输入信号关于 V_{REF_IN} 偏置且选择二进制补码输出编码方式，则 V_{REF_IN} 成为零代码点， $-V_{REF_IN}$ 为负满量程，并且 $+V_{REF_IN}$ 成为正满量程，动态范围为 $2 \times V_{REF_IN}$ 。

典型连接图

图20显示AD7908/AD7918/AD7928的典型连接图。在该配置中，AGND引脚连接系统的模拟接地层。图20中， V_{REF_IN} 连接由基准源提供的2.5 V去耦电源(基准源为AD780)，其模拟输入范围为0 V至2.5 V(如果RANGE位为1)或者0 V至5 V(如果RANGE位为0)。虽然AD7908/AD7918/AD7928连接至5 V V_{DD} ，串行接口连接3 V微处理器。AD7908/AD7918/AD7928的 V_{DRIVE} 引脚连接微处理器的同一个3 V电源，实现3 V逻辑接口(见“数字输入”部分)。转换结果以16位字输出。AD7928的16位数据流包括一个前置0和3个地址位(表示转换结果对应的通道)，然后是12个转换数据位(AD7918为10个数据位，AD7908为8个数据位，这两个器件分别尾随2个零和4个零)。对于功耗敏感型应用，两次转换或多次突发转换之间应当使用关断模式，改善功耗性能(参见“工作模式”部分)。

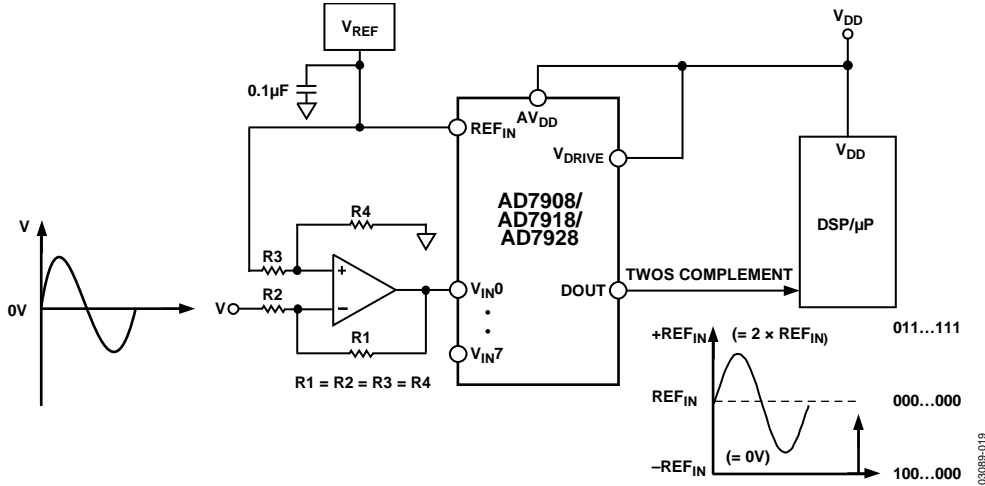


图19. 处理双极性信号

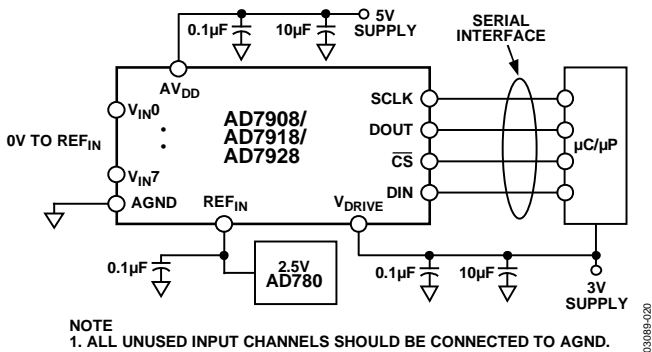


图20. 典型连接图

模拟输入选择

8个模拟输入通道中的任何一个都可选择用来进行转换，方法是以控制寄存器中的地址位ADD2至ADD0对多路复用器进行编程。通道配置如图8所示。AD7908/AD7918/AD7928还可配置为在选定的多个通道间自动循环。通过控制寄存器中的SEQ和SHADOW位访问序列器功能(见表10)。

AD7908/AD7918/AD7928可编程设置为按升序对选定的通道进行连续转换。通过编程SHADOW寄存器中的相应位，可以选择待转换的模拟输入通道(参见“SHADOW寄存器”部分)。然后，顺序执行下一个串行传输；序列通过在所选通道中的最低通道上执行转换而编程确定。下一个串行传输的结果将触发序列中下一个最高通道的转换，以此类推。

一旦启动序列器操作，便无需写入控制寄存器。WRITE位必须设为0，或者将DIN线路连接低电平，以确保控制寄存器不会被意外覆盖，否则序列操作将中断。如果在序列执行的任意时刻写入控制寄存器，则必须确保SEQ和

SHADOW位分别设为1和0，以避免中断自动转换序列。器件以该模式持续运行，直到写入AD7908/AD7918/AD7928且SEQ和SHADOW位采用除1和0之外的任意位组合进行配置。完成序列后，AD7908/AD7918/AD7928序列器返回SHADOW寄存器中选择的第一个通道，并再次开始执行序列。

除了选择特定的通道序列，以通道0开头的多个连续通道还可单独通过控制寄存器编程，无需写入SHADOW寄存器。如果将SEQ和SHADOW位设为1和1，那么这是有可能实现的。然后，通道地址位ADD2至ADD0将确定序列顺序上的最后一个通道。下一次转换将在通道0、然后是通道1上执行，以此类推，直到到达通过地址位ADD2至ADD0选择的通道。下一次串行传输将再次开始周期，前提是WRITE位设为低电平；或者如果是高电平则将SEQ和SHADOW位设为1和0；然后，ADC继续其预编程自动序列，且无中断。

无论采用多少种通道选择方法，每次转换期间由AD7928输出的16位字始终包含前置0和3个通道地址位(表示转换结果对应的通道)，然后是12位转换结果。AD7918输出前置0和3个通道地址位(表示转换结果对应的通道)，然后是10位转换结果和2个尾随零；AD7908输出一个前置0和3个通道地址位(表示转换结果对应的通道)，然后是8位转换结果和4个尾随零。(参见“串行接口”部分。)

数字输入

施加于AD7908/AD7918/AD7928的数字输入不受限制模拟输入的最大额定值的限制。与模拟输入不同，数字输入可以高达7V，且不受 $AV_{DD} + 0.3V$ 限制。

SCLK、DIN和 $\overline{\text{CS}}$ 不受 $\text{AV}_{\text{DD}} + 0.3 \text{ V}$ 限制的另一个好处是电源时序控制问题得以避免。如果在 AV_{DD} 之前施加 $\overline{\text{CS}}$ 、DIN或SCLK，则不会有闩锁风险。模拟输入则不然，如果在 AV_{DD} 之前施加大于0.3 V的信号，则模拟输入会有闩锁风险。

V_{DRIVE}

AD7908/AD7918/AD7928同样具有 V_{DRIVE} 特性。 V_{DRIVE} 控制串行接口的工作电压。 V_{DRIVE} 特性使ADC能够轻松与3 V和5 V处理器接口。例如，如果AD7908/AD7918/AD7928采用5 V AV_{DD} 供电，则 V_{DRIVE} 引脚可以采用3 V电源供电。采用5 V AV_{DD} 时，AD7908/AD7918/AD7928具有更佳的性能，同时依然兼容3 V处理器。注意，应确保 V_{DRIVE} 不超过 $\text{AV}_{\text{DD}} 0.3 \text{ V}$ 以上(参见“绝对最大额定值”部分)。

基准电压

应使用外部基准电压源为AD7908/AD7918/AD7928提供2.5 V基准电压。基准源误差会导致AD7908/AD7918/AD7928传递函数的增益误差，并增加器件的额定满量程误差。 REF_{IN} 引脚应放置一个数值至少为0.1 μF 的电容。适合AD7908/AD7918/AD7928使用的基准电压源有：AD780、REF192、AD1582、ADR03、ADR381、ADR391和ADR421。

如果对 REF_{IN} 引脚施加2.5 V，则模拟输入范围可以是0 V至2.5 V或0 V至5 V，具体取决于控制寄存器中RANGE位的设置。

工作模式

AD7908/AD7918/AD7928有多种不同的工作模式。这些模式旨在提供灵活的电源管理选项。针对不同的应用要求，可以选择这些选项，以优化功耗和吞吐速率。AD7908/AD7918/AD7928的工作模式由控制寄存器中的电源管理位PM1和PM0控制，如表9所述。AD7908/AD7918/AD7928首次上电时，需仔细确保器件处于要求的工作模式下(参见“AD7908/AD7918/AD7928上电”部分)。

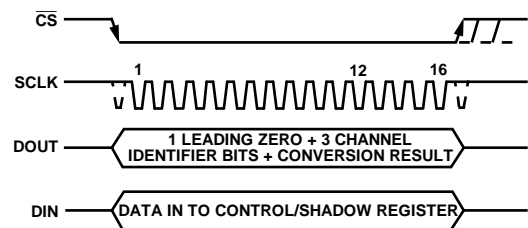
正常模式(PM1 = PM0 = 1)

这种模式旨在实现最高的吞吐速率性能，AD7908/AD7918/AD7928始终处于完全上电状态，用户不必担心上电时间问题。图21显示了AD7908/AD7918/AD7928在正常模式下的一般工作原理图。

转换在 $\overline{\text{CS}}$ 的下降沿启动，采样保持器则进入保持模式，如“串行接口”部分所述。在数据传输的前12个时钟周期中，通过DIN线路提供给AD7908/AD7918/AD7928的数据载入控制寄存器(前提是WRITE位设为1)。如需向SHADOW寄存器写入数据(上一次写入时SEQ = 0, SHADOW = 1)，则前16个SCLK周期中，DIN线路上的数据载入SHADOW寄存器。在正常模式下，只要每次数据传输时PM1和PM0都载入1，那么在转换结束时，器件将保持完全上电状态。

完成转换并访问转换结果需要16个串行时钟周期。采样保持器在第14个SCLK下降沿返回跟踪模式。随后 $\overline{\text{CS}}$ 便可处于空闲高电平状态直到发生下一次转换，或者处于空闲低电平状态直到下一次转换之前的某一时刻，这样便有效地使CS处于低电平。

一旦数据传输完成(DOUT已返回三态)，便可以在安静时间 t_{QUIET} 逝去后再次将 $\overline{\text{CS}}$ 变为低电平，以启动另一次转换。



NOTES

- CONTROL REGISTER DATA IS LOADED ON FIRST 12 SCLK CYCLES.
- SHADOW REGISTER DATA IS LOADED ON FIRST 16 SCLK CYCLES.

020089-021

图21. 正常工作模式

完全关断模式(PM1 = 1, PM0 = 0)

此模式下，AD7908/AD7918/AD7928的所有内部电路关断。完全关断期间，器件将保留控制寄存器中的信息。控制寄存器中的电源管理位PM1和PM0发生改变之前，AD7908/AD7918/AD7928保持完全关断状态。

如果器件在完全关断期间发生了控制寄存器写操作，则将电源管理位改为PM0 = PM1 = 1(正常模式)，则器件将在 $\overline{\text{CS}}$ 上升沿开始上电。器件完全关断时，处于保持状态的采样保持器将在第14个SCLK的下降沿返回采样状态。

为确保器件完全上电，在下一个 $\overline{\text{CS}}$ 下降沿之前应经过 $t_{\text{POWER UP}}$ 时间。图22显示该序列的一般原理图。

自动关断模式(PM1 = 0, PM0 = 1)

此模式下，当更新控制寄存器时，AD7908/AD7918/AD7928在每次转换结束后自动进入关断状态。器件关断后，采样保持器处于保持模式。

AD7908/AD7918/AD7928

图23显示了AD7908/AD7918/AD7928在正常模式下的一般工作原理图。关断模式下，AD7908/AD7918/AD7928的所有内部电路关断。关断期间，器件将保留控制寄存器中的信息。AD7908/AD7918/AD7928保持关断模式，直到接收下一个CS下降沿。器件关断时，在此CS下降沿上，处于保持状态的采样保持器将返回采样状态。自动关断的唤醒时间为1 μs，在尝试执行一次有效的转换之前，用户应当确保已经过1 μs。AD7908/AD7918/AD7928采用20 MHz时钟工作时，一个伪周期应当足以确保器件完全上电。在此伪周期期间，控制寄存器的内容应当保持不变；因此，DIN线路上的WRITE位应当为0。该伪周期有效地使器件的吞吐速

率减半，其他所有转换结果均有效。此模式可大幅降低器件功耗，且器件在每次转换结束后进入关断模式。若控制寄存器编程为进入自动关断状态，则它将在转换结束后关断。用户可通过控制CS信号使ADC进入和退出低功耗状态。

AD7908/AD7918/AD7928 上电

AD7908/AD7918/AD7928首次上电时，ADC可在器件的任何工作模式下上电。为确保器件处于要求的工作模式下，用户应当执行伪周期操作，如图24所示。

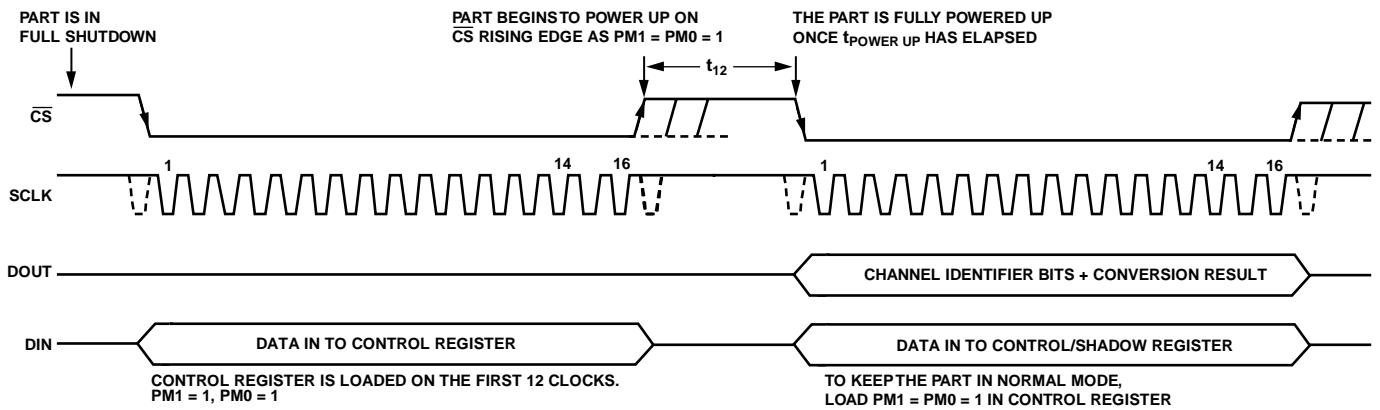


图22. 完全关断工作模式

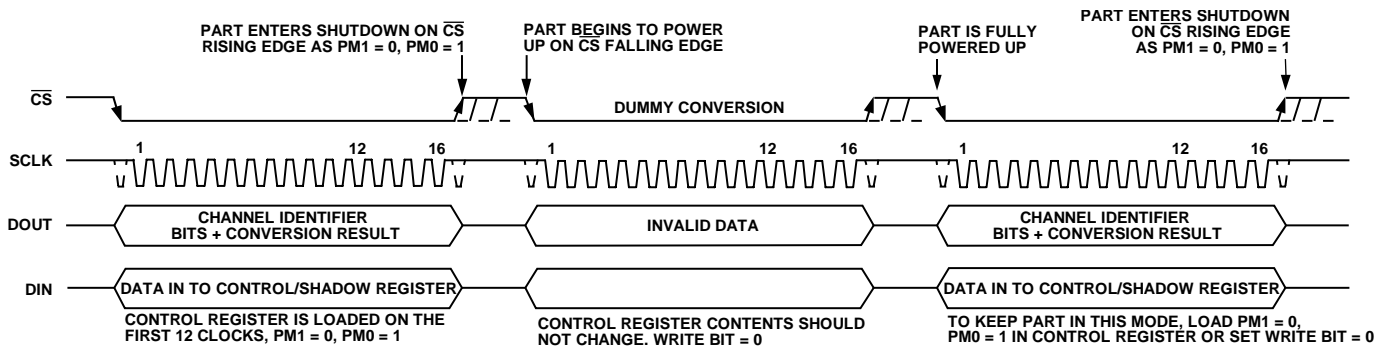


图23. 自动关断工作模式

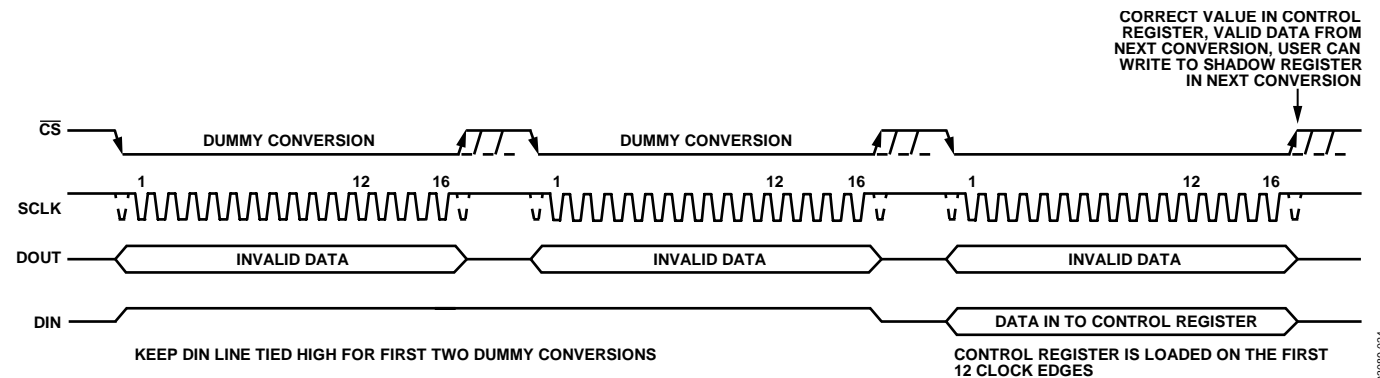


图24. 上电后将AD7928置于所需工作模式

功耗与吞吐速率

若AD7908/AD7918/AD7928工作在自动关断模式下，则较低吞吐速率下的ADC平均功耗将下降。图25显示器件如何随着吞吐速率的下降而长时间保持在关断状态，并且平均功耗也随着时间推移而下降。

例如，假设AD7928工作在连续采样模式下，其吞吐速率为100 kSPS且SCLK为20 MHz ($AV_{DD} = 5\text{ V}$)，同时器件置于自动关断模式，也就是说，如果PM1 = 0且PM0 = 1，则功耗计算如下：

正常工作下的最大功耗为13.5 mW ($AV_{DD} = 5\text{ V}$)。如果自动关断的上电时间为一个伪周期(即1 μs)，且其余转换时间为另一个周期(即1 μs)，那么可以认为AD7928在每次转换周期的2 μs 内消耗13.5 mW。转换周期的其余时间(即8 μs)内，器件保持自动关断模式。可以认为AD7928在转换周期的余下8 μs 内消耗2.5 μW 。如果吞吐速率为100 kSPS，则周期时间为10 μs ，且每个周期内的平均功耗为：

$$(2/10) \times (13.5\text{ mW}) + (8/10) \times (2.5\text{ }\mu\text{W}) = 2.702\text{ mW}$$

图25显示采用3 V和5 V电源时，自动关断模式下的最大功率与吞吐速率的关系。

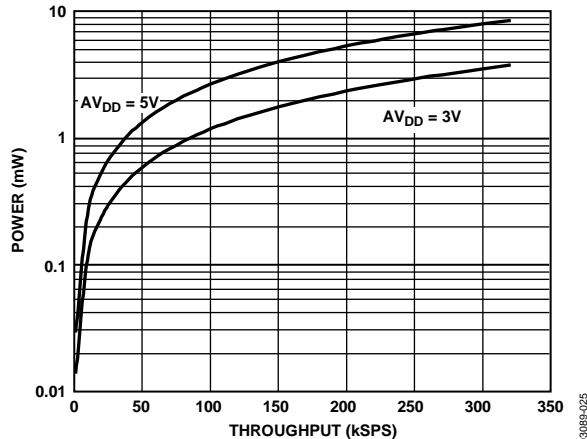


图25. AD7928功率与吞吐速率的关系

串行接口

图27、图28和图29分别表示AD7908、AD7918和AD7928的串行接口详细时序图。串行时钟提供转换时钟，并在每次转换期间控制进出AD7908/AD7918/AD7928的信息传输。

$\overline{\text{CS}}$ 信号启动数据传输和转换过程。 $\overline{\text{CS}}$ 下降沿将采样保持器置于保持模式，使总线脱离三态；此时对模拟输入进行采样。转换也在此时启动，需要16个SCLK周期才能完成。采样保持器在第14个SCLK下降沿返回跟踪模式，如图27、图28和图29的B点所示，但写入SHADOW寄存器的情况除外；这种情况下，采样保持器在 $\overline{\text{CS}}$ 上升沿之前不会返回采样状态，即图30中的C点。在第16个SCLK的下降沿上，DOUT线路返回三态。如果在16个SCLK尚未完成之前就出现 $\overline{\text{CS}}$ 上升沿，则终止转换，DOUT线路返回三态，控制寄存器不更新；否则，DOUT在第16个SCLK下降沿返回三态，如图27、图28和图29所示。完成转换过程并访问AD7908/AD7918/AD7928中的数据需要16个串行时钟周期。对于AD7908/AD7918/AD7928来说，8/10/12个数据位之前有一个前置0和3个通道地址位(ADD2至ADD0)，用以识别结果对应的通道。 $\overline{\text{CS}}$ 变为低电平，以提供微控制器或DSP需读取的前置零。其余3个地址位和数据位在随后的SCLK下降沿逐个输出，从第一个地址位开始(ADD2)。因此，在串行时钟的第一个下降沿不仅会提供前置零，而且会逐个输出地址位ADD2。数据传输的最后一位在第15个下降沿输出，并在第16个下降沿有效。

如果MSB(即WRITE位)已置1，则对控制寄存器写入信息发生在数据传输中的前12个SCLK下降沿。如果使用SHADOW寄存器编程控制寄存器，则在下一次串行传输的所有16个SCLK下降沿将信息写入SHADOW寄存器，如图30中AD7928的示例所示。可在SHADOW寄存器中选择编程两个序列。如果用户不想编程第二个序列，则8个LSB应当填零。在 $\overline{\text{CS}}$ 上升沿更新SHADOW寄存器，且采样保持器开始采样序列选择的第一个通道。

AD7908/AD7918/AD7928

AD7908 输出一个前置零和3个通道地址位(表示转换结果对应的通道), 随后是8个转换结果位和4个尾随零。AD7918 输出一个前置零和3个通道地址位(表示转换结果对应的通道), 随后是10个转换结果位和2个尾随零。从AD7928读取的16位字总是包括一个前置零和3个通道地址位(表示转换结果所对应的通道), 随后是12个转换结果位。

微处理器接口

通过AD7908/AD7918/AD7928的串行接口, 可以将它与许多不同的微处理器相连。本部分说明如何利用串行接口协议实现AD7908/AD7918/AD7928与一些常见微控制器和DSP的接口。

AD7908/AD7918/AD7928与TMS320C541接口

TMS320C541的串行接口利用连续串行时钟和帧同步信号同步与AD7908/AD7918/AD7928等外设的数据传输操作。通过CS输入可轻松实现TMS320C541与AD7908/AD7918/AD7928的接口, 无需任何胶合逻辑。TMS320C541的串行端口设置为利用内部CLKX0(串行端口0上的Tx串行时钟)和FSX0(来自串行端口0的Tx帧同步信号)在突发模式下工作。串行端口控制寄存器(SPC)必须具有如下设置。FO = 0, FSM = 1, MCM = 1以及TXM = 1。连接图如图26所示。对于信号处理应用来说, 需注意的是来自TMS320C541的帧同步信号必须提供等距采样。AD7908/AD7918/AD7928的V_{DRIVE}引脚采用与TMS320C541相同的电源电压。因此, 如果需要, ADC的工作电压可以高于TMS320C541的串行接口电压。

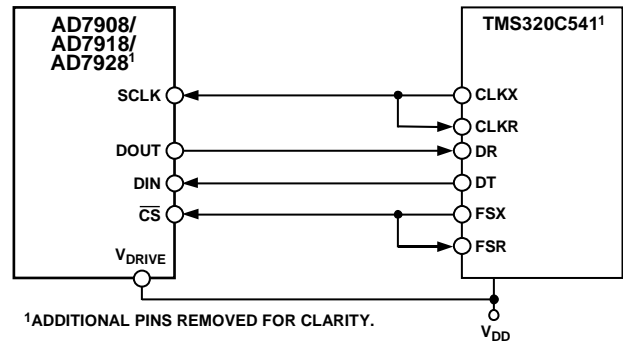


图26. 与TMS320C541接口

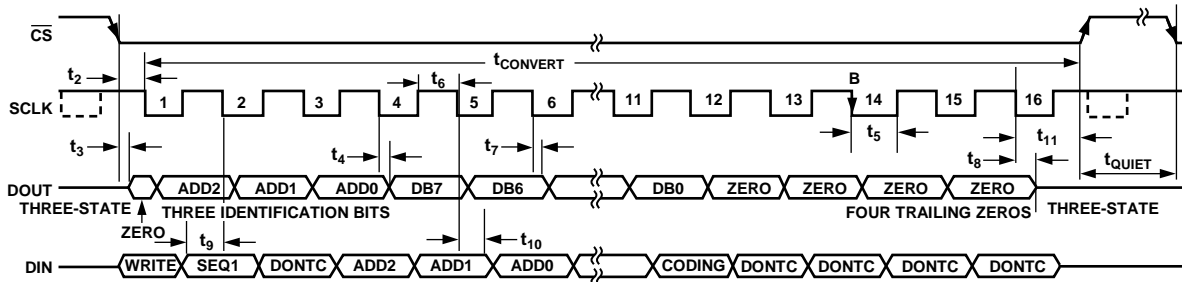


图27. AD7908串行接口时序图

03089-026

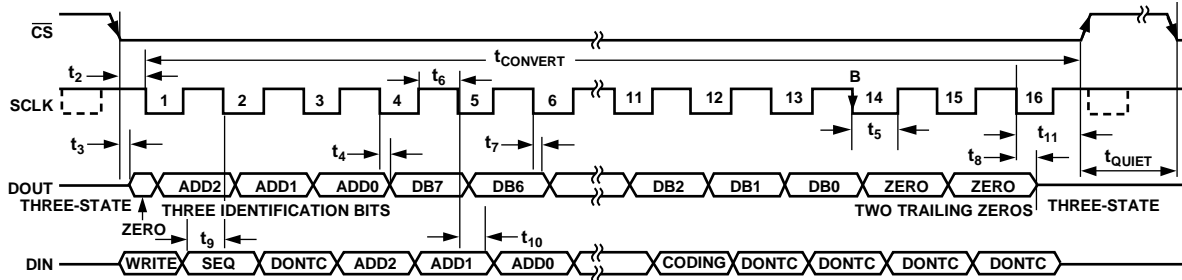


图28. AD7918串行接口时序图

03089-027

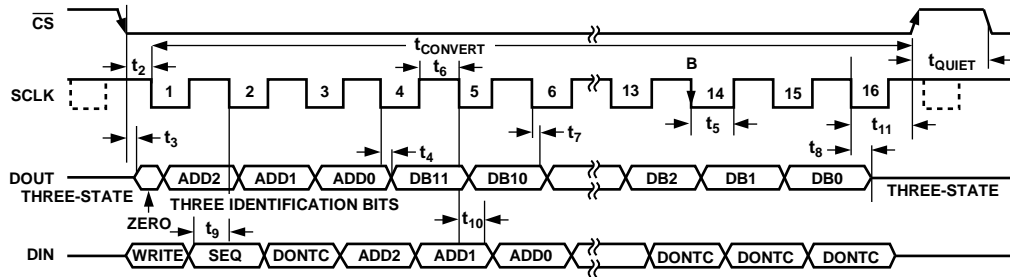


图29. AD7928串行接口时序图

03089-028

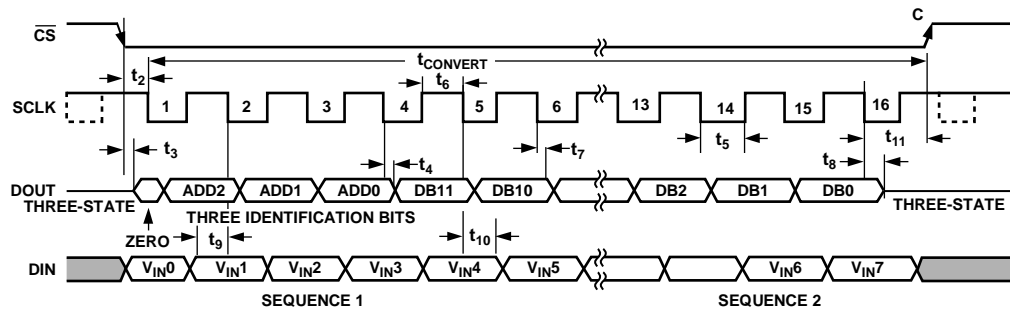


图30. AD7928写入SHADOW寄存器的时序图

03089-029

AD7908/AD7918/AD7928

AD7908/AD7918/AD7928与ADSP-21xx接口

ADSP-21xx系列DSP可以直接与AD7908/AD7918/AD7928接口，无需任何胶合逻辑。AD7908/AD7918/AD7928的 V_{DRIVE} 引脚采用与ADSP-21xx相同的电源电压。因此，如果需要，ADC的工作电压可以高于ADSP-21xx的串行接口电压。

SPORT0控制寄存器设置如下：

TFSW = RFSW = 1，交替帧传输

INVRFS = INVTFS = 1，低电平有效帧信号

DTYPE = 00，右对齐数据

SLEN = 1111，16位数据字

ISCLK = 1，内部串行时钟

TFSR = RFSR = 1，每个字一帧

IRFS = 0

ITFS = 1

连接图如图31所示。ADSP-21xx SPORT的TFS和RFS连在一起，TFS设置为输出，而RFS设置为输入。DSP以交替帧传输模式工作，SPORT控制寄存器按照上表进行设置。TFS上产生的帧同步信号连到 \overline{CS} ，而且像所有信号处理应用一样，要求采用等距采样。但在本例中，定时器中断用于控制ADC的采样速率，某些情况下可能无法实现等距采样。

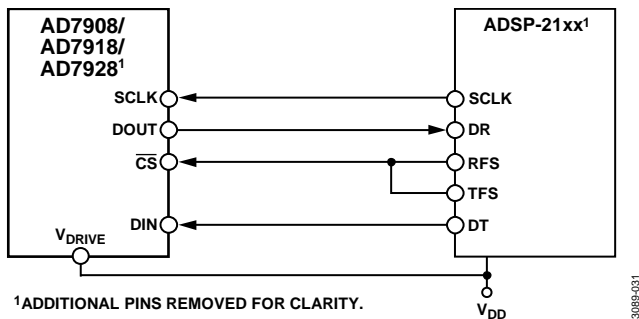


图31. 与ADSP-21xx接口

例如，定时器寄存器中载入一个值，以要求的采样间隔提供中断。当收到中断时，会通过TFS/DT(ADC控制字)传输一个值。TFS用于控制RFS，因而也控制数据读取。串行时钟的频率由SCLKDIV寄存器控制。当发出通过TFS进行传输的指令时(即AX0 = TX0)，会检查SCLK的状态。DSP等到SCLK变高、变低、再变高之后，才开始传输。如果所选的定时器和SCLK值使得传输指令出现在SCLK上升沿上或其附近，则数据可能会被传输，也可能需要等到下一个时钟沿。

例如，若ADSP-2189晶振为20 MHz，从而主机时钟频率为40 MHz，则主机周期时间为25 ns。如果SCLKDIV寄存器的值为3，则将获得5 MHz的SCLK，即每8个主时钟周期产生1个SCLK周期。根据所选吞吐速率，如果定时器寄存器加载某一数值——比如803 (803 + 1 = 804)——则两次中断之间(也就是两个传输指令之间)会发生100.5个SCLK周期。这种情形将无法实现等距采样，因为传输指令出现在SCLK边沿。如果两次中断之间的SCLK数为整数N，则DSP可以实现等距采样。

AD7908/AD7918/AD7928与DSP563xx接口

图32中的连接图显示AD7908/AD7918/AD7928如何连接到Motorola DSP563xx系列DSP的同步串行接口(ESSI)。每个ESSI(片上有两个)都工作在同步模式(CRB的SYN位 = 1)，内部产生的字长帧同步信号同时用于Tx和Rx(CRB的位FSL1 = 0、位FSL0 = 0)。设置CRB中的位MOD = 0，可选择ESSI的正常工作模式。设置CRA中的位WL1 = 1且位WL0 = 0，可将字长设为16位。CRB中的位FSP应设为1，使帧同步为负。需注意，对于信号处理应用，来自DSP563xx的帧同步信号必须提供等距采样。

在图32所示例子中，串行时钟从ESSI获得，因此SCK0引脚必须设为输出(SCKD = 1)。AD7908/AD7918/AD7928的 V_{DRIVE} 引脚采用与DSP563xx相同的电源电压。因此，如果需要，ADC的工作电压可以高于DSP563xx的串行接口电压。

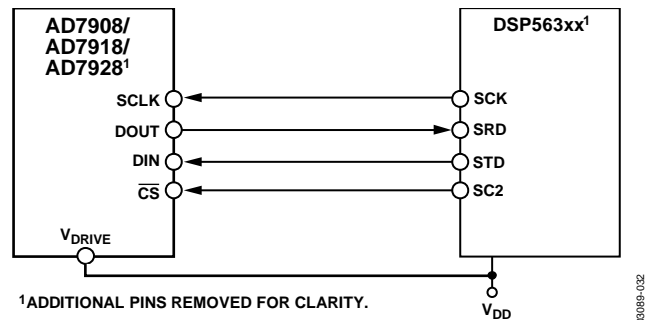


图32. 与DSP563xx接口

应用须知

接地和布局布线

AD7908/AD7918/AD7928具有极佳的抗电源噪声性能，可从图6中的PSRR与电源纹波频率的关系看出。不过仍应注意接地布局。

AD7908/AD7918/AD7928所在的印刷电路板应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。这样便于使用接地层并让它们易于被分割。为实现最佳屏蔽，接地层一般应尽量少采用蚀刻技术。

AD7908/AD7918/AD7928的所有四个AGND引脚都应下沉到AGND层。如果AD7908/AD7918/AD7928所在系统中有多个器件要求AGND至DGND连接，则同一层只能在一个点上连接。星形接地点应尽可能靠近AD7908/AD7918/AD7928。

应避免在器件下方布设数字线路，否则会将噪声耦合至芯片。应允许模拟接地层布设在AD7908/AD7918/AD7928下方，以避免噪声耦合。AD7908/AD7918/AD7928的电源线路应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺噪声效应。为避免向电路板上的其它部分辐射噪声，应利用数字地屏蔽时钟信号等快速开关信号，且保证时钟信号远离模拟输入。避免数字信号与模拟信号

交叠。电路板相对两侧上的走线应当彼此垂直，这样做有助于减小电路板上的馈通效应。微带线技术是目前的最佳选择，但这种技术对于双面电路板未必总是可行。采用这种技术时，电路板的元件侧专用于接地层，信号走线则布设在焊接侧。

良好的去耦也很重要。应将10 μ F钽电容与0.1 μ F陶瓷电容并联，对所有模拟电源去耦到AGND。为使这些去耦元件实现最佳性能，必须使其尽可能靠近器件，最好是紧贴器件。0.1 μ F电容应具有低有效串联电阻(ESR)和有效串联电感(ESI)，如高频时提供低阻抗接地路径的普通陶瓷型或表贴封装型电容，以便处理内部逻辑开关所引起的瞬变电流。

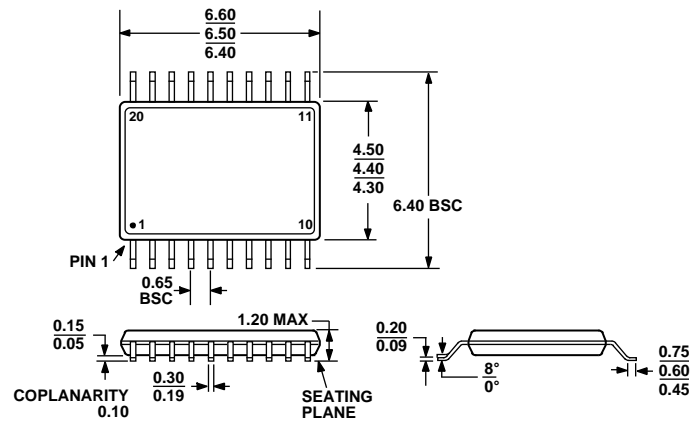
评估AD7908/AD7918/AD7928性能

有关AD7908/AD7918/AD7928的建议布局布线，请参见AD7908/AD7918/AD7928评估板。评估板套件包括装配完善且经过测试的评估板、文档以及用于从PC通过评估板控制器控制评估板的软件。

评估板控制器可以配合AD7908/AD7918/AD7928评估板及带CB标志后缀的其它许多ADI评估板使用，以演示和评估AD7908/AD7918/AD7928的交流和直流性能。

用户可以利用软件对AD7908/AD7918/AD7928执行交流(快速傅里叶变换)和直流(码字直方图)测试。软件和文档位于随评估板提供的CD上。

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-153-AC

图33. 20引脚超薄紧缩小型封装[TSSOP]
(RU-20)

图示尺寸单位: mm

订购指南

型号 ^{1,2}	温度范围	线性误差(LSB) ³	封装描述	封装选项
AD7908BRU-REEL	-40°C至+85°C	±0.2	20引脚 TSSOP	RU-20
AD7908BRU-REEL7	-40°C至+85°C	±0.2	20引脚 TSSOP	RU-20
AD7908BRUZ	-40°C至+85°C	±0.2	20引脚 TSSOP	RU-20
AD7908BRUZ-REEL	-40°C至+85°C	±0.2	20引脚 TSSOP	RU-20
AD7908BRUZ-REEL7	-40°C至+85°C	±0.2	20引脚 TSSOP	RU-20
AD7908WYRUZ-REEL7	-40°C至+125°C	±0.2	20引脚 TSSOP	RU-20
AD7918BRU-REEL7	-40°C至+85°C	±0.5	20引脚 TSSOP	RU-20
AD7918BRUZ	-40°C至+85°C	±0.5	20引脚 TSSOP	RU-20
AD7918BRUZ-REEL	-40°C至+85°C	±0.5	20引脚 TSSOP	RU-20
AD7918BRUZ-REEL7	-40°C至+85°C	±0.5	20引脚 TSSOP	RU-20
AD7918WYRUZ-REEL7	-40°C至+125°C	±0.5	20引脚 TSSOP	RU-20
AD7928BRUZ	-40°C至+85°C	±1	20引脚 TSSOP	RU-20
AD7928BRUZ-REEL	-40°C至+85°C	±1	20引脚 TSSOP	RU-20
AD7928BRUZ-REEL7	-40°C至+85°C	±1	20引脚 TSSOP	RU-20
AD7928WBRUZ-REEL	-40°C至+125°C	±1	20引脚 TSSOP	RU-20

¹ Z = 符合RoHS标准的器件。

² W = 通过汽车应用认证。

³ 此处线性误差指积分线性误差。

汽车应用产品

AD79x8W型号的生产工艺受到严格控制，以满足汽车应用的质量和可靠性要求。请注意，车用型号的技术规格可能不同于商用型号；因此，设计人员应仔细阅读本数据手册的技术规格部分。只有显示为汽车应用级的产品才能用于汽车应用。欲了解特定产品的订购信息并获得这些型号的汽车可靠性报告，请联系当地ADI客户代表。