

目录

特性.....	1	基准电压源.....	19
应用.....	1	时钟输入考虑.....	20
功能框图.....	1	功耗和待机模式.....	21
产品特点.....	1	数字输出.....	22
修订历史.....	2	时序.....	22
概述.....	3	内置自测(BIST)和输出测试.....	23
技术规格.....	4	内置自测(BIST).....	23
直流规格.....	4	输出测试模式.....	23
交流规格.....	5	串行端口接口(SPI).....	24
数字规格.....	6	使用SPI的配置.....	24
开关规格.....	7	硬件接口.....	25
时序规格.....	8	不使用SPI的配置.....	25
绝对最大额定值.....	9	SPI访问特性.....	25
热特性.....	9	存储器映射.....	26
ESD警告.....	9	读取存储器映射寄存器表.....	26
引脚配置和功能描述.....	10	禁用的地址.....	26
典型性能参数.....	11	默认值.....	26
AD9649-80.....	11	存储器映射寄存器表.....	27
AD9649-65.....	13	存储器映射寄存器描述.....	29
AD9649-40.....	14	应用信息.....	30
AD9649-20.....	15	设计指南.....	30
等效电路.....	16	外形尺寸.....	31
工作原理.....	17	订购指南.....	31
模拟输入考虑.....	17		

修订历史

2009年10月-版本0: 初始版

概述

AD9649是一款单芯片、单通道、14位、20/40/65/80 MSPS模数转换器(ADC)，采用1.8 V电源供电，内置高性能采样保持电路和片内基准电压源。

该产品采用多级差分流水线架构，内置输出纠错逻辑，在80 MSPS数据速率时可提供14位精度，并保证在整个工作温度范围内无失码。

该ADC内置多种功能特性，可使器件的灵活性达到最佳、系统成本最低，例如可编程时钟与数据对准、生成可编程数字测试码等。可获得的数字测试码包括内置固定码和伪随机码，以及通过串行端口接口(SPI)输入的用户自定义测试码。

采用一个具有可选1、2或4分频比的差分时钟输入来控制所有内部转换周期。

数字输出数据格式为偏移二进制、格雷码或二进制补码。一个数据输出时钟(DCO)用来确保接收逻辑具有正确的锁存时序。支持1.8 V和3.3 V CMOS电平。

AD9649采用32引脚LFCSP封装，符合RoHS标准，额定温度范围为-40°C至+85°C工业温度范围。

技术规格

直流规格

除非另有说明，AVDD = 1.8 V；DRVDD = 1.8 V，最大采样速率、2 V p-p差分输入、1.0 V内部基准电压、AIN = -1.0 dBFS、50%占空比时钟。

表1.

参数	温度	AD9649-20/AD9649-40			AD9649-65			AD9649-80			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
分辨率	全	14			14			14			Bits
精度											
无失码	全	保证			保证			保证			
失调误差	全	-0.40	+0.05	+0.50	-0.40	+0.05	+0.50	-0.40	+0.05	+0.50	% FSR
增益误差 ¹	全	-1.5			-1.5			-1.5			% FSR
差分非线性(DNL) ²	全										LSB
	25°C	±0.25			±0.3			±0.35			LSB
积分非线性(INL) ²	全										LSB
	25°C	±0.50			±0.50			±0.60			LSB
温度漂移											
失调误差	全	±2			±2			±2			ppm/°C
内部基准电压源											
输出电压(1 V模式)	全	0.984	0.996	1.008	0.984	0.996	1.008	0.984	0.996	1.008	V
负载调整误差@1.0 mA	全	2			2			2			mV
折合到输入端噪声											
VREF = 1.0 V	25°C	0.98			0.98			0.98			LSB rms
模拟输入											
输入范围, VREF = 1.0 V	全	2			2			2			V p-p
输入电容 ³	全	6			6			6			pF
输入共模电压	全	0.9			0.9			0.9			V
输入共模范围	全	0.5		1.3	0.5		1.3	0.5		1.3	V
基准电压输入阻抗	全	7.5			7.5			7.5			kΩ
电源											
电源电压											
AVDD	全	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD	全	1.7		3.6	1.7		3.6	1.7		3.6	V
电源电流											
IAVDD ²	全	25.0/31.3		27.3/33.7	41.0		44.0	47.0		50.0	mA
IDRVDD ² (1.8 V)	全	1.6/2.9			4.7			5.6			mA
IDRVDD ² (3.3 V)	全	3.0/5.3			8.4			10.2			mA
功耗											
直流输入	全	45.2/57.2			75.2			86.8			mW
正弦波形输入 ² (DRVDD = 1.8 V)	全	47.9/61.6		51.8/65.8	82.3		87.5	94.7		100	mW
正弦波形输入 ² (DRVDD = 3.3 V)	全	54.9/73.8			101.5			118.3			mW
待机功耗 ⁴	全	34/34			34			34			mW
掉电模式的功耗	全	0.5			0.5			0.5			mW

¹ 采用1.0 V外部基准电压测量。

² 测量条件为：10 MHz输入频率、额定采样速率、满量程正弦波、每个输出位的负载约为5 pF。

³ 输入电容指一个差分输入引脚与接地之间的有效电容。

⁴ 待机功耗的测量条件为：直流输入且CLK+、CLK-有效。

交流规格

除非另有说明，AVDD = 1.8 V；DRVDD = 1.8 V，最大采样速率、2 V P-P差分输入、1.0 V内部基准电压、AIN = -1.0 dBFS、50%占空比时钟。

表2.

参数 ¹	温度	AD9649-20/AD9649-40			AD9649-65			AD9649-80			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
信噪比(SNR)											
$f_{IN} = 9.7 \text{ MHz}$	25°C		74.7			74.5			74.3		dBFS
$f_{IN} = 30.5 \text{ MHz}$	25°C		74.4			74.3			74.1		dBFS
	全	73.1			73.6						dBFS
$f_{IN} = 70 \text{ MHz}$	25°C		73.7			73.7			73.6		dBFS
	全							72.7			dBFS
$f_{IN} = 200 \text{ MHz}$	25°C		71.5			71.5			71.5		dBFS
信纳比(SINAD)											
$f_{IN} = 9.7 \text{ MHz}$	25°C		74.6			74.4			74.1		dBFS
$f_{IN} = 30.5 \text{ MHz}$	25°C		74.3			74.2			74.0		dBFS
	全	73.0			73.5						dBFS
$f_{IN} = 70 \text{ MHz}$	25°C		73.6			73.6			73.5		dBFS
	全							72.6			dBFS
$f_{IN} = 200 \text{ MHz}$	25°C		70.0			70.0			70.0		dBFS
有效位数(ENOB)											
$f_{IN} = 9.7 \text{ MHz}$	25°C		12.0			12.0			12.0		Bits
$f_{IN} = 30.5 \text{ MHz}$	25°C		12.0			12.0			12.0		Bits
$f_{IN} = 70 \text{ MHz}$	25°C		11.9			11.9			11.9		Bits
$f_{IN} = 200 \text{ MHz}$	25°C		11.3			11.3			11.3		Bits
最差的二次或三次谐波											
$f_{IN} = 9.7 \text{ MHz}$	25°C		-95			-95			-93		dBc
$f_{IN} = 30.5 \text{ MHz}$	25°C		-95			-95			-93		dBc
	全			-82			-83				dBc
$f_{IN} = 70 \text{ MHz}$	25°C		-94			-94			-92		dBc
	全								-82		dBc
$f_{IN} = 200 \text{ MHz}$	25°C		-80			-80			-80		dBc
无杂散动态范围(SFDR)											
$f_{IN} = 9.7 \text{ MHz}$	25°C		95			95			93		dBc
$f_{IN} = 30.5 \text{ MHz}$	25°C		94			94			93		dBc
	全	82			83						dBc
$f_{IN} = 70 \text{ MHz}$	25°C		93			93			92		dBc
	全							82			dBc
$f_{IN} = 200 \text{ MHz}$	25°C		80			80			80		dBc
最差其它谐波或杂散											
$f_{IN} = 9.7 \text{ MHz}$	25°C		-100			-100			-100		dBc
$f_{IN} = 30.5 \text{ MHz}$	25°C		-100			-100			-100		dBc
	全			-90			-90				dBc
$f_{IN} = 70 \text{ MHz}$	25°C		-100			-100			-100		dBc
	全								-90		dBc
$f_{IN} = 200 \text{ MHz}$	25°C		-95			-95			-95		dBc
双音无杂散动态范围(SFDR)											
$f_{IN} = 30.5 \text{ MHz} (-7 \text{ dBFS}), 32.5 \text{ MHz} (-7 \text{ dBFS})$	25°C		90			90			90		dBc
模拟输入带宽	25°C		700			700			700		MHz

¹ 如需了解完整的定义，请参阅应用笔记AN-835：“了解高速ADC测试和评估”。

AD9649

数字规格

除非另有说明，AVDD = 1.8 V；DRVDD = 1.8 V，最大采样速率、2 V P-P差分输入、1.0 V内部基准电压、AIN = -1.0 dBFS、50%占空比时钟。

表3.

参数	温度	AD9649-20/AD9649-40/AD9649-65/AD9649-80			单位
		最小值	典型值	最大值	
差分时钟输入(CLK+、CLK-)					
逻辑兼容			CMOS/LVDS/LVPECL		
内部共模偏置	全		0.9		V
差分输入电压	全	0.2		3.6	峰值
输入电压范围	全	GND - 0.3		AVDD + 0.2	V
高电平输入电流	全	-10		+10	μA
低电平输入电流	全	-10		+10	μA
输入电阻	全	8	10	12	kΩ
输入电容	全		4		pF
逻辑输入(SCLK/DFS、MODE、SDIO/PDWN) ¹					
高电平输入电压	全	1.2		DRVDD + 0.3	V
低电平输入电压	全	0		0.8	V
高电平输入电流	全	-50		-75	μA
低电平输入电流	全	-10		+10	μA
输入电阻	全		30		kΩ
输入电容	全		2		pF
逻辑输入(CSB) ²					
高电平输入电压	全	1.2		DRVDD + 0.3	V
低电平输入电压	全	0		0.8	V
高电平输入电流	全	-10		+10	μA
低电平输入电流	全	40		135	μA
输入电阻	全		26		kΩ
输入电容	全		2		pF
数字输出					
DRVDD = 3.3 V					
高电平输出电压(I _{OH})					
I _{OH} = 50 μA	全	3.29			V
I _{OH} = 0.5 mA	全	3.25			V
低电平输出电压(I _{OL})					
I _{OL} = 1.6 mA	全			0.2	V
I _{OL} = 50 μA	全			0.05	V
DRVDD = 1.8 V					
高电平输出电压(I _{OH})					
I _{OH} = 50 μA	全	1.79			V
I _{OH} = 0.5 mA	全	1.75			V
低电平输出电压(I _{OL})					
I _{OL} = 1.6 mA	全			0.2	V
I _{OL} = 50 μA	全			0.05	V

¹ 内置30 kΩ下拉电阻。

² 内置30 kΩ上拉电阻。

开关规格

除非另有说明，AVDD = 1.8 V；DRVDD = 1.8 V，最大采样速率、2 V P-P差分输入、1.0 V内部基准电压、AIN = -1.0 dBFS、50%占空比时钟。

表4.

参数	温度	AD9649-20/AD9649-40			AD9649-65			AD9649-80			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
时钟输入参数											
输入时钟速率	全			80/160			260			320	MHz
转换速率 ¹	全	3		20/40	3		65	3		80	MSPS
时钟周期，一分频模式(t_{CLK})	全	50/25			15.38			12.5			ns
时钟脉宽高电平(t_{CH})	全		25.0/12.5			7.69			6.25		ns
孔径延迟(t_A)	全		1.0			1.0			1.0		ns
孔径不确定性(抖动, t_j)	全		0.1			0.1			0.1		ps rms
数据输出参数											
数据传播延迟(t_{PD})	全		3			3			3		ns
DCO传播延迟(t_{DCO})	全		3			3			3		ns
DCO至数据偏斜(t_{SKEW})	全		0.1			0.1			0.1		ns
流水线延迟	全		8			8			8		周期
唤醒时间 ²	全		350			350			350		μ s
待机	全		600/400			300			260		ns
超范围恢复时间	全		2			2			2		周期

¹ 转换速率指CLK分频之后的时钟速率。

² 唤醒时间取决于去耦电容的值。

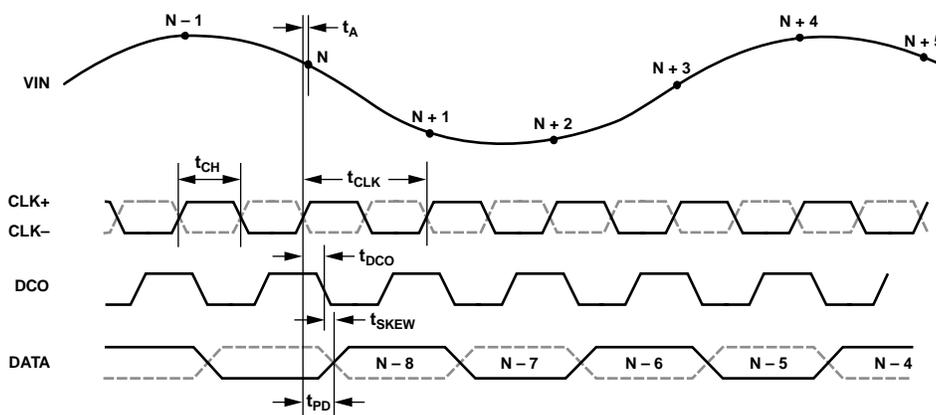


图2. CMOS输出数据时序

AD9649

时序规格

表5.

参数	条件	最小值	典型值	最大值	单位
SPI时序要求					
t _{DS}	数据与SCLK上升沿之间的建立时间	2			ns
t _{DH}	数据与SCLK上升沿之间的保持时间	2			ns
t _{CLK}	SCLK周期	40			ns
t _S	CSB与SCLK之间的建立时间	2			ns
t _H	CSB与SCLK之间的保持时间	2			ns
t _{HIGH}	SCLK高电平脉冲宽度	10			ns
t _{LOW}	SCLK低电平脉冲宽度	10			ns
t _{EN_SDIO}	相对于SCLK下降沿，SDIO引脚从输入状态切换到输出状态所需的时间	10			ns
t _{DIS_SDIO}	相对于SCLK上升沿，SDIO引脚从输出状态切换到输入状态所需的时间	10			ns

绝对最大额定值

表6.

参数	额定值
AVDD 至 AGND ¹	-0.3 V 至 +2.0 V
DRVDD 至 AGND ¹	-0.3 V 至 +3.9 V
VIN+, VIN- 至 AGND ¹	-0.3 V 至 AVDD + 0.2 V
CLK+, CLK- 至 AGND ¹	-0.3 V 至 AVDD + 0.2 V
VREF 至 AGND ¹	-0.3 V 至 AVDD + 0.2 V
SENSE 至 AGND ¹	-0.3 V 至 AVDD + 0.2 V
VCM 至 AGND ¹	-0.3 V 至 AVDD + 0.2 V
RBIAS 至 AGND ¹	-0.3 V 至 AVDD + 0.2 V
CSB 至 AGND ¹	-0.3 V 至 DRVDD + 0.3 V
SCLK/DFS 至 AGND ¹	-0.3 V 至 DRVDD + 0.3 V
SDIO/PDWN 至 AGND ¹	-0.3 V 至 DRVDD + 0.3 V
MODE/OR 至 AGND ¹	-0.3 V 至 DRVDD + 0.3 V
D0 through D13 至 AGND ¹	-0.3 V 至 DRVDD + 0.3 V
DCO 至 AGND ¹	-0.3 V 至 DRVDD + 0.3 V
工作温度范围(环境)	-40°C 至 +85°C
偏置条件下的最大结温	150°C
存储温度范围(环境)	-65°C 至 +150°C

¹ AGND指客户PCB的模拟接地。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热特性

裸露焊盘是芯片的唯一接地连接，必须焊接到用户PCB上的模拟接地层。将裸露焊盘焊接到用户板上，还可提高焊接可靠性，从而最大限度发挥封装的热性能。

表7. 热阻

封装类型	气流速度 (m/s)	$\theta_{JA}^{1,2}$	$\theta_{JC}^{1,3}$	$\theta_{JB}^{1,4}$	$\Psi_{JT}^{1,2}$	单位
32 引脚LFCSP 5 mm × 5 mm	0	37.1	3.1	20.7	0.3	°C/W
	1.0	32.4			0.5	°C/W
	2.5	29.1			0.8	°C/W

¹ 按照JEDEC 51-7，加上JEDEC 51-5 2S2P测试板。

² 按照JEDEC JESD51-2(静止空气)或JEDEC JESD51-6(流动空气)。

³ 按照MIL-Std 883、方法1012.1。

⁴ 按照JEDEC JESD51-8(静止空气)。

θ_{JA} 典型值的测试条件为带实接地层的4层PCB。如表7所示，气流可改善散热，从而降低 θ_{JA} 。另外，直接与封装引脚接触的金属，包括金属走线、通孔、接地层、电源层，可降低 θ_{JA} 。

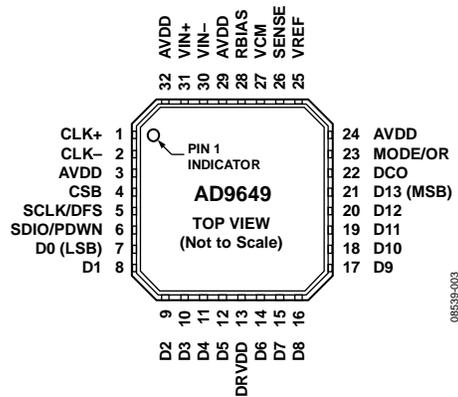
ESD警告



ESD(静电放电)敏感器件。

静电电荷很容易在人体和测试设备上累积，可高达4000 V，并可能在没有察觉的情况下放电。尽管本产品具有专用ESD保护电路，但在遇到高能量静电放电时，可能会发生永久性器件损坏。因此，建议采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



- NOTES**
1. THE EXPOSED PADDLE MUST BE SOLDERED TO THE ANALOG GROUND PLANE OF THE PCB TO ENSURE PROPER FUNCTIONALITY AND MAXIMIZE THE HEAT DISSIPATION, NOISE, AND MECHANICAL STRENGTH BENEFITS.

图3. 引脚配置

表8. 引脚功能描述

引脚编号	引脚名称	描述
0 (EP)	GND	裸露焊盘。裸露焊盘是唯一的接地连接，必须焊接到客户PCB的模拟地，以确保正常工作，充分发挥散热、噪声和机械强度性能的优势。
1, 2	CLK+, CLK-	用于PECL、LVDS或1.8 V CMOS输入的差分编码时钟。
3, 24, 29, 32	AVDD	ADC内核域的1.8 V电源引脚。
4	CSB	SPI片选。低电平有效使能，内置30 kΩ上拉电阻。
5	SCLK/DFS	SPI模式下的SPI时钟输入(SCLK)。内置30 kΩ下拉电阻。 非SPI模式下的数据格式选择(DFS)。数据输出格式的静态控制。内置30 kΩ下拉电阻。 DFS高电平 = 二进制补码输出；DFS低电平 = 偏移二进制输出。
6	SDIO/PDWN	SPI数据输入/输出(SDIO)。双向SPI数据输入/输出，内置30 kΩ下拉电阻。 非SPI模式掉电(PDWN)。芯片掉电静态控制，内置30 kΩ下拉电阻。 详情参见表14。
7 至 12, 14 至 21	D0 (LSB) 至 D13 (MSB)	ADC数字输出
13	DRVDD	用于输出驱动域的1.8 V至3.3 V电源引脚。
22	DCO	数据时钟数字输出。
23	MODE/OR	SPI模式下的芯片模式选择输入(MODE)。 SPI模式或非SPI模式下超范围数字输出(OR)。 默认 = 超范围(OR)数字输出(SPI寄存器0x2A，位0 = 1)。 选项 = 芯片模式选择输入(SPI寄存器0x2A，位0 = 0)。 芯片掉电(SPI寄存器0x08，位[7:5] = 100)。 芯片待机(SPI寄存器0x08，位[7:5] = 101)。 正常工作，输出禁用(SPI寄存器0x08，位[7:5] = 110)。 正常工作，输出使能(SPI寄存器0x08，位[7:5] = 111)。 非SPI模式下，引脚仅以超范围(OR)数字输出方式工作。
25	VREF	1.0 V基准电压输入/输出。参见表10。
26	SENSE	基准电压模式选择。参见表10。
27	VCM	AVDD中间电源时模拟输出电压(AVDD)。设置模拟输入的共模电压。
28	RBIAS	设置模拟电流偏置。连接到接地10 kΩ(1%容差)电阻。
30, 31	VIN-, VIN+	ADC模拟输入。

典型性能参数

AD9649-80

除非另有说明， $AVDD = 1.8\text{ V}$ ； $DRVDD = 1.8\text{ V}$ ，最大采样速率、 2 V P-P 差分输入、 1.0 V 内部基准电压、 $A_{IN} = -1.0\text{ dBFS}$ 、50%占空比时钟。

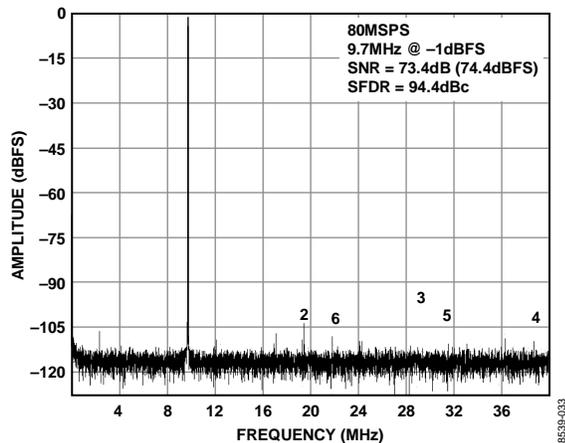


图4. AD9649-80单音FFT($f_{IN} = 9.7\text{ MHz}$)

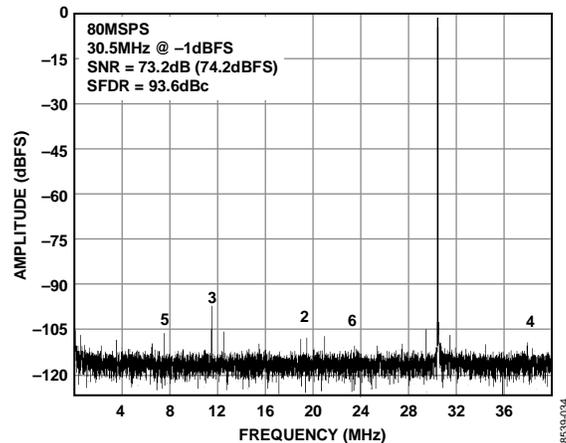


图7. AD9649-80单音FFT($f_{IN} = 30.5\text{ MHz}$)

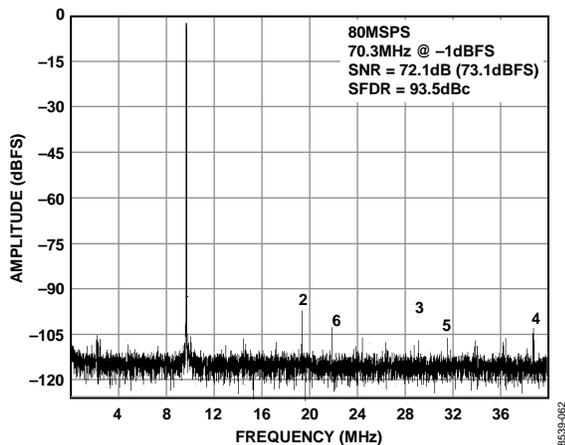


图5. AD9649-80单音FFT($f_{IN} = 70.3\text{ MHz}$)

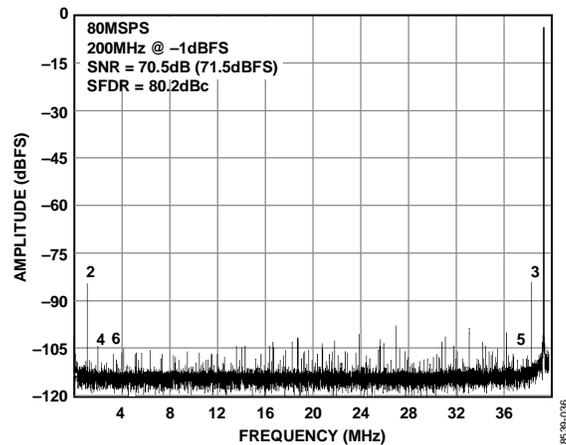


图8. AD9649-80单音FFT($f_{IN} = 200\text{ MHz}$)

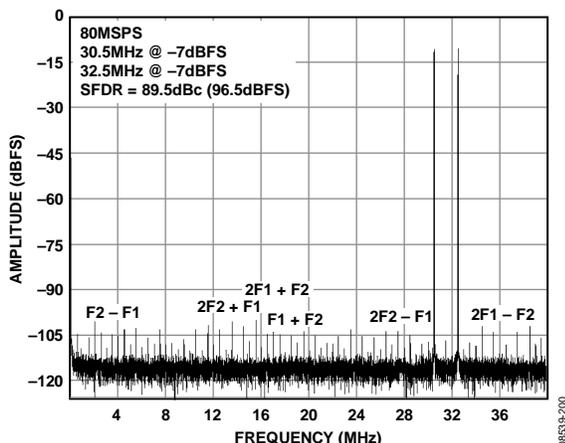


图6. AD9649-80双音FFT($f_{IN1} = 30.5\text{ MHz}$, $f_{IN2} = 32.5\text{ MHz}$)

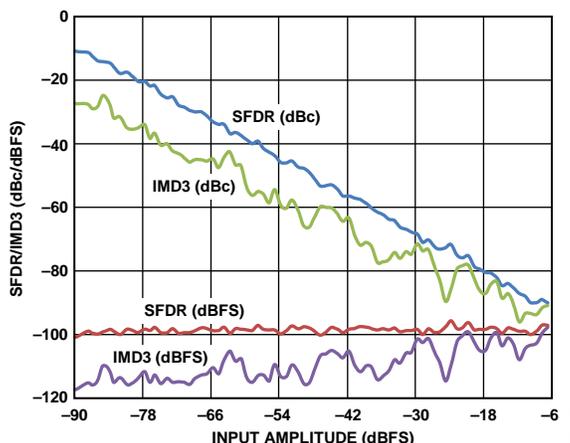


图9. AD9649-80双音SFDR/IMD3与输入幅度(A_{IN})的关系($f_{IN1} = 30.5\text{ MHz}$, $f_{IN2} = 32.5\text{ MHz}$)

AD9649

除非另有说明, AVDD = 1.8 V; DRVDD = 1.8 V, 最大采样速率、2 V P-P差分输入、1.0 V内部基准电压、AIN = -1.0 dBFS、50%占空比时钟。

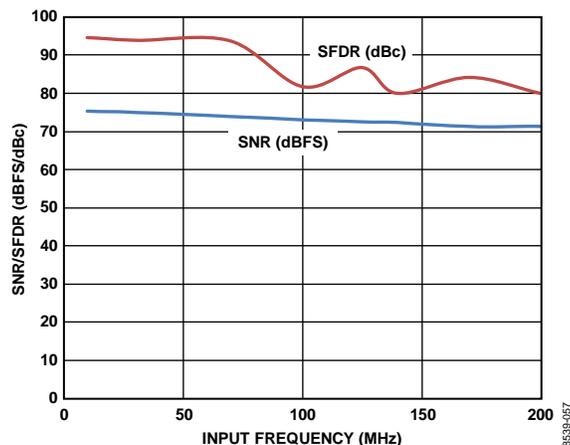


图10. AD9649-80 SNR/SFDR与输入频率 (AIN)的关系(2 V P-P满量程)

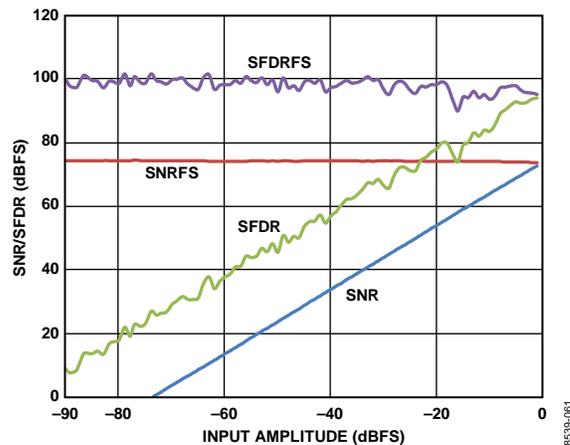


图13. AD9649-80 SNR/SFDR与输入幅度 (AIN)的关系($f_{IN} = 9.7$ MHz)

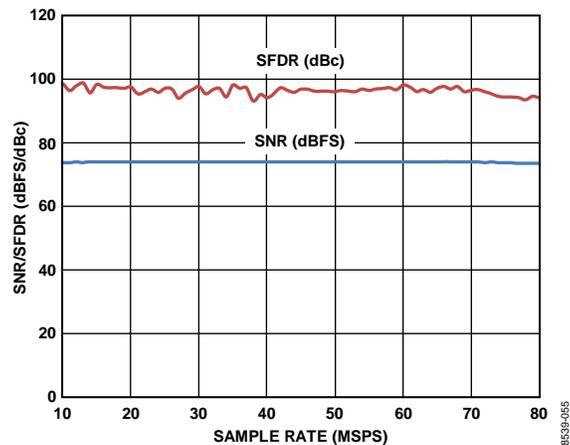


图11. AD9649-80 SNR/SFDR与采样速率的关系($f_{IN} = 9.7$ MHz)

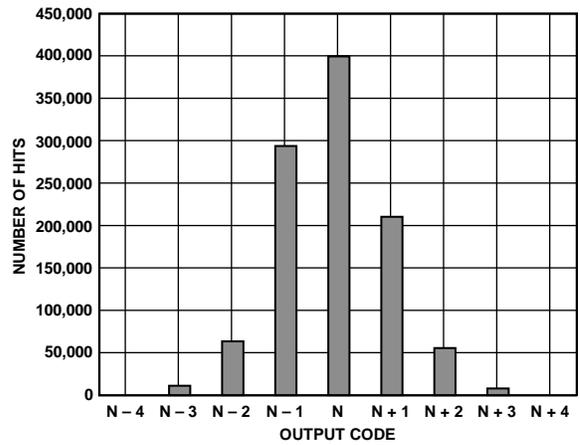


图14. AD9649-80接地输入直方图

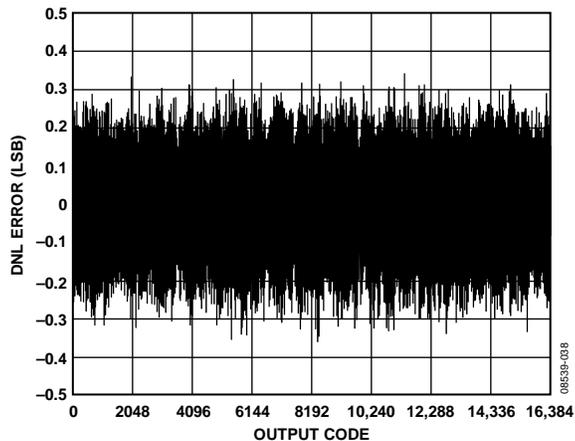


图12. AD9649-80 DNL误差($f_{IN} = 9.7$ MHz)

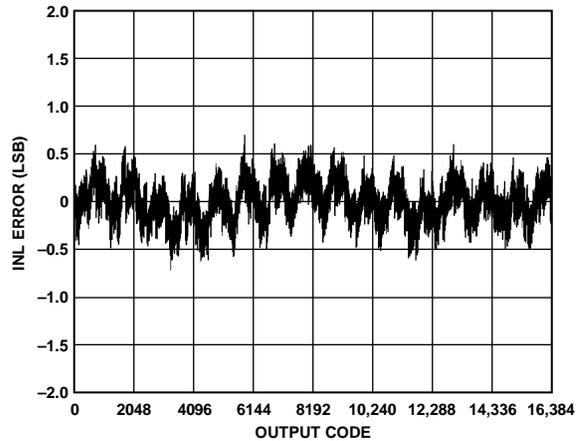


图15. AD9649-80 INL误差($f_{IN} = 9.7$ MHz)

AD9649-65

除非另有说明，AVDD = 1.8 V；DRVDD = 1.8 V，最大采样速率、2 V P-P差分输入、1.0 V内部基准电压、AIN = -1.0 dBFS、50%占空比时钟。

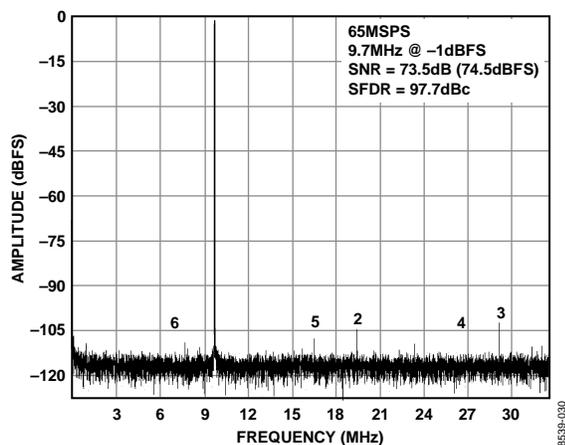


图16. AD9649-65单音FFT($f_{IN} = 9.7$ MHz)

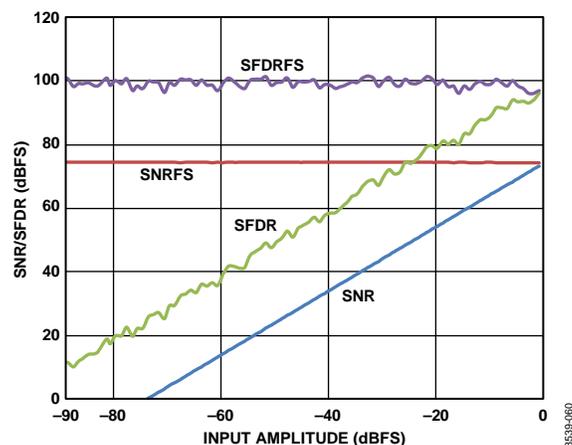


图19. AD9649-65 SNR/SFDR与输入幅度(AIN)的关系($f_{IN} = 9.7$ MHz)

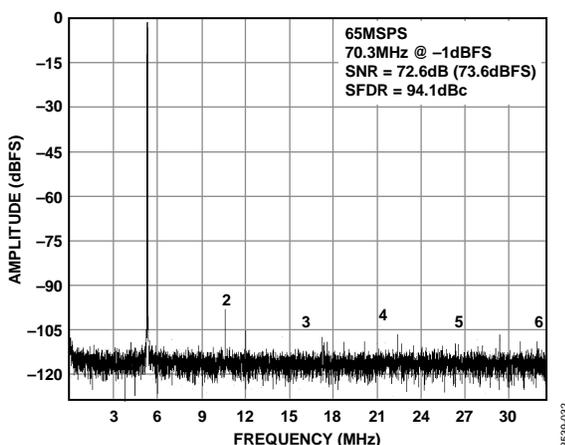


图17. AD9649-65单音FFT($f_{IN} = 70.3$ MHz)

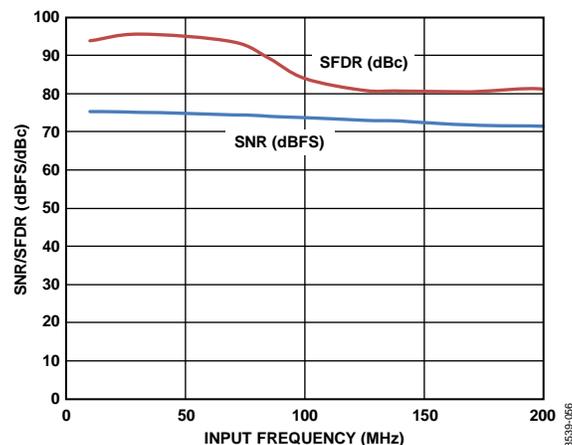


图20. AD9649-65 SNR/SFDR与输入频率(AIN)的关系(2 V P-P满量程)

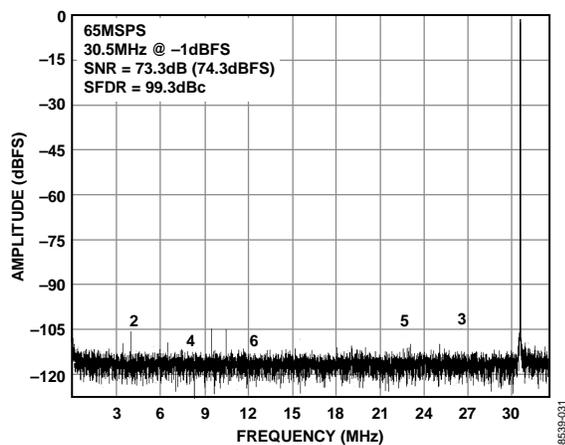


图18. AD9649-65单音FFT($f_{IN} = 30.5$ MHz)

AD9649-40

除非另有说明，AVDD = 1.8 V；DRVDD = 1.8 V，最大采样速率、2 V P-P差分输入、1.0 V内部基准电压、AIN = -1.0 dBFS、50%占空比时钟。

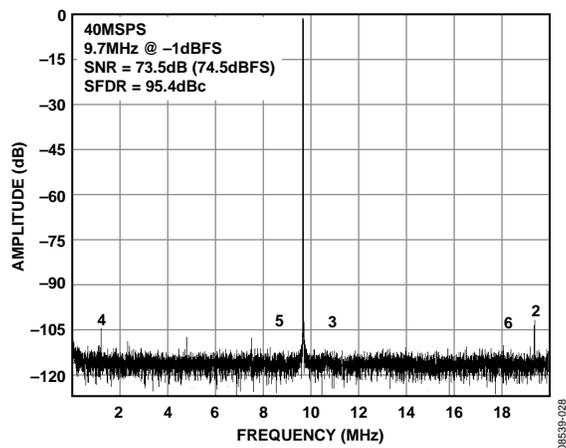


图21. AD9649-40单音FFT($f_{IN} = 9.7$ MHz)

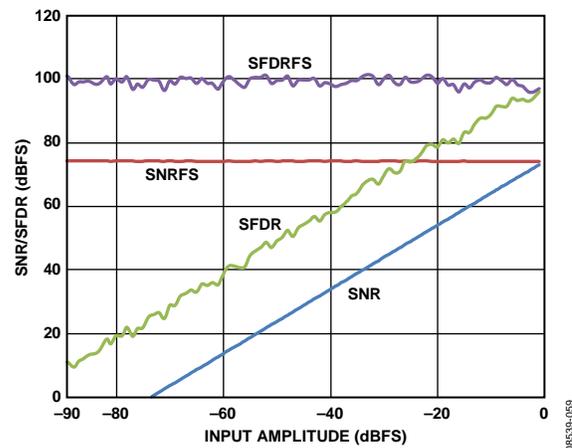


图23. AD9649-40 SNR/SFDR与输入幅度(AIN)的关系($f_{IN} = 9.7$ MHz)

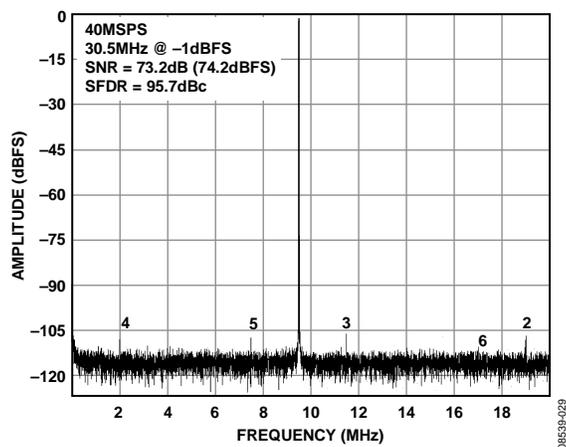


图22. AD9649-40单音FFT($f_{IN} = 30.5$ MHz)

AD9649-20

除非另有说明，AVDD = 1.8 V；DRVDD = 1.8 V，最大采样速率、2 V P-P差分输入、1.0 V内部基准电压、AIN = -1.0 dBFS、50%占空比时钟。

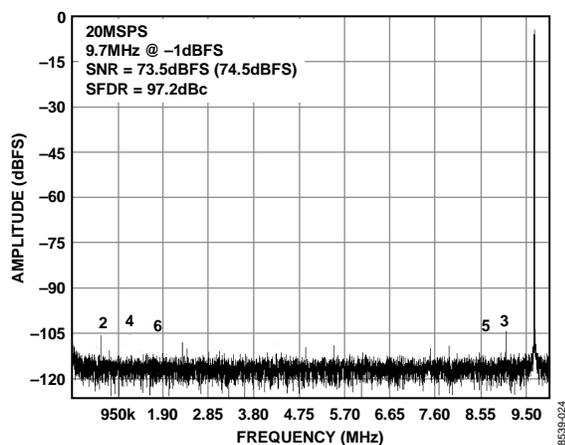


图24. AD9649-20单音FFT ($f_{IN} = 9.7$ MHz)

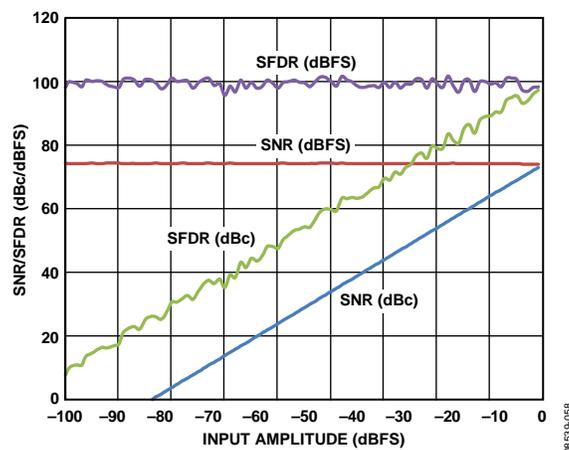


图26. AD9649-20 SNR/SFDR与输入幅度 (A_{IN})的关系 ($f_{IN} = 9.7$ MHz)

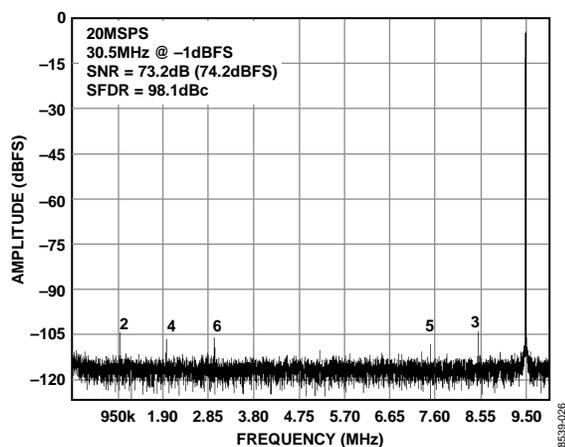


图25. AD9649-20单音FFT ($f_{IN} = 30.5$ MHz)

等效电路

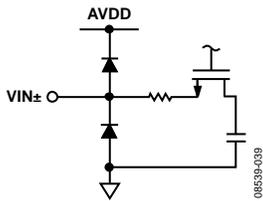


图27. 等效模拟输入电路

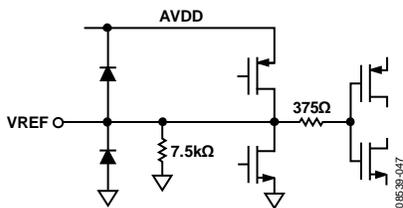


图28. 等效VREF电路

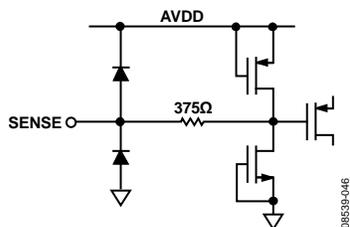


图29. 等效SENSE电路

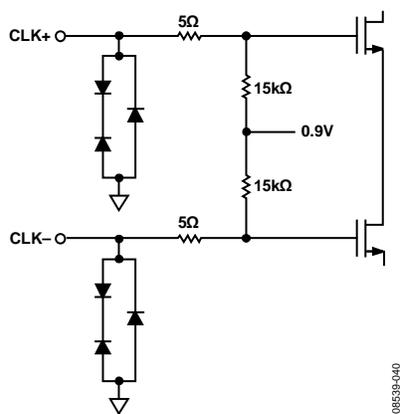


图30. 等效时钟输入电路

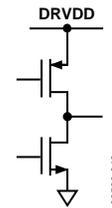


图31. 等效D0至D13和OR数字输出电路

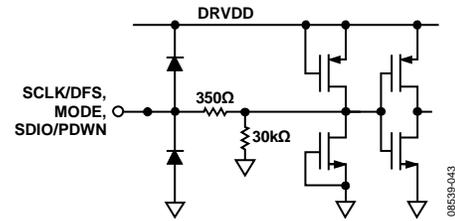


图32. 等效SCLK/DFS、MODE和SDIO/PDWN输入电路

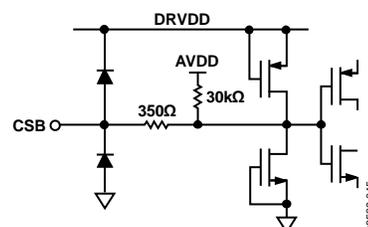


图33. 等效CSB输入电路

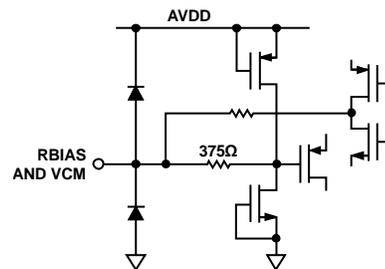


图34. 等效RBIAS、VCM电路

工作原理

AD9649架构由一个多级、流水线式ADC组成。各级均提供充分的重叠，以便校正上一级的Flash误差。各个级的量化输出组合在一起，在数字校正逻辑中最终形成一个14位转换结果。流水线结构允许第一级处理新的输入采样点，而其他级继续处理之前的采样点。采样在时钟的上升沿进行。

除最后一级以外，流水线的每一级都由一个低分辨率Flash型ADC、与之相连的一个开关电容DAC和一个级间余量放大器(例如乘法数模转换器MDAC)组成。余量放大器用于放大重构DAC输出与Flash型输入之间的差，用于流水线的下一级。为了便于实现Flash误差的数字校正，每一级设定了一位冗余量。最后一级由一个Flash型ADC组成。

输出级模块能够实现数据对齐，执行误差校正，并且能将数据传输到CMOS输出缓冲器。输出缓冲器需要单独供电(DRVDD)，允许调整输出电压摆幅。在掉电期间，输出缓冲器进入高阻态。

模拟输入考虑

AD9649的模拟输入端是一个差分开关电容电路，设计用于处理差分输入信号。该电路支持宽共模范围，同时能保持出色的性能。当输入共模电压为中间电源电压时，信号相关误差最小，并且能实现最佳性能。

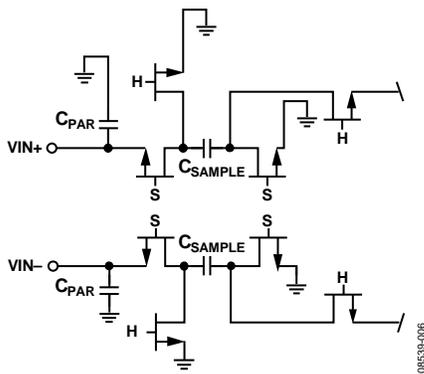


图35. 开关电容输入电路

输入电路根据时钟信号，在采样模式和保持模式之间切换(见图35)。当输入电路切换到采样模式时，信号源必须能够对采样电容充电，并且在半个时钟周期内完成建立。每个输入端都串联一个小电阻，可以降低从驱动源输出级注入的峰值瞬态电流。此外，输入端的每一侧可以使用低Q电感或铁氧体磁珠，以减小模拟输入端的高差分电容，从而实现ADC的最大带宽。在高中频(IF)下驱动转换器前端时，必须使用低Q电感或铁氧体磁珠。输入端可以使用一个并联电容或两个单端电容，以提供匹配的无源网络。这

最终会在输入端形成一个低通滤波器，用来限制无用的宽带噪声。欲了解更多信息，请参阅应用笔记AN-742、AN-827以及Analog Dialogue的文章“用于宽带模数转换器的变压器耦合前端”(第39卷，2005年4月)。通常，模数转换的精度取决于应用。

输入共模

AD9649的模拟输入端无内部直流偏置。因此，在交流耦合应用中，用户必须提供外部直流偏置。为能够获得最佳性能，建议用户对器件进行设置，使得 $V_{CM} = AVDD/2$ ；但器件在更宽的范围内都能获得合理的性能，如图36和图37所示。

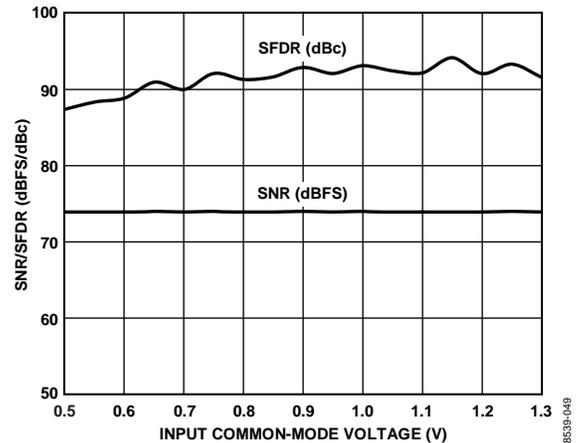


图36. SNR/SFDR与输入共模电压的关系
($f_{IN} = 32.1 \text{ MHz}$, $f_s = 80 \text{ MSPS}$)

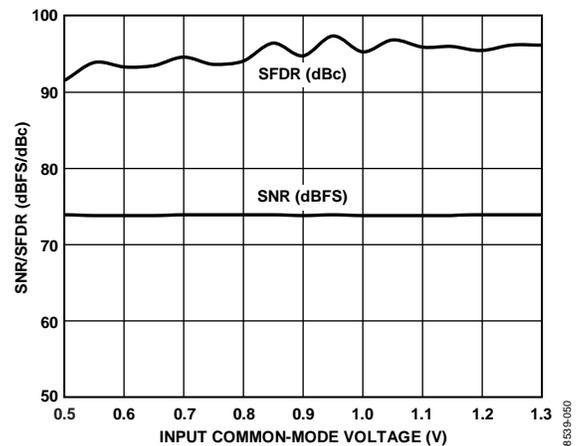


图37. SNR/SFDR与输入共模电压的关系
($f_{IN} = 10.3 \text{ MHz}$, $f_s = 20 \text{ MSPS}$)

芯片通过VCM引脚提供板上共模基准电压。必须用一个0.1 μF 电容对VCM引脚去耦到地，如“应用信息”部分所述。

AD9649

差分输入配置

通过差分输入配置驱动AD9649时，可实现芯片的最佳性能。在基带应用中，AD8138、ADA4937-2和ADA4938-2差分驱动器能够为ADC提供出色的性能和灵活的接口。通过AD9649的VCM引脚，可以方便地设置ADA4938-2的输出共模电压(见图38)；驱动器可以配置为Sallen-Key滤波器拓扑电路结构，从而对输入信号进行带宽限制。

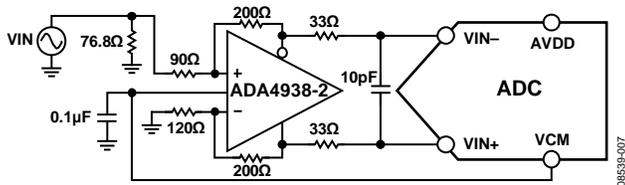


图38. 利用ADA4938-2进行差分输入配置

在SNR为关键参数的低于大约10 MHz基带应用中，建议使用的输入配置是差分变压器耦合，如图39的示例。为实现模拟输入偏置，须将VCM电压连接到至变压器次级绕组的中心抽头处。

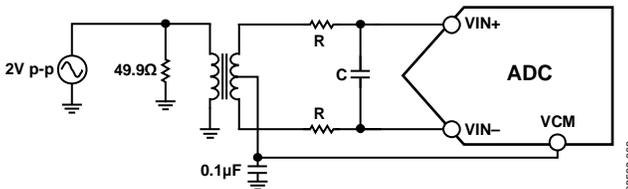


图39. 差分变压器耦合配置

选择变压器时，必需考虑其信号特性。大多数射频变压器在工作频率低于几兆赫兹时，产生饱和现象。信号功率过大也可导致磁芯饱和，从而导致失真。当输入频率处于第二或更高奈奎斯特区域时，大多数放大

器的噪声性能无法满足要求以达到AD9649真正的SNR性能。在SNR为关键参数的10 MHz以上应用中，建议使用的输入配置是差分双巴伦耦合(见图41)。

频率在第二奈奎斯特区域内的时候，除了使用变压器耦合输入外，还可以使用AD8352差分驱动器，实例如图42所示。更多信息参见AD8352数据手册。

在任何配置中，并联电容值C均取决于输入频率和源阻抗，并且可能需要降低电容量或去掉该并联电容。表9列出了设置RC网络的建议值。不过，这些值取决于输入信号，且只能用作初始参考。

表9. RC网络示例

频率范围(MHz)	串联电阻(Ω/每电阻)	差分电容C(pF)
0 至 70	33	22
70 至 200	125	开路

单端输入配置

单端输入在对成本敏感的应用中可以满足性能要求。在此配置中，由于输入共模摆幅较大，因此会降低无杂散动态范围(SFDR)和失真性能。如果每个输入端的各信号源阻抗都是匹配的，则对信噪比(SNR)性能的影响极小。图40显示了典型的单端输入配置。

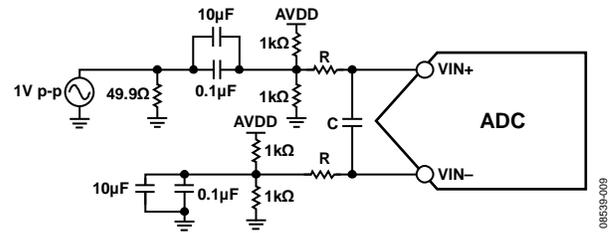


图40. 单端输入配置

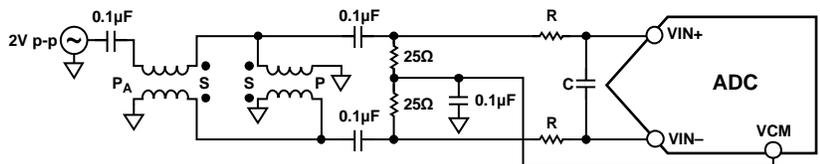


图41. 差分双巴伦输入配置

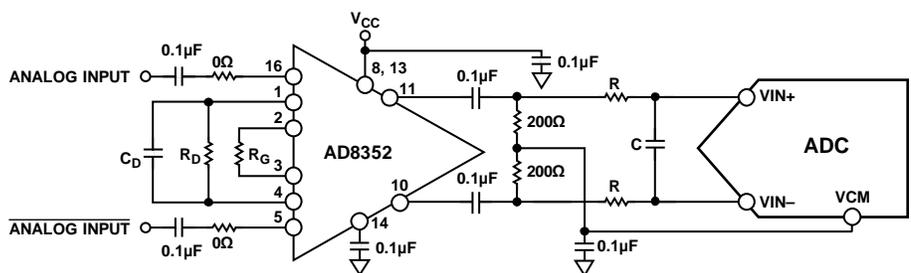


图42. 利用AD8352进行差分输入配置

基准电压源

AD9649内置稳定、精确的1.0 V基准电压源。VREF可以利用内部1.0 V基准电压或外部施加的1.0 V基准电压来配置。在接下来的部分中，将对各种基准电压模式进行介绍。“基准电压去耦”部分详细描述基准电压的最佳PCB布局布线。

内部基准电压连接

AD9649的内置比较器可检测出SENSE引脚的电压，从而将基准电压配置成两种可能的模式之一(见表10)。如果SENSE引脚接地，则基准放大器开关与内部电阻分压器相连(见图43)，因而将VREF设为1.0 V。

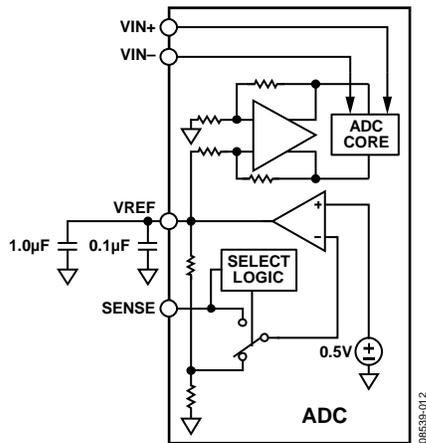


图43. 内部基准电压配置

如需利用AD9649的内部基准电压来驱动多个转换器，从而提高增益的匹配度，则必须考虑到其它转换器对基准电压的负载。图44说明负载如何影响内部基准电压。

外部基准电压

采用外部基准电压有可能进一步提高ADC增益精度、改善热漂移特性。图45显示内部基准电压为1.0 V时的典型漂移特性。

表10. 基准电压配置表

所选模式	SENSE电压(V)	相应的VREF (V)	相应的差分范围(Vp-p)
固定内部基准电压	AGND 至 0.2	1.0, 内部	2.0
固定外部基准电压	AVDD	1.0, 施加于外部VREF引脚	2.0

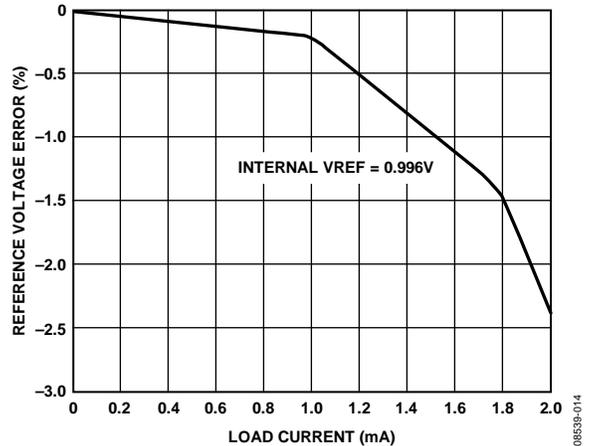


图44. VREF精度与负载电流的关系

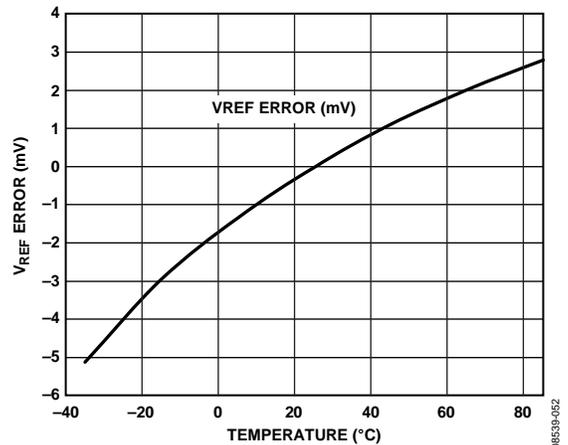


图45. 典型VREF漂移

将SENSE引脚与AVDD相连，可以禁用内部基准电压，从而允许使用外部基准电压。内部基准电压缓冲器对外部基准电压的负载相当于7.5 kΩ负载(见图28)。内部缓冲器为ADC内核生成正、负满量程基准电压。因此，外部基准电压的最大值为1.0 V。

AD9649

时钟输入考虑

为了充分发挥芯片的性能，应利用一个差分信号作为AD9649采样时钟输入端(CLK+和CLK-)的时钟信号。该信号通常使用变压器或电容器交流耦合到CLK+和CLK-引脚内。CLK+和CLK-引脚有内部偏置(见图46)，无需外部偏置。

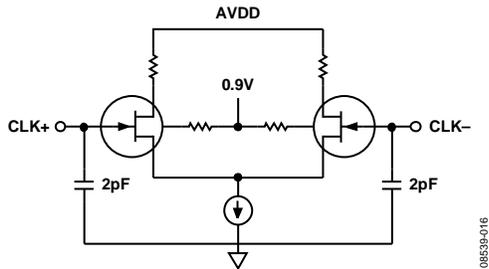


图46. 等效时钟输入电路

时钟输入选项

AD9649的时钟输入结构非常灵活。CMOS、LVDS、LVPECL或正弦波信号均可作为其时钟输入信号。无论采用哪种信号，都必须考虑到时钟源抖动(见抖动考虑部分说明)。

图47和图48显示了两种为AD9649提供时钟信号的首选方法。使用内部时钟分频器功能时，CLK输入速率可达额定采样速率的4倍。利用射频变压器或射频巴伦，可将低抖动时钟源的单端信号转换成差分信号。

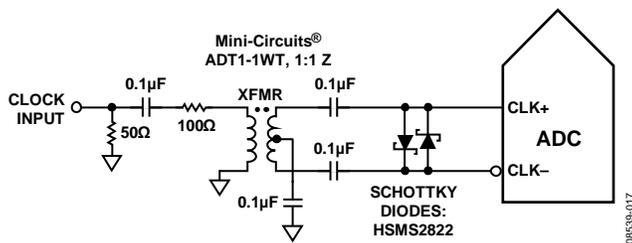


图47. 变压器耦合差分时钟(3 MHz至200 MHz)

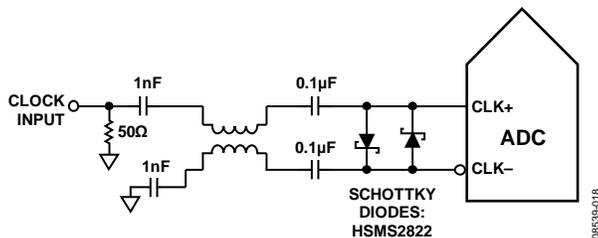


图48. 巴伦耦合差分时钟(最高可达额定采样速率的4倍)

对于80 MHz至320 MHz的时钟频率，建议采用射频巴伦配置；对于3 MHz至200 MHz的时钟频率，建议采用射频变压器配置。背对背肖特基二极管跨接在变压器/巴伦次级上，可以将输入AD9649的时钟信号偏移限制为约0.8 V P-P(差分)。

这样，既可以防止时钟的大电压摆幅馈通至AD9649的其它部分，还可以保留信号的快速上升和下降时间，这一点对低抖动性能来说非常重要。

如果没有低抖动的时钟源，那么，另一种方法是对差分PECL信号进行交流耦合，并传输至采样时钟输入引脚(如图49所示)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517时钟驱动器具有出色的抖动性能。

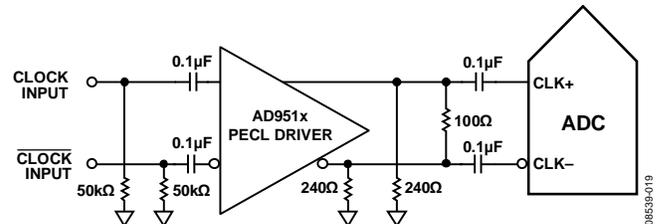


图49. 差分PECL采样时钟(最高可达额定采样速率的4倍)

第三种方法是对差分LVDS信号进行交流耦合，并传输至采样时钟输入引脚(如图50所示)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517时钟驱动器具有出色的抖动性能。

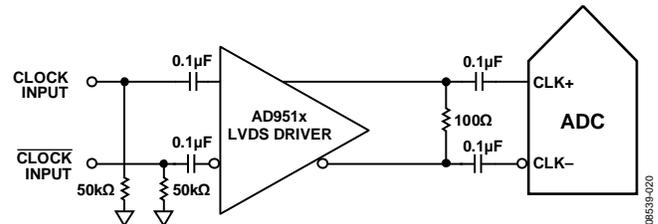
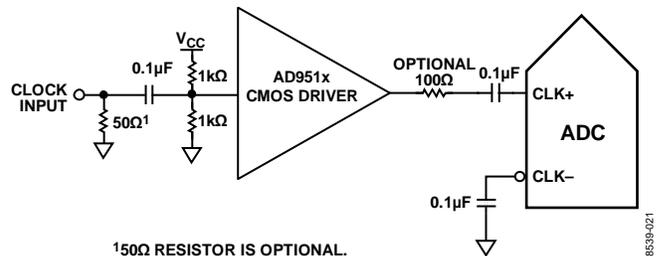


图50. 差分LVDS采样时钟(最高可达额定采样速率的4倍)

在某些应用中，可以利用单端1.8 V CMOS信号来驱动采样时钟输入。在此类应用中，CLK+引脚直接由CMOS门电路驱动，CLK-引脚则通过一个0.1 μF电容旁路至地(见图51)。



150Ω RESISTOR IS OPTIONAL.

图51. 单端1.8 V CMOS输入时钟(频率可达200 MHz)

输入时钟分频器

AD9649内置一个输入时钟分频器，可对输入时钟进行1、2或4整数倍分频。

时钟占空比

典型的高速ADC利用两个时钟边沿产生不同的内部定时信号，因此，它对时钟占空比非常敏感。通常，为了保持最佳动态性能，50%的占空比时钟容差应为 $\pm 5\%$ ，如图52所示。

时钟输入上升沿的抖动也会影响动态性能，应将其降至最低，如本数据手册中抖动考虑部分所述。

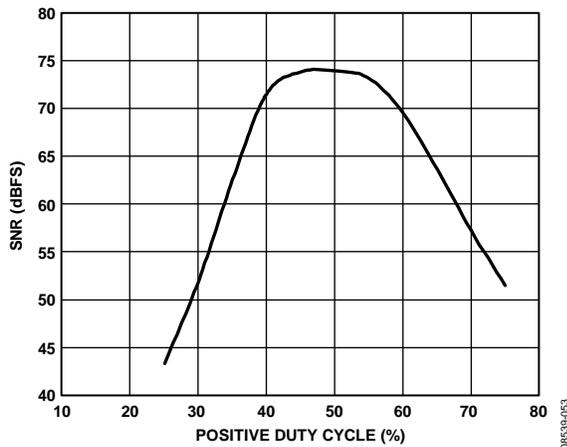


图52. SNR与时钟占空比的关系

抖动考虑

高速、高分辨率ADC对时钟输入信号的质量非常敏感。在给定的输入频率(f_{INPUT})下，由于抖动(t_{JIRMS})造成的信噪比(SNR)下降(相对于低频信噪比 SNR_{LF})可通过下式计算：

$$\text{SNR}_{\text{HF}} = -10 \log[(2\pi \times f_{\text{INPUT}} \times t_{\text{JIRMS}})^2 + 10^{(-\text{SNR}_{\text{LF}}/10)}]$$

上式中，均方根孔径抖动表示时钟输入抖动规格。中频欠采样应用对抖动尤其敏感(如图53所示)。

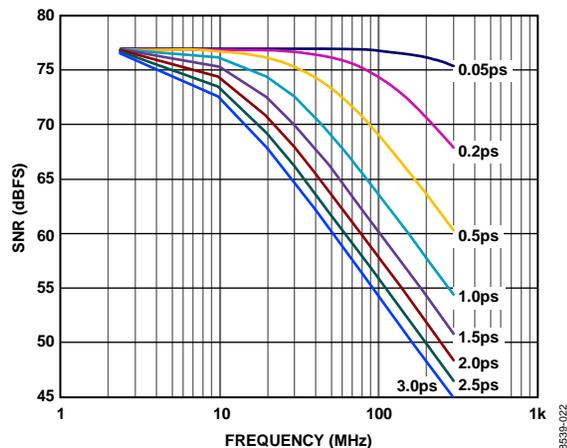


图53. 信噪比与输入频率和抖动的关系

当孔径抖动可能影响AD9649的动态范围时，应将时钟输入信号视为模拟信号。为避免在时钟信号内混入数字噪声，时钟驱动器电源应与ADC输出驱动器电源分离。低抖

动的晶体控制振荡器可提供最佳时钟源。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法)，则需要在最后一步中利用原始时钟进行重定时。

欲了解更多信息，请参阅ADI公司网站(www.analog.com)上提供的应用笔记AN-501和AN-756。

功耗和待机模式

如图54所示，AD9649的模拟内核功耗与其采样速率成比例关系。CMOS输出的数字功耗主要由数字驱动器的强度和每个输出位的负载大小决定。

最大DRVDD电流值(I_{DRVDD})的计算公式如下：

$$I_{\text{DRVDD}} = V_{\text{DRVDD}} \times C_{\text{LOAD}} \times f_{\text{CLK}} \times N$$

其中N为输出位数(对于AD9649, $N = 15$)。

当每个输出位在每个时钟周期内都发生切换时(即以 $f_{\text{CLK}}/2$ 的奈奎斯特频率产生满量程方波时)，电流达到最高值。实际操作中，DRVDD电流由输出位切换的平均数确定，后者取决于采样速率和模拟输入信号的特性。

降低输出驱动器的容性负载可以很好地降低数字功耗。图54中的数据采用与测量典型性能特性相同的工作条件得出，每个输出驱动器的负载为5 pF。

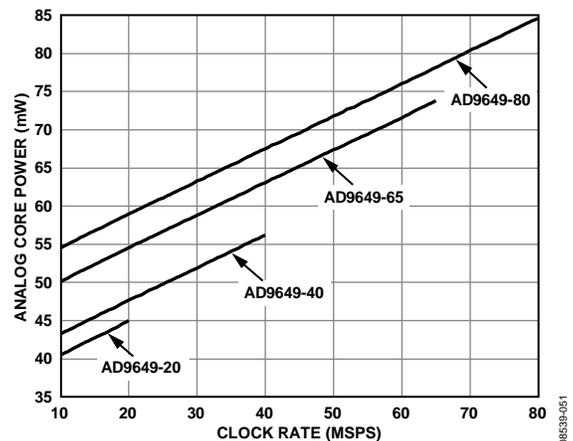


图54. 模拟内核功耗与时钟速率的关系

SPI模式下，AD9649可直接通过SPI端口或通过使用可编程外部MODE引脚，将其置于掉电模式。在非SPI模式下，通过PDWN引脚置位高电平实现掉电模式。在这种状态下，ADC的典型功耗为500 μW 。在掉电模式下，输出驱动器处于高阻抗状态。PDWN引脚(或SPI模式下的MODE引脚)置位低电平可将AD9649恢复为正常工作模式。注意，PDWN以数据输出驱动器电源电压(DRVDD)为基准，且不得高于该电压。

在掉电模式下，通过关闭基准电压、基准电压缓冲器、偏置网络以及时钟，可实现低功耗。进入掉电模式时，内部电容放电；返回正常工作模式时，内部电容必须重新充电。因此，唤醒时间与处于掉电模式的时间有关；处于掉电模式的时间越短，则相应的唤醒时间越短。

使用SPI接口接口时，用户可将ADC置于掉电模式或待机模式。如需较短的唤醒时间，可以使用待机模式，该模式下内部基准电压电路处于通电状态。更多信息见存储器映射部分。

数字输出

AD9649输出驱动器可以配置为与1.8 V至3.3 V CMOS逻辑系列接口。输出数据也可以多路复用到单一输出总线上，以降低所需的走线总数。

CMOS输出驱动器应能够提供足够的输出电流，以便驱动各种逻辑电路。然而，大驱动电流可能导致在电源信号中产生毛刺脉冲，影响转换器的性能。

因此，在那些需要ADC来驱动大容量负载或较大扇出的应用中，可能需要用到外部缓冲器或锁存器。

在外部引脚模式下，设置SCLK/DFS引脚可以控制数据以偏移二进制格式或二进制补码格式输出(见表11)。

如应用笔记AN-877“通过SPI与高速ADC接口”中所述，在SPI控制模式下，数据的输出格式可选择偏移二进制、二进制补码或格雷码。

表11. SCLK/DFS和SDIO/PDWN模式选择(外部引脚模式)

引脚电压	SCLK/DFS	SDIO/PDWN
GND	偏移二进制(默认)	正常工作(默认)
DRVDD	二进制补码	输出禁用

表12. 输出数据格式

输入(V)	条件(V)	偏移二进制输出模式	二进制补码模式	或
VIN+ – VIN–	< –VREF – 0.5 LSB	00 0000 0000 0000	10 0000 0000 0000	1
VIN+ – VIN–	= –VREF	00 0000 0000 0000	10 0000 0000 0000	0
VIN+ – VIN–	= 0	10 0000 0000 0000	00 0000 0000 0000	0
VIN+ – VIN–	= +VREF – 1.0 LSB	11 1111 1111 1111	01 1111 1111 1111	0
VIN+ – VIN–	> +VREF – 0.5 LSB	11 1111 1111 1111	01 1111 1111 1111	1

数据输出使能功能(OEB)

使用SPI接口时，通过可编程外部MODE引脚，可以独立设置每个通道的数据输出和DCO的三态。通过寄存器0x08的位[6:5]使能MODE引脚的OEB功能。

若MODE引脚配置为工作在传统OEB模式下，并且MODE引脚为低电平，则使能输出数据驱动器和DCO。若MODE引脚处于高电平状态，则将输出数据驱动器和DCO置于高阻态。OEB功能不适用于快速访问数据总线。注意，OEB引脚以数据输出驱动器电源电压(DRVDD)为基准，且不得高于该电压。

定时

AD9649提供流水线延迟为8个时钟周期的锁存数据。在经过时钟信号上升沿后的一个传播延迟时间(t_{PD})之后，产生输出数据。

为减少AD9649内的瞬时现象，应尽可能缩短输出数据线的长度并降低输出负载。瞬时现象会降低转换器的动态性能。

AD9649的典型最低转换速率为3 MSPS。当时钟速率低于3 MSPS时，芯片的动态性能会有所下降。

数据时钟输出(DCO)

AD9649提供一路数据时钟输出(DCO)信号，用于采集外部寄存器中的数据。CMOS数据输出在DCO的上升沿有效，除非通过SPI改变了DCO时钟的极性。时序图参见图2。

内置自测(BIST)和输出测试

AD9649包括内置测试功能，支持对各通道的完整性验证，同时也有利于电路板级调试。内置自测(BIST)功能可以对AD9649数字数据路径的完整性进行验证。此外还提供各种输出测试选项，以便对AD9649的输出进行预测。

内置自测(BIST)

BIST能够对所选AD9649信号路径的数字部分进行详尽的测试。复位后执行BIST测试可确保器件处于已知状态。在BIST测试期间，来自内部伪随机噪声(PN)源的数据从ADC模块输出开始，驱动通过两个通道的数字数据路径。在数据路径输出端，CRC逻辑计算数据签名。BIST序列运行512个周期后停止。序列完成后，BIST将签名结果与预定值进行比较。如果二者一致，则BIST将寄存器0x24的位0置1，表示测试通过。如果BIST测试失败，寄存器0x24的位0清0。测试期间输出相连，因此可以观察到PN序列的运行过程。向寄存器0x0E写入值0x05将运行BIST测试，使能

寄存器0x0E的位0(BIST使能)，并复位PN序列发生器(寄存器0x0E的位2，BIST启动)。BIST完成后，寄存器0x24的位0自动清0。向寄存器0x0E的位2写入0可以使PN序列从上一个值继续运行。不过，如果PN序列未复位，测试结束时签名计算结果将不等于预定值。用户必须验证输出数据。

输出测试模式

输出测试选项见表16的地址0x0D部分所述。当使能输出测试模式时，ADC的模拟部分与数字后端模块断开，测试码经过输出格式化模块。有些测试码需要进行输出格式化，有些则不需要。将寄存器0x0D的位4或位5置1，可以将PN序列测试的PN发生器复位。执行这些测试时，模拟信号可有可无(如有，则忽略模拟信号)，但编码时钟必不可少。如需了解更多信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。

串口(SPI)

AD9649 SPI允许用户利用ADC内部的一个结构化寄存器空间来配置转换器，以满足特定功能和操作的需要。SPI具有灵活性，可根据具体的应用进行定制。通过串行端口，可访问地址空间、对地址空间进行读写。存储空间以字节为单位进行组织，并且可以进一步细分成多个区域，如存储器映射部分所述。如需了解详细操作信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。

使用SPI的配置

该ADC的SPI由三部分组成：SCLK(SCLK/DFS)、SDIO(SDIO/PDWN)和CSB(见表13)。SCLK(串行时钟)引脚用于同步ADC的读出和写入数据。SDIO(串行数据输入/输出)双功能引脚允许将数据发送至内部ADC存储器映射寄存器或从寄存器中读出数据。CSB(片选信号)引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。

表13. 串行端口接口引脚

引脚	功能
SCLK	串行时钟。串行移位时钟输入，用来同步串行接口的读、写操作。
SDIO	串行数据输入/输出。双功能引脚；通常用作输入或输出，取决于发送的指令和时序帧中的相对位置。
CSB	片选信号。低电平有效控制信号，用来选通读写周期。

CSB的下降沿与SCLK的上升沿共同决定帧的开始。图55为串行时序图范例，相应的定义见表5。

CSB可以在多种模式下工作。CSB可始终维持在低电平状态，从而使器件一直处于使能状态；这称作流。CSB可以在字节之间停留在高电平，这样可以允许其他外部时序。CSB引脚拉高时，SPI功能处于高阻态模式。在该模式下，可以开启SPI引脚的第二功能。

在一个指令周期内，传输一条16位指令。在指令传输后将进行数据传输，数据长度由W0位和W1位共同决定，如图55所示。

所有数据均由8位字组成。多字节串行数据传输帧的第一个字节的第一位表示发出的是读命令还是写命令。这样就能在串行帧的适当位置，将串行数据输入/输出(SDIO)引脚的数据传输方向设置为输入或输出。

除了字长，指令周期还决定串行帧是读操作指令还是写操作指令，从而通过串行端口对芯片编程或读取片上存储器内的数据。如果指令是回读操作，则执行回读操作会使串行数据输入/输出(SPIO)引脚的数据传输方向，在串行帧的一定位置由输入改为输出。

数据可通过MSB优先模式或LSB优先模式发送。芯片上电后，默认采用MSB优先的方式，可以通过SPI端口配置寄存器来更改数据发送方式。如需了解更多关于该特性及其它特性的信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。

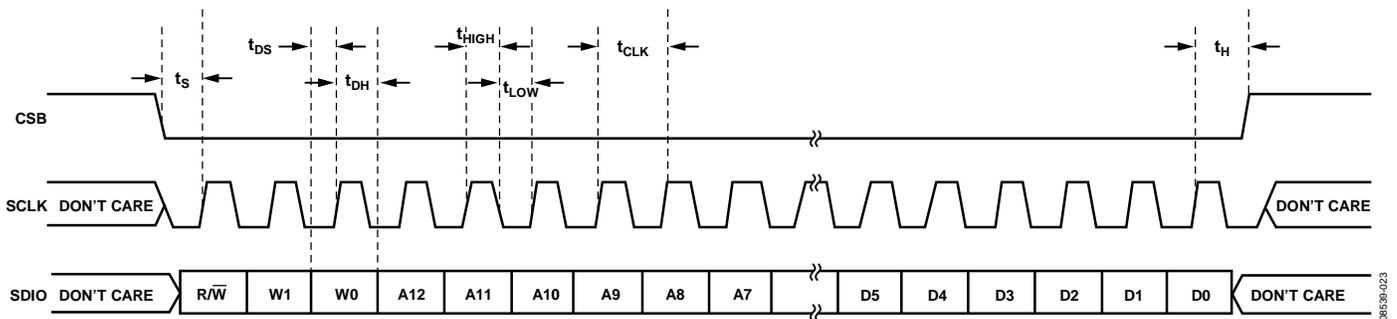


图55. 串行端口接口时序图

硬件接口

表13中所描述的引脚构成用户编程器件与AD9649串行端口之间的物理接口。当使用SPI接口时，SCLK引脚和CSB引脚用作输入引脚。SDIO引脚是双向引脚，在写入阶段，用作输入引脚；在回读阶段，用作输出引脚。

SPI接口非常灵活，FPGA或微控制器均可控制该接口。有关一种SPI配置方法的详细信息，请参考应用笔记AN-812：基于微控制器的串行端口接口(SPI)启动电路。

当需要转换器充分发挥其全动态性能时，应禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD9649之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

不使用SPI接口时，SDIO/PDWN和SCLK/DFS引脚可以发挥第二功能。在器件上电期间，当这些引脚与DRVDD或接地端连接时，这些引脚可起到特定的作用。“数字输出”部分介绍了AD9649支持的绑定功能。

不使用SPI的配置

在不使用SPI控制寄存器接口的应用中，SDIO/PDWN引脚和SCLK/DFS引脚用作独立的CMOS兼容控制引脚。当器件上电后，假设用户希望将这些引脚用作静态控制线，以控制掉电和输出数据格式。

在此模式下，CSB片选引脚应与DRVDD相连，以禁用串行端口接口。

表14. 模式选择

引脚	外部电压	配置
SDIO/PDWN	DRVDD AGND(默认)	芯片掉电模式 正常工作(默认)
SCLK/DFS	DRVDD AGND(默认)	二进制补码使能 偏移二进制使能

SPI访问特性

表15简要说明了可通过SPI访问的一般特性。如需详细了解这些特性，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。AD9649器件特定的特性详见表16。

表15. 可通过SPI访问的特性

特性	描述
模式	允许用户设置掉电模式或待机模式
失调调整	允许用户以数字方式调整转换器失调
测试模式	允许用户设置测试模式，以便在输出位上获得已知数据
输出模式	允许用户设置输出
输出相位	允许用户设置输出时钟极性
输出延迟	允许用户改变DCO延迟

存储器映射

读取存储器映射寄存器表

存储器映射寄存器表(见表16)的每一行有8位。存储器映射大致分为四个部分：芯片配置寄存器(地址0x00至地址0x02)；器件传送寄存器(地址0xFF)；程序寄存器，包括设置、控制和测试(地址0x08至地址0x2A)；以及数字特性控制寄存器(地址0x101)。

表16列出了每个十六进制地址的十六进制默认值。位7 (MSB)栏为给定十六进制默认值的起始位。例如，OR/MODE选择寄存器(地址0x2A)的十六进制默认值为0x01。这表示在地址0x2A中，位[7:1] = 0、位 0 = 1。该设置为OR/MODE的默认设置。默认值导致可编程外部MODE/OR引脚(引脚23)充当超范围数字输出。如需了解更多关于该功能及其它功能的信息，请参阅应用笔记 [AN-877](#)：“通过SPI与高速ADC接口”。该文档详细描述了寄存器0x00至寄存器0xFF控制的功能。表16之后的“存储器映射寄存器描述”部分介绍了其它寄存器(寄存器0x101)。

禁用的地址

此器件目前不支持SPI映射中未包括的所有地址和位。有效地址中未使用的位应写为0。当一个地址(例如地址0x2A)仅有部分位处于禁用状态时，才需要对这些位置进行写操作。如果整个地址(例如地址0x13)均禁用，则SPI映射中不包括该地址，不应对该地址进行写操作。

默认值

AD9649复位后，将向关键寄存器内载入默认值。存储器映像寄存器表(见表16)列出了各寄存器的默认值。

逻辑电平

以下是逻辑电平的术语说明：

- “置位”指将某位设置为逻辑1或向某位写入逻辑1。
- “清除位”指“位设置为逻辑0”或“向某位写入逻辑0”。

传送寄存器映射

地址0x08至地址0x18被屏蔽。因此，向这些地址进行写操作不会影响器件运行，除非向地址0xFF写入0x01，设置了传输位，从而发出了传输命令。这样，设置传输位时，就可以在内部同时更新这些寄存器。设置传输位时，内部进行更新，然后传输位自动清零。

存储器映射寄存器表

此器件目前不支持表16中未包括的所有地址和位。

表16.

地址 (十六 进制)	寄存器名称	(MSB) 位7	位6	位5	位4	位3	位2	位1	(LSB) 位0	默认值 (十六 进制)	默认值注释
芯片配置寄存器											
0x00	SPI端口配置	0	LSB优先	软复位	1	1	软复位	LSB优先	0	0x18	半字节之间是镜像关系,使得无论在何种移位模式下,LSB优先或MSB优先模式寄存器均能正确记录数据。
0x01	芯片ID	8位芯片ID,位[7:0] AD9649 = 0x6F								只读	唯一芯片ID,用来区分器件;只读。
0x02	芯片等级	开路	速度等级ID,位[6:4] (在芯片ID下确定器件等级) 20 MSPS = 000 40 MSPS = 001 65 MSPS = 010 80 MSPS = 011			开路			只读	唯一速度等级ID,用来区分器件;只读。	
器件传送寄存器											
0xFF	传输	开路	开路	开路	开路	开路	开路	开路	传输	0x00	从主移位寄存器向从移位寄存器同步传输数据。
程序寄存器											
0x08	模式	外部引脚23 MODE 输入使能	外部引脚23在高电平下工作 00 = 完全掉电 01 = 待机 10 = 普通模式,输出禁用 11 = 普通模式,输出使能		开路	开路	开路	00 = 芯片运行 01 = 完全掉电 10 = 待机 11 = 芯片宽频数字复位		0x00	决定芯片的一般工作模式。
0x0B	时钟分频	开路					时钟分频器,位[2:0]时钟分频比 000 = 1分频 001 = 2分频 011 = 4分频			0x00	分频比为该值加上1
0x0D	测试模式	用户测试模式 00 = 单一 01 = 交替 10 = 单一一次 11 = 交替一次		复位PN长序列	产生复位PN短序列	输出测试模式,位[3:0](局部) 0000 = 关(默认) 0001 = 中间电平短路 0010 = 正FS 0011 = 负FS 0100 = 交替棋盘形式 0101 = PN 23序列 0110 = PN 9序列 0111 = 1/0字交替 1000 = 用户输入 1001 = 1/0位反转 1010 = 1×同步 1011 = 一位高电平 1100 = 混合位频率				0x00	置1时,测试数据将取代正常数据被置于输出引脚上。
0x0E	BIST使能	开路	开路	开路	开路	Open	BIST init	Open	BIST enable	0x00	位0置1时,BIST功能启动
0x10	失调整	8位器件失调整,位[7:0](局部) 失调整以LSB为单位,从+127到-128(二进制补码格式)								0x00	器件失调整

AD9649

地址 (十六进制)	寄存器名称	(MSB) 位7	位6	位5	位4	位3	位2	位1	(LSB) 位0	默认值 (十六进制)	默认值注释
0x14	输出模式	00 = 3.3 V CMOS 10 = 1.8 V CMOS		开路	输出禁用	开路	输出反向		00 = 偏移二进制 01 = 二进制补码 10 = 格雷码 11 = 偏移二进制	0x00	配置输出和数据格式。
0x15	输出调整	3.3 V DCO 驱动强度 00 = 1条(默认) 01 = 2条 10 = 3条 11 = 4条		1.8 V DCO 驱动强度 00 = 1条 01 = 2条 10 = 3条(默认) 11 = 4条		3.3 V 数据驱动强度 00 = 1条(默认) 01 = 2条 10 = 3条 11 = 4条		1.8 V 数据驱动强度 00 = 1条 01 = 2条 10 = 3条(默认) 11 = 4条		0x22	配置输出和数据格式。
0x16	输出相位	DCO输出极性 0 = 正常 1 = 反转	开路	开路	开路	开路	输入时钟相位调整, 位[2:0] (值为相位延迟的输入时钟周期数) 000 = 无延迟 001 = 1输入时钟周期 010 = 2输入时钟周期 011 = 3输入时钟周期 100 = 4输入时钟周期 101 = 5输入时钟周期 110 = 6输入时钟周期 111 = 7输入时钟周期			0x00	用于利用全局时钟频率的器件上, 决定使用分频器输出的哪一个相位来提供输出时钟; 内部锁存不受影响
0x17	输出延迟	使能 DCO延迟	开路	使能 数据延迟	开路		DCO/数据延迟, 位[2:0] 000 = 0.56 ns 001 = 1.12 ns 010 = 1.68 ns 011 = 2.24 ns 100 = 2.80 ns 101 = 3.36 ns 110 = 3.92 ns 111 = 4.48 ns			0x00	设置输出时钟的精密输出延迟, 但不改变内部时序。
0x19	USER_PATT1_LSB	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的码 1 LSB
0x1A	USER_PATT1_MSB	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的码 1 MSB
0x1B	USER_PATT2_LSB	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的码 2 LSB
0x1C	USER_PATT2_MSB	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的码 2 MSB
0x24	BIST签名LSB	BIST签名, 位[7:0]								0x00	BIST签名的 低字节, 只读
0x2A	OR/MODE选择	开路	开路	开路	开路	开路	开路	开路	0 = MODE 1 = OR (default)	0x01	通过地址0x08 选择I/O功能, 用于外部引脚23的 MODE(输入) 或OR(输出)
数字特性控制寄存器											
0x101	USR2	1	开路	开路	开路	使能 GCLK 检测	运行 GCLK	开路	禁用SDIO 下拉电阻	0x88	对小于5 MHz的 时钟速率使能 内部振荡器

存储器映射寄存器描述

如需了解有关寄存器0x00至寄存器0xFF所控制功能的更多信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。

USR2(寄存器0x101)

位3—使能GCLK检测

位3通常置于高电平，使能一个检测约5 MSPS以下编码速率的电路。当检测到编码速率较低时，内部振荡器GCLK使能，以确保多个电路能够正常工作。如果此位置于低电平，则检测器禁用。

位2—运行GCLK

位2使能GCLK振荡器。对于某些编码速率低于10 MSPS的应用，最好将此位置于高电平，以取代GCLK检测器。

位0—禁用SDIO下拉电阻

位0可以置于高电平以禁用SDIO引脚内置的30 k Ω 下拉电阻；当许多器件连接到SPI总线时，它可以用来限制负载。

应用信息

设计指南

在进行AD9649的系统设计和布局之前，建议设计者先熟悉下述设计指南，其中探讨了某些引脚所需的特殊电路连接和布局布线要求。

电源和接地建议

当连接电源至AD9649时，强烈建议使用两个独立的电源。使用一个1.8 V电源作为模拟电源(AVDD)；使用另一个1.8 V至3.3 V电源作为数字输出电源(DRVDD)。如果必须共用一个1.8 V AVDD和DRVDD电源，则必须用铁氧体磁珠或滤波扼流圈隔离AVDD与DRVDD域，并分别用去耦电容去耦。可以使用多个不同的去耦电容以支持高频和低频。去耦电容应放置在接近PCB入口点和接近器件引脚的位置，并尽可能缩短走线长度。

AD9649仅需要一个PCB接地层。对PCB模拟、数字和时钟模块进行合理去耦和巧妙分隔，可以轻松获得最佳性能。

裸露焊盘散热块建议

裸露焊盘(引脚0)是AD9649的唯一接地连接，因此，必须将它连接到客户PCB上的模拟地(AGND)。为实现最佳的电气性能和热性能，PCB上裸露(无阻焊膜)的连续铜平面应与AD9649的裸露焊盘(引脚0)匹配。

铜平面上应有多个通孔，获得尽可能低的热阻路径以通过PCB底部进行散热。应采用绝缘环氧化物来填充或堵塞这些通孔。

为了最大化地实现ADC与PCB之间的覆盖与连接，应在PCB上覆盖一个丝印层，以便将PCB上的连续平面划分为

多个均等的部分。这样，在回流焊过程中，可在ADC与PCB之间提供多个连接点。而一个连续的、无分割的平面则仅可保证在ADC与PCB之间有一个连接点。如需了解有关封装和芯片级封装PCB布局布线的详细信息，请参阅应用笔记AN-772：“LFCSP封装设计与制造指南”(www.analog.com)。

编码时钟

为使AD9649获得最佳动态性能，使用一个50%占空比($\pm 5\%$)的低抖动编码时钟源向其供应时钟。

VCM

VCM引脚应通过一个0.1 μF 电容去耦至地(见图39)。

RBIAS

AD9649要求用户将一10 k Ω 电阻置于RBIAS引脚与地之间。该电阻用来设置ADC内核的主基准电流，该电阻容差至少为1%。

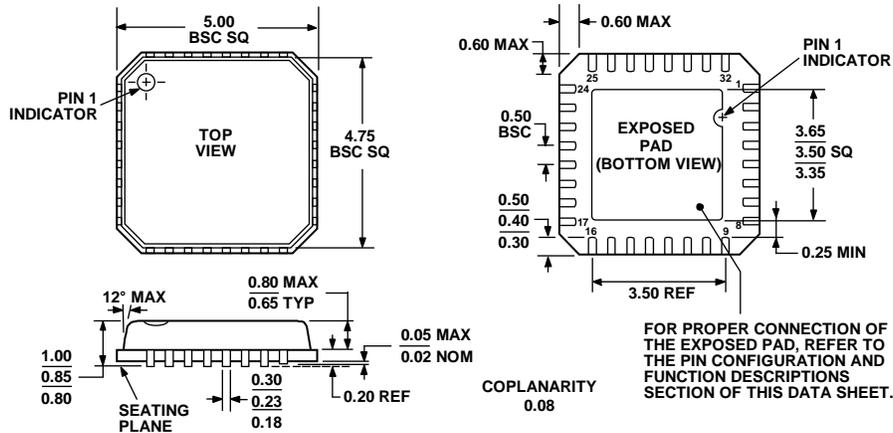
基准电压源去耦

VREF引脚应通过外部一个低ESR 0.1 μF 陶瓷电容和一个低ESR 1.0 μF 电容的并联去耦至地。

SPI端口

当需要转换器充分发挥其全动态性能时，应禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD9649之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VHHD-2

图56. 32引脚引脚架构芯片级封装[LFCSP_VQ]
5 mm × 5 mm, 超薄体
(CP-32-4)
图示尺寸单位: mm

100609-A

订购指南

型号	温度范围	封装描述	封装选项
AD9649BCPZ-80 ^{1,2}	-40°C 至 +85°C	32 引脚引脚架构芯片级封装(LFCSP_VQ)	CP-32-4
AD9649BCPZRL7-80 ^{1,2}	-40°C 至 +85°C	32 引脚引脚架构芯片级封装(LFCSP_VQ)	CP-32-4
AD9649BCPZ-65 ^{1,2}	-40°C 至 +85°C	32 引脚引脚架构芯片级封装(LFCSP_VQ)	CP-32-4
AD9649BCPZRL7-65 ^{1,2}	-40°C 至 +85°C	32 引脚引脚架构芯片级封装(LFCSP_VQ)	CP-32-4
AD9649BCPZ-40 ^{1,2}	-40°C 至 +85°C	32 引脚引脚架构芯片级封装(LFCSP_VQ)	CP-32-4
AD9649BCPZRL7-40 ^{1,2}	-40°C 至 +85°C	32 引脚引脚架构芯片级封装(LFCSP_VQ)	CP-32-4
AD9649BCPZ-20 ^{1,2}	-40°C 至 +85°C	32 引脚引脚架构芯片级封装(LFCSP_VQ)	CP-32-4
AD9649BCPZRL7-20 ^{1,2}	-40°C 至 +85°C	32 引脚引脚架构芯片级封装(LFCSP_VQ)	CP-32-4
AD9649-80EBZ ¹		评估板	
AD9649-65EBZ ¹		评估板	
AD9649-40EBZ ¹		评估板	
AD9649-20EBZ ¹		评估板	

¹ Z = 符合RoHS标准的器件。

² 裸露焊盘(引脚0)是芯片上的唯一接地连接, 必须连接到PCB AGND。

AD9649

注释