

产品特性

8个通道的LNA、VGA和ADC

低噪声前置放大器(LNA)

折合到输入端的噪声电压 = $0.75 \text{ nV}/\sqrt{\text{Hz}}$ (增益 = 21.3 dB, 5 MHz, 典型值)

SPI可编程增益 = 15.6 dB/17.9 dB/21.3 dB

单端输入; V_{IN} 最大值 = 733 mV p-p/550 mV p-p/367 mV p-p

双模式有源输入阻抗匹配

带宽(BW): >100 MHz

满量程(FS)输出 = 4.4 V p-p差分电压

可变增益放大器(VGA)

衰减器范围 = -42 dB至0 dB

SPI可编程PGA增益 = 21 dB/24 dB/27 dB/30 dB

线性dB增益控制

抗混叠滤波器(AAF)

可编程二阶低通滤波器(LPF): 8 MHz至18 MHz

可编程高通滤波器(HPF)

模数转换器(ADC)

10 MSPS至80 MSPS时为12位

SNR = 70 dB

SFDR = 75 dB

串行LVDS(ANSI-644, IEEE 1596.3缩小范围链路)

数据时钟输出和帧时钟输出

包括一个8 × 8差分交叉点开关, 以支持连续波(CW)多普勒模式

低功耗, 在12位/40 MSPS (TGC)时, 每通道功耗为195 mW

连续波多普勒模式下, 每通道功耗为120 mW

灵活的省电模式

过载恢复时间: <10 ns

可从低功耗待机模式快速恢复: <2 μs

100引脚TQFP

应用

医疗成像/超声

汽车雷达

概述

AD9272针对低成本、低功耗、小尺寸及易用性而设计。它具有8个通道, 每个通道均包含一个低噪声放大器(LNA)、一个可变增益放大器(VGA)、一个抗混叠滤波器(AAF)和一个12位、10 MSPS至80 MSPS模数转换器(ADC)。

每个通道均具有42 dB的可变增益范围、完全差分信号路径、有源输入前置放大器终端、最大52 dB的增益以及转换速率高达80 MSPS的ADC。通道专门针对动态性能与低功耗而优化, 适合要求小封装尺寸的应用。

功能框图

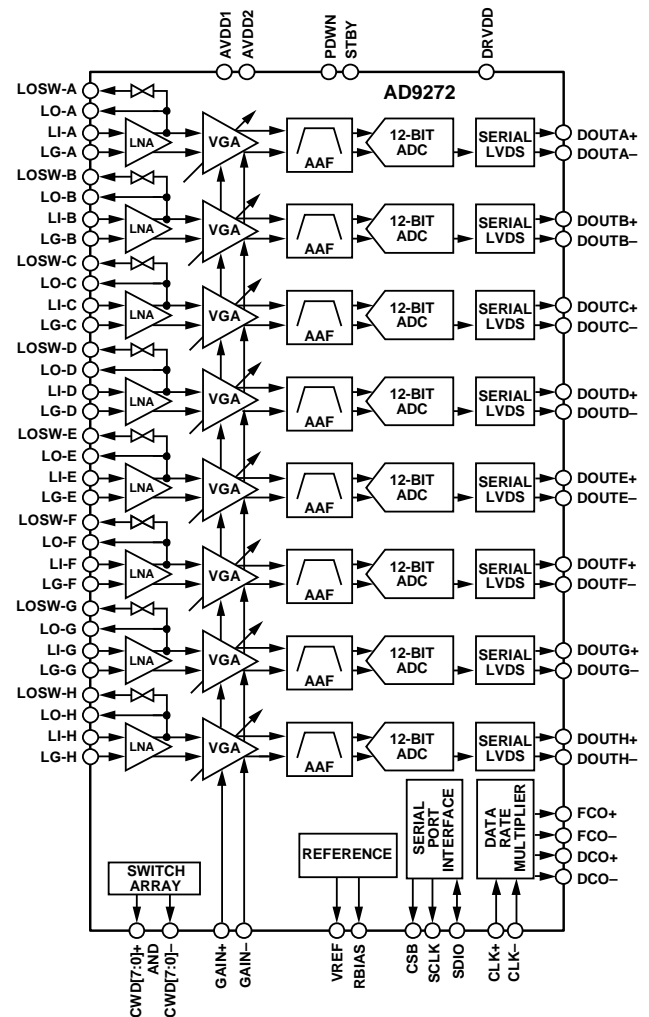


图1.

LNA具有单端转差分增益, 可以通过SPI进行选择。增益为21.3 dB时, LNA折合到输入端的噪声电压典型值为 $0.75 \text{ nV}/\sqrt{\text{Hz}}$; 在最大增益下, 整个通道折合到输入端的噪声为 $0.85 \text{ nV}/\sqrt{\text{Hz}}$ 。假设噪声带宽为15 MHz且LNA增益为21.3 dB, 则输入信噪比(SNR)约为92 dB。在连续波多普勒模式下, LNA输出驱动一个跨导放大器, 该放大器通过一个8 × 8差分交叉点开关进行切换。该开关可通过SPI进行设置。

Rev. C

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700
Fax: 781.461.3113
www.analog.com

©2009 Analog Devices, Inc. All rights reserved.

目录

产品特性	1	超声	21
应用	1	通道概述	22
概述	1	输入过驱	25
功能框图	1	CW多普勒操作	25
修订历史	2	TGC操作	27
产品特色	3	ADC	31
技术规格	4	时钟输入考虑	31
交流规格	4	串行端口接口(SPI)	38
数字规格	8	硬件接口	38
开关规格	9	存储器映射	40
绝对最大额定值	11	读取存储器映射表	40
热阻	11	保留位置	40
ESD警告	11	默认值	40
引脚配置和功能描述	12	逻辑电平	40
典型性能参数	15	外形尺寸	44
等效电路	19	订购指南	44
工作原理	21		

修订历史

2009年7月—修订版B至修订版C

更改“输入过载保护”部分和图43	25
更改“数字输出和时序”部分和图63	33
更改“硬件接口”部分	39

2009年6月—修订版A至修订版B

更改“产品特色”部分	3
更改表1	4
更改绝对最大额定值表	11
更改图22	17
更改图33和图34	20
更改“低噪声放大器(LNA)”部分	22
更改“有源阻抗匹配”部分	23
更改图39	23
更改“LNA噪声”部分	24
更改图47	28
更改图48和图49	29
更改“CSB引脚”部分	36
更改“读取存储器映射表”部分	40

2009年4月—版本A：初始版

AD9272要求采用LVPECL/CMOS/LVDS兼容型采样速率时钟信号，以便充分发挥其工作性能。无需外部基准电压源或驱动器件即可满足许多应用需求。

该ADC会自动倍乘采样速率时钟，以便产生合适的LVDS串行数据速率。它提供一个数据时钟(DCO±)用于在输出端捕获数据，以及一个帧时钟(FCO±)触发器用于发送新输出字节信号。

各通道可单独关断，从而延长便携式应用的电池使用时间。利用待机模式选项可以快速上电，以便开机重启。以CW多普勒模式工作时，VGA、抗混叠滤波器(AAF)和ADC均关断。时间增益控制(TGC)路径的功耗与可选速度级成正比。

ADC内置多种功能特性，例如可编程时钟、数据对准、生成可编程数字测试码等，可使器件的灵活性达到最佳、系统成本降至最低。数字测试码包括内置的固定码和伪随机码，以及通过串行端口接口输入的用户自定义测试码。

AD9272采用先进的CMOS工艺制造，提供16 mm × 16 mm、符合RoHS标准的100引脚TQFP封装。额定温度范围为-40°C至+85°C工业温度范围。

产品特点

1. 小尺寸。一个小型封装中集成8个通道，节省空间。完整的TGC路径、ADC和交叉点开关集成在一个100引脚、16 mm × 16 mm TQFP封装内。
2. 低功耗：每通道195 mW (40 MSPS)。
3. 集成式交叉点开关。此开关允许多个多通道配置选项使能CW多普勒模式。
4. 易于使用。数据时钟输出(DCO±)的工作频率高达480 MHz，支持双倍数据速率(DDR)操作。
5. 使用灵活。串行端口接口(SPI)控制提供丰富灵活的特性，可满足各种特定系统的需求。
6. 集成二阶抗混叠滤波器。该滤波器位于VGA和ADC之间，可编程范围为8 MHz至18 MHz。

技术规格

交流规格

除非另有说明，AVDD1 = 1.8 V，AVDD2 = 3.0 V，DRVDD = 1.8 V，1.0 V内部ADC基准电压， $f_{IN} = 5$ MHz， $R_S = 50 \Omega$ ，LNA增益 = 21.3 dB，LNA偏置 = 高，PGA增益 = 27 dB，GAIN- = 0.8 V，AAF LPF截止频率 = $f_{SAMPLE}/4.5$ ，HPF = LPF截止频率/20.7(默认)，整个温度范围，ANSI-644 LVDS模式。

表1.

参数 ¹	条件	AD9272-40		AD9272-65		AD9272-80		单位
		最小值	典型值	最大值	最小值	典型值	最大值	
LNA特性								
增益	单端输入至差分输出	15.6	17.9/21.3	15.6	17.9/21.3	15.6	17.9/21.3	dB
	单端输入至单端输出	9.6	11.9/15.3	9.6	11.9/15.3	9.6	11.9/15.3	dB
输入电压范围	LNA增益 = 15.6 dB/ 17.9 dB/ 21.3 dB, LNA输出限制为 4.4 V p-p差分输出	733	550/367	733	550/367	733	550/367	mV p-p SE ²
输入共模		0.9		0.9		0.9		V
输入电阻	$R_{FB} = 250 \Omega$	50		50		50		Ω
	$R_{FB} = 500 \Omega$	100		100		100		Ω
	$R_{FB} = \infty$	15		15		15		k Ω
输入电容	LI-x	22		22		22		pF
-3 dB带宽		100		100		100		MHz
折合到输入端的 噪声电压	LNA增益 = 15.6 dB/ 17.9 dB/ 21.3 dB, $R_S = 0 \Omega$, $R_{FB} = \infty$	0.98	0.86/0.75	0.98	0.86/0.75	0.98	0.86/0.75	nV/ $\sqrt{\text{Hz}}$
输入电流噪声	$R_{FB} = \infty$	1		1		1		pA/ $\sqrt{\text{Hz}}$
输入1 dB压缩点	LNA增益 = 15.6 dB/ 17.9 dB/ 21.3 dB, GAIN+ = 0 V	1.0	0.8/0.5	1.0	0.8/0.5	1.0	0.8/0.5	mV p-p
噪声系数	LNA增益 = 15.6 dB/ 17.9 dB/ 21.3 dB							
有源端接匹配	$R_S = 50 \Omega$, $R_{FB} = 200 \Omega$ / 250 Ω /350 Ω	4.8	4.1/3.2	4.8	4.1/3.2	4.8	4.0/3.2	dB
无端接	$R_{FB} = \infty$	3.4	2.8/2.3	3.4	2.8/2.3	3.4	2.8/2.3	dB
全通道(TGC)特征								
AAF低通滤波器截止 频率 - 范围以内	-3 dB, 可编程	8	至18	8	至18	8	至18	MHz
AAF低通滤波器截止 频率 - 范围以外 ³	-3 dB, 可编程, AAF带宽容差	5	至8和 18至35	5	至8和 18至35	5	至8和 18至35	MHz
AAF带宽容差 - 范围以内			± 10		± 10		± 10	%

参数 ¹	条件	AD9272-40		AD9272-65		AD9272-80		单位
		最小值	典型值 最大值	最小值	典型值 最大值	最小值	典型值 最大值	
群延迟偏差	f = 1 MHz至 18 MHz, GAIN+ = 0 V至 1.6 V	±2		±2		±2		ns
折合到输入端的 噪声电压	LNA增益 = 15.6 dB/ 17.9 dB/ 21.3 dB, R _{FB} = ∞	1.26/1.04/0.85		1.26/1.04/0.85		1.26/1.04/0.85		nV/√Hz
噪声系数	LNA增益 = 15.6 dB/ 17.9 dB/ 21.3 dB							
有源端接匹配	R _S = 50 Ω, R _{FB} = 200 Ω/ 250 Ω/350 Ω	8.0/6.6/4.7		7.7/6.2/4.5		7.6/6.1/4.4		dB
无端接 相关噪声比	R _{FB} = ∞ 无信号, 相关/非相关	4.7/3.7/2.8 -30		4.6/3.6/2.8 -30		4.5/3.6/2.7 -30		dB dB
输出失调 信噪比(SNR)	f _{IN} = 5 MHz (-10 dBFS, GAIN+ = 0 V)	-35	65 +35	-35	64 +35	-35	63 +35	LSB dBFS
谐波失真	f _{IN} = 5 MHz (-10 dBFS, GAIN+ = 0 V)	65		64		63		
	f _{IN} = 5 MHz (-1 dBFS, GAIN+ = 1.6 V)	57		56		54.5		dBFS
二次谐波	f _{IN} = 5 MHz (-10 dBFS, GAIN+ = 0 V)	-62		-58		-55		dBc
三次谐波	f _{IN} = 5 MHz (-1 dBFS, GAIN+ = 1.6 V)	-60		-61		-58		dBc
	f _{IN} = 5 MHz (-10 dBFS, GAIN+ = 0 V)	-71		-60		-60		dBc
双音IMD3 (2 × F1 - F2) 失真	f _{IN} = 5 MHz (-1 dBFS, GAIN+ = 1.6 V)	-57		-55		-56		dBc
	f _{IN1} = 5.0 MHz (-1 dBFS), f _{IN2} = 5.01 MHz (-21 dBFS), GAIN+ = 1.6 V, LNA增益 = 21.3 dB	-75		-75		-75		dBc
通道间串扰	f _{IN1} = 5.0 MHz (-1 dBFS)	-70		-70		-70		dB
通道间延迟偏差	超量程条件 ⁴ TGC完整路径, f _{IN} = 5 MHz, GAIN+ = 0 V至1.6 V	-65 0.3		-65 0.3		-65 0.3		dB 度
PGA增益	差分输入至差分 输出	21/24/27/30		21/24/27/30		21/24/27/30		dB

AD9272

参数 ¹	条件	AD9272-40			AD9272-65			AD9272-80			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
增益精度	25°C										
增益法则一致性误差	0 V < GAIN+ < 0.16 V	1.5			1.5			1.5			dB
	0.16 V < GAIN+ < 1.44 V	-1.5		+1.5	-1.5		+1.5	-1.6		+1.6	dB
	1.44 V < GAIN+ < 1.6 V	-2.5			-2.5			-2.5			dB
线性增益误差	GAIN+ = 0.8 V, 针对理想AAF损耗进行归一化处理	-1.5		+1.5	-1.5		+1.5	-1.6		+1.6	dB
通道间匹配	0.16 V < GAIN+ < 1.44 V	0.1			0.1			0.1			dB
增益控制接口											
正常工作范围		0		1.6	0		1.6	0		1.6	V
增益范围	GAIN+ = 0 V至1.6 V	42			42			42			dB
比例因子		28.5			28.5			28.5			dB/V
响应时间	42 dB变化	750			750			750			ns
Gain+阻抗	单端	10			10			10			MΩ
Gain-阻抗	单端	70			70			70			kΩ
CW多普勒模式跨导(差分)	LNA增益 = 15.6 dB/17.9 dB/21.3 dB	5.4/7.3/10.9			5.4/7.3/10.9			5.4/7.3/10.9			mA/V
输出电平范围(差分)	CW多普勒输出引脚	1.5		3.6	1.5		3.6	1.5		3.6	V
折合到输入端的噪声电压	LNA增益 = 15.6 dB/17.9 dB/21.3 dB, R _S = 0 Ω, R _{FB} = ∞, R _L = 675 Ω	2.35/1.82/1.31			2.35/1.82/1.31			2.35/1.82/1.31			nV/√Hz
折合到输入端动态范围	LNA增益 = 15.6 dB/17.9 dB/21.3 dB, R _S = 0 Ω, R _{FB} = ∞	161/161/160			161/161/160			161/161/160			dBFS/√Hz
双音IMD3 (2 × F1 - F2) 失真	f _{IN1} = 5.0 MHz (-1 dBFS, FS为LNA输入端), f _{IN2} = 5.01 MHz (-21 dBFS, FS为LNA输入), LNA增益 = 21.3 dB	-70			-70			-70			dBc
输出直流偏置(单端)	每通道	2.4			2.4			2.4			mA
最大输出摆幅(单端)	每通道	±2			±2			±2			mA p-p
电源											
AVDD1		1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
AVDD2		2.7	3.0	3.6	2.7	3.0	3.6	2.7	3.0	3.6	V
DRVDD		1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V

参数 ¹	条件	AD9272-40			AD9272-65			AD9272-80			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
I _{AVDD1}	全通道模式	210			280			335			mA
	使能4个通道的CW多普勒模式	32			32			32			mA
I _{AVDD2}	全通道模式	365			365			365			mA
	使能4个通道的CW多普勒模式	140			140			140			mA
I _{DRVDD}		49			51			52			mA
总功耗	包括输出驱动器，全通道模式，无信号	1560	1713		1690	1860		1780	1975		mW
	使能4个通道的CW多普勒模式	475			475			475			mW
关断功耗			5			5			5		mW
待机功耗			175			200			210		mW
电源抑制比(PSRR)		1.6			1.6			1.6			mV/V
ADC分辨率		12			12			12			位
ADC基准电压											
输出电压误差	VREF = 1 V		±20			±20			±20		mV
负载调整率	1.0 mA时 VREF = 1 V	2			2			2			mV
输入电阻		6			6			6			kΩ

¹ 如需了解完整的定义以及这些测试如何完成，请参阅应用笔记AN-835“了解高速ADC测试和评估”。

² SE = 单端。

³ AAF设置 < 5 MHz即超出范围，不支持。

⁴ 超量程条件规定为超出满量程输入范围6 dB。

AD9272

数字规格

除非另有说明，AVDD1 = 1.8 V，AVDD2 = 3.0 V，DRVDD = 1.8 V，1.0 V内部ADC基准电压， $f_{IN} = 5$ MHz，整个温度范围。

表2.

参数 ¹	温度	最小值	典型值	最大值	单位
时钟输入(CLK+、CLK-)			CMOS/LVDS/LVPECL		
逻辑兼容					
差分输入电压 ²	全	250			mV p-p
输入共模电压	全		1.2		V
输入电阻(差分)	25°C		20		kΩ
输入电容	25°C		1.5		pF
逻辑输入(PDWN、STBY、SCLK)					
逻辑1电压	全	1.2		3.6	V
逻辑0电压	全			0.3	V
输入电阻	25°C		30		kΩ
输入电容	25°C		0.5		pF
逻辑输入(CSB)					
逻辑1电压	全	1.2		3.6	V
逻辑0电压	全			0.3	V
输入电阻	25°C		70		kΩ
输入电容	25°C		0.5		pF
逻辑输入(SDIO)					
逻辑1电压	全	1.2		DRVDD + 0.3	V
逻辑0电压	全	0		0.3	V
输入电阻	25°C		30		kΩ
输入电容	25°C		2		pF
逻辑输出(SDIO) ³					
逻辑1电压($I_{OH} = 800 \mu A$)	全		1.79		V
逻辑0电压($I_{OL} = 50 \mu A$)	全			0.05	V
数字输出(DOUTx+、DOUTx-), ANSI-644模式 ¹					
逻辑兼容			LVDS		
差分输出电压(V_{OD})	全	247		454	mV
输出失调电压(V_{OS})	全	1.125		1.375	V
输出编码(默认)			偏移二进制		
数字输出(DOUTx+、DOUTx-), 低功耗, 简化信号选项 ¹					
逻辑兼容			LVDS		
差分输出电压(V_{OD})	全	150		250	mV
输出失调电压(V_{OS})	全	1.10		1.30	V
输出编码(默认)			偏移二进制		

¹ 如需了解完整的定义以及这些测试如何完成，请参阅应用笔记AN-835“了解高速ADC测试和评估”。

² 仅针对LVDS和LVPECL。

³ 针对共用同一连接的13个SDIO引脚。

开关规格

除非另有说明，AVDD1 = 1.8 V，AVDD2 = 3.0 V，DRVDD = 1.8 V，1.0 V内部ADC基准电压， $f_{IN} = 5$ MHz，整个温度范围。

表3.

参数 ¹	温度	最小值	典型值	最大值	单位
时钟 ²					
时钟速率	全	10		80	MSPS
时钟高电平脉冲宽度(t_{EH})	全		6.25		ns
时钟低电平脉冲宽度(t_{EL})	全		6.25		ns
输出参数 ^{2,3}					
传播延迟(t_{PD})	全	$(t_{SAMPLE}/2) + 1.5$	$(t_{SAMPLE}/2) + 2.3$	$(t_{SAMPLE}/2) + 3.1$	ns
上升时间(t_R)(20%至80%)	全		300		ps
下降时间(t_F)(20%至80%)	全		300		ps
FCO±传播延迟(t_{FCO})	全	$(t_{SAMPLE}/2) + 1.5$	$(t_{SAMPLE}/2) + 2.3$	$(t_{SAMPLE}/2) + 3.1$	ns
DCO±传播延迟(t_{CPD}) ⁴	全		$t_{FCO} + (t_{SAMPLE}/24)$		ns
DCO±至数据延迟(t_{DATA}) ⁴	全	$(t_{SAMPLE}/24) - 300$	$(t_{SAMPLE}/24)$	$(t_{SAMPLE}/24) + 300$	ps
DCO±至FCO±延迟(t_{FRAME}) ⁴	全	$(t_{SAMPLE}/24) - 300$	$(t_{SAMPLE}/24)$	$(t_{SAMPLE}/24) + 300$	ps
数据至数据偏斜($t_{DATA-MAX} - t_{DATA-MIN}$)	全		±100	±350	ps
唤醒时间(待机模式)，GAIN+ = 0.8 V	25°C		2		μs
唤醒时间(省电模式)	25°C		1		ms
流水线延迟	全		8		时钟周期
孔径					
孔径不确定(抖动)	25°C		<1		ps rms

¹ 如需了解完整的定义以及这些测试如何完成，请参阅应用笔记AN-835“了解高速ADC测试和评估”。

² 可通过SPI进行调整。

³ 将器件焊接在FR-4材料上进行测量。

⁴ $t_{SAMPLE}/24$ 基于位数的一半，因为延迟基于一半的占空比。

ADC时序图

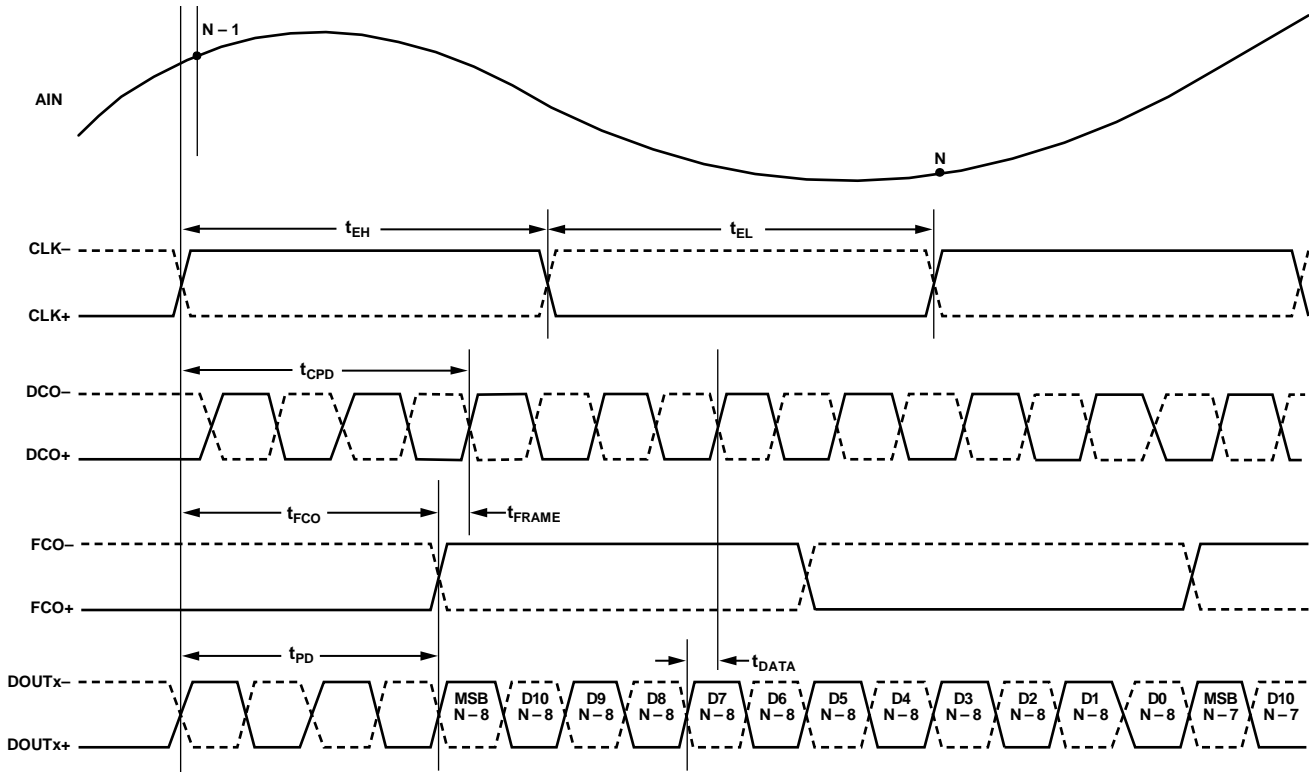


图2. 12位数据串行流(默认)

07029-002

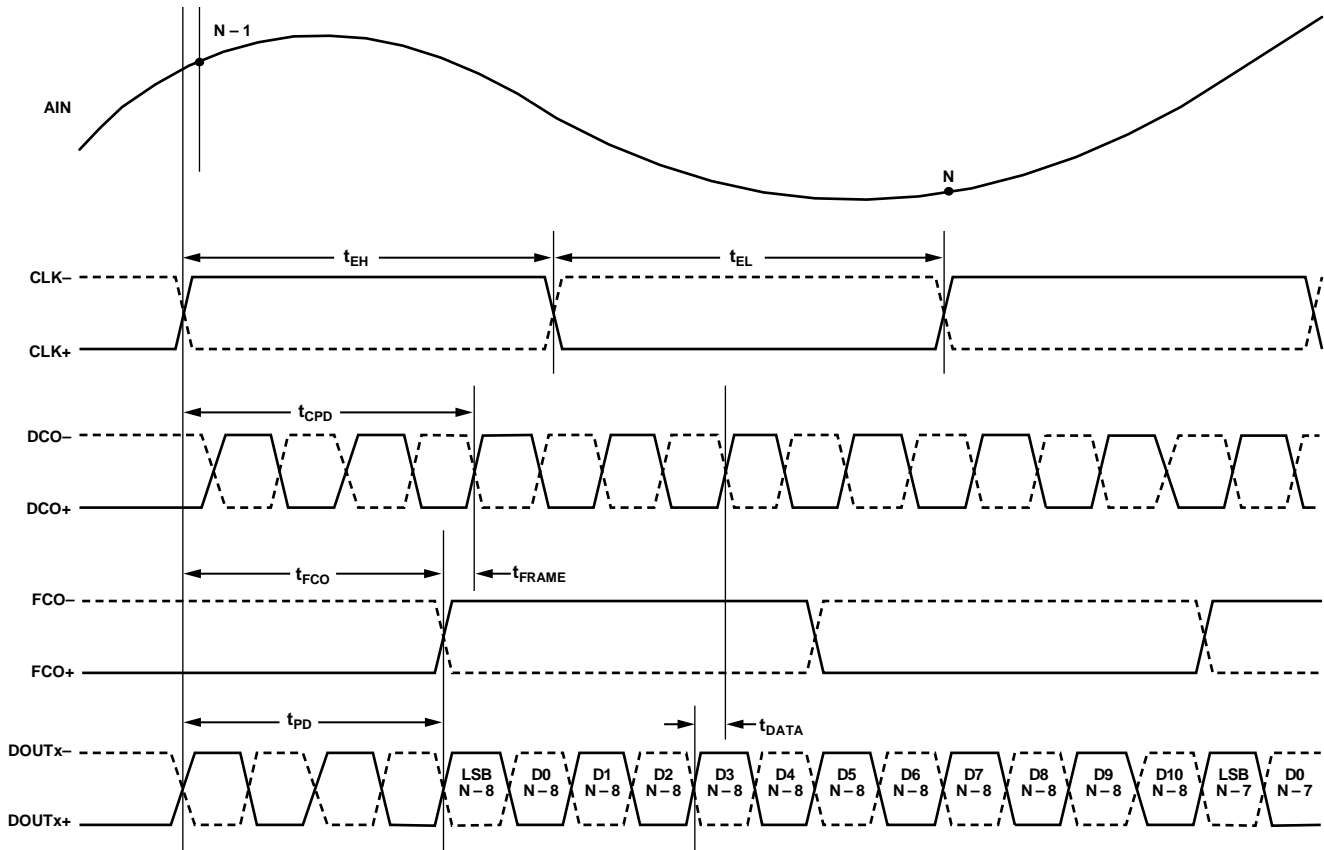


图3. 12位数据串行流(LSB优先)

07029-004

绝对最大额定值

表4.

参数	相对于	额定值
电气		
AVDD1	GND	-0.3 V至+2.0 V
AVDD2	GND	-0.3 V至+3.9 V
DRVDD	GND	-0.3 V至+2.0 V
GND	GND	-0.3 V至+0.3 V
AVDD2	AVDD1	-2.0 V至+3.9 V
AVDD1	DRVDD	-2.0 V至+2.0 V
AVDD2	DRVDD	-2.0 V至+3.9 V
数字输出		
(DOUTx+, DOUTx-, DCO+, DCO-, FCO+, FCO-)	GND	-0.3 V至+2.0 V
CLK+, CLK-, GAIN+, GAIN-	GND	-0.3 V至+3.9 V
LI-x, LO-x, LOSW-x	LG-x	-0.3 V至+2.0 V
CWDx-, CWDx+	GND	-0.3 V至+3.9 V
	GND	-0.3 V至+2.0 V
PDWN, STBY, SCLK, CSB	GND	-0.3 V至+3.9 V
RBIAS, VREF, SDIO	GND	-0.3 V至+2.0 V
环境		
工作温度范围(环境)		-40°C至+85°C
存储温度范围(环境)		-65°C至+150°C
最高结温		150°C
引脚温度(焊接, 10秒)		300°C

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下, 推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

表5.

气流速度(m/s)	θ_{JA}^1	θ_{JB}	θ_{JC}	单位
0.0	20.3	N/A	N/A	°C/W
1.0	14.4	7.6	4.7	°C/W
2.5	12.9	N/A	N/A	°C/W

¹ θ_{JA} 的测试条件为有实接地层的四层PCB(仿真)。裸露焊盘焊接到PCB。

ESD警告

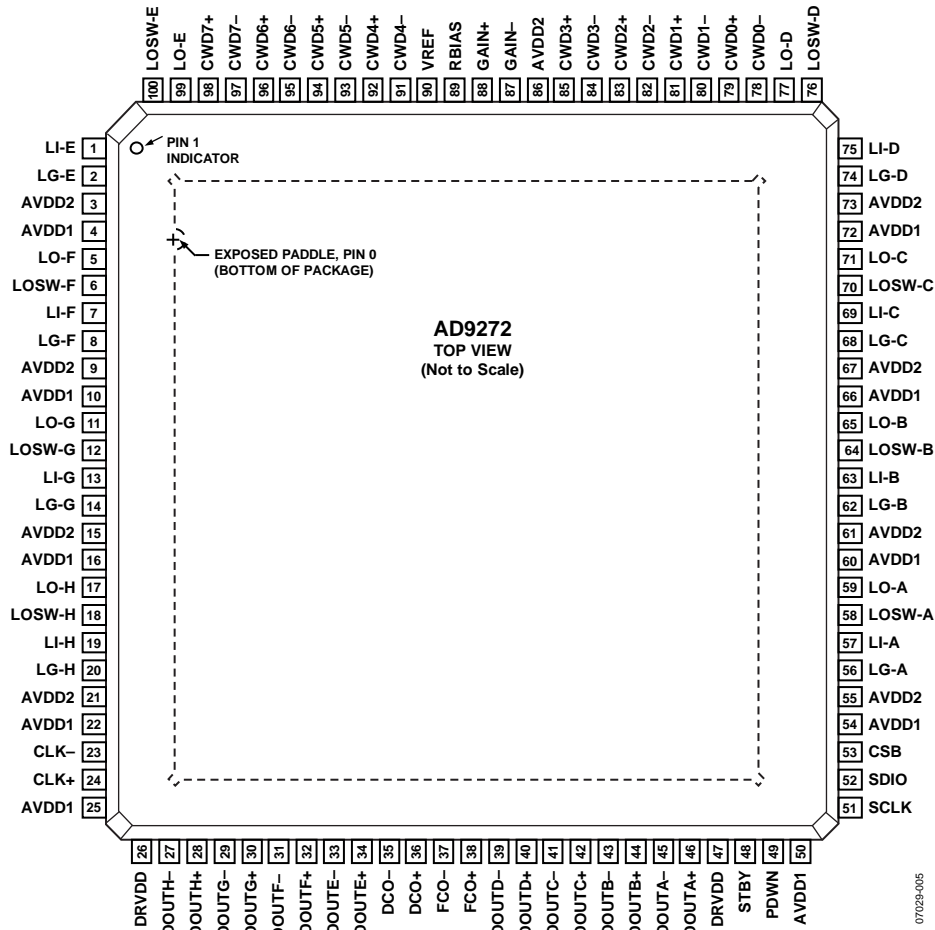


ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

AD9272

引脚配置和功能描述



NOTES
1. THE EXPOSED PAD SHOULD BE TIED TO A QUIET ANALOG GROUND.

图4. TQFP引脚配置

表6. 引脚功能描述

引脚编号	名称	说明
0	GND	地(裸露焊盘应与低噪声模拟地相连)
4, 10, 16, 22, 25, 50, 54, 60, 66, 72	AVDD1	1.8 V模拟电源
3, 9, 15, 21, 55, 61, 67, 73, 86	AVDD2	3.0 V模拟电源
26, 47	DRVDD	1.8 V数字输出驱动器电源
1	LI-E	E通道LNA模拟输入
2	LG-E	E通道LNA接地
5	LO-F	F通道LNA模拟反相输出
6	LOSWE-F	F通道LNA模拟开关输出
7	LI-F	F通道LNA模拟输入
8	LG-F	F通道LNA接地
11	LO-G	G通道LNA模拟反相输出
12	LOSWE-G	G通道LNA模拟开关输出
13	LI-G	G通道LNA模拟输入
14	LG-G	G通道LNA接地
17	LO-H	H通道LNA模拟反相输出
18	LOSWE-H	H通道LNA模拟开关输出
19	LI-H	H通道LNA模拟输入

引脚编号	名称	说明
20	LG-H	H通道LNA接地
23	CLK-	时钟输入(-)
24	CLK+	时钟输入(+)
27	DOUTH-	ADC H数字输出(-)
28	DOUTH+	ADC H数字输出(+)
29	DOUTG-	ADC G数字输出(-)
30	DOUTG+	ADC G数字输出(+)
31	DOUTF-	ADC F数字输出(-)
32	DOUTF+	ADC F数字输出(+)
33	DOUTE-	ADC E数字输出(-)
34	DOUTE+	ADC E数字输出(+)
35	DCO-	数字时钟输出(-)
36	DCO+	数字时钟输出(+)
37	FCO-	帧时钟数字输出(-)
38	FCO+	帧时钟数字输出(+)
39	DOUTD-	ADC D数字输出(-)
40	DOUTD+	ADC D数字输出(+)
41	DOUTC-	ADC C数字输出(-)
42	DOUTC+	ADC C数字输出(+)
43	DOUTB-	ADC B数字输出(-)
44	DOUTB+	ADC B数字输出(+)
45	DOUTA-	ADC A数字输出(-)
46	DOUTA+	ADC A数字输出(+)
48	STBY	待机关断
49	PDWN	完全关断
51	SCLK	串行时钟
52	SDIO	串行数据输入/输出
53	CSB	片选信号
56	LG-A	A通道LNA接地
57	LI-A	A通道LNA模拟输入
58	LOSW-A	A通道LNA模拟开关输出
59	LO-A	A通道LNA模拟反相输出
62	LG-B	B通道LNA接地
63	LI-B	B通道LNA模拟输入
64	LOSW-B	B通道LNA模拟开关输出
65	LO-B	B通道LNA模拟反相输出
68	LG-C	C通道LNA接地
69	LI-C	C通道LNA模拟输入
70	LOSW-C	C通道LNA模拟开关输出
71	LO-C	C通道LNA模拟反相输出
74	LG-D	D通道LNA接地
75	LI-D	D通道LNA模拟输入
76	LOSW-D	D通道LNA模拟开关输出
77	LO-D	D通道LNA模拟反相输出
78	CWD0-	CW多普勒输出(-), 用于通道0
79	CWD0+	CW多普勒输出(+), 用于通道0
80	CWD1-	CW多普勒输出(-), 用于通道1
81	CWD1+	CW多普勒输出(+), 用于通道1
82	CWD2-	CW多普勒输出(-), 用于通道2
83	CWD2+	CW多普勒输出(+), 用于通道2
84	CWD3-	CW多普勒输出(-), 用于通道3
85	CWD3+	CW多普勒输出(+), 用于通道3
87	GAIN-	增益控制电压输入(-)

AD9272

引脚编号	名称	说明
88	GAIN+	增益控制电压输入(+)
89	RBIAS	用于设置ADC内核偏置电流的外部电阻
90	VREF	基准电压输入/输出
91	CWD4-	CW多普勒输出(-), 用于通道4
92	CWD4+	CW多普勒输出(+), 用于通道4
93	CWD5-	CW多普勒输出(-), 用于通道5
94	CWD5+	CW多普勒输出(+), 用于通道5
95	CWD6-	CW多普勒输出(-), 用于通道6
96	CWD6+	CW多普勒输出(+), 用于通道6
97	CWD7-	CW多普勒输出(-), 用于通道7
98	CWD7+	CW多普勒输出(+), 用于通道7
99	LO-E	E通道LNA模拟反相输出
100	LOSW-E	E通道LNA模拟开关输出

典型性能参数

除非另有说明, $f_{\text{SAMPLE}} = 40 \text{ MSPS}$, $f_{\text{IN}} = 5 \text{ MHz}$, $R_s = 50 \Omega$, LNA增益 = 21.3 dB, LNA偏置 = 高电平, PGA增益 = 27 dB, AAF LPF截止频率 = $f_{\text{SAMPLE}}/4.5$, HPF = LPF截止频率/20.7(默认)。

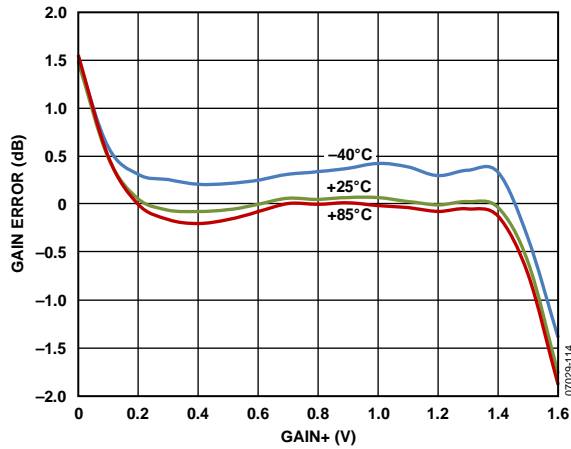


图5. 三种温度下增益误差与GAIN+的关系

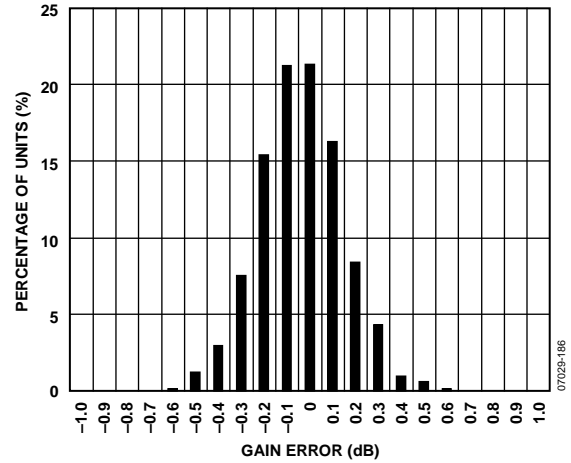


图8. 增益误差直方图, $GAIN+ = 1.44 \text{ V}$

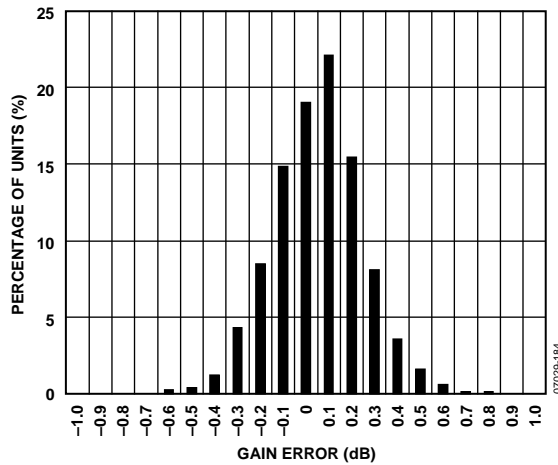


图6. 增益误差直方图, $GAIN+ = 0.16 \text{ V}$

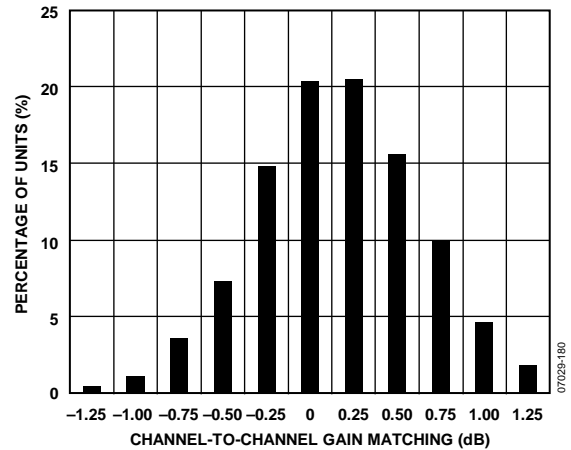


图9. 增益匹配直方图, $GAIN+ = 0.3 \text{ V}$

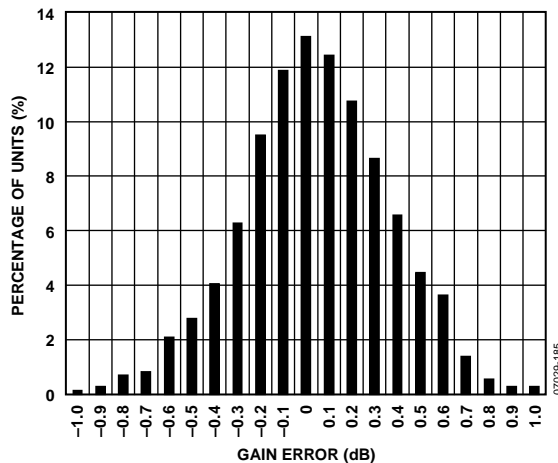


图7. 增益误差直方图, $GAIN+ = 0.8 \text{ V}$

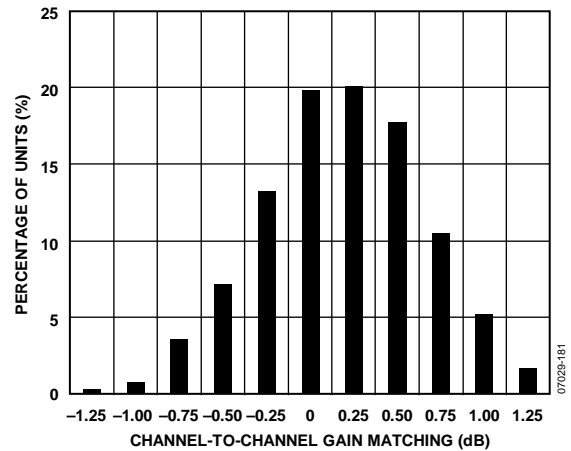


图10. 增益匹配直方图, $GAIN+ = 1.3 \text{ V}$

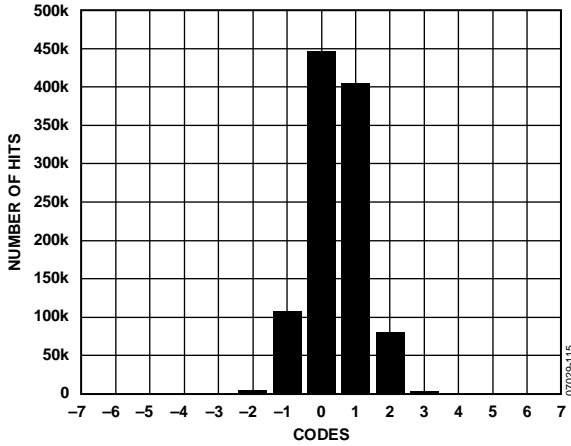


图11. 折合到输出端的噪声直方图, $GAIN+ = 0 V$

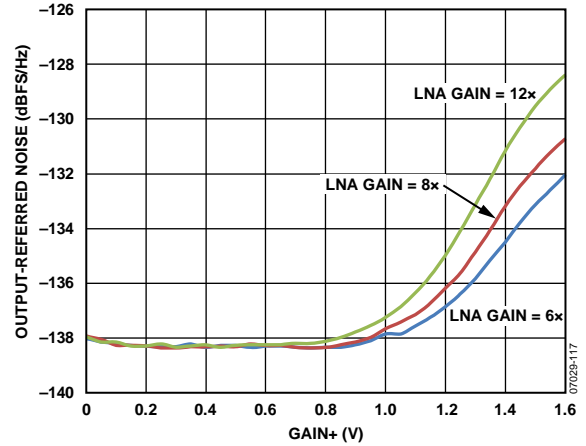


图14. 短路, 折合到输出端的噪声与 $GAIN+$ 的关系

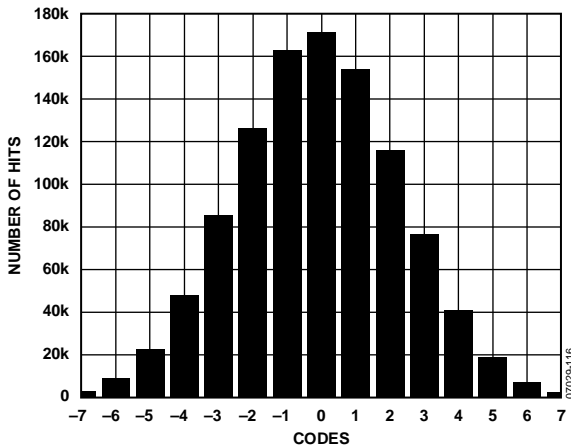


图12. 折合到输出端的噪声直方图, $GAIN+ = 1.6 V$

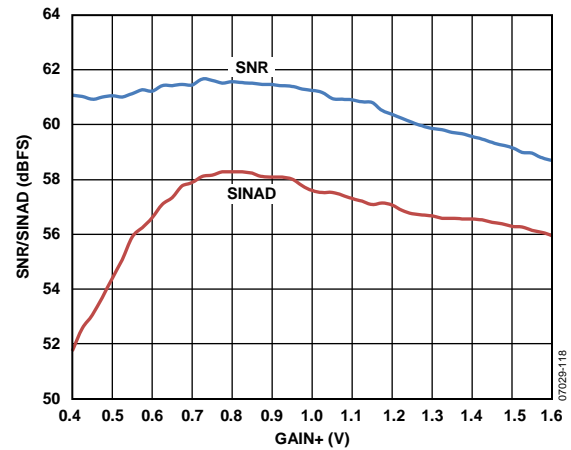


图15. 信噪比/信纳比与 $GAIN+$ 的关系, $AIN = -1 dBFS$

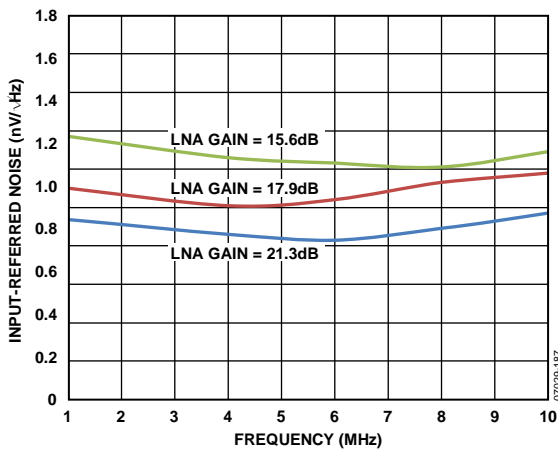


图13. 短路, 折合到输入的噪声与频率的关系, PGA 增益 = 30 dB, $GAIN+ = 1.6 V$

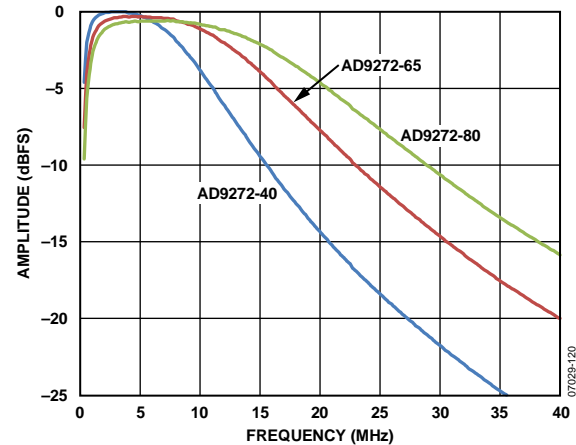


图16. 抗混叠滤波器(AAF)通带响应, LPF 截止频率 = $1 \times (1/4.5) \times f_{SAMPLE}$

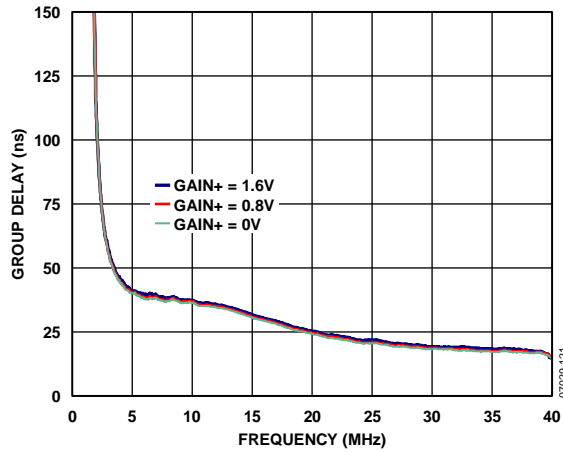


图17. 抗混叠滤波器(AAF)群延迟响应

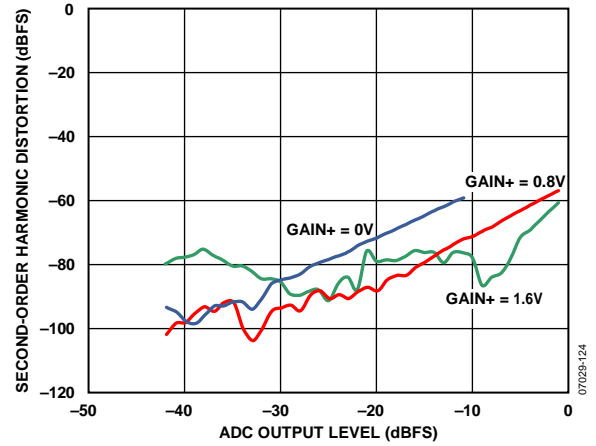


图20. 二次谐波失真与ADC输出的关系

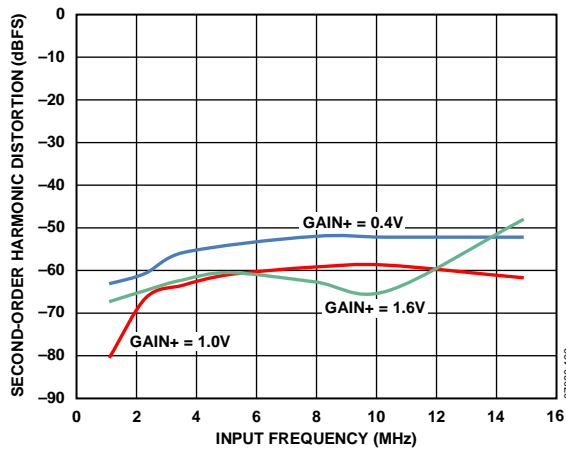


图18. 二次谐波失真与频率的关系, $A_{IN} = -1$ dBFS

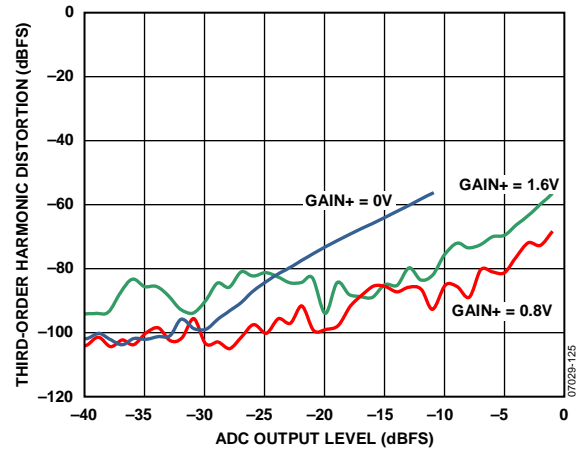


图21. 三次谐波失真与ADC输出电平的关系

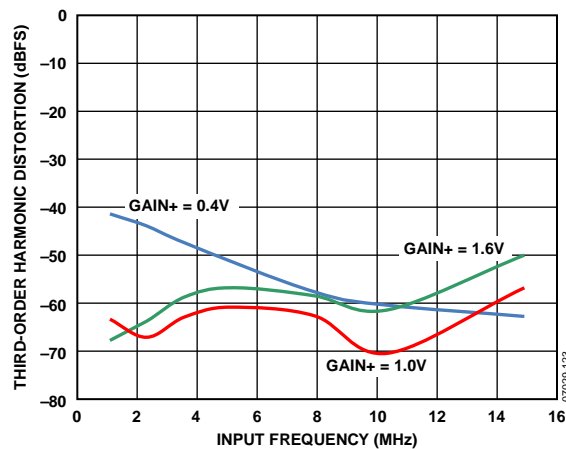


图19. 三次谐波失真与频率的关系, $A_{IN} = -1$ dBFS

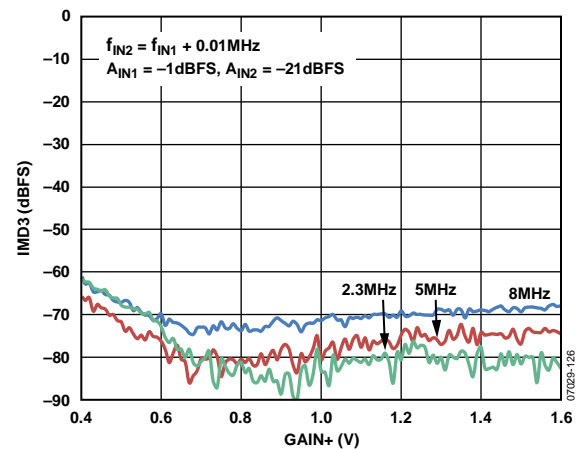


图22. IMD3与GAIN+的关系

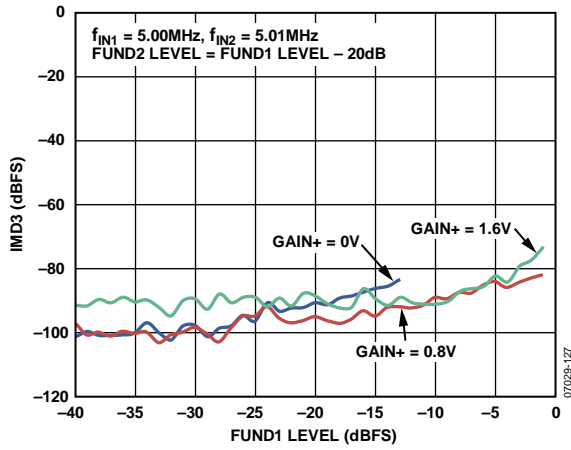


图23. IMD3与基波1幅度电平的关系

等效电路

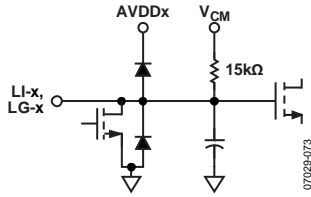


图24. 等效LNA输入电路

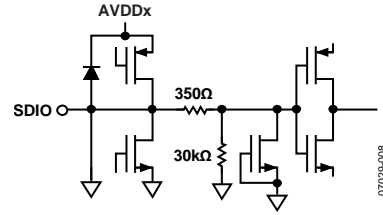


图27. 等效SDIO输入电路

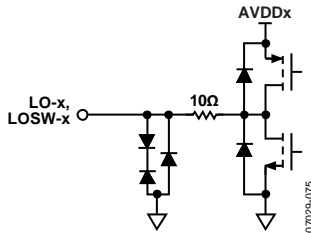


图25. 等效LNA输出电路

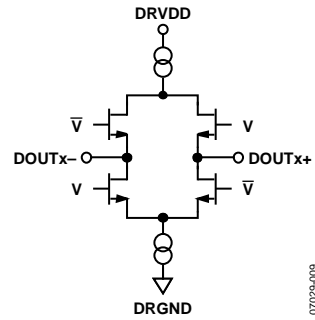


图28. 等效数字输出电路

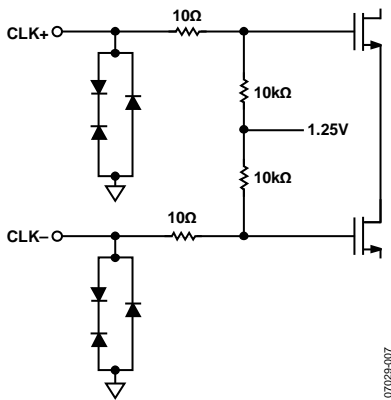


图26. 等效时钟输入电路

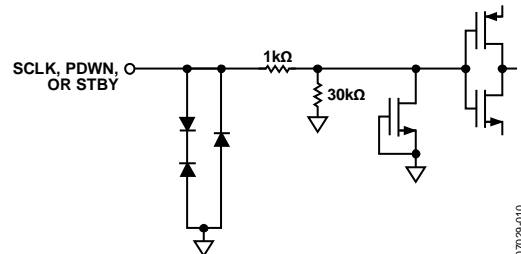


图29. 等效SCLK、PDWN或STBY输入电路

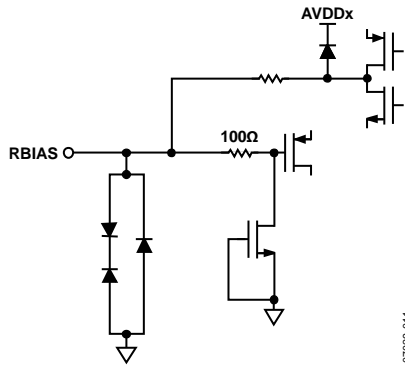


图30. 等效RBIAS电路

07029-011

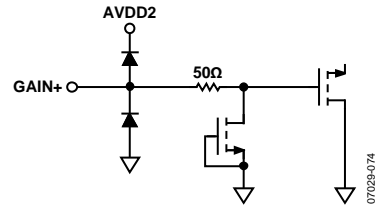


图33. 等效GAIN+输入电路

07029-074

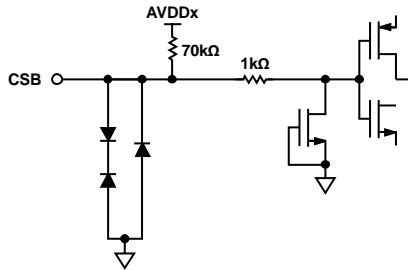


图31. 等效CSB输入电路

07029-012

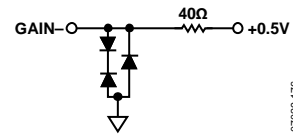


图34. 等效GAIN-输入电路

07029-176

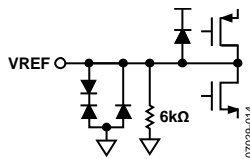


图32. 等效VREF电路

07029-014

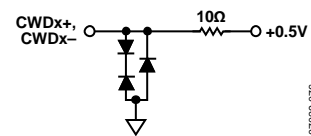


图35. 等效CWDx±输出电路

07029-076

工作原理

超声

AD9272主要应用于医用超声领域。图36所示为超声系统的简化功能框图。超声系统的重要功能是为生理信号衰减进行时间增益控制(TGC)补偿。由于超声信号的衰减与距离(时间)呈指数关系,因此线性dB可变增益放大器为最佳解决方案。

超声信号链的主要要求有超低噪声、有源输入端接、快速过载恢复、低功耗以及ADC差分驱动。由于超声设备使用波束形成技术,要求大量二进制加权通道(例如,32至512),因此在可能的最低噪声下实现最低功耗至关重要。

大多数现代设备使用数字波束形成技术。信号经TGC放大器后立即转换至数字格式,然后完成数字波束形成。

12位80 MSPS采样ADC可同时满足通用型和高端系统的要求。

对于低端和便携式超声设备而言,节省电力和低成本是两个最重要的考虑因素,AD9272的设计就能够满足这些要求。

有关超声波系统的更多信息,请参考《模拟对话》第36卷第1期2002年5-7月“影响超声系统前端器件选择的考量因素”以及《模拟对话》第41卷第3期2007年7月“AD9271-便携式超声设备的革命性解决方案”。

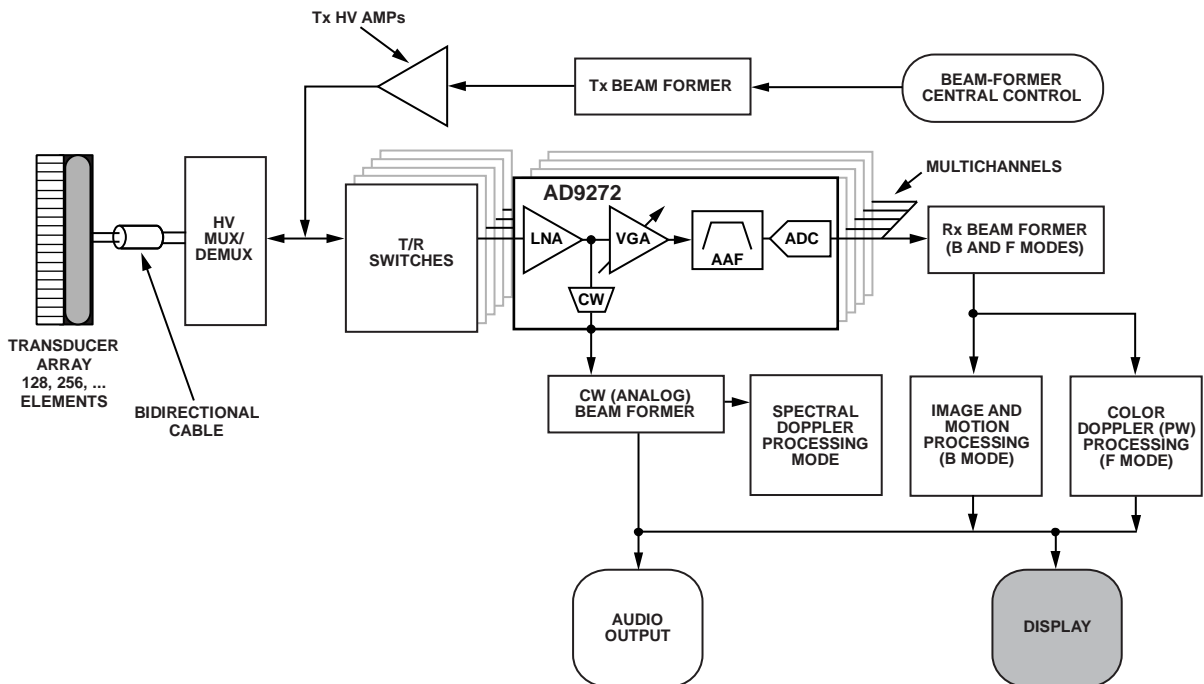


图36. 超声系统简化功能框图

07029-071

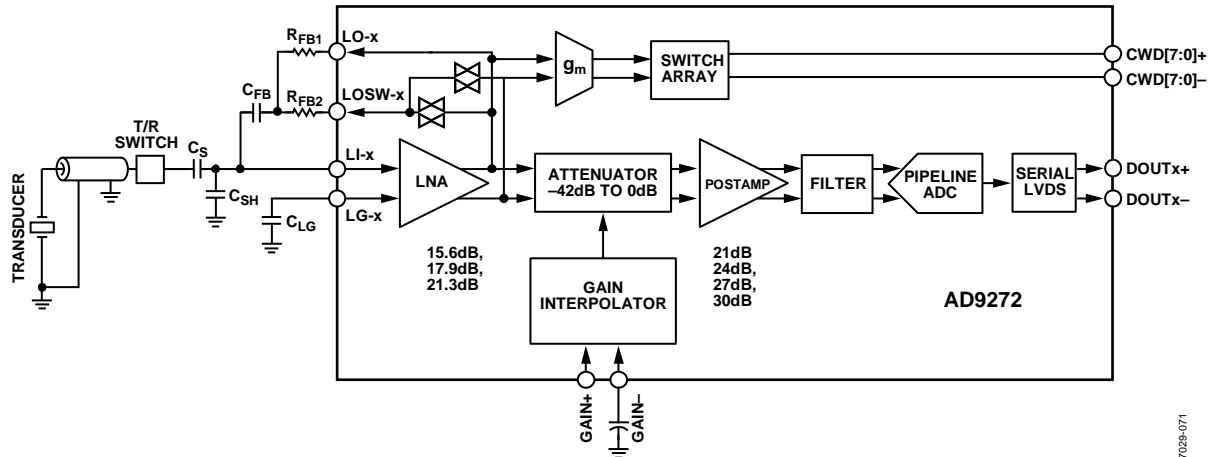


图37. 单通道的简化功能框图

通道概述

每个通道都包含TGC信号路径和CW多普勒信号路径。LNA为这两个信号路径提供用户可调的输入阻抗匹配。CW多普勒路径包含一个跨导放大器和一个交叉点开关。TGC路径包含一个差分X-AMP[®] VGA、一个抗混叠滤波器和一个ADC。图37所示为带外部元件的简化功能框图。

信号路径为全差分路径，能够实现最大信号摆幅，并减少偶数阶失真；不过，LNA为单端信号源驱动。

低噪声放大器(LNA)

良好的噪声性能依赖于信号链始端的专有超低噪声LNA，该器件可将随后VGA噪声贡献降至最低。在可从输入阻抗匹配获益的应用中，有源阻抗控制可以优化噪声性能。

LNA的原理示意图如图38所示。LI-x容性耦合至源。片上偏置发生器产生约0.9 V的直流输入偏置电压，将输出共模电平集中在1.5 V(2分之一AVDD2)。电容 C_{LG} 的值与输入耦合电容 C_S 的值相同，与LG-x引脚相连并接地。

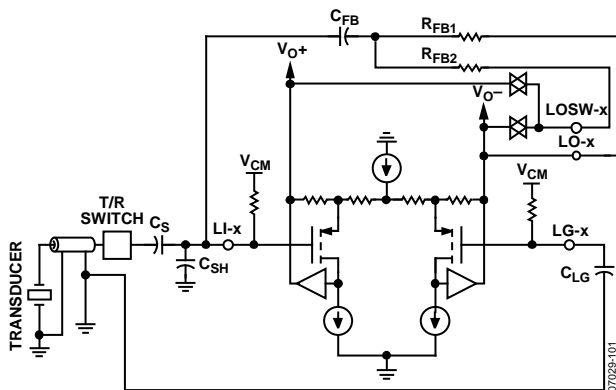


图38. LNA原理示意图

LNA支持高达4.4 V p-p的差分输出电压，与1.5 V的共模电压正负偏移了 ± 1.1 V。LNA差分增益可设定饱和前的最大输入信号。三个增益中的其中之一可通过SPI设置。增益设置为6、8和12时，对应的满量程输入分别为733 mV p-p、550 mV p-p和367 mV p-p。过载保护可确保从大输入电压状态下快速恢复。因为输入端都容性耦合至电源电压一半左右的偏置电压，所以无需与ESD保护交互，便可处理极大输入电压。

借助低值反馈电阻和输出级的电流驱动能力，LNA可以实现低至 $0.75 \text{ nV}/\sqrt{\text{Hz}}$ 的折合成输入端噪声电压(增益为21.3 dB)。此时，每个通道的功耗仅为27 mA (80 mW)。片上电阻匹配产生精确的单端增益，这对准确阻抗控制很关键。由于采用全差分拓扑结构和负反馈，失真减至最低。低二阶谐波失真在二次谐波超声成像应用中尤其重要。差分信号使得每个输出端的摆幅变小，从而进一步降低三阶失真。

建议

强烈建议通过LG-x引脚构成开尔文连接，连接至输入端或探头接地。简单地将LG引脚在器件附近接地，会导致电位差通过LNA放大。这通常会产生一个直流失调电压，该电压值因通道和器件而异，具体取决于应用和PCB的布局(见图38)。

有源阻抗匹配

LNA内置单端电压增益放大器，具有差分输出端，外部可提供负输出端。例如，固定增益为 $8\times$ (17.9 dB)时，在负输出引脚LO-x和正输入引脚LI-x间连接反馈电阻可以合成有源输入端接。通过这种众所周知技术可以在单一系统中连接多个探头阻抗。输入阻抗如公式1所示。

$$R_{IN} = \frac{R_{FB}}{\left(1 + \frac{A}{2}\right)} \tag{1}$$

其中， $A/2$ 为单端增益或LI-x输入端至LO-x输出端的增益，而 R_{FB} 是 R_{FB1} 和 R_{FB2} 的组合阻抗(见图38)。

因为放大器的输入端至差分输出端具有8倍增益，所以必须注意， $A/2$ 是LI-x引脚至LO-x引脚的增益，比放大器的增益小6 dB，即12.1 dB(4倍)。通过将—个15 k Ω 的内部偏置电阻与LI-x引脚相连的源电阻并联且将LG-x引脚交流接地，减小了输入电阻值。公式2可用来计算得出特定 R_{IN} 所需的 R_{FB} ，即便是较大 R_{IN} 值。

$$R_{IN} = \frac{R_{FB}}{(1+3)} \parallel 15\text{ k}\Omega \tag{2}$$

例如，要将 R_{IN} 设定为200 Ω ，则RFB的值必须为1000 Ω 。如果用简化公式(公式2)计算 R_{IN} ，则该值为188 Ω ，增益误差要小于0.6 dB。一些因素，诸如存在动态源电阻，可能会更明显地影响绝对增益精度。高频条件下，必须考虑LNA的输入电容。用户必须确定匹配精度水平并相应调整 R_{FB} 。

LNA带宽(BW)大于100 MHz。最终，LNA的带宽会限制合成 R_{IN} 的精度。若 $R_{IN} = R_S$ 且最大值约200 Ω ，那么最佳匹配介于100 kHz与10 MHz之间；此时，频率下限由交流耦合电容的大小确定，上限则由LNA BW确定。此外，输入电容和 R_S 限制了较高频率下的带宽。图39显示了各种 R_{FB} 值下 R_{IN} 与频率的关系。

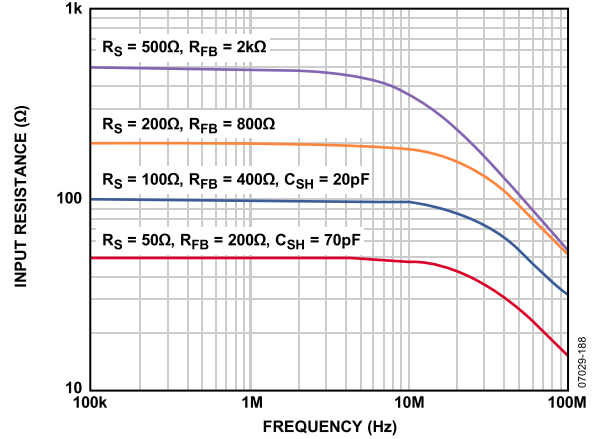


图39. 各种 R_{FB} 值下 R_{IN} 与频率的关系(同时显示 R_S 和 C_{SH} 的影响)

应当注意，在最低值(50 Ω)时， R_{IN} 峰值会出现在频率大于10 MHz时，这是因为LNA带宽滚降的关系，如前文所述。

但 R_{IN} 值较大时，在LNA到达峰值前，寄生电容就开始滚降信号带宽。 C_{SH} 进一步降低了匹配度；因此， C_{SH} 不应用于 R_{IN} 值大于100 Ω 的情形中。表7列出了根据 R_{IN} 的情况所推荐的 R_{FB} 和 C_{SH} 的值。

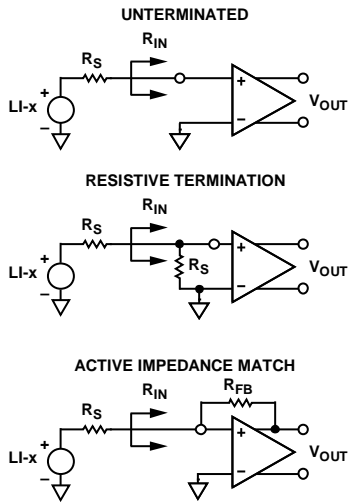
C_{FB} 需要与RFB串联，因为LO-x引脚和LI-x引脚的直流电平不相等。

表7. 有源端接外部元件值

LNA增益 (dB)	R_{IN} (Ω)	R_{FB} (Ω)	C_{SH} 最小值 (pF)	带宽(MHz)
15.6	50	200	90	57
17.9	50	250	70	69
21.3	50	350	50	88
15.6	100	400	30	57
17.9	100	500	20	69
21.3	100	700	10	88
15.6	200	800	N/A	72
17.9	200	1000	N/A	72
21.3	200	1400	N/A	72

LNA噪声

短路噪声电压(折合到输入端的噪声)是系统性能的一个重要限制因素。增益为21.3 dB时, LNA折合到输入端的短路噪声电压为0.85 nV/√Hz, 包括VGA后置放大器增益27 dB时的VGA噪声。这些测量值在无反馈电阻情况下测定, 为计算不同配置的输入噪声和噪声系数性能提供了基础, 如图40所示。



$$R_{IN} \cong \frac{R_{FB}}{1 + A/2}$$

图40. 输入配置

图41和42显示了使用上述配置且VGA折合到输入端的噪声电压为3.8 nV/√Hz时噪声系数与 R_S 关系的仿真结果。无端接($R_{FB} = \infty$)操作具有最低等效输入噪声和噪声系数。图42显示了 R_S 较小(LNA电压噪声比源噪声大)和 R_S 较大(由于 R_{FB} 的噪声贡献)情况下噪声系数与源电阻上升的关系。当 R_S 与 R_{IN} 匹配时, 噪声系数最低。

输入阻抗匹配主要是为了提高系统的瞬态响应。采用阻性端接时, 因为匹配电阻的热噪声, 以及LNA输入电压噪声发生器的贡献增加, 输入噪声增大。不过, 借助有源阻抗匹配, 两者的贡献比阻性端接时小 $1/(1 + \text{LNA增益})$ 。

图41显示了相应的噪声系数性能。此图中, 输入阻抗被 R_S 扫描以保持每个点的匹配。50 Ω源阻抗在阻性端接、有源端接和无端接配置时的噪声系数分别为7.3 dB、4.2 dB和2.8 dB。200 Ω源阻抗的噪声系数分别为4.5 dB、1.7 dB和1 dB。

图42显示了各种 R_{IN} 值时 R_S 相关噪声系数, 有助于顺利完成设计。

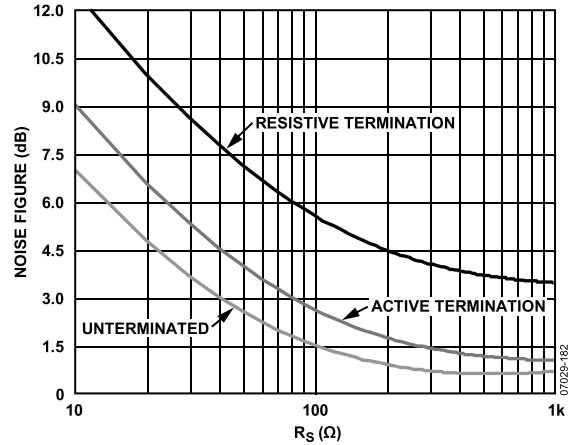


图41. 阻性端接、有源端接匹配和无端接输入时的噪声系数与 R_S 的关系, $V_{GAIN} = 0.8 V$

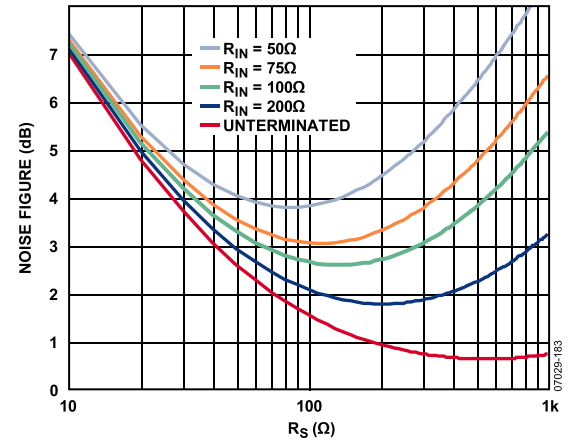


图42. 各种 R_{IN} 固定值、有源端接匹配输入且 $V_{GAIN} = 0.8 V$ 时噪声系数与 R_S 的关系

输入过驱

在超声系统中，出色的过载表现是非常重要的。LNA和VGA都内置过驱保护，能在过载事件后快速恢复。

输入过载保护

跟任何放大器一样，如果应用易受到高瞬态电压的影响，强烈推荐在输入端前进行电压钳位。

图43显示了简化的超声传感器接口。普通的传感器元件具有发射与接收超声能量双重功能。在发射阶段，将向陶瓷基元施加高压脉冲。典型发射/接收(T/R)开关由四个采用桥式配置的高压二极管组成。尽管理想状态下，二极管会阻止来自灵敏接收机输入端的发射脉冲，但二极管特性并不完美，所以LI-x输入端的泄漏瞬态可能会有问题。

由于超声系统是一种脉冲系统，传播时间用于确定深度，因此从输入过载中快速恢复的功能是至关重要的。前置放大器和VGA会出现过载情况。紧接着发射脉冲后，典型VGA增益较低，LNA受到T/R开关泄漏过载的影响。随着增益的增加，因近场和声学高密度材料(如骨头)而造成的强回波可能会引起VGA发生过载。

图43显示了外部过载保护方案。一对背靠背信号二极管位于交流耦合电容前。注意，本例中的所有二极管都容易出现一定量的散粒噪声。许多类型的二极管可用于实现所需的噪声性能。图43所示的配置中往往会增加 $2 \text{ nV}/\sqrt{\text{Hz}}$ 折合到输入端的噪声。根据不同的应用，降低 $5 \text{ k}\Omega$ 的电阻和增加 $2 \text{ k}\Omega$ 的电阻可能会改善噪声分布。如图43所示，增加了二极管后， $\pm 0.5 \text{ V}$ 或更低的钳位电平显著提高了系统的过载性能。

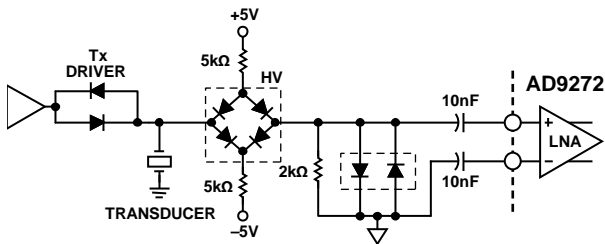


图43. 输入过载保护

CW多普勒操作

现代医学应用超声设备采用2N二进制接收器阵列实现波束形成。典型阵列为16或32个接收器通道，这些通道经相移并求和用于提取相干信息。使用多个接收器时，可对来自每个通道的所需信号求和而产生一个大信号(增加N倍，N为通道数)，噪声以通道数的平方根数增加。这种技术提高了设备的信噪比性能。波束形成器设计的关键要素是时域输入信号的对齐方法以及将个别信号求和为复合整体的方法。

波束形成在医疗超声中定义为对多基元超声传感器在不同时间接收的同源信号进行相位对准并求和。波束形成有两个功能：指定传感器发射方向，提高其增益；确定人体内的焦点，即产生回波的位置。

AD9272集成前端元件，用于实现CW多普勒操作的模拟波束成形。这些元件允许相位相近的CW通道以相干方式组合，然后进行相位对齐和向下混频操作，从而减少所需的延迟线路或可调节相移/向下混频器(AD8333或AD8339)数目。然后，如果使用了延迟线路，则执行相位对齐，并通过动态范围I/Q解调器将通道相干相加并向下转换。或者，若使用了移相器/向下混频器(如AD8333和AD8339)，则在将所有通道相干相加以形成I/Q信号之前完成相位对齐和向下变频。两种情况下，I和Q信号均通过两个高分辨率ADC滤波和采样，并且采样信号经过处理，以提取多普勒相关信息。

另外，AD9272的LNA可直接驱动AD8333或AD8339，无需交叉点开关。LO-x引脚具有反相LNA输出，且LOSW-x引脚可通过寄存器0x2C(见表17)配置并连接同相输出，提供LNA差分输出信号。AD9272的LNA输出满量程电压为 44 V p-p ，输入满量程电压为 2.7 V p-p 。若LNA输出端和解调器之间无衰减，则必须对LNA输入满量程电压进行限制。

AD9272

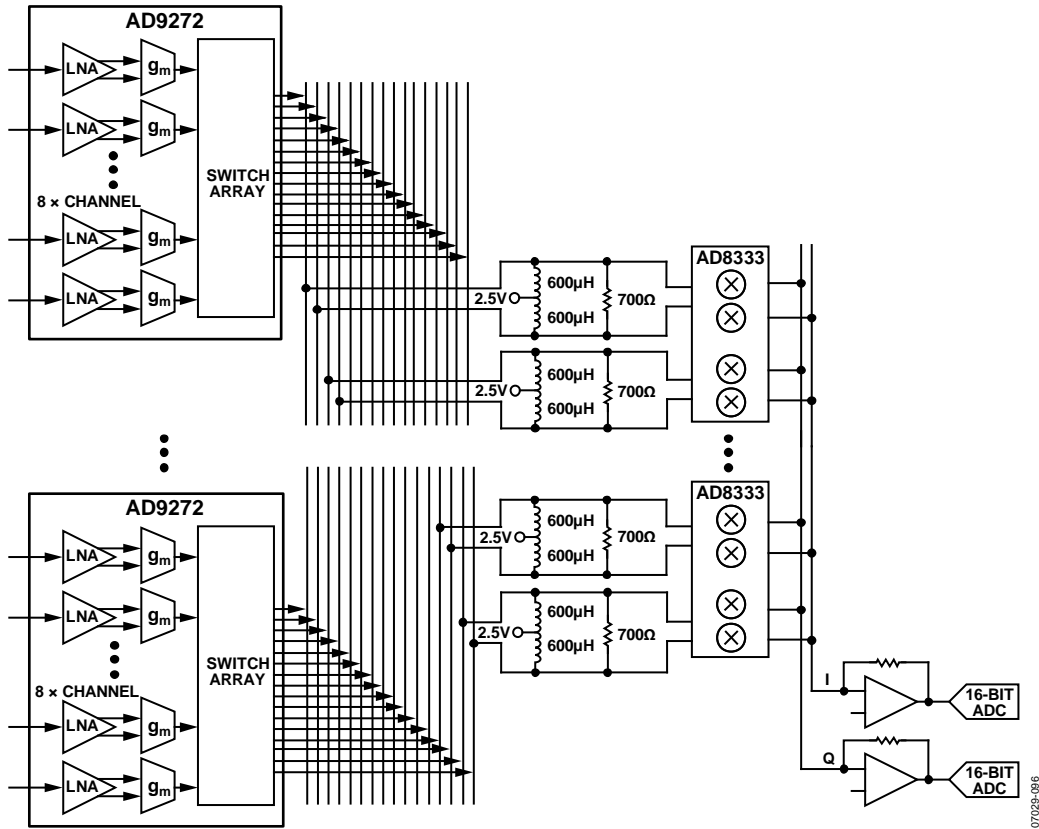


图44. 使用CWD_{x±}输出的AD8333或AD8339典型连接接口

07029-096

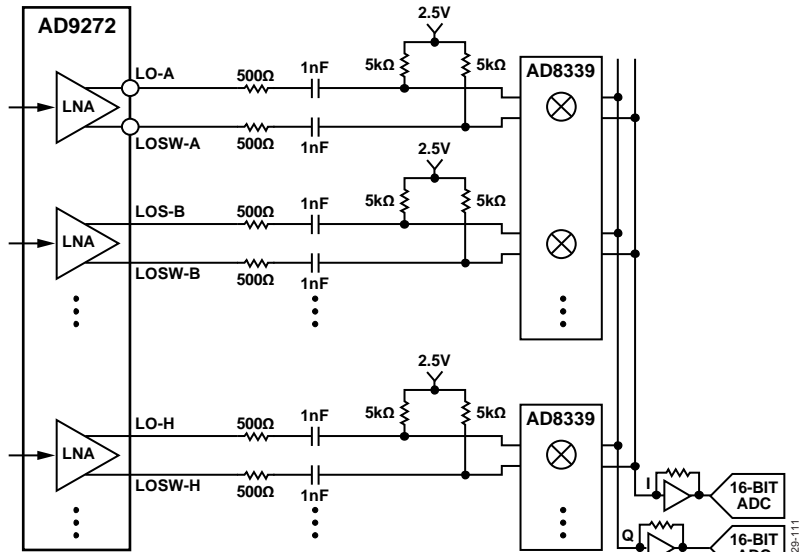


图45. 使用LO-x和LOSW-x输出的AD8333或AD8339典型连接接口

07029-111

交叉点开关

每个LNA后面都有一个跨导放大器，用于执行电压至电流转换。电流可路由至8对差分输出之一，或者路由至16个单端输出，以便求和。每个CWD输出引脚都吸取2.4 mA直流电流，且每通道信号具有±2 mA满量程电流，通道由交叉点开关选定。例如，若4个通道的信号在1个CWD输出端相加，则输出吸取9.6mA直流电流，且满量程电流输出为±8 mA。

设置电流至电压转换的负载阻抗时，必须考虑组合的最大通道数，以便确保满量程摆幅和共模电压位于AD9272的工作范围内。与AD8339接口时，需要2.5 V共模电压和2.8 V p-p满量程摆幅。这可以通过以下方式实现：在每个CWD输出端和2.5 V电源之间连接一个电感，然后将单端或差分负载电阻与CWDx±输出端相连。电阻值应根据可以组合的最大通道数进行计算。

满量程摆幅下，CWDx±输出必须高于1.5 V而低于AVDD2(3.0 V电源电压)。

TGC运行

TGC信号路径为全差分路径，能够实现最大信号摆幅，并减少偶数阶失真；不过，LNA为单端信号源驱动。增益值以单端LNA输入至差分ADC输入为基准。图46显示了满足最高和最低增益要求的简单测试。

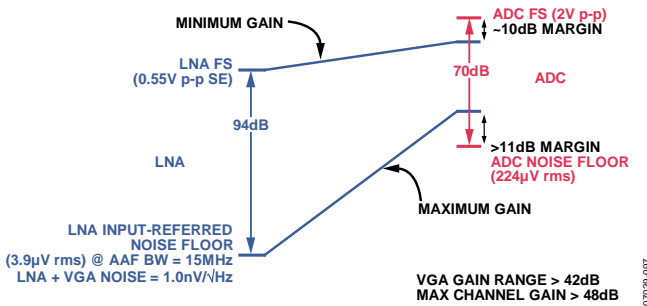


图46. 12位40 MSPS ADC的TGC运行增益要求

所需最高增益由下式确定：

$$(ADC\text{噪底}/VGA\text{输入噪底}) + \text{裕量} = 20 \log(224/3.9) + 11 \text{ dB} = 46 \text{ dB}$$

所需最低增益由下式确定：

$$(ADC\text{输入FS}/VGA\text{输入FS}) + \text{裕量} = 20 \log(2/0.55) - 10 \text{ dB} = 3 \text{ dB}$$

因此，12位40 MSPS ADC(带宽15 MHz，增益42 dB)应能满足如今大多数超声系统所需的动态范围。

系统增益分配如表8所列。

表8. 通道增益分配

部分	标称增益(dB)
LNA	15.6/17.9/21.3
衰减器	0至-42
VGA放大器	21/24/27/30
滤波器	0
模数转换器	0

TGC路径的线性dB增益(法则一致性)范围为42 dB。增益控制接口的斜度为28 dB/V，增益控制范围为-0.8 V至+0.8 V。公式3是差分电压VGAIN的表达式，公式4是通道增益的表达式。

$$V_{GAIN}(V) = GAIN(+)-GAIN(-) \tag{3}$$

$$Gain(dB) = 28.5 \frac{dB}{V} V_{GAIN} + ICPT \tag{4}$$

其中，ICPT是TGC增益截点。

默认状态下，LNA的增益为21.3 dB (12×)；如果GAIN+引脚电压为0 V且GAIN-引脚电压为0.8 V，则VGA后置放大器的增益为24 dB(42 dB衰减)。因此，如果LNA输入不匹配时，通过TGC路径的总增益(或ICPT)达到3.6 dB，或如果LNA匹配至50 Ω (RFB = 350 Ω)，则总增益为-2.4 dB。但是，如果GAIN+引脚的电压为1.6 V且GAIN-引脚的电压为0.8 V(0 dB衰减)，则VGA增益为24 dB。此时，若LNA输入不匹配，通过TGC路径的总增益达到45 dB；或者如果LNA输入匹配，则总增益为39 dB。

每个LNA输出端都直流耦合至VGA输入端。VGA内置增益范围为-42 dB至0 dB的衰减器，后接增益为21 dB、24 dB、27 dB或30 dB的放大器。X-AMP增益内插法会形成低增益误差和均衡带宽，且差分信号路径将失真降至最低。

AD9272

表9. 敏感度和动态范围间的权衡考量^{1,2,3}

增益		LNA		VGA	通道		
(单位: V/V)	(dB)	满量程输入 (V p-p)	折合到输入端的噪声电压 (nV/√Hz)	后置放大器增益(dB)	典型输出动态范围		GAIN+ = 1.6 V (nV/√Hz) 时折合到输入端的噪声 ⁴
					GAIN+ = 0 V ⁵	GAIN+ = 1.6 V ⁶	
6	15.6	0.733	0.98	21	67.5	65.1	1.395
				24	66.4	63.0	1.286
				27	64.6	60.6	1.227
				30	62.5	57.9	1.197
8	17.9	0.550	0.86	21	67.5	64.5	1.149
				24	66.4	62.3	1.071
				27	64.5	59.8	1.030
				30	62.5	57.1	1.009
12	21.3	0.367	0.75	21	67.5	63.3	0.910
				24	66.4	60.9	0.865
				27	64.6	58.2	0.842
				30	62.5	55.4	0.830

¹ LNA: 输出满量程 = 差分4.4 V p-p。

² 滤波器: 损耗 ~ 1 dB, NBW = 13.3 MHz, GAIN- = 0.8 V。

³ ADC: 40 MSPS, 70 dB SNR, 2 V p-p满量程输入。

⁴ 最大VGA增益时的通道噪声。

⁵ 最小VGA增益(VGA为主的)时的输出动态范围。

⁶ 最大VGA增益(LNA为主的)时的输出动态范围。

图9显示了相对于各种LNA和VGA增益设置，能实现的敏感度和动态范围间的权衡考量。

例如，当VGA设定为最小增益电压时，TGC路径主要是VGA噪声，可实现最大输出信噪比。但随着后置放大器增益选项的增加，折合到输入端的噪声随之降低，信噪比性能也下降。

如果VGA设定为最大增益电压时，TGC路径主要是LNA噪声，折合到输入端的噪声达到最低，但输出信噪比性能也下降。TGC (LNA + VGA)增益越高，输出信噪比就越低。随着后置放大器增益增加，折合到输入端的噪声也降低。

低增益时，VGA应限制系统噪声性能(信噪比)；高增益时，噪声取决于噪声源和LNA。最大电压摆幅则受ADC满量程输入电压峰峰值(2 V p-p)的限制。

TGC路径的每个部分中，LNA和VGA的满量程范围不同。范围值取决于每个功能框的增益设置，以及GAIN±引脚电压。LNA有三个范围值，即，通过SPI实现的满量程设置值。同样，VGA也有四个后置放大器增益设置可通过SPI实现。GAIN±引脚电压确定放大器(LNA或VGA)饱和的先后顺序。最大信号输入电平与GAIN±引脚电压成函数关系，为SPI可选增益选项，如图47至49所示。

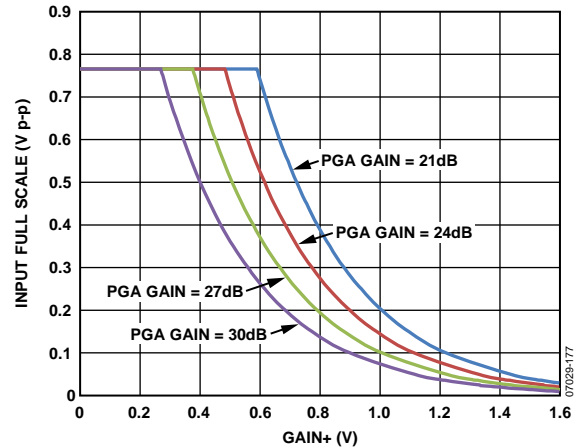


图47. LNA(15.6dB增益设置)/VGA满量程范围

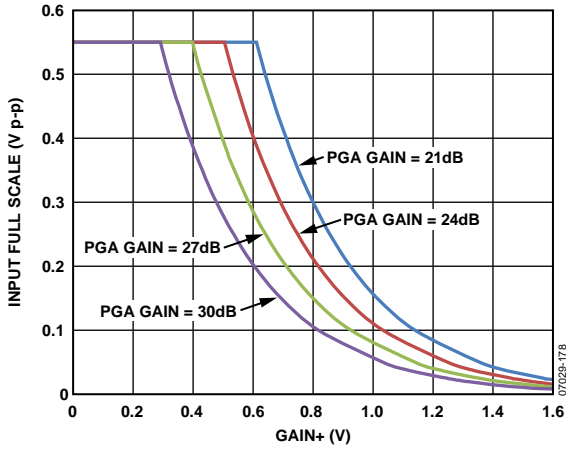


图48. LNA(17.9dB增益设置)/VGA满量程范围

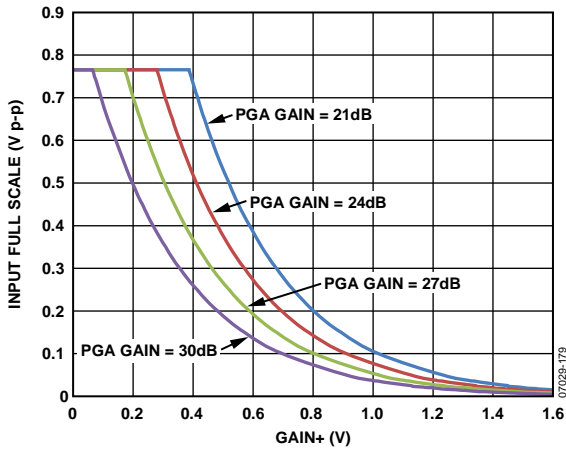


图49. LNA(21.3dB增益设置)/VGA满量程范围

可变增益放大器

X-AMP差分VGA提供精确输入衰减和插值，具有3.8 nV/√Hz低折合到输入端噪声和出色的增益线性。简化框图如图50所示。

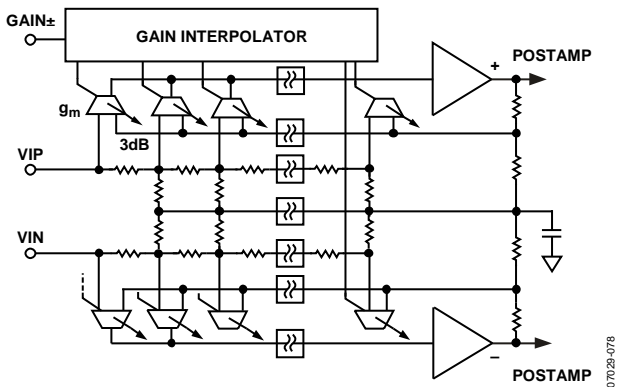


图50. VGA原理示意图

VGA的输入为14级差分电阻梯，每抽头3.5 dB。由此产生的总增益范围是42 dB，在端点损失范围之内。每侧的有效输

入电阻标称值为180 Ω，总差分电阻为360 Ω。电阻梯由LNA的全差分输入信号驱动。LNA输出采用直流耦合，以避免使用外部去耦电容。衰减器和VGA的共模电压受控于放大器，该放大器采用从LNA中获得的相同中间电源，允许LNA直流耦合至VGA，而不会因共模差异而产生较大的失调。但是，随着增益的增加，LNA的任何失调都会被放大，使VGA输出失调以指数规律增加。

X-AMP的输入级沿电阻梯分布，一个由增益接口控制的偏置插值器决定输入抽头点。偏置电流存在重叠，相继抽头的信号会合并以提供从-42 dB到0 dB的平滑衰减。这种电路技术可产生出色的线性dB增益法则一致性和低失真水平，仅偏离理想值±0.5 dB或更少。增益斜率相对于控制电压单调无变化，在过程、温度和电源供应发生变化时相对稳定。

X-AMP输入端为可编程增益反馈放大器的一部分，使得VGA成为一个完整的器件。其带宽约为100 MHz。输入级设计用于降低输出馈通，并确保整个增益设置范围具有出色的频率响应一致性。

增益控制

增益控制接口GAIN±为差分输入端。通过插值器选择连接到输入衰减器的适当输入级，VGAIN可以改变所有VGA的增益。对于0.8 V GAIN-，28.5 dB/V标称GAIN+范围为0 V至1.6 V，最佳增益线性度约为0.16 V至1.44 V，误差通常小于±0.5 dB。GAIN+电压大于1.44 V和小于0.16 V时，误差增大。无增益叠影时，GAIN+值可超过电源电压1 V。

增益控制响应时间小于750 ns，是最小到最大增益变化最终值的10%。

GAIN+和GAIN-引脚有两种接口方式。可以使用单端法，即开尔文连接至地，如图51所示。用于驱动多个设备时，最好是使用差分法，如图52所示。对于任何一种方法，GAIN+和GAIN-引脚都应采取直流耦合，并驱动以适合1.6 V满量程输入。

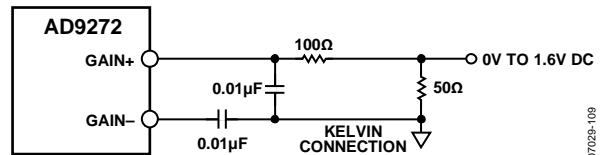


图51. 单端GAIN±引脚配置

AD9272

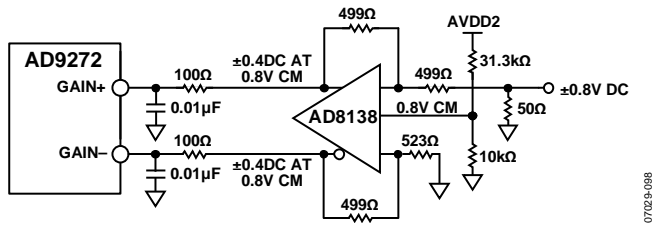


图52. 差分GAIN±引脚配置

VGA噪声

典型应用中，VGA将宽动态范围输入信号调整至ADC输入范围内。LNA折合到输入端的噪声限制了最小可分辨输入信号；而折合到输出端的噪声(主要取决于VGA)限制了最大瞬时动态范围，该范围可以在任何一个特定的增益控制电压下处理。折合到输出端的噪声范围根据ADC的总噪声底设置。

短路输入条件下，折合到输出端的噪声与GAIN+成函数关系，如图14所示。输入噪声电压就等于输出噪声除以控制范围内每一点的测量增益。

在大部分增益范围内，因为以VGA折合到输出端的固定噪声为主，所以折合到输出端的噪声均为 $60 \text{ nV}/\sqrt{\text{Hz}}$ (后置放大器增益 = 24 dB)。在增益控制范围高端部分，则主要是LNA噪声和源噪声。在最大增益控制电压附近，折合到输入端的噪声为最低值，而VGA折合到输入端的噪声贡献微乎其微。

较低增益时，折合到输入端的噪声，以及噪声系数随着增益的下降而增加。系统的瞬时动态范围不会丢失，但是，因为折合到输入端的噪声增加，输入容量也随之增加。ADC噪声分布具有同样的相关性。重要的是，VGA输出噪声的幅度是相对于ADC的噪声的幅度而言的。

增益控制噪声在极低噪声应用中值得注意。增益控制接口的热噪声可以调制通道增益。由此产生的噪声与输出信号电平成正比，通常只有出现大信号时会很明显。增益接口包括片上噪声滤波器，该滤波器能显著降低5 MHz以上频率噪声的影响。应注意尽量减少GAIN±输入端的噪声冲击。外部RC滤波器可用于去除VGAIN源噪声。滤波器带宽应足以满足所需的控制带宽。

抗混叠滤波器

信号到达ADC之前，抗混叠滤波器用来抑制直流信号，并限制信号的带宽达到抗混叠的目的。图53表示滤波器的结构。

抗混叠滤波器由单极点高通滤波器和二阶低通滤波器组合而成。高通滤波器可配置为与低通滤波器截止频率成一定比例关系。可通过SPI进行选择。

该滤波器采用片上调谐来调整电容，进而设置所需的截止频率并减少变化。-3 dB低通滤波器的默认截止频率为ADC采样时钟速率的1/3或1/4.5。截止频率可通过SPI调整至该频率的0.7、0.8、0.9、1、1.1、1.2或1.3倍。截止频率范围可保持在8 MHz至18 MHz范围。

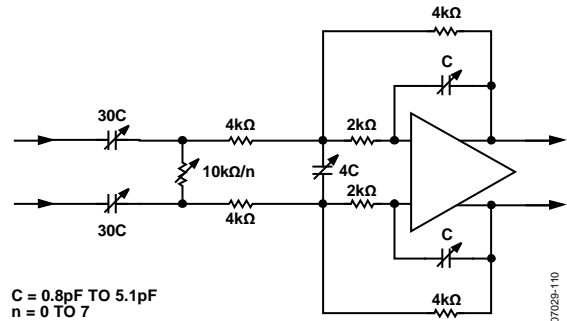


图53. 滤波器原理示意图

调谐通常关闭以免在关键时刻改变电容设置。调谐电路通过SPI使能和禁用。初始上电后，以及滤波器截止频率缩放比例或ADC采样率重新编程后，必须对滤波器调谐执行初始化。建议在空闲时间偶尔重新调整，以补偿温度漂移。

共有8个SPI可编程设置值，用户可以更改高通滤波器截止频率与低通截止频率的函数关系。表10所示为两个示例：一个是8 MHz低通截止频率，另一个是18 MHz低通截止频率。这两种情况下，低端频率的抑制量随比例下降而逐步增加。因此，使整个AAF频率通带变窄可以减少低频噪声，或者使谐波处理的动态范围最大。

表10. SPI可选的高通滤波器截止频率选项

SPI设置	比例 ¹	高通滤波器截止频率	
		低通滤波器截止频率 = 8 MHz	低通滤波器截止频率 = 18 MHz
0	20.65	387 kHz	872 kHz
1	11.45	698 kHz	1.571 MHz
2	7.92	1.010 MHz	2.273 MHz
3	6.04	1.323 MHz	2.978 MHz
4	4.88	1.638 MHz	3.685 MHz
5	4.10	1.953 MHz	4.394 MHz
6	3.52	2.270 MHz	5.107 MHz
7	3.09	2.587 MHz	5.822 MHz

¹ 比率 = 低通滤波器的截止频率/高通滤波器的截止频率。

模数转换器

AD9272采用流水线式ADC架构。各级的量化输出组合在一起，在数字校正逻辑中形成一个12位转换结果。流水线结构允许第一级处理新的输入采样点，而其它级继续处理之前的采样点。采样在时钟的上升沿进行。

输出级模块能够实现数据对准、错误校正，且能将数据传输到输出缓冲器。然后将数据串行化，并使其与帧和输出时钟对齐。

时钟输入考虑

为了充分发挥芯片的性能，应利用一个差分信号作为AD9272采样时钟输入端(CLK+和CLK-)的时钟信号。该信号通常经由变压器或电容器交流耦合到CLK+和CLK-引脚内。这两个引脚有内部偏置，无需其它偏置。

图54显示了为AD9272提供时钟信号的首选方法。使用RF变压器可以将低抖动时钟源(如VFAC3-BHL-50 MHz Valpey Fisher振荡器)从单端转换成差分。跨接在次级变压器上的背对背肖特基二极管可以将输入到AD9272中的时钟幅度限制为约0.8 V_{p-p}差分信号。这样，既可以防止时钟的大电压摆幅馈通至AD9272的其它部分，还可以保留信号的快速上升和下降时间，这一点对低抖动性能来说非常重要。

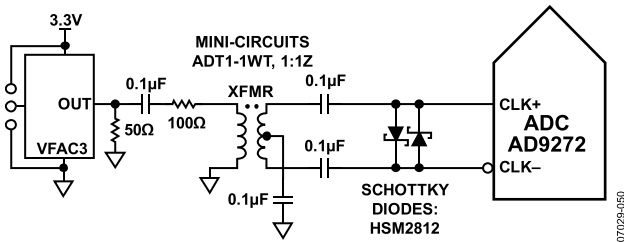
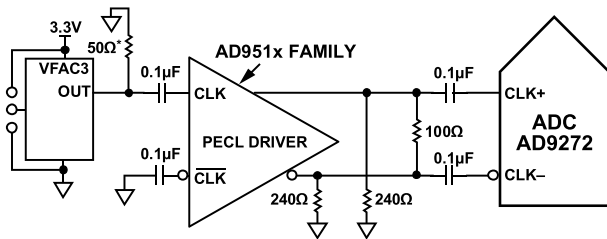


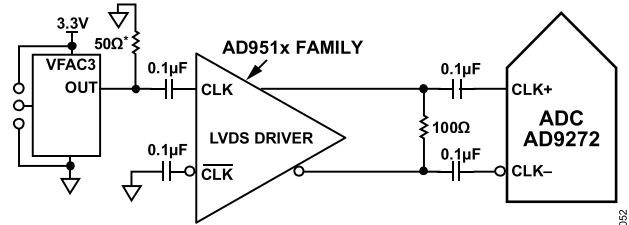
图54. 变压器耦合的差分时钟

如果没有低抖动的时钟源，那么，另一种方法是对差分PECL信号进行交流耦合，并传输至采样时钟输入引脚(如图55所示)。AD951x时钟驱动器系列具有出色的抖动性能。



*50Ω RESISTOR IS OPTIONAL.

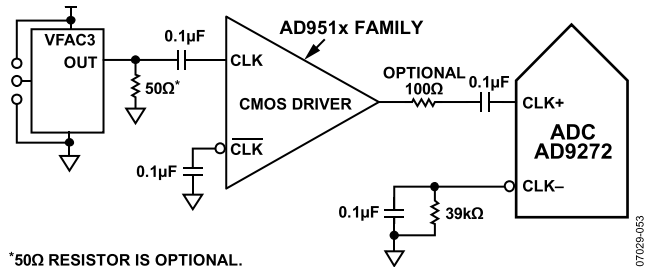
图55. 差分PECL采样时钟



*50Ω RESISTOR IS OPTIONAL.

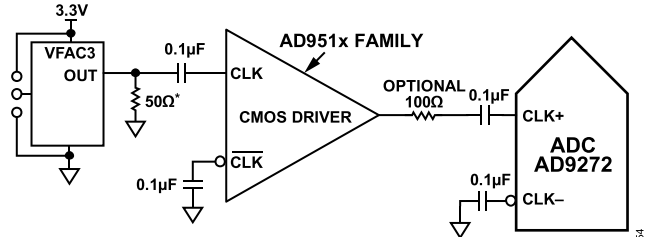
图56. 差分LVDS采样时钟

在某些应用中，可以利用单端CMOS信号来驱动采样时钟输入。在此类应用中，CLK+引脚直接由CMOS门电路驱动，CLK-引脚则通过与39 kΩ电阻并联的0.1 μF电容旁路接地(见图57)。虽然CLK+输入电路电源为AVDDx (1.8 V)，但该输入电路可支持高达3.3 V的输入电压，因此，驱动逻辑的电压选择非常灵活。



*50Ω RESISTOR IS OPTIONAL.

图57. 单端1.8 V CMOS采样时钟



*50Ω RESISTOR IS OPTIONAL.

图58. 单端3.3 V CMOS采样时钟

时钟占空比考虑

典型的高速ADC利用两个时钟沿产生不同的内部定时信号。因此，这些ADC可能对时钟占空比很敏感。通常，为保持ADC的动态性能，时钟占空比容差应为5%。AD9272内置一个占空比稳定器(DCS)，可对非采样边沿进行重新定时，并提供标称占空比为50%的内部时钟信号。因此，时钟输入占空比范围非常广，且不会影响AD9272的性能。当DCS处于开启状态时，在很宽的占空比范围内，噪声和失真性能几乎是平坦的。但是，有些应用可能要求关闭DCS功能。如果是这样，则在这种模式下工作时，应注意动态范围性能可能会受影响。有关使用此功能的更多详细信息，请参见表17。

AD9272

占空比稳定器利用延迟锁定环(DLL)创建非采样边沿。因此，一旦采样频率发生变化，DLL就需要大约8个时钟周期来获取并锁定新的速率。

时钟抖动考虑

高速、高分辨率ADC对时钟输入信号的质量非常敏感。在给定的输入频率(f_A)下，仅由孔径抖动(t_j)造成的信噪比(SNR)下降计算公式如下：

$$SNR \text{ 下降幅度} = 20 \times \log [1/2 \times \pi \times f_A \times t_j]$$

公式中，均方根孔径抖动表示所有抖动源(包括时钟输入信号、模拟输入信号和ADC孔径抖动)的均方根。中频欠采样应用对抖动尤其敏感(见图59)。

当孔径抖动可能影响AD9272的动态范围时，应将时钟输入信号视为模拟信号。时钟驱动器电源应与ADC输出驱动器电源隔离，以免在时钟信号内混入数字噪声。低抖动、晶控振荡器为最佳时钟源，如Valpey Fisher VFAC3系列。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法)，则需要在最后对原始时钟进行重定时。

欲更深入地了解与ADC相关的抖动性能信息，请参阅应用笔记AN-501和AN-756(访问www.analog.com)。

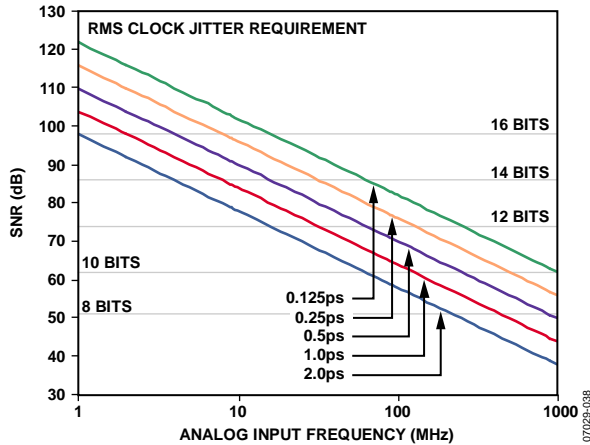


图59. 理想信噪比与模拟输入频率和抖动的关系

功耗和省电模式

如图61所示，AD9272的功耗与其采样速率成比例关系。数字功耗变化不大，因为它主要由DRVDD电源和LVDS输出驱动器的偏置电流决定。

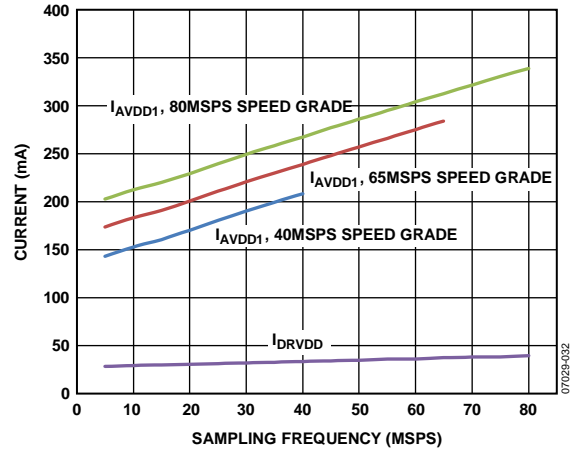


图60. 电源电流与 f_{SAMPLE} 的关系($f_{IN} = 5 \text{ MHz}$)

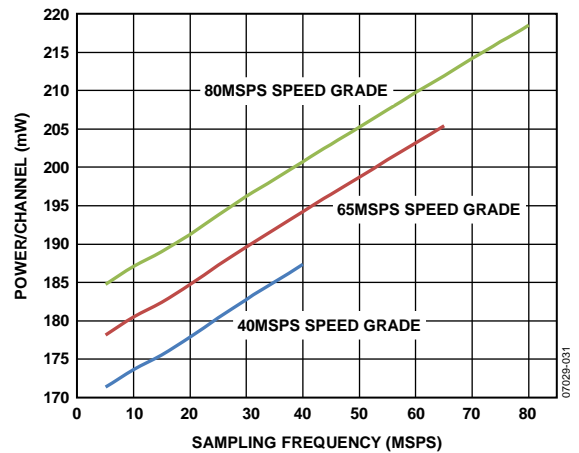


图61. 各通道电源与 f_{SAMPLE} 的关系($f_{IN} = 5 \text{ MHz}$)

AD9272具有可调整LNA偏置电流特性(见表17中的寄存器0x12)。默认LNA偏置电流设置为高。图62显示每个偏置设置值时AVDD2电流减少的典型值。此外，LNA偏置设置为低时，建议使用寄存器0x10(见表17)调整LNA偏移。

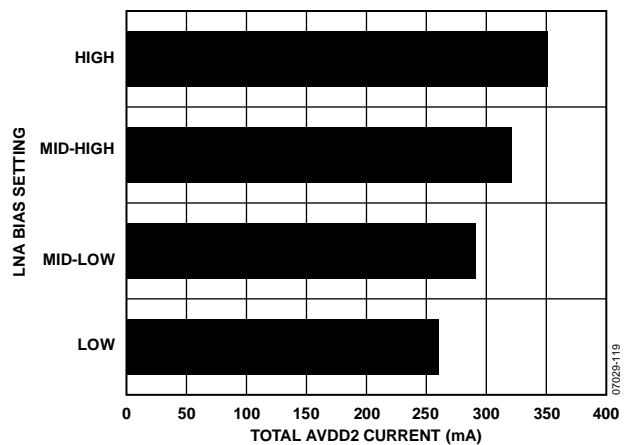


图62. 差分LNA偏置设置时的AVDD2电流, AD9272-40

将PDWN引脚置位高电平，可使AD9272进入省电模式。在这种状态下，器件的典型功耗为2 mW。在省电模式下，LVDS输出驱动器处于高阻抗状态。将PDWN引脚拉低时，AD9272返回正常工作模式。此引脚兼容1.8 V和3.3 V电压。

将STBY引脚置位高电平，可使AD9272进入待机模式。在这种状态下，器件的典型功耗为150 mW。待机状态下，除了内部基准电压外，整个器件都断电。LVDS输出驱动器处于高阻抗状态。这种模式非常适合需要省电的应用，因为器件能够在不使用时关断，使用时迅速上电。器件再次上电的时间也大大缩短。将STBY引脚拉低时，AD9272返回正常工作模式。此引脚兼容1.8 V和3.3 V电压。

在省电模式下，通过关闭基准电压缓冲器、PLL和偏置网络，可实现低功耗。进入省电模式时，VREF上的去耦电容放电；返回正常工作模式时，去耦电容必须重新充电。因此，唤醒时间跟省电模式时间有关：周期越短，唤醒时间相应地更短。器件全面恢复运作需要约0.5 ms，建议在VREF引脚使用1 μ F和0.1 μ F的去耦电容，在GAIN \pm 引脚使用0.01 μ F的电容。时间大多取决于增益去耦：GAIN \pm 引脚上的去耦电容值越高，唤醒时间越长。

使用SPI端口接口时，可以使用一些其他的省电选项。用户可以分别关断各通道，或者将整个器件置于待机模式。如需较短的唤醒时间，待机模式下，内部PLL处于通电状态。唤醒时间跟增益有一定的关系。当器件处于待机模式时，要达到1 μ s的唤醒时间，GAIN \pm 引脚必须施加0.8 V的电平。有关使用这些功能的更多详细信息，请参见表17。

数字输出和时序

采用默认设置上电时，AD9272差分输出符合ANSI-644 LVDS标准。通过寄存器14位6或SPI接口，可以将它更改为低功耗、减少信号选项(类似于IEEE 1596.3标准)。这种LVDS标准可以将器件的总功耗进一步降低约36 mW。

LVDS驱动器电流来自芯片，并将各输出端的输出电流设置为标称值3.5 mA。LVDS接收器输入端有一个100 Ω 差分端接电阻，因此接收器摆幅标称值为350 mV。

AD9272 LVDS输出便于与具有LVDS能力的定制ASIC和FPGA中的LVDS接收器连接，从而在高噪声环境中实现出色的开关性能。推荐使用单一点到点网络拓扑结构，并将100 Ω 端接电阻尽可能靠近接收器放置。如果没有远端接收器端接电阻，或者差分线布线不佳，可能会导致时序错误。建议走线长度不要超过24英寸，差分输出走线应尽可能彼此靠近且长度相等。图63显示了一个走线长度和位置适当的FCO、DCO和数据流示例。

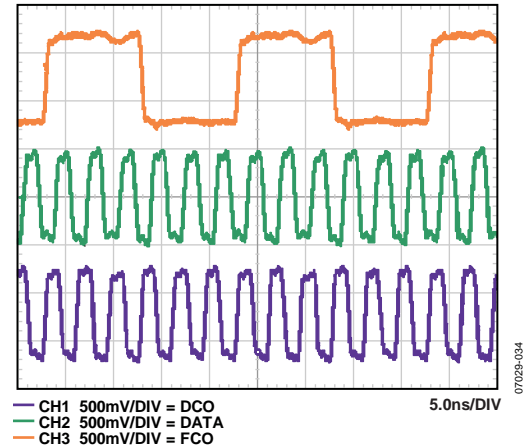


图63. LVDS输出时序示例(默认ANSI-644模式下)

图64显示了使用ANSI-644标准(默认)数据眼图示例和时间间隔误差(TIE)抖动直方图，其中走线长度小于24英寸，并采用标准FR-4材料。图65显示走线长度超过24英寸、采用标准FR-4材料的示例。请注意，从TIE抖动直方图可看出，数据眼图开口随着边沿偏离理想位置而减小；因此，走线长度超过24英寸时，用户必须确定波形是否满足设计的时序预算要求。

附加SPI选项允许用户进一步提高所有8路输出的内部端接电阻(因而提高电流)，从而驱动更长的走线(见图66)。虽然这会在数据边沿上产生更陡的上升和下降时间，更不容易发生比特错误，并且改善了频率分布(见图66)，但使用此选项会提高DRVDD电源的功耗。

如果因为负载不匹配而要求提高DCO \pm 和FCO \pm 输出的驱动强度，用户可以通过寄存器0x15将驱动强度提高一倍。为此，必须设置寄存器0x05中适当的位。注意，此功能不能使用寄存器0x15的位4和位5，因为这些位优先于此功能。详情参见表17。

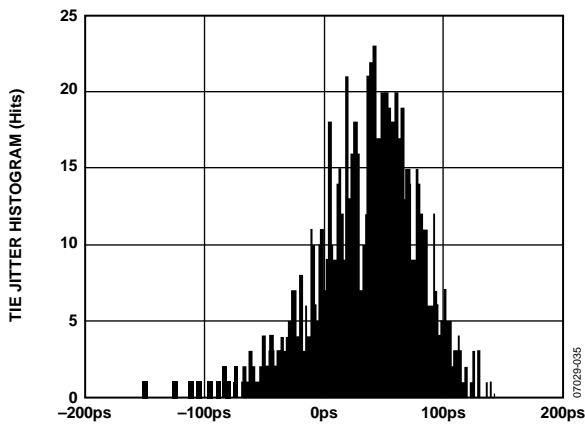
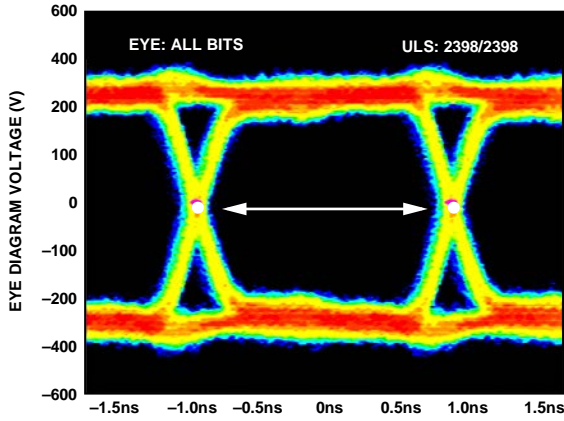


图64. LVDS输出的数据眼
(ANSI-644模式, 走线长度小于24英寸, 标准FR-4)

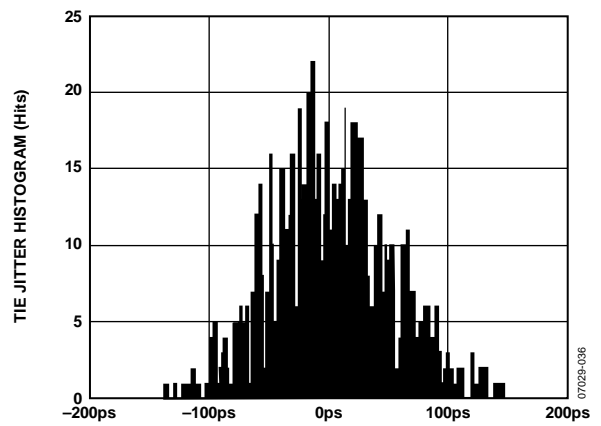
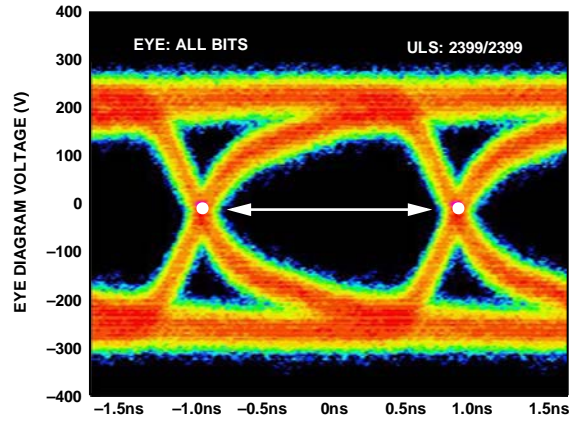


图65. LVDS输出的数据眼
(ANSI-644模式, 走线长度大于24英寸, 标准FR-4)

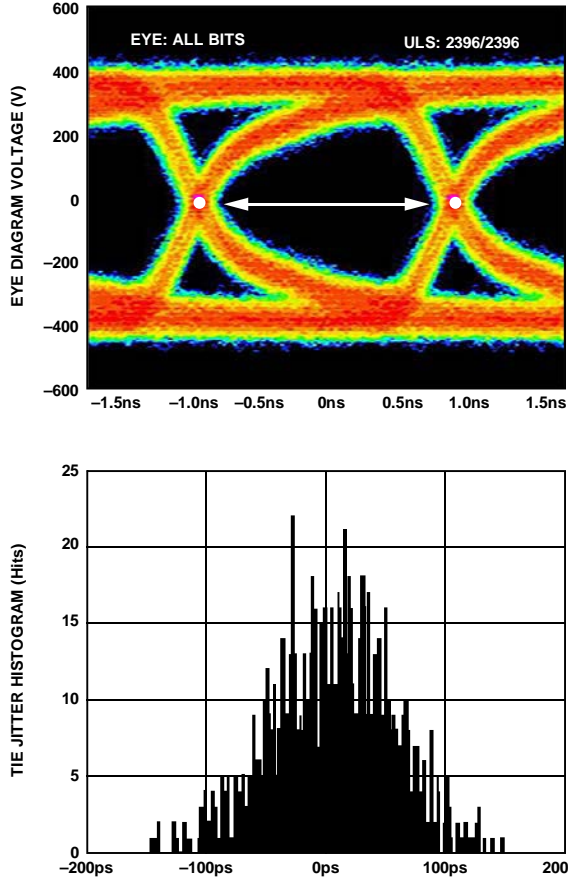


图66. LVDS输出的数据眼(ANSI-644模式, 100 Ω端接电阻, 走线长度大于24英寸, 标准FR-4)

输出数据格式默认为偏移二进制。表11给出了一个输出编码格式示例。若要将输出数据格式变为二进制补码, 请参阅“存储器映射”部分。

表11. 数字输出编码

代码	(VIN+) - (VIN-), 输入范围 = 2 V p-p (V)	数字输出偏移二进制 (D11...D0)
4095	+1.00	1111 1111 1111
2048	0.00	1000 0000 0000
2047	-0.000488	0111 1111 1111
0	-1.00	0000 0000 0000

来自各ADC的数据经过串行化后, 通过不同的通道产生。每个串行流的数据速率等于12位乘以采样时钟速率, 最大值为960 Mbps(12位 × 80 MSPS = 960 Mbps)。最低典型转换速率为10 MSPS, 但如果特定应用需较低的采样速率, PLL可以通过SPI设置低至5 MSPS的编码速率。有关启用此功能的详细信息, 请参见表17。

为了帮助从AD9272捕捉数据, 器件提供了2个输出时钟。DCO±用来为输出数据提供时钟信息, 它等于采样时钟速率的6倍。数据逐个从AD9272输出, 必须在DCO±的上升沿和下降沿进行捕捉; DCO±支持双倍数据速率(DDR)捕捉。帧时钟输出(FCO±)用于指示新输出字节的开始, 它与采样时钟速率相等。更多信息参见图2所示的时序图。

表12. 灵活的输出测试模式

输出测试模式位序列	测试码名称	数字输出字1	数字输出字2	接受数据格式选择
0000	关闭(默认)	N/A	N/A	N/A
0001	中间电平短码	1000 0000 0000	1000 0000 0000	是
0010	+满量程短码	1111 1111 1111	1111 1111 1111	是
0011	-满量程短码	0000 0000 0000	0000 0000 0000	是
0100	棋盘形式输出	1010 1010 1010	0101 0101 0101	否
0101	PN长序列	N/A	N/A	是
0110	PN短序列	N/A	N/A	是
0111	1/0字反转	1111 1111 1111	0000 0000 0000	否
1000	用户输入	寄存器0x19至寄存器0x1A	寄存器0x1B至寄存器0x1C	否
1001	1/0位反转	1010 1010 1010	N/A	否
1010	1×同步	0000 0011 1111	N/A	否
1011	1位高电平	1000 0000 0000	N/A	否
1100	混合位频率	1010 0011 0011	N/A	否

AD9272

使用窗口端口接口(SPI)时, DCO±相位可以相对于数据边沿以60°增量进行调整。这样, 用户可以根据需要优化系统时序裕量。DCO±默认时序相对于输出数据边沿为90°, 如图2所示。

还可以从SPI启动8、10和14位串行流。这样, 用户就可以实现不同串行流并测试与更低和更高分辨率系统的兼容性。当分辨率变为8位或10位串行流时, 数据流缩短。当使用14位选项时, 数据流会在正常14位串行数据的末尾填充两个0。

使用SPI时, 所有数据输出还可以从其标准状态反转。这种方式不要与串行流反转到LSB优先模式相混淆。在默认模式下, 如图2所示, 数据输出串行流首先输出MSB。但是, 可以将其反转, 使数据输出串行流首先输出LSB(见图3)。

通过SPI可以启动的数字输出测试码选项有12个。当验证接收器捕捉和时序时, 这个功能很有用。可用的输出位序列选项参见表12。一些测试码有两个串行序列字, 可以通过各种方式进行交替, 具体取决于所选的测试码。注意有些测试码可能并不遵守数据格式选择选项。此外, 可以在0x19、0x1A、0x1B和0x1C寄存器地址中指定用户定义的测试码。除PN短序列和PN长序列以外, 其它测试模式都支持8到14位字长, 以便验证接收器的数据捕捉是否成功。

PN短序列测试码产生一个伪随机位序列, 每隔29 - 1位或511位重复一次。有关PN序列的说明以及如何产生, 请参见ITU-T 0.150 (05/96)标准的第5.1部分。唯一的不同在于起始值是一个特定值, 而不是全1(初始值见表13)。

PN长序列测试码产生一个伪随机位序列, 每隔223 - 1位或8,388,607位重复一次。有关PN序列的说明以及如何产生, 请参见ITU-T 0.150 (05/96)标准的第5.6部分。不同之处在于起始值是一个特定值, 而不是全1, 并且AD9272会根据ITU标准反转位流(初始值见表13)。

表13. PN序列

时序	初始值	前三个采样输出(MSB优先)
PN短序列	0x0DF	0xDF9, 0x353, 0x301
PN长序列	0x29B80A	0x591, 0xFD7, 0x0A3

有关如何通过SPI更改这些附加数字输出时序特性的信息, 请参见“存储器映射”部分。

SDIO引脚

此引脚用于运行SPI。它内置30 kΩ下拉电阻, 可拉低该引脚。引脚仅兼容1.8 V电压。如果应用要求以3.3 V逻辑电平驱动此引脚, 则应在此引脚上串联一个1 kΩ电阻以限制电流。

SCLK引脚

此引脚用于运行SPI端口接口。它内置30 kΩ下拉电阻, 可拉低该引脚。引脚兼容1.8 V和3.3 V电压。

CSB引脚

此引脚用于运行SPI端口接口。它内置70 kΩ上拉电阻, 可拉高该引脚。引脚兼容1.8 V和3.3 V电压。

RBIAS引脚

为设置ADC的内核偏置电流, 应在RBIAS引脚上串联一个接地电阻(标称值10 kΩ)。建议使用10 kΩ电阻, 若使用其他电阻作为RBIAS, 则器件性能会下降。因此, 要实现稳定的性能, 至少应使用1%容差的电阻。

基准电压源

AD9272内置稳定、精确的0.5 V基准电压源。基准电压在内部放大2倍, 将VREF设置为1 V, 因此ADC的满量程差分输入范围为2 V p-p。VREF默认为内部设置, 但也可以用1.0 V外部基准电压源驱动VREF引脚, 以便提高精度。不过, 该器件不支持低于2 V p-p的ADC满量程范围。

对VREF引脚应用去耦电容时, 应采用低ESR陶瓷电容。这些电容应靠近基准引脚, 并与AD9272处于同一层PCB。VREF引脚应该有一个0.1 μF的电容和一个1 μF的电容并联至模拟地。建议ADC采用这些电容值以妥善建立和获得下一个有效采样。

基准电压源设置可以使用SPI来选择。设置允许两种选择: 使用内部基准电压源或外部基准电压源。内部基准电压源选项为默认设置, 相应的差分范围为2 V p-p。

表14. SPI可选择的基准电压源设置

SPI选择模式	相应的VREF (V)	相应的差分范围 (V p-p)
外部基准电压源	N/A	2 × 外部基准电压
内部基准电压源(默认)	1	2

电源和接地建议

当连接电源至AD9272时，建议使用两个独立的1.8 V电源：一个用于模拟(AVDD)，一个用于数字(DRVDD)。如果仅提供一个1.8 V电源，则应先连接到AVDD1，然后分接出来，并用铁氧体磁珠或滤波扼流圈及去耦电容隔离，再连接到DRVDD。用户应针对所有电源使用多个去耦电容以适用于高频和低频。去耦电容应放置在接近PCB入口点和接近器件的位置处，尽可能地缩短走线长度。

AD9272仅需要一个PCB接地层。只要对PCB的模拟、数字和时钟部分进行适当的去耦和巧妙的分隔，就能轻松实现最佳性能。

裸露焊盘散热块建议

为获得最佳的AD9272电气性能和热性能，必须将器件底部的裸露焊盘连接至低噪声模拟地(AGND)。PCB上裸露的连续铜层应与AD9272的裸露焊盘(引脚0)匹配。铜层上应

有多个过孔，获得尽可能低的热阻路径以通过PCB底部进行散热。应采用绝缘环氧化物来填充或堵塞这些通孔。

为了最大程度地实现器件与PCB之间的覆盖与连接，应再覆盖一个丝印层或阻焊膜，以便将PCB上的连续铜层划分为多个均等的部分。这样，在回流焊过程中，可在二者之间确保多个连接点。而一个连续的、无分割的平面则仅可以保证在AD9272与PCB之间有一个连接点。可以参考图67所示的PCB布局布线范例。有关封装的更多信息和更多PCB布局示例，请参考应用笔记AN-772。

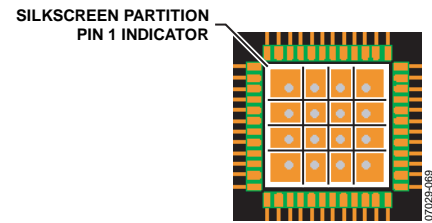


图67. 典型PCB布局布线

串行端口接口(SPI)

AD9272串行端口接口允许用户利用芯片内部的一个结构化寄存器空间来配置信号链，以满足特定功能和操作的需要。这使得用户能够更加灵活地运用器件，使其可以根据具体的应用进行定制。通过串行端口，可访问地址空间，以及对地址空间进行读写。存储空间以字节为单位进行组织，并且可以进一步细分成多个区域，如“存储器映射”部分所述。如需了解详细操作信息，请参阅ADI应用笔记AN-877“通过SPI与高速ADC接口”。

定义串行端口接口(SPI)的是三个引脚：SCLK、SDIO和CSB引脚。SCLK(串行时钟)用于同步提供给器件的读取和写入数据。SDIO(串行数据输入/输出)引脚具有双重用途，既允许将数据发送至器件的内部存储器映射寄存器，又可从寄存器中读取数据。CSB(片选信号)引脚是低电平有效控制引脚，能够使能或者禁用读写周期(见表15)。

表15. 串行端口引脚

引脚	功能
SCLK	串行时钟。串行移位时钟输入。SCLK用来使串行接口的读写操作同步。
SDIO	串行数据输入/输出。双功能引脚。通常用作输入或输出，取决于发送的指令和时序帧中的相对位置。
CSB	片选信号(低电平有效)。用来控制读写周期的选通。

CSB引脚的下降沿与SCLK的上升沿共同决定帧序列的开始。在指令周期内传输一条16位指令，然后是一个或多个数据字节，具体由位域W0和W1决定。图69为串行时序图示例，相应的定义见表16。

正常工作时，CSB用来告知器件准备接收和处理SPI命令。当CSB被拉低时，器件通过SCLK和SDIO处理指令。一般而言，CSB将保持低电平，直到通信周期结束。然而，如果与慢速器件相连，可以在两个字节之间拉高CSB，使老式微控制器有足够的时间将数据传输至移位寄存器。当传输一个、两个或三个字节的数时，CSB可以保持不变。当W0和W1设置为11时，器件进入流模式并继续处理数据(读取或写入)，直到CSB被拉高以结束通信周期。这样就可以实现完整的存储器传输而无需额外的指令。无论何种模式，如果CSB在字节传输期间被拉高，则SPI状态机复位，器件等待新的指令。

除了各种工作模式之外，可配置SPI端口以不同的方式工作。对于不需要控制端口的应用，CSB线路可以连接并保持高电平。这将把其余SPI引脚置于第二功能模式，如“SDIO引脚和SCLK引脚”部分所述。CSB也可以接低电平，以启用双线模式。当CSB接低电平时，通信只需要SCLK和SDIO引脚。虽然器件在上电期间已同步，但在使用此模式时，应注意确保串行端口仍然与CSB线路保持同步。在双线模式下，建议仅使用1、2或3字节传输。若CSB线路不处于有效状态，则可以进入但无法退出流模式。

除了字长，指令阶段还决定串行帧是读操作还是写操作，从而通过串行端口对芯片编程或读取片内存储器的数据。如果指令是回读操作，则执行回读操作会使串行数据输入/输出(SDIO)引脚的数据传输方向在串行帧的适当位置由输入改为输出。

数据可通过MSB优先模式或LSB优先模式发送。芯片上电后，默认模式为MSB优先，可以通过调整配置寄存器来更改数据发送方式。欲了解有关该特性及其它特性的更多信息，请参阅应用笔记AN-877“通过SPI与高速ADC接口”。

硬件接口

表15中所描述的引脚构成用户编程器件与AD9272串行端口之间的物理接口。当使用SPI接口时，SCLK引脚和CSB引脚用作输入引脚。SDIO引脚是双向引脚，在写入阶段，用作输入引脚；在回读阶段，用作输出引脚。

如果多个SDIO引脚共用一个连接，应注意确保其达到正确的 V_{OH} 电平。图68显示了可以连在一起的SDIO引脚数量(假定负载与AD9272相同)以及相应的 V_{OH} 电平。

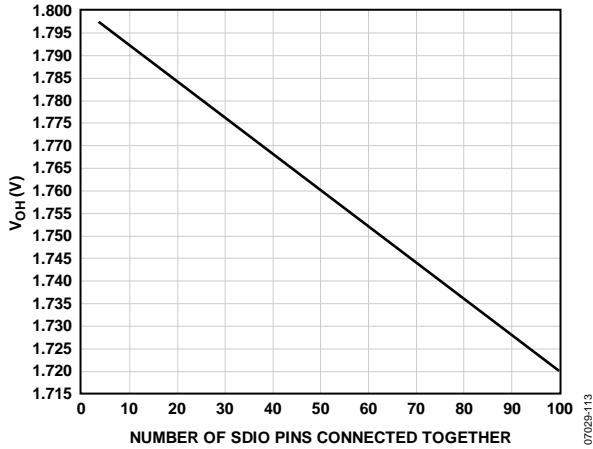


图68. SDIO引脚负载

该接口非常灵活，串行PROM或PIC微控制器均可控制该接口，因而除了完整SPI控制器之外，用户还可以使用其它方法对器件编程(参见应用笔记AN-812)。

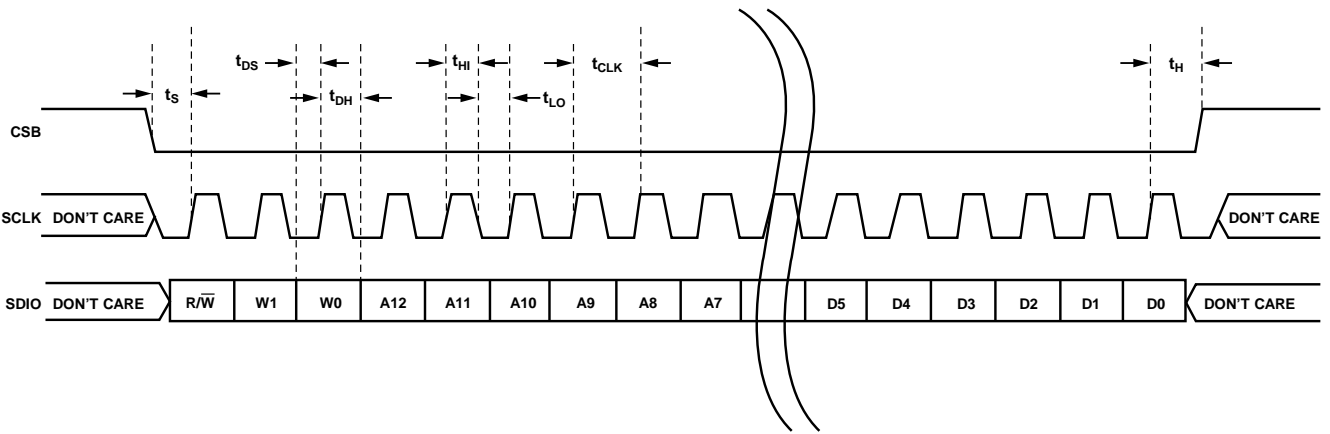


图69. 串行时序详图

表16. 串行时序定义

参数	最小时间(ns)	说明
t _{DS}	5	数据与SCLK上升沿之间的建立时间
t _{DH}	2	数据与SCLK上升沿之间的保持时间
t _{CLK}	40	时钟周期
t _S	5	CSB与SCLK之间的建立时间
t _H	2	CSB与SCLK之间的保持时间
t _{HI}	16	SCLK应处于逻辑高电平状态的最短时间
t _{LO}	16	SCLK应处于逻辑低电平状态的最短时间
t _{EN_SDIO}	10	相对于SCLK下降沿，SDIO引脚从输入状态切换到输出状态所需的最短时间(图69未显示)
t _{DIS_SDIO}	10	相对于SCLK上升沿，SDIO引脚从输出状态切换到输入状态所需的最短时间(图69未显示)

存储器映射

读取存储器映射表

存储器映射表的每一行都有8个地址位。存储器映射大致分为三个部分：芯片配置寄存器映射(地址0x00至地址0x02)、器件索引和传送寄存器映射(地址0x04至0xFF)以及ADC功能寄存器映射(地址0x08至地址0x2D)。

存储器映射的第一栏显示寄存器地址编号，倒数第二栏显示默认值。位7 (MSB)栏为给定十六进制默认值的起始位。例如，地址0x09(时钟寄存器)的默认值为0x01，即位7 = 0、位6 = 0、位5 = 0、位4 = 0、位3 = 0、位2 = 0、位1 = 0、位0 = 1，或者0000 0001(二进制)。此设置是占空比稳定器在开启状态下的默认值。通过向该地址的位0写入0并向寄存器0xFF中的SW传送位写入0x01，可以关闭占空比稳定器。在每个写入序列后对SW传送位写入1以更新SPI寄存器，这点很重要。

注意

除了寄存器0x00、0x02、0x04、0x05和0xFF之外，所有寄存器都利用主从锁存器进行缓冲，并要求对传送位写入1。如需了解更多关于该功能及其它功能的信息，请参阅应用笔记AN-877“通过SPI与高速ADC接口”。

保留位置

不得写入未定义的存储器位置，除非写入本数据手册建议的默认值。值标示为0的地址应被视为保留地址，上电期间应将0写入其寄存器。

默认值

复位后，关键寄存器自动加载默认值。表17显示了这些值，其中X表示未定义的特性。

逻辑电平

以下是逻辑电平的说明：“置位”是指将某位设置为逻辑1或向某位写入逻辑1。类似地，“清除位”指将某位设置为逻辑0或向某位写入逻辑0。

表17. AD9272存储器映射寄存器

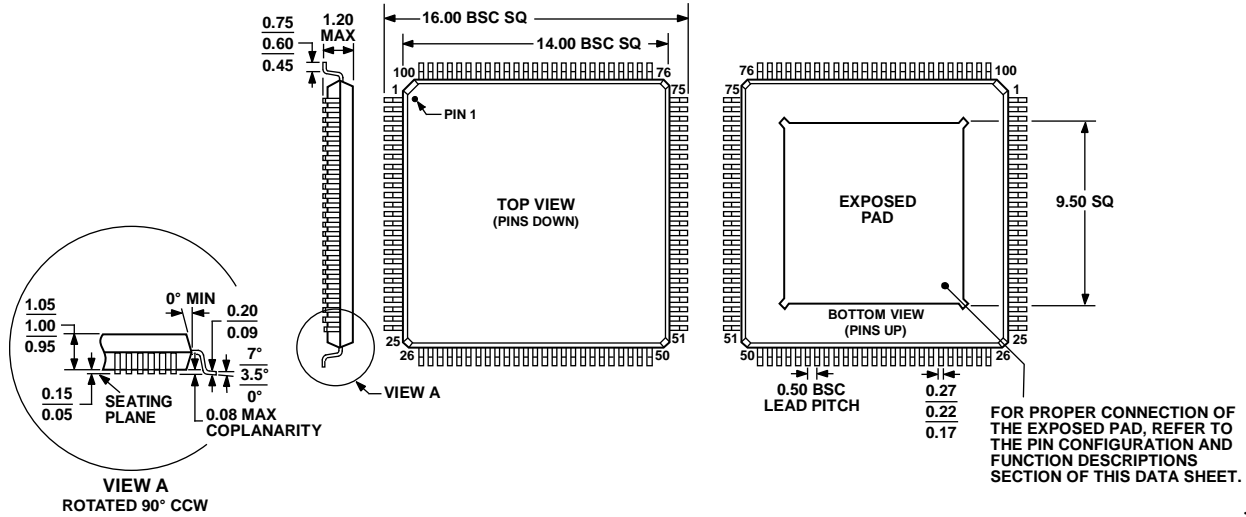
地址 (十六 进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值	默认值注释
芯片配置寄存器											
00	Chip_port_config	0	LSB优先 1=开 0=关 (默认)	软复位 1=开 0=关 (默认)	1	1	软复位 1=开 0=关 (默认)	LSB优先 1=开 0=关 (默认)	0	0x18	半字节之间应建立镜像关系, 使得无论在何种移位模式下, 均能正确设置LSB优先或MSB优先模式。
01	Chip_id	芯片ID位 [7:0] (AD9272 = 0x2E, 默认)								只读	默认值为唯一芯片ID, 各器件均不相同。这是一个只读寄存器。
02	Chip_grade	X	X	子ID[5:4](在芯片ID下 确定器件等级) 00 = 40 MSPS(默认) 01 = 65 MSPS 10 = 80 MSPS	X	X	X	X	0x00	子ID用来区分器件等级。	
器件索引和传送寄存器											
04	Device_index_2	X	X	X	X	数据 通道H 1=开 (默认) 0=关	数据 通道G 1=开 (默认) 0=关	数据 通道F 1=开 (默认) 0=关	数据 通道E 1=开 (默认) 0=关	0x0F	设置这些位以决定哪一个片内器件接收下一个写命令。
05	Device_index_1	X	X	时钟通道 DCO± 1=开 0=关 (默认)	时钟通道 FCO± 1=开 0=关 (默认)	数据 通道D 1=开 (默认) 0=关	数据 通道C 1=开 (默认) 0=关	数据 通道B 1=开 (默认) 0=关	数据 通道A 1=开 (默认) 0=关	0x0F	设置这些位以决定哪一个片内器件接收下一个写命令。
FF	device_update	X	X	X	X	X	X	X	SW 传输 1=开 0=关 (默认)	0x00	从主移位寄存器向从移位寄存器同步传输数据。
ADC功能											
08	模式	X	X	X	X	0	内部省电模式 000 = 芯片运行(默认) 001 = 完全关断 010 = 待机 011 = 复位 100 = CW模式 (TGC PDWN)			0x00	决定芯片运行的各种一般工作模式(全局)。
09	时钟	X	X	X	X	X	X	X	占空比 稳定器 1=开 (默认) 0=关	0x01	打开和关闭内部占空比稳定器(全局)。
0D	Test_io	用户测试模式 00 = 关(默认) 01 = 开, 单一交替 10 = 开, 单一一次 11 = 开, 交替一次		产生复位 PN长序列 1=开 0=关 (默认)	产生复位 PN短序列 1=开 0=关 (默认)	输出测试模式——见表12 0000 = 关(默认) 0001 = 中间电平短序列 0010 = +FS短路 0011 = -FS短路 0100 = 棋盘形式输出 0101 = PN长序列 0110 = PN短序列 0111 = 1/0字反转 1000 = 用户输入 1001 = 1/0位反转 1010 = 1×同步 1011 = 1位高电平 1100 = 混合位频率 (格式由output_mode寄存器决定)			0x00	设置此寄存器后, 测试数据将取代正常数据被置于输出引脚上。(局部, 为PN序列时除外)	

AD9272

地址 (十六 进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值	默认值注释
0F	Flex_channel_input	滤波器截止频率控制 0000 = $1.3 \times 1/3 \times f_{\text{SAMPLE}}$ 0001 = $1.2 \times 1/3 \times f_{\text{SAMPLE}}$ 0010 = $1.1 \times 1/3 \times f_{\text{SAMPLE}}$ 0011 = $1.0 \times 1/3 \times f_{\text{SAMPLE}}$ (默认) 0100 = $0.9 \times 1/3 \times f_{\text{SAMPLE}}$ 0101 = $0.8 \times 1/3 \times f_{\text{SAMPLE}}$ 0110 = $0.7 \times 1/3 \times f_{\text{SAMPLE}}$ 1000 = $1.3 \times 1/4.5 \times f_{\text{SAMPLE}}$ 1001 = $1.2 \times 1/4.5 \times f_{\text{SAMPLE}}$ 1010 = $1.1 \times 1/4.5 \times f_{\text{SAMPLE}}$ 1011 = $1.0 \times 1/4.5 \times f_{\text{SAMPLE}}$ 1100 = $0.9 \times 1/4.5 \times f_{\text{SAMPLE}}$ 1101 = $0.8 \times 1/4.5 \times f_{\text{SAMPLE}}$ 1110 = $0.7 \times 1/4.5 \times f_{\text{SAMPLE}}$				X	X	X	X	0x30	抗混叠滤波器截止频率(全局)。
10	Flex_offset	X	X	6位LNA失调节 10 0000 = LNA偏置高、中高、中低(默认) 10 0001 = LNA偏置低					0x20	LNA强制失调节正(局部)。	
11	Flex_gain	X	X	X	X	PGA增益 00 = 21 dB 01 = 24 dB (默认) 10 = 27 dB 11 = 30 dB		LNA增益 00 = 15.6 dB 01 = 17.9 dB 10 = 21.3 dB (默认)		0x06	LNA和PGA增益调整(全局)。
12	Bias_current	X	X	X	X	1	X	LNA偏置 00 = 高(默认) 01 = 中高 10 = 中低 11 = 低		0x08	LNA偏置电流调整(全局)。
14	Output_mode	X	0 = LVDS ANSI-644 (默认) 1 = LVDS 低功耗(类 似于IEEE 1596.3)	X	X	X	输出反向 1 = 开 0 = 关 (默认)	00 = 偏移二进制 (默认) 01 = 二进制补码		0x00	配置输出和数据的格式(位[7:3] 和位[1:0]为全局; 位2为局部)。
15	Output_adjust	X	X	输出驱动器端接 00 = 无(默认) 01 = 200 Ω 10 = 100 Ω 11 = 100 Ω		X	X	X	DCO±和 FCO± 2倍驱动 强度 1 = 开 0 = 关 (默认)	0x00	决定LVDS或其它输出属性。主要功能是设置LVDS范围和共模电平, 代替外部电阻(位[7:1]为全局; 位0为局部)。
16	Output_phase	X	X	X	X	0011 = 输出时钟相位调整(0000至1010) (默认值: 相对于数据边沿为180°) 0000 = 相对于数据边沿为0° 0001 = 相对于数据边沿为60° 0010 = 相对于数据边沿为120° 0011 = 相对于数据边沿为180° 0100 = 相对于数据边沿为240° 0101 = 相对于数据边沿为300° 0110 = 相对于数据边沿为360° 0111 = 相对于数据边沿为420° 1000 = 相对于数据边沿为480° 1001 = 相对于数据边沿为540° 1010 = 相对于数据边沿为600° 1011至1111 = 相对于数据边沿为660°				0x03	在利用全局时钟分频的器件上, 决定使用分频器输出的哪个相位来提供输出时钟。内部锁存不受影响。
18	Flex_vref	X	0 = 内部基准电压源 1 = 外部基准电压源	X	X	X	X	X	X	0x00	选择内部基准电压源(推荐的默认值)或外部基准电压源(全局)。

地址 (十六 进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值	默认值注释
19	User_patt1_lsb	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的测试码, 1 LSB(全局)。
1A	User_patt1_msb	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的测试码, 1 MSB(全局)。
1B	User_patt2_lsb	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的测试码, 2 LSB(全局)。
1C	User_patt2_msb	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的测试码, 2 MSB(全局)。
21	Serial_control	LSB优先 1 = 开 0 = 关 (默认)	X	X	X	<10 MSPS, 低编码 速率模式 1 = 开 0 = 关 (默认)	000 = 12位(默认, 正常位流) 001 = 8位 010 = 10位 011 = 12位 100 = 14位			0x00	串行流控制。 默认为MSB优先、原有位流(全局)。
22	Serial_ch_stat	X	X	X	X	X	X	通道输出 复位 1 = 开 0 = 关 (默认)	通道掉电 1 = 开 0 = 关 (默认)	0x00	用来关断转换器的各个部分(局部)。
2B	Flex_filter	X	使能自动 低通调谐 1 = 开 (自清零)	X	X	高通滤波器截止频率 0000 = $f_{LP}/20.7$ 0001 = $f_{LP}/11.5$ 0010 = $f_{LP}/7.9$ 0011 = $f_{LP}/6.0$ 0100 = $f_{LP}/4.9$ 0101 = $f_{LP}/4.1$ 0110 = $f_{LP}/3.5$ 0111 = $f_{LP}/3.1$				0x00	滤波器截止频率(全局)。(f _{LP} = 低通滤波器截止频率)
2C	Analog_input	X	X	X	X	X	X	LOSW-x连接 00 = 高阻态 01 = (-)LNA输出 10 = (+)LNA输出 11 = 高阻态		0x00	LNA有源端接/输入阻抗(全局)。
2D	Cross_point_switch	X	X	交叉点开关使能 10 0000 = CWD0±(差分) 10 0001 = CWD1±(差分) 10 0010 = CWD2±(差分) 10 0011 = CWD3±(差分) 10 0100 = CWD4±(差分) 10 0101 = CWD5±(差分) 10 0110 = CWD6±(差分) 10 0111 = CWD7±(差分) 11 0000 = CWD0+(单端) 11 0001 = CWD1+(单端) 11 0010 = CWD2+(单端) 11 0011 = CWD3+(单端) 11 0100 = CWD4+(单端) 11 0101 = CWD5+(单端) 11 0110 = CWD6+(单端) 11 0111 = CWD7+(单端) 11 1000 = CWD0-(单端) 11 1001 = CWD1-(单端) 11 1010 = CWD2-(单端) 11 1011 = CWD3-(单端) 11 1100 = CWD4-(单端) 11 1101 = CWD5-(单端) 11 1110 = CWD6-(单端) 11 1111 = CWD7-(单端) 0x xxxx = CW通道掉电(默认)						0x00	交叉点开关使能(局部)。

外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-026-AED-HD

图70. 100引脚裸露焊盘超薄四方扁平封装 [TQFP_EP]

(SV-100-3)

图示尺寸单位: mm

100908-A

订购指南

模型	温度范围	封装描述	封装选项
AD9272BSVZ-80 ¹	-40°C至+85°C	100引脚裸露焊盘、超薄四方扁平封装(TQFP_EP)	SV-100-3
AD9272BSVZRL-80 ¹	-40°C至+85°C	100引脚裸露焊盘、超薄四方扁平封装(TQFP_EP)卷带和卷盘	SV-100-3
AD9272BSVZ-65 ¹	-40°C至+85°C	100引脚裸露焊盘、超薄四方扁平封装(TQFP_EP)	SV-100-3
AD9272BSVZRL-65 ¹	-40°C至+85°C	100引脚裸露焊盘、超薄四方扁平封装(TQFP_EP)卷带和卷盘	SV-100-3
AD9272BSVZ-40 ¹	-40°C至+85°C	100引脚裸露焊盘、超薄四方扁平封装(TQFP_EP)	SV-100-3
AD9272BSVZRL-40 ¹	-40°C至+85°C	100引脚裸露焊盘、超薄四方扁平封装(TQFP_EP)卷带和卷盘	SV-100-3
AD9272-65EBZ ¹		评估板	
AD9272-80KITZ ¹		评估板和高速FPGA数据采集板	

¹ Z = 符合RoHS标准的器件。