

特性

支持全球NTSC/PAL/SECAM色彩解调
一个10位模数转换器(ADC)，每通道4倍过采样适用于CVBS、Y/C和YPrPb模式
模拟视频输入通道，内置片内抗混叠滤波器
ADV7281：最多4路输入通道
ADV7281-M：最多6路输入通道
ADV7281-MA：最多8路输入通道
视频输入支持CVBS(复合)、Y/C(S视频)和YPrPb(分量)
支持全差分、伪差分 and 单端CVBS视频输入
NTSC/PAL/SECAM自动检测
2路视频输入支持电池短路(STB)诊断(仅**ADV7281**和**ADV7281-M**)
高达4 V的共模输入范围解决方案
出色的共模噪声抑制能力
5线式自适应2D梳状滤波器和CTI视频增强特性
自适应数字线路长度跟踪(ADLLT)、信号处理和增强FIFO管理
可提供Mini时基校正(TBC)功能
集成自动增益控制(AGC)功能，提供自适应峰值白色模式
快速切换能力
自适应对比度增强(ACE)
向下扰动(8位至6位)
Rovi (Macrovision)复制保护检测
MIPI CSI-2输出接口(仅**ADV7281-M**和**ADV7281-MA**)
8位ITU-R BT.656 YCrCb 4:2:2输出(**ADV7281**)
全功能垂直消隐间隔(VBI)数据分割器
提供关断模式
双线式I²C兼容型串行接口
通过汽车应用认证
温度等级：-40°C至+105°C
32引脚、5 mm x 5 mm LFCSP封装，符合RoHS标准

应用

智能电话/多媒体手机
汽车信息娱乐
支持视频安全监控的DVR
媒体播放器

概述

ADV7281/ADV7281-M/ADV7281-MA是功能丰富的单芯片、多格式视频解码器。**ADV7281/ADV7281-M/ADV7281-MA**可自动检测标准模拟基带视频信号，兼容复合、S视频和分量视频形式的NTSC、PAL和SECAM全球标准信号。

ADV7281可将模拟视频信号转换为YCrCb 4:2:2视频数据流，其与8位ITU-R BT.656接口标准兼容。

ADV7281-M/ADV7281-MA可将模拟视频信号转换为8位YCrCb 4:2:2视频数据流，通过兼容移动工业处理器接口(MIPI®)的CSI-2接口输出。

ADV7281/ADV7281-M/ADV7281-MA的模拟视频输入端支持单端、伪差分 and 全差分信号。**ADV7281**提供4路模拟输入信号和2个STB诊断引脚。**ADV7281-M**提供6路模拟输入、2个STB诊断引脚和3路通用输出。**ADV7281-MA**提供8路模拟输入和3路通用输出。

ADV7281/ADV7281-M/ADV7281-MA通过双线式串行双向端口(I²C兼容型)进行编程，并且采用1.8 V CMOS工艺制造。**ADV7281/ADV7281-M/ADV7281-MA**提供节省空间的RoHS兼容型LFCSP表面贴装封装。**ADV7281/ADV7281-M/ADV7281-MA**的额定工作温度范围为-40°C至+105°C，因此非常适合汽车应用。

目录

产品特性	1	输入网络	17
应用	1	单端输入网络	17
概述	1	差分输入网络	17
修订历史	2	电池短路保护	17
功能框图	3	输入配置	18
技术规格	4	电池短路(STB)诊断(仅ADV7281/ADV7281-M)	19
电气规格	4	STB诊断功能编程	19
视频规格	5	自适应对比度增强(ACE)	21
模拟规格	6	ITU-R BT.656 Tx配置(仅ADV7281)	22
时钟和I ² C时序规格	6	MIPI CSI-2输出	23
MIPI视频输出规格(仅ADV7281-M和ADV7281-MA)	7	I ² C端口描述	24
像素端口时序规格(仅ADV7281)	9	寄存器映射	25
绝对最大额定值	10	PCB布局建议	27
热阻	10	模拟接口输入	27
回流焊	10	电源去耦	27
ESD警告	10	VREFN和VREFP引脚	27
引脚配置和功能描述	11	数字输出	27
工作原理	14	裸露金属焊盘	28
模拟前端(AFE)	14	数字输入	28
标清处理器(SDP)	15	MIPI输出(D0P、D0N、CLKP、CLKN)(仅ADV7281-M/ADV7281-MA)	28
电源时序控制	16	典型电路连接	29
最佳上电时序	16	外形尺寸	32
简化上电时序	16	订购指南	32
关断时序	16	汽车应用产品	32
D _{VDDIO} 电源电压	16		

修订历史

2014年4月—修订版A至修订版B

更改“概述”部分	1
将单端CVBS输入从35 mA改为47 mA	4
更改表7	10
更改“工作原理”部分	14
更改“DVDDIO电源电压”部分	16
更改“电池短路保护”部分	17
更改“订购指南”	32

2013年11月—修订版0至修订版A

更改“产品特性”和“概述”部分	1
增加图1；重新排序	3
更改表1	4
增加“像素端口时序规格(仅ADV7281)”部分	9

增加表7的尾注1	10
增加图7和表9	11
更改“工作原理”部分	14
更改“最佳上电时序”部分和“DVDDIO电源电压”部分	16
更改表13	18
更改“STB诊断功能编程”部分	19
增加“ITU-R BT.656 Tx配置(仅ADV7281)”部分	22
更改“寄存器映射”部分	25
更改“电源去耦”部分和“数字输出”部分	27
更改“典型电路连接”部分	29
更新“外形尺寸”部分	32
更改“订购指南”部分	32

2013年8月—修订版0：初始版

功能框图

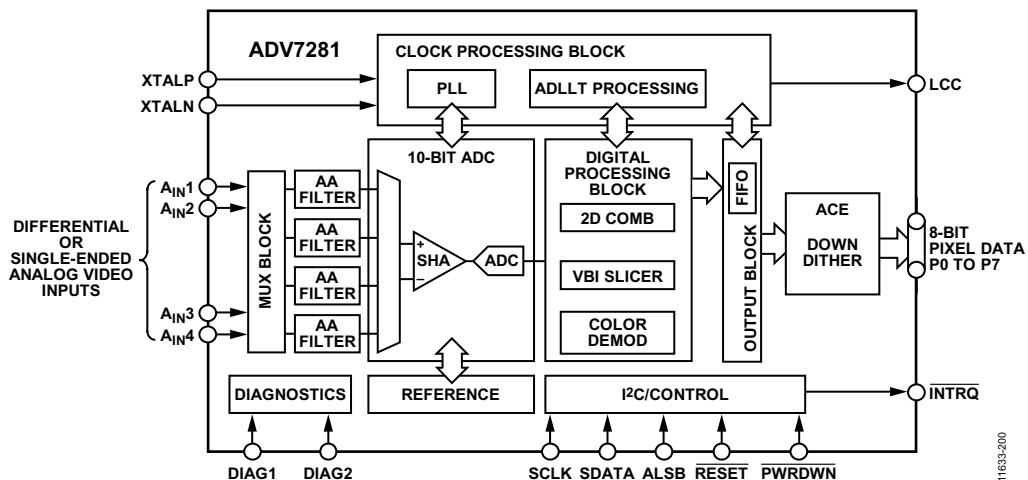


图1. ADV7281功能框图

11633-200

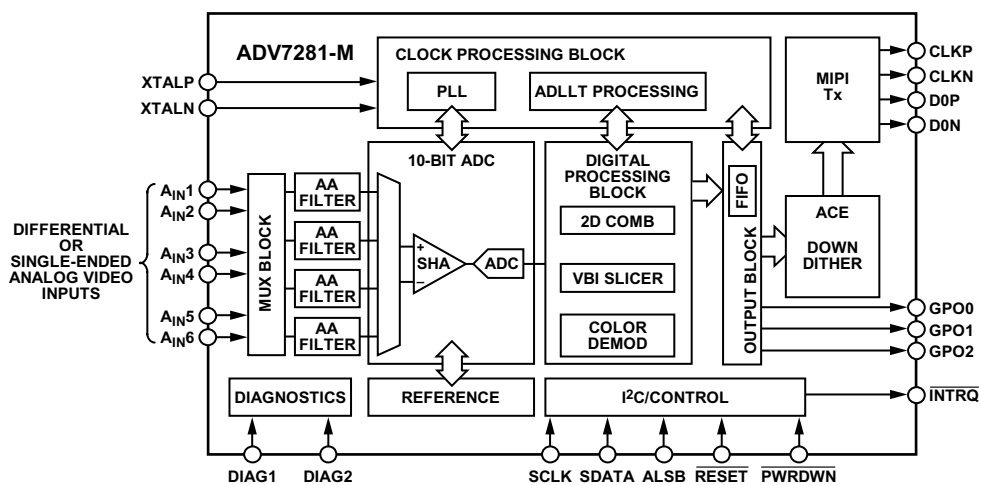


图2. ADV7281-M功能框图

11633-001

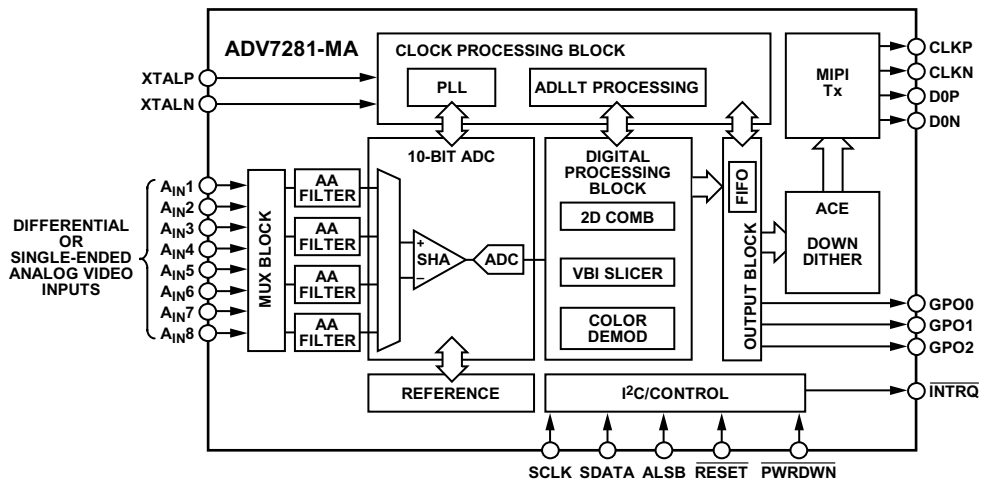


图3. ADV7281-MA功能框图

11633-002

ADV7281

技术规格

电气规格

除非另有说明， A_{VDD} 、 D_{VDD} 、 P_{VDD} 和 $M_{VDD} = 1.71\text{ V}$ 至 1.89 V ， $D_{VDDIO} = 2.97\text{ V}$ 至 3.63 V ，针对额定工作温度范围内。

表1.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
静态性能						
ADC分辨率	N				10	位
积分非线性	INL	CVBS模式		2		LSB
差分非线性	DNL	CVBS模式		±0.6		LSB
数字输入						
输入高电压	V_{IH}	$D_{VDDIO} = 3.3\text{ V}$ $D_{VDDIO} = 1.8\text{ V}$ (仅ADV7281)	2 1.2			V V
输入低电压	V_{IL}	$D_{VDDIO} = 3.3\text{ V}$ $D_{VDDIO} = 1.8\text{ V}$ (仅ADV7281)			0.8 0.4	V V
输入漏电流	I_{IN}	RESET引脚 SDATA、SCLK引脚 PWRDWN、ALSB引脚	-10 -10 -10		+10 +15 +50	μA μA μA
输入电容	C_{IN}				10	pF
晶振输入						
输入高电压	V_{IH}	XTALN引脚	1.2			V
输入低电压	V_{IL}	XTALN引脚			0.4	V
数字输出						
输出高电压	V_{OH}	$D_{VDDIO} = 3.3\text{ V}$, $I_{SOURCE} = 0.4\text{ mA}$ $D_{VDDIO} = 1.8\text{ V}$, $I_{SOURCE} = 0.4\text{ mA}$, (仅ADV7281)	2.4 1.4			V V
输出低电压	V_{OL}	$D_{VDDIO} = 3.3\text{ V}$, $I_{SINK} = 3.2\text{ mA}$ $D_{VDDIO} = 1.8\text{ V}$, $I_{SINK} = 1.6\text{ mA}$, (仅ADV7281)			0.4 0.2	V V
高阻抗漏电流	I_{LEAK}				10	μA
输出电容	C_{OUT}				20	pF
电源要求 ^{1,2}						
数字I/O电源	D_{VDDIO}	ADV7281-M/ADV7281-MA ADV7281	2.97 1.62	3.3 3.3	3.63 3.63	V V
PLL电源	P_{VDD}		1.71	1.8	1.89	V
模拟电源	A_{VDD}		1.71	1.8	1.89	V
数字电源	D_{VDD}		1.71	1.8	1.89	V
MIPI Tx电源	M_{VDD}	仅ADV7281-M/ADV7281-MA	1.71	1.8	1.89	V
数字I/O电源电流	I_{DVDDIO}	ADV7281-M/ADV7281-MA ADV7281		1.5 5		mA mA
PLL电源电流	I_{PVDD}			12		mA
MIPI Tx电源电流	I_{MVDD}	仅ADV7281-M/ADV7281-MA		14		mA
模拟电源电流	I_{AVDD}					
单端CVBS输入				47		mA
差分CVBS输入		全差分和伪差分CVBS		69		mA
Y/C输入				60		mA
YPrPb输入				75		mA
数字电源电流	I_{DVDD}					
单端CVBS输入				60		mA
差分CVBS输入		全差分和伪差分CVBS		60		mA
Y/C输入				60		mA
YPrPb输入				60		mA

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
关断电流 ¹						
数字I/O电源关断电流	I _{DVDDIO_PD}	D _{VDDIO} = 3.3 V, ADV7281-M/ ADV7281-MA D _{VDDIO} = 3.3 V, ADV7281		73		μA
PLL电源关断电流	I _{PVDD_PD}			84		μA
模拟电源关断电流	I _{AVDD_PD}			46		μA
数字电源关断电流	I _{DVDD_PD}			0.2		μA
MIPI Tx电源关断电流	I _{MVDD_PD}	ADV7281-M and ADV7281-MA only		420		μA
关断模式下的总功耗				4.5		μA
				1		mW

¹ 通过特性保证。

² 典型功耗值在标称电源电压水平和SMPTE条形测试图案下测得。

视频规格

除非另有说明，A_{VDD}、D_{VDD}、P_{VDD}和M_{VDD} = 1.71 V至1.89 V，D_{VDDIO} = 2.97 V至3.63 V，针对额定工作温度范围内。规格通过特性保证。

表2.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
非线性规格 ¹						
差分相位	DP	CVBS输入，5步调制		0.9		度
差分相位	DG	CVBS输入，5步调制		0.5		%
亮度非线性	LNL	CVBS输入，5步		2.0		%
噪声规格						
信噪比，未加权	SNR	亮度斜坡 亮度平场		57.1		dB
模拟前端串扰				58		dB
共模抑制比 ²	CMRR			60		dB
				73		dB
锁定时间规格						
水平锁定范围			-5		+5	%
垂直锁定范围			40		70	Hz
f _{sc} 副载波锁定范围				±1.3		kHz
色彩锁定时间				60		行
同步深度范围			20		200	%
色同步范围			5		200	%
垂直锁定时间				2		场
自动检测切换速度 ³				100		行
快速切换速度 ⁴				100		ms
亮度规格		CVBS，1 V输入				
亮度精度				1		%
亮度对比度精度				1		%

¹ 这些规格适用于全部CVBS输入类型(NTSC、PAL和SECAM)，以及单端和差分CVBS输入。

² 本电路设计的CMRR严重依赖于电路输入端的外部电阻匹配(参见“输入网络”部分)。采用0.1%容差电阻、1 V共模电压和10 kHz共模频率进行CMRR测量。

³ 自动检测切换速度表示ADV7281/ADV7281-M/ADV7281-MA检测其输入端存在何种视频格式(例如PAL I或NTSC M)所需的时间。

⁴ 快速切换速度表示ADV7281/ADV7281-M/ADV7281-MA从一路模拟输入(单端或差分)切换到另一路所需的时间(比如从A_{IN1}切换到A_{IN2})。

ADV7281

模拟规格

除非另有说明, A_{VDD} 、 D_{VDD} 、 P_{VDD} 和 $M_{VDD} = 1.71\text{ V}$ 至 1.89 V , $D_{VDDIO} = 2.97\text{ V}$ 至 3.63 V , 针对额定工作温度范围内。规格通过特性保证。请注意, M_{VDD} 仅适用于 [ADV7281-M/ADV7281-MA](#)。

表3.

参数	测试条件/注释	最小值	典型值	最大值	单位
箝位电路					
外部箝位电容	箝位断开		0.1		μF
输入阻抗			10		$\text{M}\Omega$
大箝位源电流			0.4		mA
大箝位吸电流			0.4		mA
小箝位源电流			10		μA
小箝位吸电流			10		μA

时钟和I²C时序规格

除非另有说明, A_{VDD} 、 D_{VDD} 、 P_{VDD} 和 $M_{VDD} = 1.71\text{ V}$ 至 1.89 V , $D_{VDDIO} = 2.97\text{ V}$ 至 3.63 V , 针对额定工作温度范围内。规格通过特性保证。请注意, M_{VDD} 仅适用于 [ADV7281-M/ADV7281-MA](#)。

表4.

参数	符号	最小值	典型值	最大值	单位
系统时钟和晶振					
标称频率			28.63636		MHz
频率稳定性				± 50	ppm
I ² C端口					
SCLK频率				400	kHz
SCLK最短脉冲宽度(高电平)	t_1	0.6			μs
SCLK最短脉冲宽度(低电平)	t_2	1.3			μs
保持时间(起始条件)	t_3	0.6			μs
建立时间(起始条件)	t_4	0.6			μs
SDATA建立时间	t_5	100			ns
SCLK和SDATA上升时间	t_6			300	ns
SCLK和SDATA下降时间	t_7			300	ns
建立时间(停止条件)	t_8		0.6		μs
RESET输入					
$\overline{\text{RESET}}$ 脉冲宽度		5			ms

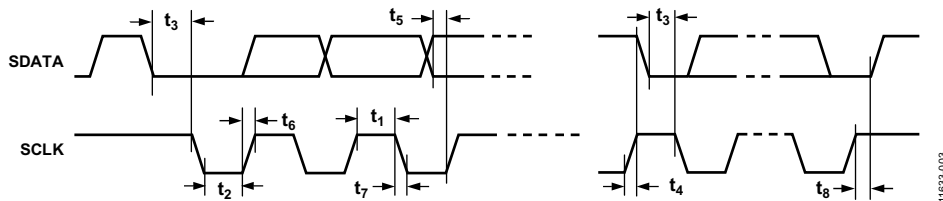


图4. I²C时序图

11833-003

MIPI视频输出规格(仅ADV7281-M和ADV7281-MA)

除非另有说明, A_{VDD} 、 D_{VDD} 、 P_{VDD} 和 $M_{VDD} = 1.71\text{ V}$ 至 1.89 V , $D_{VDDIO} = 2.97\text{ V}$ 至 3.63 V , 针对额定工作温度范围内。ADV7281-M/ADV7281-MA的CSI-2时钟通道甚至在数据通道进入低功耗(LP)模式时依然保持高速(HS)模式。由于这个原因, 时钟通道上某些适合低功耗模式的测量不适用。除非另有说明, 所有高速测量均在ADV7281-M/ADV7281-MA隔行模式以及216 Mbps标称输出数据速率下完成。规格通过特性保证。

表5.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
单位间隔	UI					
隔行输出				4.63		ns
数据通道LP TX直流规格 ¹						
戴维宁输出高电平	V_{OH}		1.1	1.2	1.3	V
戴维宁输出低电平	V_{OL}		-50	0	+50	mV
数据通道LP TX交流规格 ¹						
上升时间, 15%至85%					25	ns
下降时间, 85%至15%					25	ns
上升时间, 30%至85%					35	ns
数据通道LP压摆率与 C_{LOAD} 的关系						
整个垂直边沿区间内的最大压摆率		上升沿 下降沿			150 150	mV/ns mV/ns
最小压摆率		下降沿	30			mV/ns
$400\text{ mV} \leq V_{OUT} \leq 930\text{ mV}$		上升沿	30			mV/ns
$400\text{ mV} \leq V_{OUT} \leq 700\text{ mV}$		上升沿	>0			mV/ns
$700\text{ mV} \leq V_{OUT} \leq 930\text{ mV}$		上升沿	>0			mV/ns
LP异或时钟的脉冲宽度		停止状态后的第一个时钟脉冲或 停止状态前的最后一个脉冲	40			ns
		所有其他时钟脉冲	20			ns
LP异或时钟周期			90			ns
时钟通道LP TX直流规格 ¹						
戴维宁输出高电平	V_{OH}		1.1	1.2	1.3	V
戴维宁输出低电平	V_{OL}		-50	0	+50	mV
时钟通道LP TX交流规格 ¹						
上升时间, 15%至85%					25	ns
下降时间, 85%至15%					25	ns
时钟通道LP压摆率						
整个垂直边沿区间内的最大压摆率		上升沿 下降沿			150 150	mV/ns mV/ns
最小压摆率		下降沿	30			mV/ns
$400\text{ mV} \leq V_{OUT} \leq 930\text{ mV}$		上升沿	30			mV/ns
$400\text{ mV} \leq V_{OUT} \leq 700\text{ mV}$		上升沿	>0			mV/ns
$700\text{ mV} \leq V_{OUT} \leq 930\text{ mV}$		上升沿	>0			mV/ns
数据通道HS TX信号要求		参见图5				
低功耗至高速转换级	t_9	DOP引脚处于 V_{OL} 以及DON引脚 处于 V_{OH} 的时间	50			ns
	t_{10}	DOP和DON引脚处于 V_{OL} 的时间	$40 + (4 \times UI)$		$85 + (6 \times UI)$	ns
	t_{11}	t_{10} 加上HS零电平周期	$145 + (10 \times UI)$			ns
高速差分电压摆幅	$ V_i $		140	200	270	mV p-p
差分电压失配					10	mV
单端输出高电压					360	mV
静态共模电压电平			150	200	250	mV
静态共模电压失配					5	mV
常见动态电平变化						
50 MHz至450 MHz					25	mV
450 MHz以上					15	mV

ADV7281

参数	符号	测试条件/注释	最小值	典型值	最大值	单位	
上升时间, 20%至80%	t ₁₂	发送HS传输脉冲的最终有效载荷数据位之后, ADV7281-M/ADV7281-MA驱动翻转最终数据位所需的时间	0.15		0.3 × UI	ns	
下降时间, 80%至20%			0.15		0.3 × UI	ns	
高速至低功耗转换级			60 + (4 × UI)			ns	
			t ₁₃	传输上升时间的后端(30%至85%)		35	ns
			t ₁₄	从t ₁₂ 开始到低功耗状态开始的时间, 之后是一次HS传输突发脉冲		105 + (12 × UI)	ns
	t ₁₅	HS传输突发脉冲后, 发送低功耗状态的时间		100	ns		
时钟通道HS TX信号要求 低功耗至高速转换级 ²	V ₂	参见图5 CLKP引脚处于V _{OL} 以及CLKN引脚处于V _{OH} 的时间 CLKP和CLKN引脚处于V _{OL} 的时间 时钟HS零电平周期	50			ns	
高速差分电压摆幅 差分电压失配 单端输出高电压 静态共模电压电平 静态共模电压失配 常见动态电平变化 50 MHz至450 MHz 450 MHz以上 上升时间, 20%至80% 下降时间, 80%至20%			38		95	ns	
			300	500		ns	
			140	200	270	mV p-p	
					10	mV	
					360	mV	
				150	200	250	mV
					5	mV	
					25	mV	
					15	mV	
		0.15		0.3 × UI	ns		
		0.15		0.3 × UI	ns		
HS TX时钟至数据通道时序要求 数据至时钟压摆			0.35 × UI		0.65 × UI	ns	

¹ 这些测量在C_{LOAD} = 50 pF下执行。

² 时钟通道在正常工作期间保持高速模式。这些结果仅适用于启动阶段的ADV7281-M/ADV7281-MA。

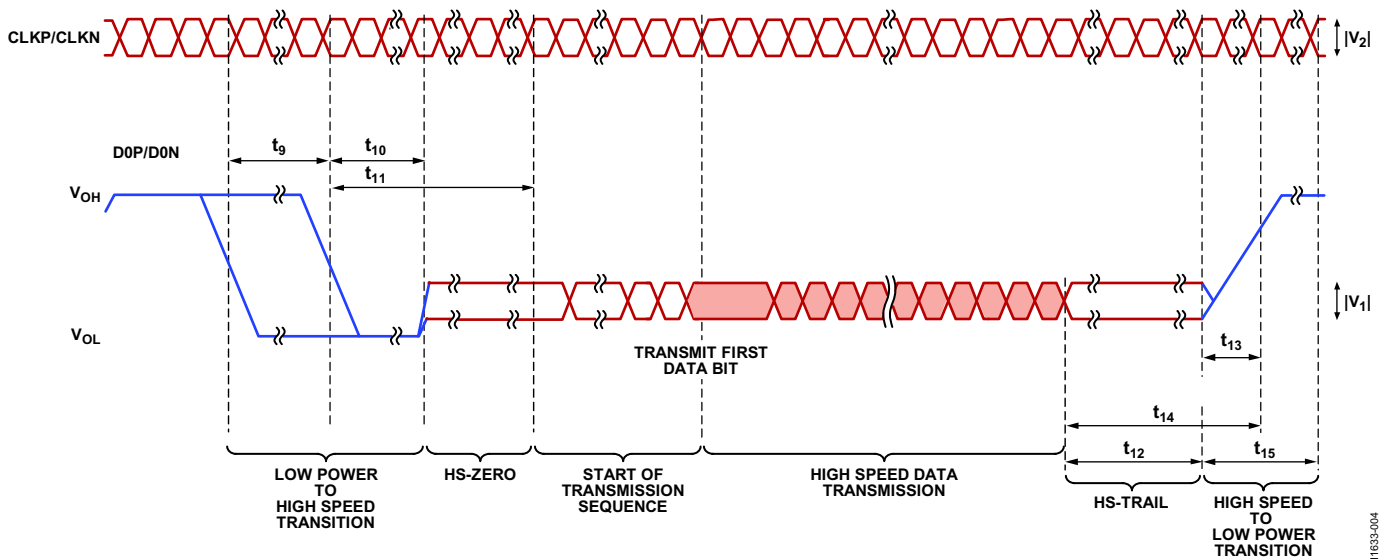


图5. ADV7281-M/ADV7281-MA输出时序图(符合MIPI CSI-2规格)

像素端口时序规格(仅ADV7281)

除非另有说明, A_{VDD} 、 D_{VDD} 和 $P_{VDD} = 1.71\text{ V}$ 至 1.89 V , $D_{VDDIO} = 1.62\text{ V}$ 至 3.63 V , 针对额定工作温度范围内。规格通过特性保证。

表6.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
时钟输出 LLC传号空号比	$t_{16}:t_{17}$		45:55		55:45	%占空比
数据和控制输出 数据输出转换时间	t_{18}	负时钟沿至有效数据开始 ($t_{\text{SETUP}} = t_{17} - t_{18}$)			3.8	ns
	t_{19}	有效数据结束至负时钟沿 ($t_{\text{HOLD}} = t_{16} - t_{19}$)			6.9	ns

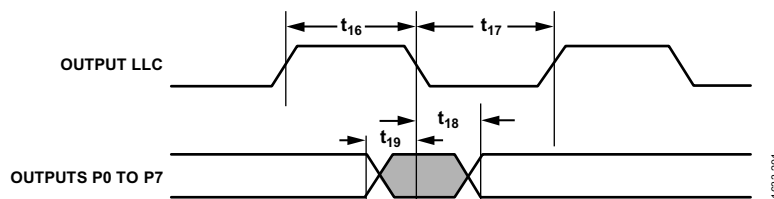


图6. ADV7281像素端口和控制输出时序图

11832/201

绝对最大额定值

表7.

参数	额定值
A_{VDD} 至GND	2.2 V
D_{VDD} 至GND	2.2 V
P_{VDD} 至GND	2.2 V
M_{VDD} 至GND ¹	2.2 V
D_{VDDIO} 至GND	4 V
P_{VDD} 至 D_{VDD}	-0.9 V至+0.9 V
M_{VDD} 至 D_{VDD} ²	-0.9 V至+0.9 V
A_{VDD} 至 D_{VDD}	-0.9 V至+0.9 V
数字输入电压	GND - 0.3 V至 $D_{VDDIO} + 0.3 V$
数字输出电压	GND - 0.3 V至 $D_{VDDIO} + 0.3 V$
模拟输入至地	GND - 0.3 V至 $A_{VDD} + 0.3 V$
最大结温(T_{JMAX})	140°C
存储温度范围	-65°C至+150°C
红外回流焊(20秒)	260°C

¹ 绝对最大额定值假定ADV7281/ADV7281-M/ADV7281-MA的DGND引脚和裸露焊盘一同连接至公共接地层(GND)。这是推荐布局布线方案的一部分。更多信息, 请参见“PCB布局建议”部分。绝对最大额定值相对此公共接地层而言。

² M_{VDD} 仅适用于ADV7281-M和ADV7281-MA。

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下, 推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

这些器件为高性能集成电路, ESD额定值小于2 kV, 对ESD(静电放电)敏感。搬运和装配时必须采取适当的防范措施。

热阻

表8中的热阻值表示焊接在4层印刷电路板(PCB)上的器件额定值, 这些器件具有公共接地层, 并且器件的裸露焊盘连接至DGND。表8中的数值为最大值。

表8. 32引脚LFCSP封装热阻

热特性	符号	数值	单位
结至环境热阻(静止空气)	θ_{JA}	32.5	°C/W
结至外壳热阻	θ_{JC}	2.3	°C/W

回流焊

ADV7281/ADV7281-M/ADV7281-MA是无铅、环保产品, 采用最新材料和工艺制造。每个器件引脚上的涂层均为100%纯锡电镀。这些器件适合无铅应用, 并且可耐受高达255°C(±5°C)的表贴焊接温度。

此外, ADV7281/ADV7281-M/ADV7281-MA还向后兼容传统的SnPb焊接工艺。这意味着可在传统回流温度(220°C至235°C)下将电镀Sn涂层焊接至Sn/Pb焊盘。

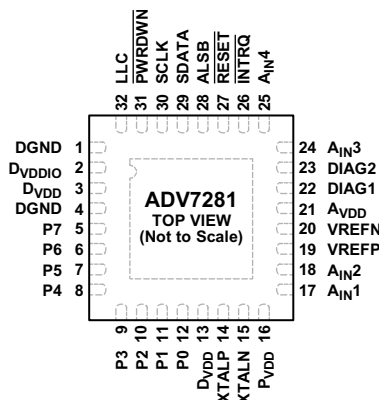
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
1. THE EXPOSED PAD MUST BE CONNECTED TO DGND.

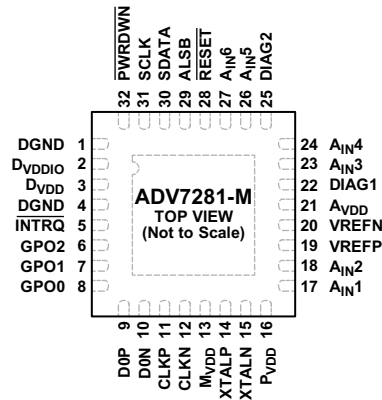
11633-202

图7. ADV7281引脚配置

表9. ADV7281引脚功能描述

引脚编号	引脚名称	类型	说明
1, 4	DGND	地	数字电源接地。
2	DVDDIO	电源	数字I/O电源(1.8 V或3.3 V)。
3, 13	DVDD	电源	数字电源(1.8 V)。
5至12	P7至P0	输出	视频像素输出端口。
14	XTALP	输出	该引脚应连到28.63636 MHz晶振；如果ADV7281使用外部1.8 V、28.63636 MHz时钟振荡器源，则该引脚应保持不连接状态。
15	XTALN	输入	供ADV7281使用的晶振必须为基频晶振。外部28.63636 MHz晶振的输入引脚。供ADV7281使用的晶振必须为基频晶振。如果使用外部1.8 V、28.63636 MHz时钟振荡器源为ADV7281提供时钟，则振荡器输出信号将输入XTALN引脚。
16	PVDD	电源	PLL电源(1.8 V)。
17, 18, 24, 25	A _{IN} 1至A _{IN} 4	输入	模拟视频输入通道。
19	VREFP	输出	内部基准电压输出。
20	VREFN	输出	内部基准电压输出。
21	AVDD	电源	模拟电源(1.8 V)。
22	DIAG1	输入	诊断输入1。
23	DIAG2	输入	诊断输入2。
26	INTRQ	输出	中断请求输出。在输入视频信号中检测到某些信号时，产生中断。
27	RESET	输入	系统复位输入(低电平有效)。ADV7281电路复位需要最短5 ms的低电平复位脉冲。
28	ALSB	输入	该引脚选择ADV7281的I ² C写入地址。当ALSB设为逻辑0时，写入地址为0x40；当ALSB设为逻辑1时，写入地址为0x42。
29	SDATA	输入/输出	I ² C端口串行数据输入/输出。
30	SCLK	输入	I ² C端口串行时钟输入。最大时钟速率为400 kHz。
31	PWRDWN	输入	关断引脚。该引脚为逻辑低电平时，ADV7281进入关断模式。
32	LLC	输出	输出像素数据的行锁定输出时钟。时钟输出标称值为27 MHz，但它会根据视频线路长度增加或减少。
	EPAD (EP)		裸露焊盘。裸露焊盘必须连接到DGND。

ADV7281



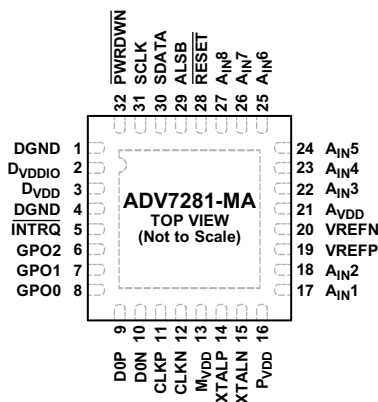
NOTES
1. THE EXPOSED PAD MUST BE CONNECTED TO DGND.

11633-005

图8. ADV7281-M引脚配置

表10. ADV7281-M引脚功能描述

引脚编号	引脚名称	类型	说明
1, 4	DGND	地	数字电源接地。
2	DvDDIO	电源	数字I/O电源(3.3 V)。
3	DvDD	电源	数字电源(1.8 V)。
5	INTRQ	输出	中断请求输出。在输入视频信号中检测到某些信号时，产生中断。
6至8	GPO2至 GPO0	输出	通用输出。这些引脚可通过I ² C配置，以便控制外部器件。
9	D0P	输出	正MIPI差分数据输出。
10	D0N	输出	负MIPI差分数据输出。
11	CLKP	输出	正MIPI差分时钟输出。
12	CLKN	输出	负MIPI差分时钟输出。
13	MvDD	电源	MIPI数字电源(1.8 V)。
14	XTALP	输出	该引脚应连到28.63636 MHz晶振；如果ADV7281-M使用外部1.8 V、28.63636 MHz时钟振荡器源，则该引脚应保持不连接状态。
15	XTALN	输入	供ADV7281-M使用的晶振必须为基频晶振。外部28.63636 MHz晶振的输入引脚。供ADV7281-M使用的晶振必须为基频晶振。如果使用外部1.8 V、28.63636 MHz时钟振荡器源为ADV7281-M提供时钟，则振荡器输出信号将输入XTALN引脚。
16	PvDD	电源	PLL电源(1.8 V)。
17, 18, 23, 24, 26, 27	A _{IN} 1至A _{IN} 6	输入	模拟视频输入通道。
19	VREFP	输出	内部基准电压输出。
20	VREFN	输出	内部基准电压输出。
21	AvDD	电源	模拟电源(1.8 V)。
22	DIAG1	输入	诊断输入1。
25	DIAG2	输入	诊断输入2。
28	RESET	输入	系统复位输入(低电平有效)。ADV7281-M电路复位需要最短5 ms的低电平复位脉冲。
29	ALSB	输入	该引脚选择ADV7281-M的I ² C写入地址。当ALSB设为逻辑0时，写入地址为0x40；当ALSB设为逻辑1时，写入地址为0x42。
30	SDATA	输入/输出	I ² C端口串行数据输入/输出。
31	SCLK	输入	I ² C端口串行时钟输入。最大时钟速率为400 kHz。
32	PWRDWN	输入	关断引脚。该引脚为逻辑低电平时，ADV7281-M进入关断模式。
	EPAD (EP)		裸露焊盘。裸露焊盘必须连接到DGND。



NOTES
1. THE EXPOSED PAD MUST BE CONNECTED TO DGND.

11E33-006

图9. ADV7281-MA引脚配置

表11. ADV7281-MA引脚功能描述

引脚编号	引脚名称	类型	说明
1, 4	DGND	地	数字电源接地。
2	D _{VDDIO}	电源	数字I/O电源(3.3 V)。
3	D _{VDD}	电源	数字电源(1.8 V)。
5	INTRQ	输出	中断请求输出。在输入视频信号中检测到某些信号时，产生中断。
6至8	GPO2至 GPO0	输出	通用输出。这些引脚可通过I ² C配置，以便控制外部器件。
9	D _{OP}	输出	正MIPI差分数据输出。
10	D _{ON}	输出	负MIPI差分数据输出。
11	CLKP	输出	正MIPI差分时钟输出。
12	CLKN	输出	负MIPI差分时钟输出。
13	M _{VDD}	电源	MIPI数字电源(1.8 V)。
14	XTALP	输出	该引脚应连到28.63636 MHz晶振；如果ADV7281-MA使用外部1.8 V、28.63636 MHz时钟振荡器源，则该引脚应保持不连接状态。
15	XTALN	输入	供ADV7281-MA使用的晶振必须为基频晶振。外部28.63636 MHz晶振的输入引脚。供ADV7281-MA使用的晶振必须为基频晶振。如果使用外部1.8 V、28.63636 MHz时钟振荡器源为ADV7281-MA提供时钟，则振荡器输出信号将输入XTALN引脚。
16	P _{VDD}	电源	PLL电源(1.8 V)。
17, 18, 22, 23, 24, 25, 26, 27	A _{IN1} 至A _{IN8}	输入	模拟视频输入通道。
19	VREFP	输出	内部基准电压输出。
20	VREFN	输出	内部基准电压输出。
21	A _{VDD}	电源	Analog Power Supply (1.8 V)。
28	RESET	输入	系统复位输入(低电平有效)。ADV7281-MA电路复位需要最短5 ms的低电平复位脉冲。
29	ALSB	输入	该引脚选择ADV7281-MA的I ² C写入地址。当ALSB设为逻辑0时，写入地址为0x40；当ALSB设为逻辑1时，写入地址为0x42。
30	SDATA	输入/输出	I ² C端口串行数据输入/输出。
31	SCLK	输入	I ² C端口串行时钟输入。最大时钟速率为400 kHz。
32	PWRDWN	输入	关断引脚。该引脚为逻辑低电平时，ADV7281-MA进入关断模式。
	EPAD (EP)		裸露焊盘。裸露焊盘必须连接到DGND。

工作原理

ADV7281/ADV7281-M/ADV7281-MA是功能丰富的单芯片、多格式视频解码器。ADV7281/ADV7281-M/ADV7281-MA可自动检测标准模拟基带视频信号，兼容复合、S视频和分量视频形式的NTSC、PAL和SECAM全球标准信号。

ADV7281可将模拟视频信号转换为8位YCrCb 4:2:2视频数据流，其与8位ITU-R BT.656接口标准兼容。

ADV7281-M/ADV7281-MA可将模拟视频信号转换为8位YCrCb 4:2:2视频数据流，可通过MIPI CSI-2接口输出。

MIPI CSI-2输出接口连接宽范围视频处理器和FPGA。针对具有真8位数据分辨率的消费电子应用，精确的10位模数转换可以提供专业品质的视频性能。

ADV7281/ADV7281-M/ADV7281-MA的模拟视频输入接受单端、伪差分 and 全差分复合视频信号以及S-视频和YPrPb视频信号，支持较宽范围的消费和汽车视频源。

在差分CVBS模式下，ADV7281/ADV7281-M/ADV7281-MA以及外部电阻分压器可提供最高4 V的共模输入范围，消除视频线上的大信号、共模瞬变。

自动增益控制(AGC)和钳位复位电路使ADV7281/ADV7281-M/ADV7281-MA模拟视频输入引脚处的输入视频信号峰峰值范围可达0 V至1.0 V。或者，也可以旁路AGC和钳位复位电路，实现手动设置。

输入视频信号交流耦合具有电池短路(STB)保护功能。在ADV7281和ADV7281-M中，可针对两路输入视频信号执行STB诊断。

ADV7281/ADV7281-M/ADV7281-MA支持其他多种功能，包括8位至6位向下扰动模式和自适应对比度增强(ACE)。

ADV7281/ADV7281-M/ADV7281-MA通过双线式串行双向端口(I²C兼容型)进行编程，并且采用1.8 V CMOS工艺制造。ADV7281/ADV7281-M/ADV7281-MA的单芯片CMOS结构可确保以更低的功耗提供更多的功能。

ADV7281/ADV7281-M/ADV7281-MA的额定工作温度范围为-40°C至+105°C，因此非常适合汽车应用。

模拟前端(AFE)

ADV7281/ADV7281-M/ADV7281-MA的模拟前端(AFE)包含一个高速、10位ADC，它将模拟视频信号数字化，然后输入至标清处理器(SDP)。AFE针对ADC使用差分通道，以确保混合信号应用具备高性能，同时使差分CVBS输入直接与ADV7281/ADV7281-M/ADV7281-MA相连。

AFE还包括一个输入多路复用器，支持多个视频信号施加于ADV7281/ADV7281-M/ADV7281-MA。输入多路复用支持

- 将最多4路复合视频信号施加于ADV7281
- 将最多6路复合视频信号施加于ADV7281-M
- 将最多8路复合视频信号施加于ADV7281-MA

ADC前置电流钳位电路，确保视频信号始终在转换器的处理范围之内。

每个模拟输入通道之前需要连接一个电阻分压器网络，确保输入信号保持在ADC范围内(参见“输入网络”部分)。ADV7281/ADV7281-M/ADV7281-MA的数字精密钳位电路对视频信号执行精密钳位。

表12列出了三种ADC时钟速率，它们由待处理的视频输入格式确定。这些时钟速率确保对于CVBS、Y/C和YPrPb模式具有每通道4倍过采样。

表12. ADC时钟速率

输入格式	ADC时钟速率(MHz) ¹	每通道过采样速率
CVBS	57.27	4×
Y/C(S-视频)	114	4×
YPrPb	172	4×

¹ 基于XTALP和XTALN引脚之间的28.63636 MHz晶振。

ADV7281/ADV7281-M/ADV7281-MA的全差分AFE固有小信号和大信号噪声抑制能力，可增强电磁干扰(EMI)保护性能，以及吸收接地反弹的能力。支持真差分 and 伪差分信号。

标清处理器(SDP)

ADV7281/ADV7281-M/ADV7281-MA可解码复合(单端和差分)、S-视频和分量格式的许多基带视频信号。视频处理器支持的视频标准包括:

- PAL B、PAL D、PAL G、PAL H、PAL I、PAL M、PAL N、PAL Nc、PAL 60
- NTSC J、NTSC M、NTSC 4.43
- SECAM B、SECAM D、SECAM G、SECAM K、SECAM L

ADV7281/ADV7281-M/ADV7281-MA可通过标清处理器(SDP)自动检测视频标准,并作相应处理。

ADV7281/ADV7281-M/ADV7281-MA具有一个5线式自适应2D梳状滤波器,可在解码复合视频信号时提供出色的色度和亮度分离。这种自适应滤波器根据视频标准和信号质量自动调整处理模式,无需用户干预。ADV7281/ADV7281-M/ADV7281-MA还提供视频用户控制,如亮度、对比度和色调。

ADV7281/ADV7281-M/ADV7281-MA采用已获专利的自适应数字线路长度跟踪(ADLLT™)算法,可跟踪VCR等视频源的视频线路长度变化。ADLLT使ADV7281/ADV7281-M/ADV7281-MA能够跟踪和解码质量不佳的视频源,如

VCR以及调谐器输出和便携式摄像机的高噪声源等。ADV7281/ADV7281-M/ADV7281-MA集成色度瞬态改善(CTI)处理器,能够提高色度转换的边沿速率,从而锐化垂直转换。

自适应对比度增强(ACE)可提供更佳的视觉细节,其算法会自动调整对比度水平,增强图像细节。ACE能在不使图像亮区饱和的情况下增加暗区的对比度。该特性在汽车应用中特别有用,因为在这类应用中,分辨阴影区域的物体很重要。

向下扰动将ADV7281/ADV7281-M/ADV7281-MA的输出从8位转换为6位,方便进行标准LCD面板设计。

SDP可处理各种VBI数据服务,如字幕信息(CCAP)、宽屏幕信令(WSS)和版权生成管理系统(CGMS)。VBI数据通过MIPI CSI-2链路传输,用作辅助数据包。

ADV7281/ADV7281-M/ADV7281-MA完全兼容Rovi®(Macrovision®);检测电路可识别并向用户汇报I型、II型和III型保护级。这些解码器还能够稳定地支持所有Macrovision信号输入。

电源时序控制

最佳上电时序

ADV7281/ADV7281-M/ADV7281-MA的最佳上电时序为：

首先是3.3 V D_{VDDIO} 电源上电，然后是1.8 V电源(D_{VDD} 、 P_{VDD} 、 A_{VDD} 和 M_{VDD})。 M_{VDD} 仅适用于ADV7281-M/ADV7281-MA型号。

ADV7281/ADV7281-M/ADV7281-MA上电时，需遵循以下步骤。上电期间，所有电源都必须遵循“绝对最大额定值”部分所列之规格。

1. 置位PWRDWN和RESET引脚(拉低引脚)。
2. D_{VDDIO} 电源上电。
3. 完全置位 D_{VDDIO} 后，1.8 V电源上电。
4. 1.8 V电源完全置位后，拉高PWRDWN引脚。
5. 等待5 ms，然后拉高RESET引脚。
6. 待所有电源以及PWRDWN和RESET引脚都完成上电并稳定后，再等待5 ms时间，然后启动ADV7281/ADV7281-M/ADV7281-MA的I²C通信。

简化上电时序

作为替代方案，ADV7281/ADV7281-M/ADV7281-MA可通过同时置位所有电源以及PWRDWN和RESET引脚完成上电。完成此操作后，执行软件复位，等待10 ms，然后启动ADV7281/ADV7281-M/ADV7281-MA的I²C通信。

由于各电源都正在建立，因此必须确保低额定电源电压水平不超过高额定电源电压水平。上电期间，所有电源都必须遵循“绝对最大额定值”部分所列之规格。

关断时序

只要 D_{VDDIO} 不低于低额定电源电压，ADV7281/ADV7281-M/ADV7281-MA电源就可同时解除置位。

D_{VDDIO} 电源电压

ADV7281-M/ADV7281-MA若要正常工作， D_{VDDIO} 电源必须位于2.97 V至3.63 V范围内。

ADV7281可采用1.8 V D_{VDDIO} 标称电压工作。这种情况下，请应用前文所述的上电时序。唯一的变化是， D_{VDDIO} 上电至1.8 V而非3.3 V，并且ADV7281的PWRDWN和RESET引脚上电至1.8 V而非3.3 V。

注意，当 D_{VDDIO} 为1.8 V时，ADV7281没有引脚需要上拉至3.3 V。例如，ADV7281的I²C引脚(SCLK和SDATA)必须同样上拉至1.8 V而非3.3 V。

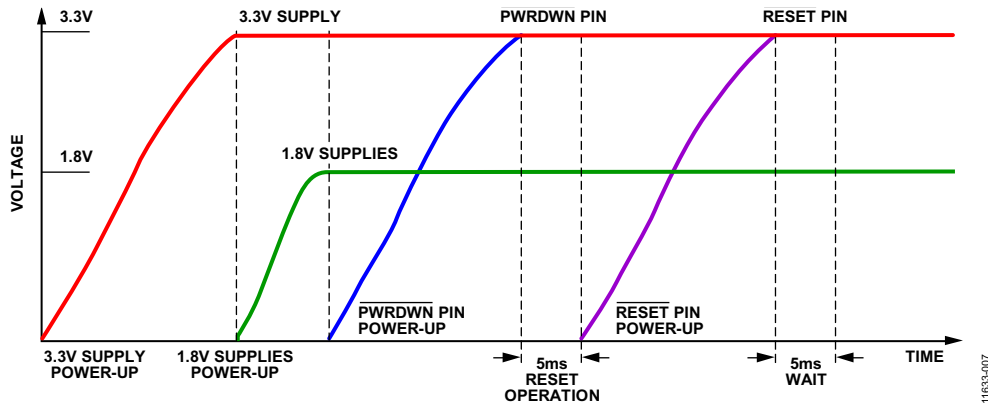


图10. 最佳上电时序

输入网络

解码器的A_{INx}输入引脚上需要连接一个输入网络(外部电阻和电容电路)。输入网络元件取决于选作模拟输入的视频格式。

单端输入网络

图11显示使用下列任一视频输入格式时，用于ADV7281/ADV7281-M/ADV7281-MA每个A_{INx}输入引脚上的输入网络：

- 单端CVBS
- YC(S-视频)
- YPrPb

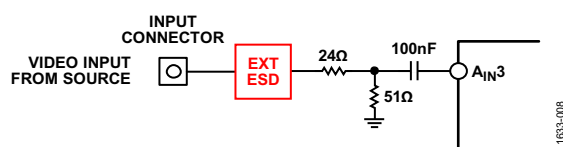


图11. 单端输入网络

24 Ω和51 Ω电阻提供模拟视频输入所需的75 Ω端接电阻。这些电阻同时组成增益为0.68的电阻分压器。电阻分压器衰减输入模拟视频的幅度，同时将输入调节至ADV7281/ADV7281-M/ADV7281-MA的ADC范围。这样可以使ADV7281/ADV7281-M/ADV7281-MA的输入范围高达1.47 V p-p。注意，ADC内的放大器会恢复输入信号幅度，从而保持信噪比(SNR)。

100 nF交流耦合电容可在模拟输入视频的直流偏置馈入ADV7281/ADV7281-M/ADV7281-MA的A_{INx}引脚之前将其移除。ADV7281/ADV7281-M/ADV7281-MA的箝位电路可在输入信号的直流偏置馈入ADV7281/ADV7281-M/ADV7281-MA的ADC之前将其恢复为最佳水平。

差分输入网络

图12显示当差分CVBS视频输入ADV7281/ADV7281-M/ADV7281-MA的A_{INx}输入引脚时所使用的输入网络。

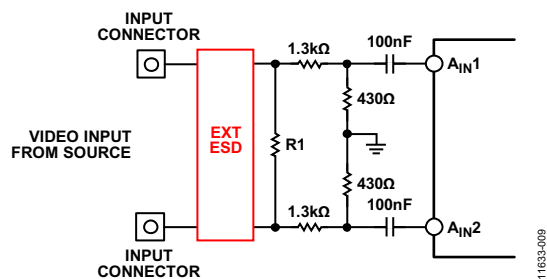


图12. 差分输入网络

全差分视频传输包括传输二进制补码CVBS信号。伪差分视频传输包括传输一路CVBS信号和一路接地源信号。

相比单端传输，差分视频传输具有几个重要优势，包括：

- 固有小信号和大信号噪声抑制能力
- 增强EMI性能
- 可吸收接地反弹

电阻R1为差分CVBS输入线路提供RF端接电阻。对于伪差分CVBS输入而言，R1建议采用75 Ω电阻。对于全差分CVBS输入而言，R1建议采用150 Ω电阻。

1.3 kΩ和430 Ω电阻组成增益为0.25的电阻分压器。电阻分压器衰减输入模拟视频的幅度，但会将ADV7281/ADV7281-M/ADV7281-MA的输入共模范围增加到4 V p-p。注意，ADC内的放大器会恢复输入信号幅度，从而保持SNR性能。

100 nF交流耦合电容可在模拟输入视频的直流偏置馈入ADV7281/ADV7281-M/ADV7281-MA的A_{INx}引脚之前将其移除。ADV7281/ADV7281-M/ADV7281-MA的箝位电路可在输入信号的直流偏置馈入ADV7281/ADV7281-M/ADV7281-MA的ADC之前将其恢复为最佳水平。

发生电池短路(STB)事件时，1.3 kΩ和430 Ω电阻以及100 nF交流耦合电容的组合会限制进入ADV7281/ADV7281-M/ADV7281-MA的电流(参考“电池短路保护”部分)。

为了获得最佳性能，1.3 kΩ和430 Ω电阻必须严格匹配；也就是说，所有1.3 kΩ和430 Ω电阻必须具有相同的电阻容差，且该容差必须尽可能低。

电池短路保护

在差分模式下，ADV7281/ADV7281-M/ADV7281-MA采用外部100 nF交流耦合电容提供针对电池短路(STB)事件的保护(见图12)。外部输入网络电阻足够大，可降低STB事件期间的电流，同时又足够小，不会影响ADV7281/ADV7281-M/ADV7281-MA的工作。

选择输入网络电阻的额定电源时，必须要能够耐受STB事件的高电压。类似地，选择交流耦合电容的击穿电压时，必须足够鲁棒，能耐受STB事件。由于STB事件期间，没有电流或仅有少量电流流过R1电阻，因此该电阻得到了保护。

ADV7281/ADV7281-M提供两个STB诊断引脚，发生STB事件时可用来产生中断。更多信息，请参考“电池短路(STB)诊断(仅ADV7281/ADV7281-M)”部分。

输入配置

ADV7281-M/ADV7281-MA的输入格式由INSEL[4:0]位指定(见表13)。这些位还可用来配置SDP内核,以处理CVBS、差分CVBS、Y/C(S-视频)或分量(YPbPr)格式。INSEL[4:0]位处于寄存器空间的用户子映射中,地址为0x00[4:0]。有关寄存器的更多信息,请参考“寄存器映射”部分。

INSEL[4:0]位指定预定义模拟输入路由方案,无需使用手动多路复用编程,允许用户将各种视频信号类型路由至解码器。例如,如果选择CVBS输入,则会关断其余通道。

表13. INSEL[4:0]位指定的输入格式

INSEL[4:0]位值	视频格式	模拟输入		
		ADV7281	ADV7281-M	ADV7281-MA
00000	CVBS	A _{IN} 1上的CVBS输入	A _{IN} 1上的CVBS输入	A _{IN} 1上的CVBS输入
00001	CVBS	A _{IN} 2上的CVBS输入	A _{IN} 2上的CVBS输入	A _{IN} 2上的CVBS输入
00010	CVBS	保留	A _{IN} 3上的CVBS输入	A _{IN} 3上的CVBS输入
00011	CVBS	保留	A _{IN} 4上的CVBS输入	A _{IN} 4上的CVBS输入
00100	CVBS	保留	保留	A _{IN} 5上的CVBS输入
00101	CVBS	保留	保留	A _{IN} 6上的CVBS输入
00110	CVBS	A _{IN} 3上的CVBS输入	A _{IN} 5上的CVBS输入	A _{IN} 7上的CVBS输入
00111	CVBS	A _{IN} 4上的CVBS输入	A _{IN} 6上的CVBS输入	A _{IN} 8上的CVBS输入
01000	Y/C(S-视频)	A _{IN} 1上的Y输入 A _{IN} 2上的C输入	A _{IN} 1上的Y输入 A _{IN} 2上的C输入	A _{IN} 1上的Y输入 A _{IN} 2上的C输入
01001	Y/C(S-视频)	保留	A _{IN} 3上的Y输入 A _{IN} 4上的C输入	A _{IN} 3上的Y输入 A _{IN} 4上的C输入
01010	Y/C(S-视频)	保留	保留	A _{IN} 5上的Y输入 A _{IN} 6上的C输入
01011	Y/C(S-视频)	A _{IN} 3上的Y输入 A _{IN} 4上的C输入	A _{IN} 5上的Y输入 A _{IN} 6上的C输入	A _{IN} 7上的Y输入 A _{IN} 8上的C输入
01100	YPrPb	保留 ¹	A _{IN} 1上的Y输入 A _{IN} 2上的Pb输入 A _{IN} 3上的Pr输入	A _{IN} 1上的Y输入 A _{IN} 2上的Pb输入 A _{IN} 3上的Pr输入
01101	YPrPb	保留 ¹	保留	A _{IN} 4上的Y输入 A _{IN} 5上的Pb输入 A _{IN} 6上的Pr输入
01110	差分CVBS	A _{IN} 1上的正输入 A _{IN} 2上的负输入	A _{IN} 1上的正输入 A _{IN} 2上的负输入	A _{IN} 1上的正输入 A _{IN} 2上的负输入
01111	差分CVBS	保留	A _{IN} 3上的正输入 A _{IN} 4上的负输入	A _{IN} 3上的正输入 A _{IN} 4上的负输入
10000	差分CVBS	保留	保留	A _{IN} 5上的正输入 A _{IN} 6上的负输入
10001	差分CVBS	A _{IN} 3上的正输入 A _{IN} 4上的负输入	A _{IN} 5上的正输入 A _{IN} 6上的负输入	A _{IN} 7上的正输入 A _{IN} 8上的负输入
10010至11111	保留	保留	保留	保留

¹ 注意, ADV7281可接收YPbPr格式信号,但需要采用手动多路复用方案。这种情况下,亮度(Y)输入A_{IN}1或A_{IN}3,蓝色色度(Pb)输入A_{IN}4,红色色度(Pr)输入A_{IN}2。

电池短路(STB)诊断(仅ADV7281/ADV7281-M)

ADV7281/ADV7281-M通过DIAG1和DIAG2引脚检测STB事件。由于电阻R1上的压降可以忽略不计，DIAG1和DIAG2引脚可检测正差分或负差分输入端的STB事件。

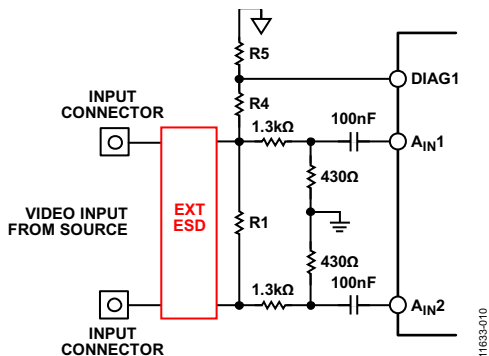


图13. 诊断连接

电阻R4和R5对输入连接器上的电压进行分压处理，保护DIAGx引脚免受STB事件影响。DIAGx引脚电路将该电压与可编程基准电压进行比较，称为诊断限幅电平。超过诊断限幅电平时，会发生STB事件。

当DIAGx引脚电压超过诊断限幅电平电压时，触发硬件中断，并由INTRQ引脚指示。另外还提供回读寄存器，允许用户指定哪个DIAGx引脚上发生STB事件。

使用等式1为选定的诊断限幅电平找到触发电压。

$$V_{STB_TRIGGER} = \frac{R5 + R4}{R5} \times DIAGNOSTIC_SLICE_LEVEL \quad (1)$$

其中：

$V_{STB_TRIGGER}$ 是在ADV7281/ADV7281-M上触发STB中断所需的输入连接器最小电压。

DIAGNOSTIC_SLICE_LEVEL是可编程基准电压。

STB诊断功能编程

默认情况下，ADV7281/ADV7281-M禁用STB诊断功能。如需使能诊断功能，请遵循本节的说明。

DIAG1引脚

DIAG1_SLICER_PWRDN，用户子映射，地址0x5D[6]

该位可为DIAG1引脚诊断电路上电或将其关断。

表14. DIAG1_SLICER_PWRDN功能

DIAG1_SLICER_PWRDN	诊断限幅电平
0	为DIAG1引脚诊断电路上电。
1(默认)	将DIAG1引脚诊断电路关断。

DIAG1_SLICE_LEVEL[2:0]，用户子映射，地址0x5D[4:2]

DIAG1_SLICE_LEVEL[2:0]位允许用户设置DIAG1引脚的诊断限幅电平。当DIAG1引脚上出现高于诊断限幅电平的电压时，触发STB中断。

为了正确设置诊断限幅电平，DIAG1引脚诊断电路必须上电(参见表14)。

表15. DIAG1_SLICE_LEVEL[2:0]设置

DIAG1_SLICE_LEVEL[2:0]	诊断限幅电平
000	75 mV
001	225 mV
010	375 mV
011(默认)	525 mV
100	675 mV
101	825 mV
110	975 mV
111	1.125 V

ADV7281

DIAG2引脚

DIAG2_SLICER_PWRDN, 用户子映射, 地址0x5E[6]

该位可为DIAG2引脚诊断电路上电或将其关断。

表16. DIAG2_SLICER_PWRDN功能

DIAG2_SLICER_PWRDN	诊断限幅电平
0	为DIAG2引脚诊断电路上电。
1(默认)	将DIAG2引脚诊断电路关断。

DIAG2_SLICE_LEVEL[2:0], 用户子映射, 地址0x5E[4:2]

DIAG2_SLICE_LEVEL[2:0]位允许用户设置DIAG2引脚的诊断限幅电平。当DIAG2引脚上出现高于诊断限幅电平的电压时, 触发STB中断。

为了正确设置诊断限幅电平, DIAG2引脚诊断电路必须上电(参见表16)。

表17. DIAG2_SLICE_LEVEL[2:0]设置

DIAG2_SLICE_LEVEL[2:0]	诊断限幅电平
000	75 mV
001	225 mV
010	375 mV
011(默认)	525 mV
100	675 mV
101	825 mV
110	975 mV
111	1.125 V

自适应对比度增强(ACE)

ADV7281/ADV7281-M/ADV7281-MA可根据图片内容增加图像对比度，让亮区变得更亮，暗区变得更暗。可选ACE功能能够在不大幅影响亮区的情况下提高暗区的对比度。该功能在汽车应用中特别有用，因为在这类应用中，分辨阴影区域的物体很重要。

ACE功能默认禁用。如需使能ACE功能，请如按表18所示执行寄存器写操作。如需禁用ACE功能，请按表19所示执行寄存器写操作。

表18. 使能ACE功能的寄存器写操作

寄存器映射	寄存器地址	寄存器写操作	说明
用户子映射(0x40或0x42)	0x0E	0x40	进入用户子映射2
用户子映射2(0x40或0x42)	0x80	0x80	使能ACE
用户子映射2(0x40或0x42)	0x0E	0x00	重新进入用户子映射

表19. 禁用ACE功能的寄存器写操作

寄存器映射	寄存器地址	寄存器写操作	说明
用户子映射(0x40或0x42)	0x0E	0x40	进入用户子映射2
用户子映射2(0x40或0x42)	0x80	0x00	禁用ACE
用户子映射2(0x40或0x42)	0x0E	0x00	重新进入用户子映射

ADV7281

ITU-R BT.656 Tx配置(仅ADV7281)

ADV7281接收模拟视频，然后输出符合ITU-R BT.656规范的数字视频。ADV7281通过P0至P7数据引脚输出ITU-R BT.656视频数据流，并提供一个行锁定时钟(LLC)引脚。

视频数据通过P0至P7引脚，以YCrCb 4:2:2的格式输出。同步信号自动内嵌入视频数据信号中，并符合ITU-R BT.656规范。

LLC输出用作P0至P7引脚上的输出数据时钟信号，标称频率为27 MHz。

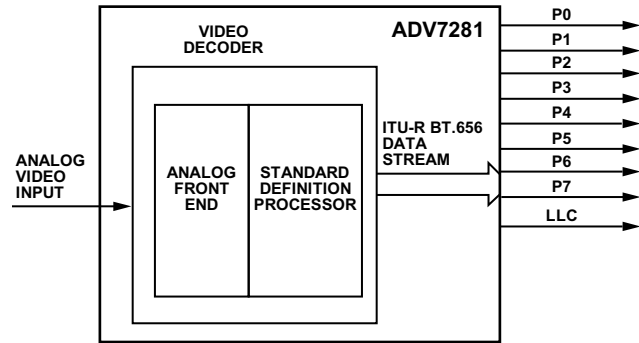


图14. ADV7281的ITU-R BT.656输出级

MIPI CSI-2输出

ADV7281-M/ADV7281-M的解码器输出ITU-R BT.656数据流。ITU-R BT.656数据流连接CSI-2 Tx模块。CSI-2 Tx模块的数据馈入D-PHY物理层，并以串行形式从器件输出。

ADV7281-M/ADV7281-M的输出由D0P和D0N线路上的单数据通道以及CLKP和CLKN线路上的时钟通道组成。

视频数据通过数据线路以高速模式输出。数据线路在水平和垂直消隐期间进入低功耗模式。

时钟线路用来为输出视频提供时钟信号。对ADV7281-M/ADV7281-M编程后，时钟线路退出低功耗模式，并保持高速模式，直到器件复位或关断。

ADV7281-M/ADV7281-M以8位YCrCb 4:2:2格式输出视频数据。视频数据以216 Mbps标称数据速率隔行输出。

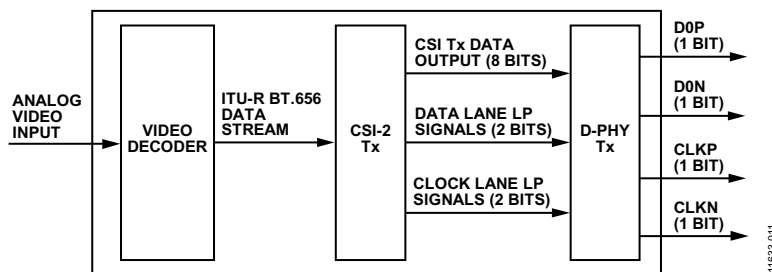


图15. ADV7281-M/ADV7281-M的MIPI CSI-2输出级

I²C端口描述

ADV7281/ADV7281-M/ADV7281-MA支持双线式I²C兼容型串行接口。两路输入——串行数据(SDATA)和串行时钟(SCLK)——承载ADV7281/ADV7281-M/ADV7281-MA与系统I²C主控制器之间的信息。ADV7281/ADV7281-M/ADV7281-MA的I²C端口允许用户建立并配置解码器并回读捕捉到的VBI数据。

ADV7281/ADV7281-M/ADV7281-MA具有多个可能的I²C从机地址和子地址(参考“寄存器映射”部分)。ADV7281/ADV7281-M/ADV7281-MA的主映射具有四个可能的从机地址用于读写操作,具体取决于ALSIB引脚上的逻辑电平(见表20)。

表20. ADV7281-M/ADV7281-MA的主映射I²C地址

ALSIB引脚	R/W位	从机地址
0	0	0x40(写)
0	1	0x41(读)
1	0	0x42(写)
1	1	0x43(读)

ALSIB引脚控制从机地址的位1。通过改变ALSIB引脚的逻辑电平,可在应用中控制两个ADV7281/ADV7281-M/ADV7281-MA器件,无需使用同一个I²C从机地址。LSB(位0)指定读取或写入操作:逻辑1对应读操作,逻辑0对应写操作。

如需控制总线上的器件,请遵循特定规则:

1. 主机通过建立起始条件而启动数据传输,定义为SDATA上的高低转换,同时SCLK保持高电平,表示后面还有地址/数据流。
2. 所有外设均响应起始条件,并移动后续8位(7位地址加R/W位)。这些位以MSB到LSB的方式传输。
3. 能够识别所传输地址的外设在第9个时钟脉冲期间将数据线拉低,从而做出响应;称为应答(ACK)位。

4. 所有其它器件从总线退出,保持空闲状态。在空闲条件下,器件监控SDATA和SCLK线路,等待起始条件和正确的传输地址。

R/W位决定数据的方向。如果第一个字节的LSB为逻辑0,则意味着主机向外设写入信息。如果第一个字节的LSB为逻辑1,则意味着主机从外设读取信息。

ADV7281/ADV7281-M/ADV7281-MA用作总线上的标准I²C从机器件。SDATA引脚上的数据长8位,支持7位地址加R/W位。该器件具有子地址以提供针对内部寄存器的访问;因此,它将第一个字节解释器件地址,将第二个字节解释为起始子地址。子地址自动递增,可以写入或读取起始子地址。数据传输始终由停止条件终止。用户也可以单独访问任何唯一的子地址寄存器,而无需更新所有寄存器。

数据传输过程中的任何阶段都可以检测停止和起始条件。如果正常的读写操作导致这些条件置位失序,器件将立即跳入空闲状态。在给定的SCLK高电平期间,用户只应发送一个起始条件或一个停止条件,或者先发送单一停止条件,再发送单一起始条件。如果用户发送的子地址无效,ADV7281/ADV7281-M/ADV7281-MA不会发送应答,而是直接返回到空闲状态。

在自动递增模式下,如果超过最高子地址,则器件会采取以下其中一种措施:

- 在读取模式下,连续输出最高子地址的寄存器内容,直到主机发送不应答,表示读取结束。不应答条件是指SDATA线在第9个脉冲期间未被拉低。
- 在写入模式下,单独字节数据不会载入子地址寄存器。ADV7281/ADV7281-M/ADV7281-MA发出不应答信号,器件返回空闲状态。

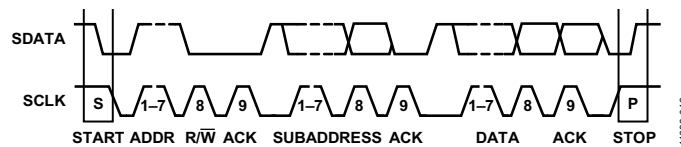


图16. 总线数据传输

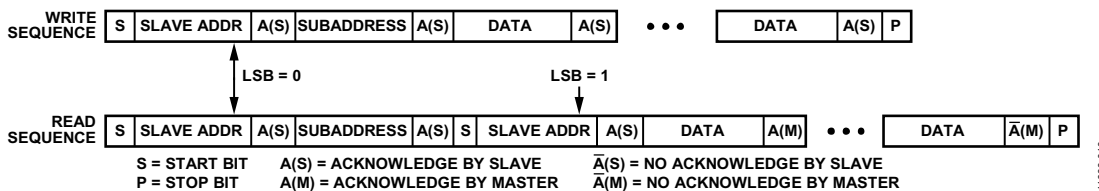


图17. 读取和写入序列

寄存器映射

ADV7281包含一个主寄存器映射。该主寄存器映射含有三个子映射：用户子映射、中断/VDP映射和用户子映射2。

ADV7281-M/ADV7281-MA包含两个寄存器映射：主寄存器映射和CSI寄存器映射(见图18)。ADV7281-M/ADV7281-MA的主寄存器映射包含三个子映射，与ADV7281相似。

主映射

ADV7281-M/ADV7281-MA主映射的I²C从机地址由ALSIB引脚设置(见表20)。主映射允许用户设置CSI映射的I²C从机地址。主映射含有三个子映射：用户子映射、中断/VDP子映射和用户子映射2。通过写入SUB_USR_EN位(地址0x0E[6:5])即可在主映射中访问这三个子映射(见图18和表21)。

用户子映射

用户子映射包含可以编程设置ADV7281-M/ADV7281-MA模拟前端和数字内核的寄存器。用户子映射含有与主映射

相同的I²C从机地址。如需访问用户子映射，请将主映射(地址0x0E[6:5])中的SUB_USR_EN位设为00。

中断/VDP子映射

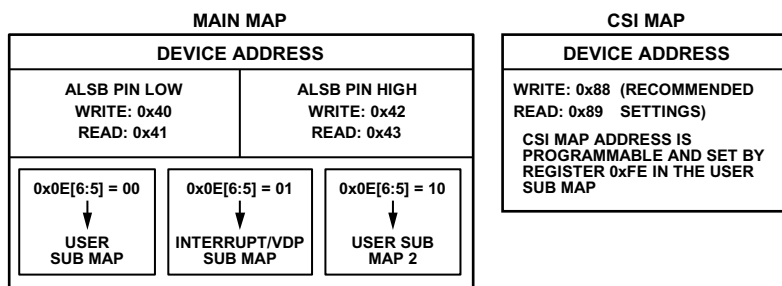
中断/VDP子映射包含可用来编程内部中断、控制INTRQ引脚和解码垂直消隐间隔(VBI)数据的寄存器。

中断/VDP子映射含有与主映射相同的I²C从机地址。如需访问中断/VDP子映射，请将主映射(地址0x0E[6:5])中的SUB_USR_EN位设为01。

用户子映射2

用户子映射2包含控制ACE、向下扰动和快速锁定功能的寄存器。它还提供控制，可在ADV7281-M/ADV7281-MA进入自由运行和色彩丢失模式之前设置适当的输入亮度和色度限值。

用户子映射2含有与主映射相同的I²C从机地址。如需访问用户子映射2，请将主映射(地址0x0E[6:5])中的SUB_USR_EN位设为10。



NOTES
1. CSI MAP ONLY APPLIES TO THE ADV7281-M/ADV7281-MA MODELS.

图18. 寄存器映射和子映射访问

表21. I²C寄存器映射和子映射地址

ALSIB引脚	R/W位	从机地址	SUB_USR_EN位 (地址0x0E[6:5])	寄存器映射或子映射
0	0(写入)	0x40	00	用户子映射
0	1(读取)	0x41	00	用户子映射
0	0(写入)	0x40	01	中断/VDP子映射
0	1(读取)	0x41	01	中断/VDP子映射
0	0(写入)	0x40	10	用户子映射2
0	1(读取)	0x41	10	用户子映射2
1	0(写入)	0x42	00	用户子映射
1	1(读取)	0x43	00	用户子映射
1	0(写入)	0x42	01	中断/VDP子映射
1	1(读取)	0x43	01	中断/VDP子映射
1	0(写入)	0x42	10	用户子映射2
1	1(读取)	0x43	10	用户子映射2
X ¹	0(写入)	0x88	XX ¹	CSI映射(仅ADV7281-M/ADV7281-MA)
X ¹	1(读取)	0x89	XX ¹	CSI映射(仅ADV7281-M/ADV7281-MA)

¹ X和XX表示无关。

ADV7281

CSI映射(ADV7281-M/ADV7281-MA)

CSI映射包含控制ADV7281-M/ADV7281-MA MIPI CSI-2输出流的寄存器。

CSI映射具有可编程I²C从机地址，可通过主映射中的用户子映射寄存器0xFE编程设置。CSI映射地址默认值为0x00；然而，I²C从机地址复位前，CSI映射无法访问。CSI映射的I²C从机地址建议使用0x88。

如需复位CSI映射的I²C从机地址，可写入主寄存器映射(地址0xFE[7:1])中的CSI_TX_SLAVE_ADDRESS[7:1]位。将这些位设为0x88(I²C写入地址；I²C读取地址为0x89)。

SUB_USR_EN位(地址0x0E[6:5])

ADV7281-M/ADV7281-MA主映射含有三个子映射：用户子映射、中断/VDP子映射和用户子映射2(见图18)。默认提供用户子映射。使用SUB_USR_EN位可访问另外两个子映射。完成中断/VDP映射或用户子映射2编程后，需要写入SUB_USR_EN位，以便返回用户子映射。

PCB布局建议

ADV7281/ADV7281-M/ADV7281-MA是高精度、高速、混合信号器件。为了实现器件的最大性能，使用设计良好的PCB非常重要。本节提供使用ADV7281/ADV7281-M/ADV7281-MA时的PCB设计指南。

模拟接口输入

路由PCB上的模拟接口输入时，应保持走线尽量短。尽量使用75 Ω 走线阻抗；非75 Ω 走线阻抗会增加出现反射的可能性。

电源去耦

建议采用100 nF和10 nF电容对每个电源引脚去耦。基本原则是，在距离每个电源引脚大约0.5 cm以内放置一个去耦电容。避免在ADV7281/ADV7281-M/ADV7281-MA的另一侧PCB上放置去耦电容，因为这样做会在路径上产生感性过孔。

在电源层和电源引脚之间放置去耦电容。电流应从电源层经过电容，然后流入电源引脚。不要在电容和电源引脚之间施加电源连接。最佳做法是在低至电源层上的去耦电容焊盘附近或焊盘下方放置一个过孔(参见图19)。

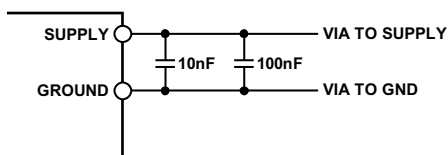


图19. 推荐的电源去耦

保持低噪声和良好的 P_{VDD} 引脚稳定性尤为重要。调节、滤波和去耦时必须十分仔细。最好为每组电路(A_{VDD} 、 D_{VDD} 、 D_{VDDIO} 、 P_{VDD} 和 M_{VDD})提供独立的调节电源。 M_{VDD} 仅适用于ADV7281-M/ADV7281-MA型号。

某些图形控制器在激活后(有效画面期间)以及空闲时(水平和垂直同步期间)，具有极为不同的功率水平。这种差异会使输入模拟电源调节器的电压产生可以测量到的变化，从而使得调节后的模拟电源电压发生变化。通过采用另一个较为干净的电源(比如12 V电源)调节模拟电源，或者至少调节 P_{VDD} 电源可以缓解此问题。

另外，建议为整个电路板使用单接地层。经验表明，采用单接地层时噪声性能将保持不变，甚至更佳。使用多个接地层可能会产生不利影响，因为每个独立的接地层都较小，会产生较长的接地环路。

VREFN和VREFP引脚

将与VREFN和VREFP引脚有关的电路放置在尽可能靠近ADV7281/ADV7281-M/ADV7281-MA的地方，并且与器件同在PCB的一侧。

数字输出

ADV7281数字输出为INTRQ、LLC、P0:P7。ADV7281-M/ADV7281-MA数字输出为GPO0至GPO2。

最大程度缩短数字输出必须驱动的走线长度。更长的走线具有更高的电容，需要更多电流，从而产生更多的内部数字噪声。较短的走线可降低反射的可能性。

增加一个30 Ω 至50 Ω 串联电阻可抑制反射、降低EMI，并减少ADV7281/ADV7281-M/ADV7281-MA中的电流尖峰。如果使用串联电阻，应将它们尽可能靠近ADV7281/ADV7281-M/ADV7281-MA的引脚放置。然而，在试图将电阻靠近放置的时候，应当避免引入过孔或增加额外的输出走线长度。

如果可能的话，应将每路数字输出所必须驱动的电容量限制在15 pF以内。通过将走线保持在较短长度内，以及将输出仅与一个器件相连，便可轻松实现建议的要求。输出端加载过多电容会增加ADV7281/ADV7281-M/ADV7281-MA器件内的电流瞬态，产生更多电源数字噪声。

ADV7281

裸露金属焊盘

ADV7281/ADV7281-M/ADV7281-MA封装底部有一个裸露金属焊盘。此焊盘必须焊接至地。该裸露焊盘用于正常散热、抑制噪声，并获得机械强度方面的好处。

数字输入

ADV7281/ADV7281-M/ADV7281-MA的数字输入设计为接受1.8 V信号(D_{VDDIO} 为3.3 V)，无法耐受5 V信号。如果5 V逻辑信号必须施加于解码器，则需添加额外的元器件。

MIPI输出(D0P、D0N、CLKP、CLKN)(仅ADV7281-M/ADV7281-MA)

建议MIPI的输出走线尽可能短，并位于ADV7281-M/ADV7281-MA器件的同一侧PCB上。另外还建议与MIPI走线相邻的那一层采用实心层(最好是接地层)，以便提供实心参考层。

MIPI传输可工作在差分 and 单端模式下。在高速传输期间，输出对工作在差分模式下；在低功耗模式下，输出对以两个独立的单端走线工作。因此，建议将每个输出对以两个松散耦合的50 Ω 单端走线形式路由，降低低功耗模式下两条走线之间的串扰风险。

典型电路连接

图20提供如何连接ADV7281的示例。欲获得ADV7281评估板的详细原理图，请联系当地ADI公司的现场应用工程师，或咨询ADI公司经销商。

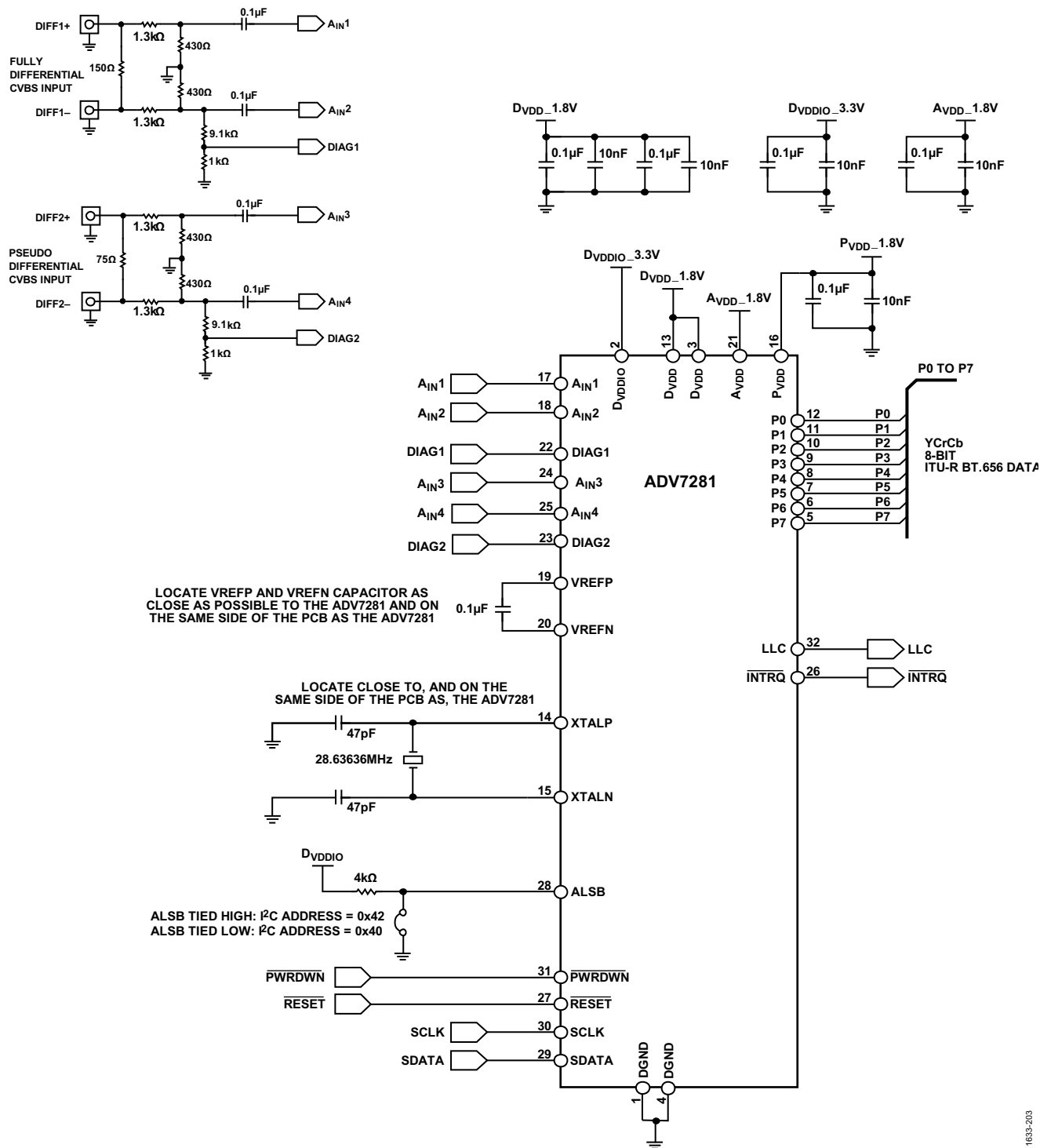


图20. ADV7281典型连接图

ADV7281

图21提供如何连接ADV7281-M的示例。欲获得ADV7281-M评估板的详细原理图，请联系当地ADI公司的现场应用工程师，或咨询ADI公司经销商。

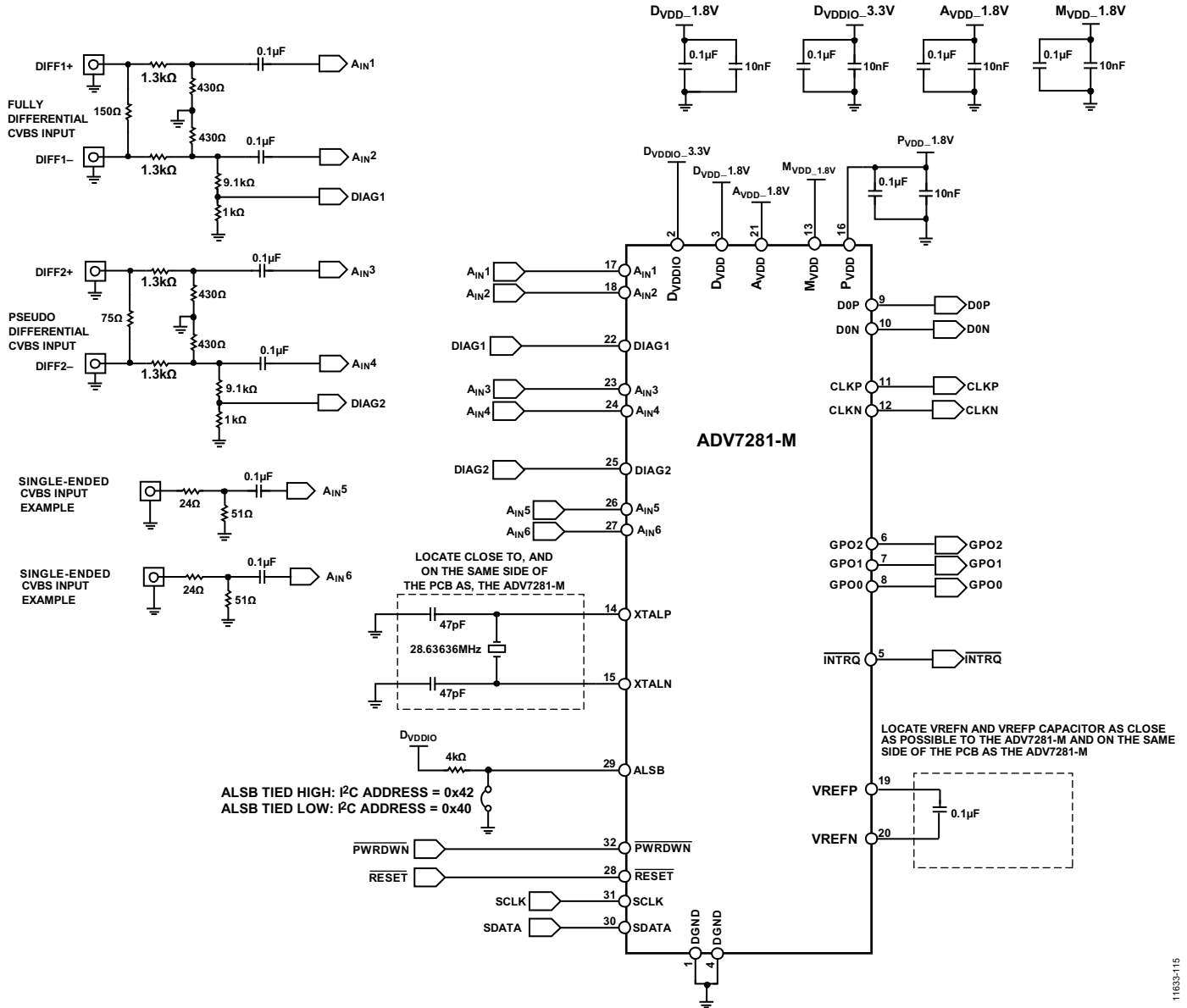


图21. ADV7281-M典型连接图

11633-115

图22提供如何连接ADV7281-MA的示例。欲获得ADV7281-MA评估板的详细原理图，请联系当地ADI公司的现场应用工程师，或咨询ADI公司经销商。

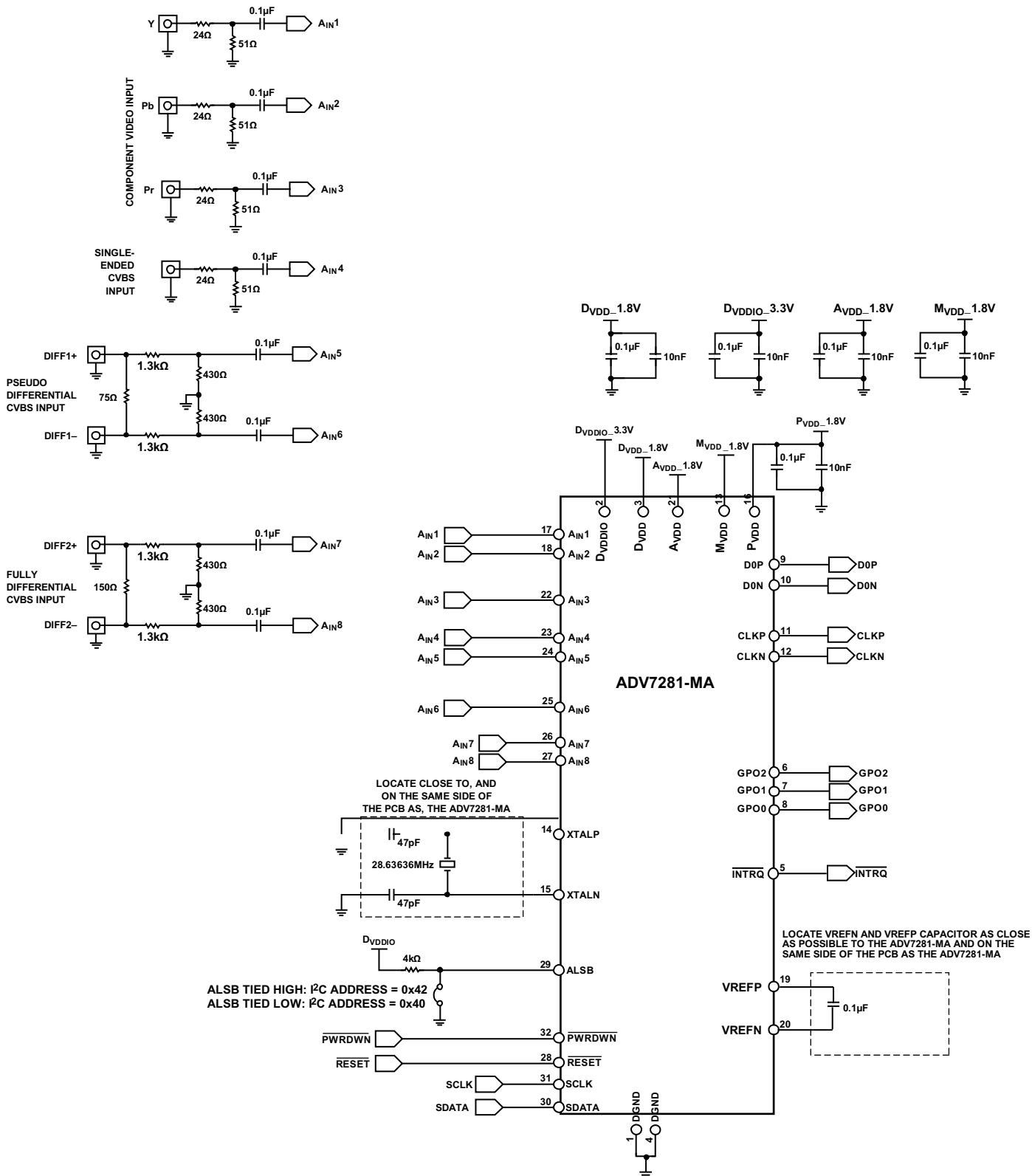
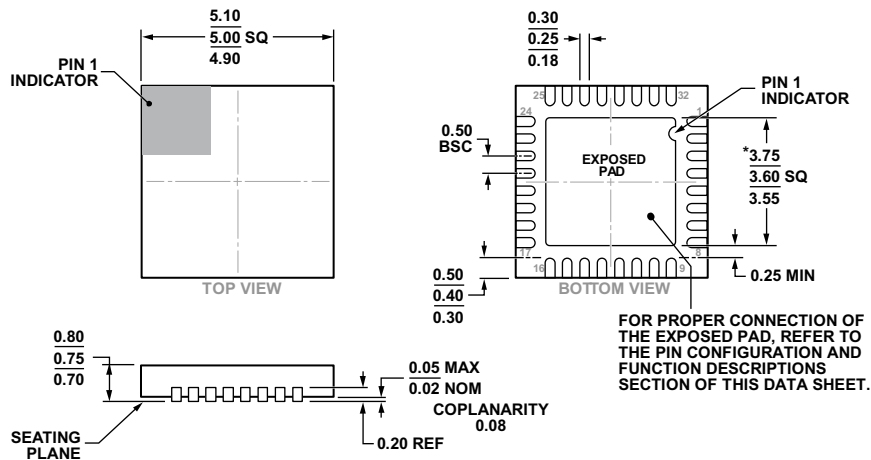


图22. ADV7281-MA典型连接图

外形尺寸



*COMPLIANT TO JEDEC STANDARDS MO-220-WHHD-5 WITH THE EXCEPTION OF THE EXPOSED PAD DIMENSION.

图23. 32引脚引线框芯片级封装[LFCSP_WQ]
5 mm x 5 mm超薄体
(CP-32-12)
尺寸单位: mm

08-16-2010-B

订购指南

型号 ^{1,2}	温度范围	封装描述	封装选项
ADV7281WBCPZ	-40°C至+105°C	32引脚引线框芯片级封装[LFCSP_WQ]	CP-32-12
ADV7281WBCPZ-RL	-40°C至+105°C	32引脚引线框芯片级封装[LFCSP_WQ]	CP-32-12
ADV7281WBCPZ-M	-40°C至+105°C	32引脚引线框芯片级封装[LFCSP_WQ]	CP-32-12
ADV7281WBCPZ-M-RL	-40°C至+105°C	32引脚引线框芯片级封装[LFCSP_WQ]	CP-32-12
ADV7281WBCPZ-MA	-40°C至+105°C	32引脚引线框芯片级封装[LFCSP_WQ]	CP-32-12
ADV7281WBCPZ-MA-RL	-40°C至+105°C	32引脚引线框芯片级封装[LFCSP_WQ]	CP-32-12
EVAL-ADV7281EBZ		ADV7281评估板	
EVAL-ADV7281MEBZ		ADV7281-M评估板	
EVAL-ADV7281MAEBZ		ADV7281-MA评估板	

¹Z = 符合RoHS标准的器件。

²W = 通过汽车应用认证。

汽车应用产品

ADV7281W生产工艺受到严格控制，以提供满足汽车应用的质量和可靠性要求。请注意，车用型号的技术规格可能不同于商用型号；因此，设计人员应仔细阅读本数据手册的技术规格部分。只有显示为汽车应用级的产品才能用于汽车应用。欲了解特定产品的订购信息并获得这些型号的汽车可靠性报告，请联系当地ADI客户代表。

I²C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。