

主要特性

电流输出范围：4 mA至21 mA、0 mA至21 mA

总不可调整误差(TUE)：±0.15% FSR

输出温漂：±5 ppm/°C FSR(典型值)

电压输出范围：0 V至5 V、0 V至10.5 V、±10.5 V

总不可调整误差(TUE)：±0.05% FSR

输出温漂：±3 ppm/°C FSR(典型值)

灵活的串行数字接口

片内输出故障检测

PEC差错校验

异步CLEAR(清零)功能

灵活的上电状态(0 V或三态)

电源电压范围

AV_{DD} : +12 V (±10%)至+24 V (±10%)

AV_{SS} : -12 V (±10%)至-24 V (±10%)

输出环路顺从电压： $AV_{DD} - 2.75 V$

温度范围：-40°C至+105°C

32引脚5 mm × 5 mm LFCSP封装

应用

过程控制

执行器控制

PLC(可编程控制器)

概述

AD5748是一款单通道、低成本、高精度、电压/电流输出驱动器，输出范围可通过硬件或软件编程。软件输出范围可通过SPI/MICROWIRE™兼容的串行接口进行设置。AD5748针对PLC和工业过程控制应用而设计。AD5748的模拟输入由一个低电压、单电源供电的数模转换器(DAC)提供，对该模拟输入进行内部调理以提供所需的输出电流/电压范围。模拟输入范围为0 V至4.096 V。

AD5748提供两种可编程输出电流范围：4 mA至21 mA和0 mA至21 mA。

输出电压由另一个单独的引脚提供，可配置为三种输出电压范围：0 V至5 V、0 V至10.5 V或±10.5 V。

AD5748的模拟输出有短路和开路保护功能，可以驱动2 μF的容性负载和0.1 H的感性负载。

该器件的工作电压范围是±12 V ~ ±24 V。输出环路顺从电压范围是0 V ~ $AV_{DD} - 2.75 V$ 。

灵活的串行接口兼容SPI和MICROWIRE，可以在3线模式下工作，从而极大地降低隔离应用的数字隔离要求。而且，该接口具有可选择的PEC差错校验功能，使用CRC-8差错校验，适用于可能发生数据通信故障的工业环境。

该器件还具有上电复位功能，用于确保器件在已知状态下上电(0 V或三态)，并且具有异步CLEAR引脚，用于将输出设置为零刻度/中间量程，或者是选定电流范围的下限值。

HW SELECT引脚用来配置上电时器件是处于硬件模式还是软件模式。

注意，本数据手册“典型工作特性”部分中的图线包含有关标准范围的信息，这与AD5750/AD5750-1数据手册所公布的相同。虽然已经做过超量程测试，但并未生成新图线，绘图时仍然使用了之前的数据。

表1. 相关器件

产品型号	描述
AD5422	单通道、16位、串行输入、电流源和电压输出DAC

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com

Fax: 781.461.3113

©2010 Analog Devices, Inc. All rights reserved.

目录

特性.....	1	复位功能.....	25
应用.....	1	OUTEN.....	25
概述.....	1	软件控制.....	25
修订历史.....	2	硬件控制.....	27
功能框图.....	3	传递函数.....	27
技术规格.....	4	特性详情.....	28
时序特性.....	7	输出故障报警—软件模式.....	28
绝对最大额定值.....	9	输出故障报警—硬件模式.....	28
ESD警告.....	9	电压输出短路保护.....	28
引脚配置和功能描述.....	10	异步清零(CLEAR).....	28
典型工作特性.....	12	电流设置电阻.....	29
电压输出.....	12	分组差错校验(PEC).....	29
电流输出.....	16	应用信息.....	30
术语.....	21	瞬变电压保护.....	30
工作原理.....	22	散热考量.....	30
软件模式.....	22	布局布线指南.....	30
电流输出架构.....	24	电流隔离接口.....	31
驱动感性负载.....	24	微处理器接口.....	31
AD5748的上电状态.....	24	外形尺寸.....	32
上电时的默认寄存器.....	25	订购指南.....	32

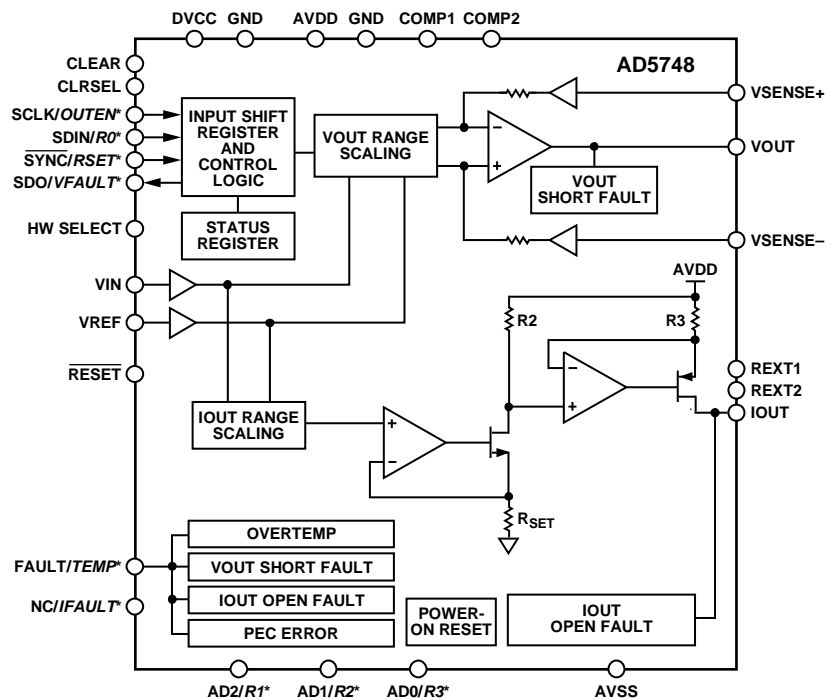
修订历史

2010年5月—修订版0至修订版A

更改表2、电源要求.....6

2010年3月—修订版0：初始版

功能框图



* DENOTES SHARED PIN. SOFTWARE MODE DENOTED BY REGULAR TEXT, HARDWARE MODE DENOTED BY *ITALIC TEXT*. FOR EXAMPLE, FOR FAULT/TEMP PIN, IN SOFTWARE MODE, THIS PIN TAKES ON FAULT FUNCTION. IN HARDWARE MODE, THIS PIN TAKES ON TEMP FUNCTION.

08932-001

图1

AD5748

技术规格

$AV_{DD}/AV_{SS} = \pm 12\text{ V} (\pm 10\%)$ 至 $\pm 24\text{ V} (\pm 10\%)$ 、 $DVCC = 2.7\text{ V}$ 至 5.5 V ， $GND = 0\text{ V}$ 。IOUT: $R_{LOAD} = 300\ \Omega$ 。除非另有说明，所有规格均为 T_{MIN} 至 T_{MAX} 。

表2

参数 ¹	最小值	典型值	最大值	单位	测试条件/注释
输入电压范围					输出端无负载
V_{IN}		0 to 4.096		V	
输入漏电流	-1		+1	μA	
基准输入					
基准输入电压		4.096		V	外部基准电压源需要与此处所述完全相同；否则，精度误差会表现为输出端的误差
输入漏电流	-1		+1	μA	
输出电压 V_{OUT}					
输出电压范围	0		5	V	
	0		10.5	V	AVDD必须至少具有1.3V的裕量
	-10.5		+10.5	V	AVDD/AVSS必须至少具有1.3 V的裕量
精度					
总不可调整误差(TUE) ²	-0.3		+0.3	% FSR	
相对精度(INL)	-0.1	± 0.05	+0.1	% FSR	$T_A = 25^\circ\text{C}$
双极性零刻度误差(中间量程的失调)	-0.02	± 0.005	+0.02	% FSR	
	-10		+10	mV	$\pm 10.5\text{ V}$ 范围
	-8	± 0.5	+8	mV	$T_A = 25^\circ\text{C}$, $\pm 10.5\text{ V}$ 范围
双极性零刻度误差TC ³		± 1.5		ppm FSR/ $^\circ\text{C}$	$\pm 10.5\text{ V}$ 范围
零刻度误差	-10		+10	mV	$\pm 10.5\text{ V}$ 范围
	-8	± 0.5	+8	mV	$T_A = 25^\circ\text{C}$, $\pm 10.5\text{ V}$ 范围
零刻度误差TC ³		± 1		ppm FSR/ $^\circ\text{C}$	$\pm 10.5\text{ V}$ 范围
零刻度/失调误差	-5		+5	mV	0 V 至 10.5 V 范围
	-4	± 0.5	+4	mV	$T_A = 25^\circ\text{C}$, 0 V 至 10.5 V 范围
	-3		+3	mV	0 V 至 5 V 范围
	-2.2	± 0.3	+2.2	mV	$T_A = 25^\circ\text{C}$, 0 V 至 5 V 范围
失调误差TC ³		± 2		ppm FSR/ $^\circ\text{C}$	
增益误差	-0.05		+0.05	% FSR	所有输出范围
	-0.04	± 0.015	+0.04	% FSR	$T_A = 25^\circ\text{C}$
增益误差TC ³		± 0.5		ppm FSR/ $^\circ\text{C}$	
满量程误差	-0.05		+0.05	% FSR	所有输出范围
	-0.04	± 0.015	+0.04	% FSR	$T_A = 25^\circ\text{C}$
满量程误差TC ³		± 1.5		ppm FSR/ $^\circ\text{C}$	
电压输出特性 ³					
裕量			1.3	V	输出端无负载
短路电流		15		mA	
负载	1			k Ω	
容性负载稳定性					$T_A = 25^\circ\text{C}$
$R_{LOAD} = \infty$			1	nF	
$R_{LOAD} = 2\text{ k}\Omega$			1	nF	
$R_{LOAD} = \infty$			2	μF	需要外部补偿电容；参见“驱动感性负载”部分
直流输出阻抗		0.12		Ω	
0 V至5 V范围, 1/4至3/4阶跃		7		μs	2 k Ω 220 pF, $\pm 0.05\%$
0 V至5 V范围, 40 mV输入阶跃		4.5		μs	指定2 k Ω 220 pF, $\pm 0.05\%$
压摆率		2		V/ μs	指定2 k Ω 220 pF
输出噪声		2.5		$\mu\text{V rms}$	带宽: 0.1 Hz至10 Hz
		45.5		$\mu\text{V rms}$	100 kHz带宽

参数 ¹	最小值	典型值	最大值	单位	测试条件/注释
输出噪声频谱密度		165		nV/√Hz	10 kHz时测量；指定2 kΩ 220 pF
交流电源抑制比		-65		dB	200 mV、50 Hz/60 Hz正弦波叠加于电源电压上
直流电源抑制比		10		μV/V	输出端无负载
输出电流 I_{OUT}	0		21	mA	
输出电流范围	4		21	mA	
精度(内部 R_{SET}) ⁴					
总不可调整误差(TUE) ²	-0.5		+0.5	% FSR	$T_A = 25^\circ\text{C}$
相对精度(INL)	-0.3	±0.15	+0.3	% FSR	4 mA 至 21 mA, 0 mA 至 21 mA
失调误差	-0.02	±0.01	+0.02	% FSR	4 mA 至 21 mA, 0 mA 至 21 mA
失调误差TC ³	-16	+5	+16	μA	4 mA 至 21 mA, 0 mA 至 21 mA
增益误差	-10		+10	μA	$T_A = 25^\circ\text{C}$
增益TC ³		±3		ppm FSR/°C	4 mA 至 21 mA, 0 mA 至 21 mA
满量程误差	-0.2		+0.2	% FSR	4 mA 至 21 mA, 0 mA 至 21 mA
满量程TC ³	-0.03	±0.006	+0.03	% FSR	$T_A = 25^\circ\text{C}$
满量程误差		±8		ppm FSR/°C	4 mA 至 21 mA, 0 mA 至 21 mA
满量程TC ³	-0.2		+0.2	% FSR	4 mA 至 21 mA, 0 mA 至 21 mA
满量程误差	-0.125	±0.02	+0.125	% FSR	$T_A = 25^\circ\text{C}$
满量程TC ³		±4		ppm FSR/°C	4 mA 至 21 mA, 0 mA 至 21 mA
精度(外部 R_{SET}) ⁴					
总不可调整误差(TUE) ²	-0.3		+0.3	% FSR	
相对精度(INL)	-0.1	±0.02	+0.1	% FSR	$T_A = 25^\circ\text{C}$
失调误差	-0.02	±0.01	+0.02	% FSR	4 mA 至 21 mA, 0 mA 至 21 mA
失调误差TC ³	-14	+5	+14	μA	4 mA 至 21 mA, 0 mA 至 21 mA
增益误差	-11		+11	μA	$T_A = 25^\circ\text{C}$
增益TC ³		±2		ppm FSR/°C	4 mA 至 21 mA, 0 mA 至 21 mA
满量程误差	-0.08		+0.08	% FSR	4 mA 至 21 mA, 0 mA 至 21 mA
满量程TC ³	-0.07	±0.02	+0.07	% FSR	$T_A = 25^\circ\text{C}$
满量程误差		±1		ppm FSR/°C	4 mA 至 21 mA, 0 mA 至 21 mA
满量程TC ³	-0.1		+0.1	% FSR	4 mA 至 21 mA, 0 mA 至 21 mA
满量程误差	-0.07	±0.02	+0.07	% FSR	$T_A = 25^\circ\text{C}$
满量程TC ³		±2		ppm FSR/°C	4 mA 至 21 mA, 0 mA 至 21 mA
电流输出特性 ³					
电流环路顺从电压	0		$AV_{DD} - 2.75$	V	选择此参数时应确保不超过顺从电压
阻性负载		See comments			
感性负载		See comments			具有较高电感值时需要合适电容；参见“驱动感性负载”部分
建立时间					
4 mA至21 mA，满量程阶跃					
120 μA阶跃，4 mA至21 mA范围		8.5		μs	250 Ω 负载
直流电源抑制比		1.2		μs	250 Ω 负载
输出阻抗			1	μA/V	
输出阻抗		130		MΩ	
数字输入					符合JEDEC标准
输入高电压 V_{IH}	2			V	
输入低电压 V_{IL}			0.8	V	
输入电流	-1		+1	μA	每引脚
引脚电容		5		pF	每引脚
数字输出 ³					
FAULT、IFault、TEMP、VFAULT					
输出低电压 V_{OL}			0.4	V	10 KΩ上拉电阻连接到DVCC
输出低电压 V_{OL}		0.6		V	当电流为2.5 mA
输出高电压 V_{OH}	3.6			V	10 KΩ上拉电阻连接到DVCC

AD5748

参数 ¹	最小值	典型值	最大值	单位	测试条件/注释
SDO					
输出低电压 V_{OL}	0.5	0.5		V	吸电流200 μ A
输出高电压 V_{OH}	DVCC - 0.5	DVCC - 0.5		V	源电流200 μ A
高阻抗输出电容		3		pF	
高阻抗漏电流	-1		+1	μ A	
电源要求					
正模拟电源 AV_{DD}	12		24	V	$\pm 10\%$
负模拟电源 AV_{SS}	-12		-24	V	$\pm 10\%$
数字电源 DV_{CC}					
输入电压	2.7		5.5	V	
AI_{DD}		4.4	5.6	mA	输出端无负载, 输出禁用, R3, R2, R1, R0 = 0, 1, 0, 1
		5.2	6.2	mA	电流输出使能
		5.2	6.2	mA	电压输出使能
AI_{SS}		2.0	2.5	mA	输出端无负载, 输出禁用, R3, R2, R1, R0 = 0, 1, 0, 1
		2.5	3	mA	电流输出使能
		2.5	3	mA	电压输出使能
DI_{CC}		0.3	1	mA	$V_{IH} = DV_{CC}, V_{IL} = GND$
功耗		108		mW	$AV_{DD}/AV_{SS} = \pm 24$ V, 输出端无负载

¹ 温度范围: -40°C 至 $+105^{\circ}\text{C}$; 典型值为 $+25^{\circ}\text{C}$ 。

² 规格包括全温度范围内的增益误差和失调误差, 以及在 $T_A = 125^{\circ}\text{C}$ 下工作1000小时后出现的漂移

³ 通过特性保证, 但未经生产测试。

⁴ 详情参见“电流设置电阻”部分。

时序特性

$AV_{DD}/AV_{SS} = \pm 12\text{ V} (\pm 10\%)$ 至 $\pm 24\text{ V} (\pm 10\%)$ 、 $DV_{CC} = 2.7\text{ V}$ 至 5.5 V ， $GND = 0\text{ V}$ 。VOUT： $R_{LOAD} = 2\text{ k}\Omega$ 、 $C_L = 200\text{ pF}$ 、IOUT： $R_{LOAD} = 300\ \Omega$ 。除非另有说明，所有规格均为 T_{MIN} 至 T_{MAX} 。

表3

参数 ^{1,2}	在 T_{MIN} 、 T_{MAX} 时的限值	单位	描述
t_1	20	ns (最小值)	SCLK 周期时间
t_2	8	ns (最小值)	SCLK 高电平时间
t_3	8	ns (最小值)	SCLK 低电平时间
t_4	5	ns (最小值)	SYNC 下降沿到 SCLK 下降沿建立时间
t_5	10	ns (最小值)	第 16 个 SCLK 下降沿到 SYNC 上升沿 (如果使用 PEC，则为第 24 个 SCLK 下降沿)
t_6	5	ns (最小值)	最小 SYNC 高电平时间 (写入模式)
t_7	5	ns (最小值)	数据建立时间
t_8	5	ns (最小值)	数据保持时间
t_9, t_{10}	1.5	us (最大值)	CLEAR 脉冲低电平/高电平激活时间
t_{11}	5	ns (最小值)	最小 SYNC 高电平时间 (读取模式)
t_{12}	40	ns (最大值)	SCLK 上升沿到 SDO 有效 (SDO CL = 15 pF)
t_{13}	10	ns (最小值)	RESET 脉冲低电平时间

¹ 通过特性保证，但未经生产测试。

² 所有输入信号均指定 $t_r = t_f = 5\text{ ns}$ (DV_{CC} 的 10% 至 90%) 并从 1.2 V 电平起开始计时。

时序图

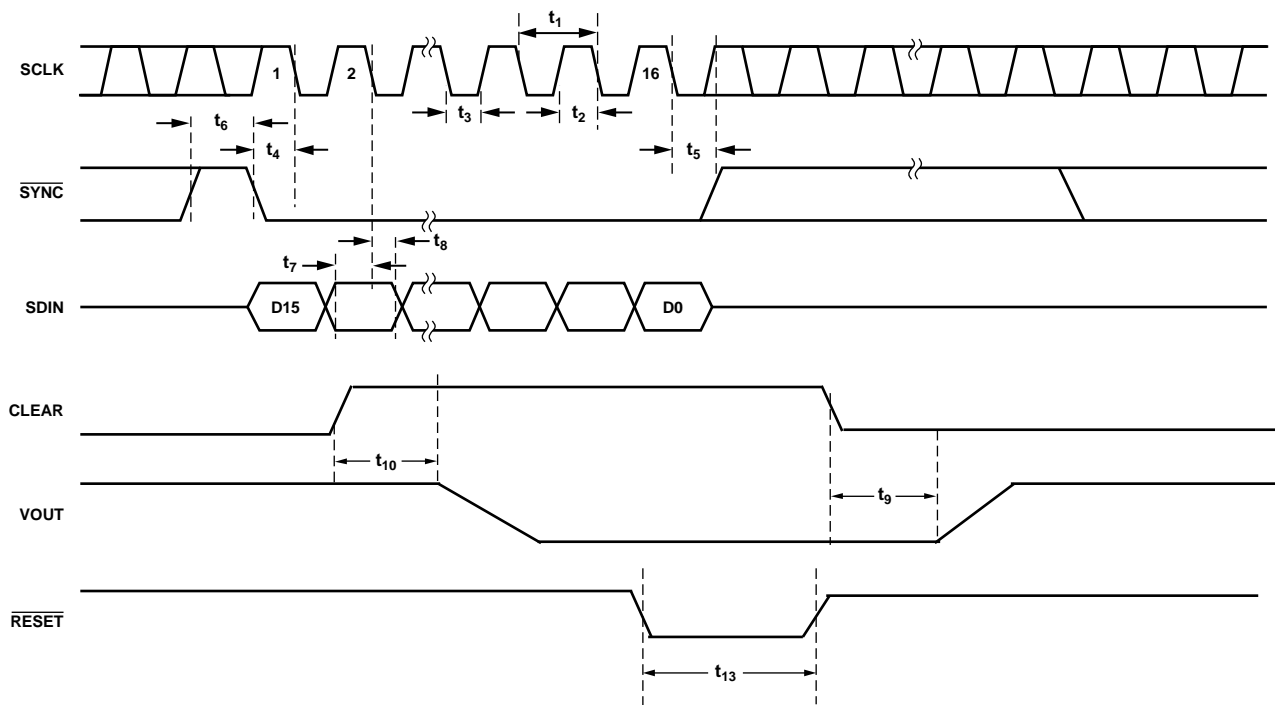


图2. 写入模式时序图

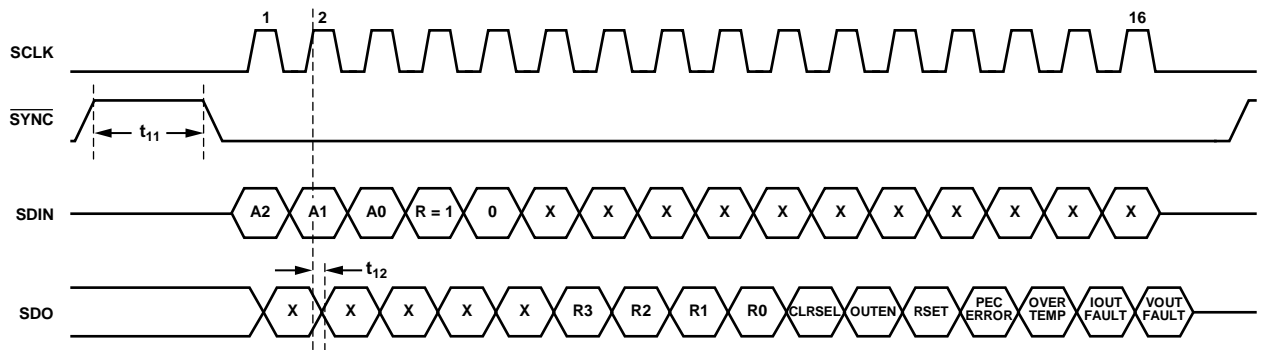


图3. 回读模式时序图

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。
100 mA以下的瞬态电流不会造成SCR闩锁。

表4

参数	额定值
AVDD至GND	-0.3 V至+30 V
AVSS至GND	+0.3 V至-28 V
AVDD至AVSS	-0.3 V至+58 V
DVCC至GND	-0.3 V至+7 V
VSENSE+至GND	AVSS至AVDD
VSENSE-至GND	$\pm 5.0\text{ V}$
数字输入至GND	-0.3 V至 $DV_{CC} + 0.3\text{ V}$ 或7 V(取较小者)
数字输出至GND	-0.3 V至 $DV_{CC} + 0.3\text{ V}$ 或7 V(取较小者)
VREF至GND	较小者)
VIN至GND	-0.3 V至+7 V
VOUT、IOUT至GND	-0.3 V至+7 V
工作温度范围，工业级	AVSS至AVDD
存储温度范围	-40°C 至+105°C
结温(T _J 最大值)	-65°C 至+150°C
32引脚LFCSP封装	125°C
θ_{JA} 热阻	28°C/W
引脚温度	JEDEC工业标准
焊接	J-STD-020
ESD(人体模型)	3 kV

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

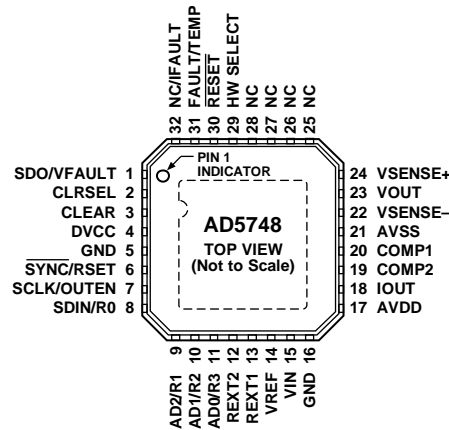
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
 1. NC = NO CONNECT.
 2. THE EXPOSED PADDLE IS TIED TO AVSS.

08922-004

图4. 引脚配置

表4. 引脚功能描述

引脚编号	引脚名称	描述
1	SDO/VFAULT	串行数据输出(SDO)。在软件模式下，此引脚用于在回读模式中从输入移位寄存器逐个输出数据。数据在SCLK上升沿逐个输出，而且在SCLK下降沿有效。此引脚为CMOS输出。 短路故障报警(VFAULT)。在硬件模式下，此引脚用作短路故障报警引脚，并会在检测到短路错误时置位低电平。此引脚为开漏输出，必须连接到上拉电阻。
2	CLRSEL	在硬件或软件模式下，此引脚用于选择清零值(零刻度或中间量程)。在软件模式下，此引脚与内部CLRSEL位取逻辑“或”。
3	CLEAR	高电平有效输入。置位此引脚可将输出电流/电压设置为选定范围(用户可选)的零刻度或中间量程。CLEAR引脚与内部clear位取逻辑“或”。
4	DVCC	数字电源。
5	GND	接地连接。
6	SYNC/RSET	上升沿锁存(SYNC)。在软件模式下，上升沿将输入移位寄存器数据并行载入AD5748，同时更新输出。 电阻选择(RSET)。在硬件模式下，此引脚选择是使用内部电流检测电阻，还是使用外部电流检测电阻。 如果RSET = 0，则选择外部检测电阻。 如果RSET = 1，则选择内部检测电阻。
7	SCLK/OUTEN	串行时钟输入(SCLK)。在软件模式下，数据在SCLK下降沿读入输入移位寄存器。此引脚的工作时钟速率最高达50 MHz。
8	SDIN/R0	输出使能(OUTEN)。在硬件模式下，此引脚用作输出使能引脚。 串行数据输入(SDIN)。在软件模式下，数据必须在SCLK下降沿有效。
9	AD2/R1	范围解码位(R0)。在硬件模式下，此引脚与R1、R2和R3一起用于选择器件的输出电压/电流范围设置。 器件寻址位(AD2)。在软件模式下，此引脚与AD1和AD0配合使用，允许一条总线上最多可以寻址八个器件。
10	AD1/R2	范围解码位(R1)。在硬件模式下，此引脚与R0、R2和R3一起用于选择器件的输出电压/电流范围设置。 器件寻址位(AD1)。在软件模式下，此引脚与AD2和AD0配合使用，允许一条总线上最多可以寻址八个器件。 范围解码位(R2)。在硬件模式下，此引脚与R0、R1和R3一起用于选择器件的输出电流/电压范围设置。

引脚编号	引脚名称	描述
11	AD0/R3	器件寻址位(AD0)。在软件模式下,此引脚与AD1和AD2配合使用,允许一条总线上最多可以寻址八个器件。 范围解码位(R3)。在硬件模式下,此引脚与R0、R1和R2一起用于选择器件的输出电流/电压范围设置。
12, 13	REXT2, REXT1	REXT1和REXT2引脚之间可以连接一个15 kΩ外部电流设置电阻,用于改善IOUT温度漂移性能。
14	VREF	缓冲基准电压输入。
15	VIN	缓冲模拟输入(0 V至4.096 V)。
16	GND	接地连接。
17	AVDD	正模拟电源引脚。
18	IOUT	电流输出引脚。
19, 20	COMP2, COMP1	电压输出缓冲的可选补偿电容连接。这些引脚用于驱动输出端的较高容性负载。这些引脚还可以减少输出端的过冲。选择COMP1和COMP2引脚之间连接的电容值时必须谨慎,因为该值会直接影响输出的建立时间。详情参见“驱动较大容性负载”部分。
21	AVSS	负模拟电源引脚。
22	VSENSE-	负电压输出负载连接的检测连接。为保证正确操作,此引脚必须保持在到地电压的±3.0 V范围内。
23	VOUT	缓冲模拟输出电压。
24	VSENSE+	正电压输出负载连接的检测连接。
25, 26, 27, 28	NC	无连接。可与GND相连。
29	HW SELECT	此引脚用于将器件配置为硬件模式或软件模式。 HW SELECT = 0选择软件控制。 HW SELECT = 1选择硬件控制。
30	$\overline{\text{RESET}}$	将器件复位至其上电状态。
31	FAULT/TEMP	故障报警(FAULT)。在软件模式下,此引脚用作通用故障报警引脚。检测到开路、短路、过温错误或PEC接口错误时,此引脚置位低电平。此引脚为开漏输出,必须连接到上拉电阻。 过温故障(TEMP)。在硬件模式下,此引脚用作过温故障引脚。检测到过温错误时,此引脚置位低电平。此引脚为开漏输出,必须连接到上拉电阻。
32	NC/IFault	无连接(NC)。在软件模式下,此引脚无连接。或者,此引脚与GND相连。 开路故障报警(IFault)。在硬件模式下,此引脚用作开路故障报警引脚。检测到开路错误时,此引脚置位低电平。此引脚为开漏输出,必须连接到上拉电阻。
33 (EPAD)	裸露焊盘	裸露焊盘与AVSS相连。

典型工作特性

电压输出

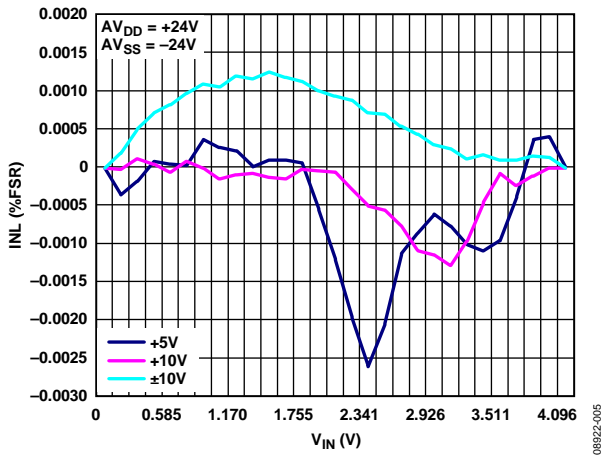


图5. 积分非线性误差与 V_{IN} 的关系

08922-005

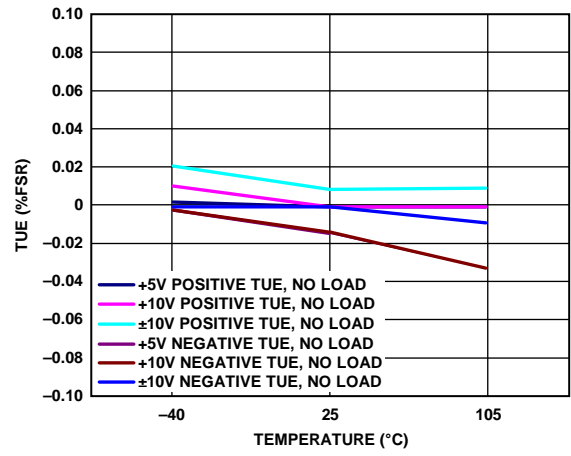


图8. 总不可调整误差与温度的关系

08922-008

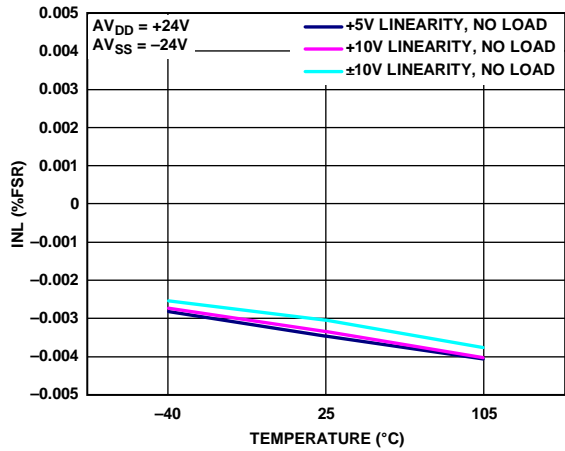


图6. 积分非线性误差与温度的关系

08922-006

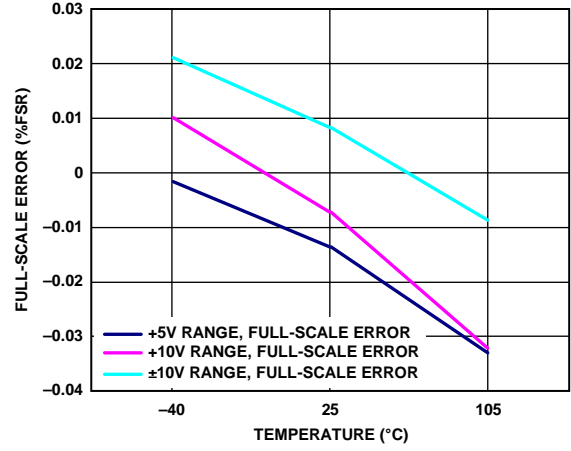


图9. 满量程误差与温度的关系

08922-009

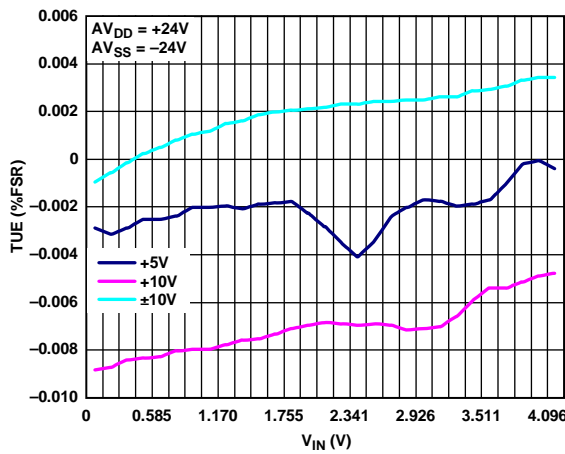


图7. 总不可调整误差与 V_{IN} 的关系

08922-007

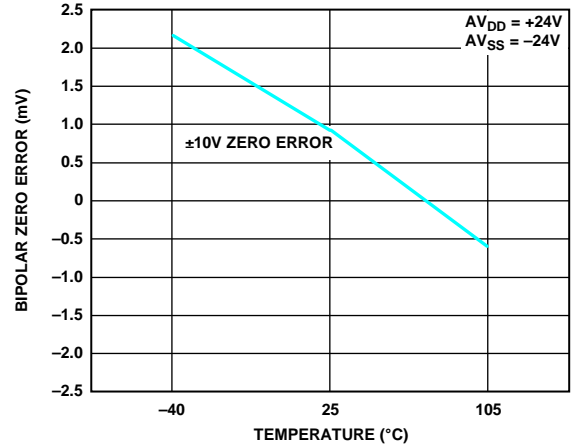


图10. 双极性零刻度误差与温度的关系

08922-010

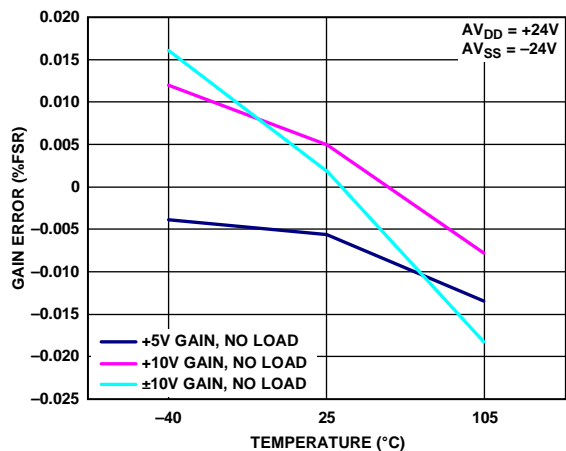


图11. 增益误差与温度的关系

08922-011

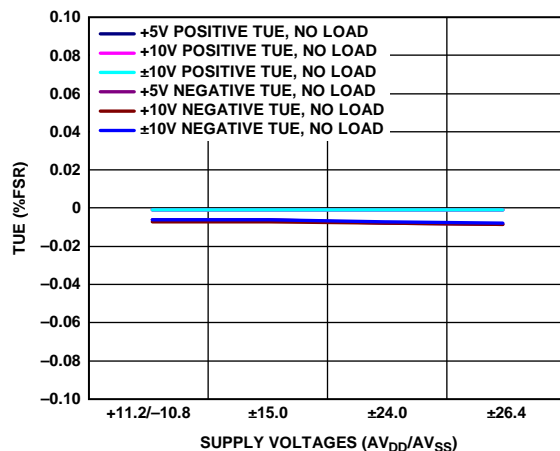


图14. 总不可调整误差与电源电压的关系

08922-014

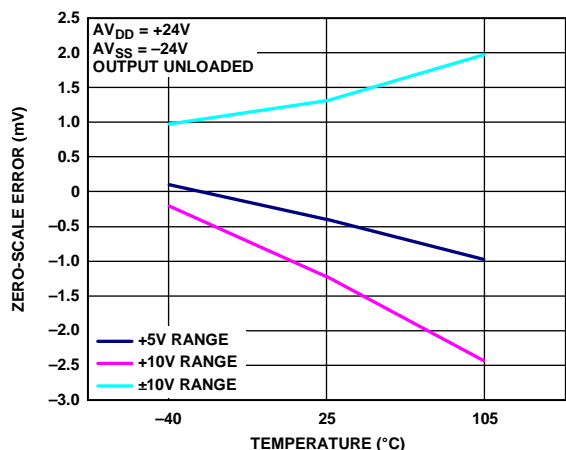


图12. 零刻度误差(失调误差)与温度的关系

08922-012

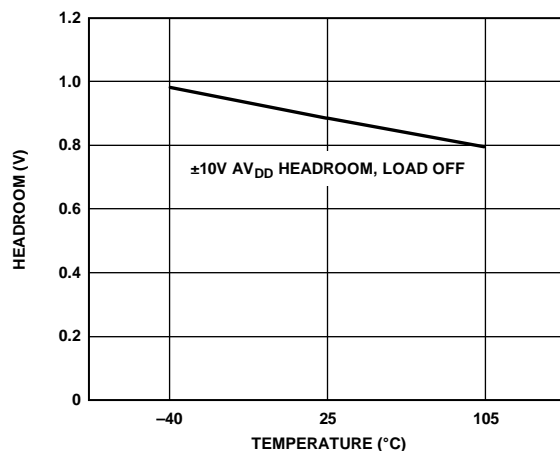


图15. AV_{DD} 裕量、 $\pm 10V$ 范围，输出设置为10V，无负载

08922-015

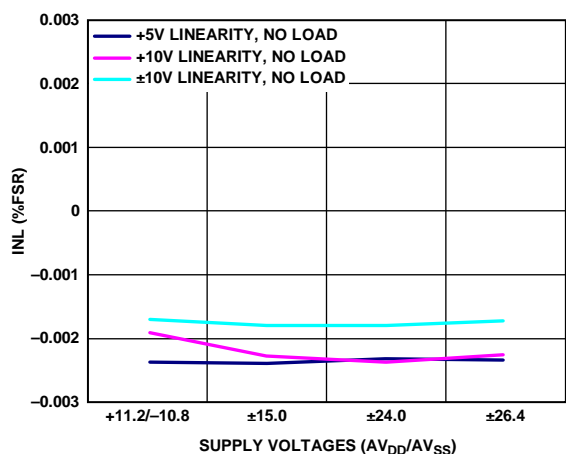


图13: 积分非线性误差与电源电压的关系

08922-013

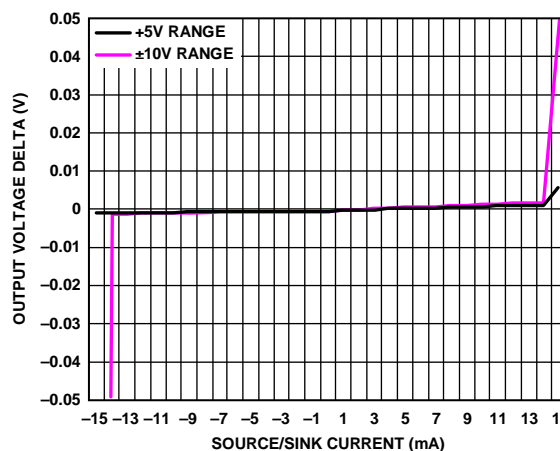


图16. 输出放大器的源电流和吸电流能力

08922-016

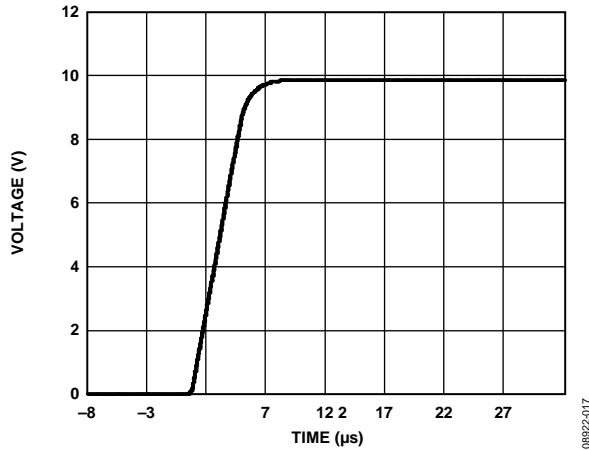


图17. 满量程正阶跃

08922-017

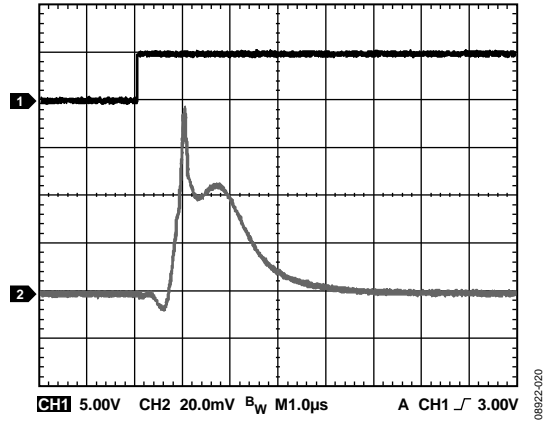


图20. V_{OUT} 使能毛刺, 负载 = $2\text{ k}\Omega \parallel 1\text{ nF}$

08922-020

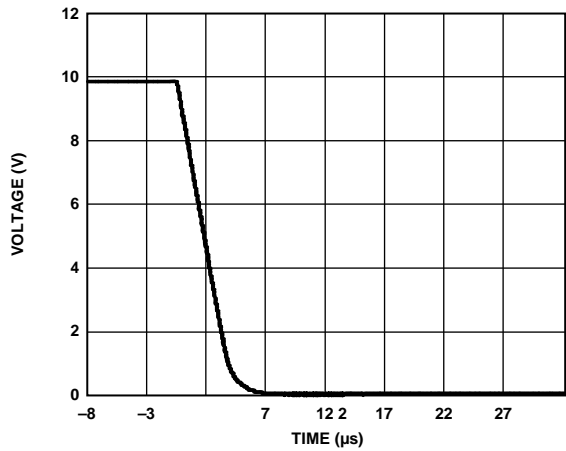


图18. 满量程负阶跃

08922-018

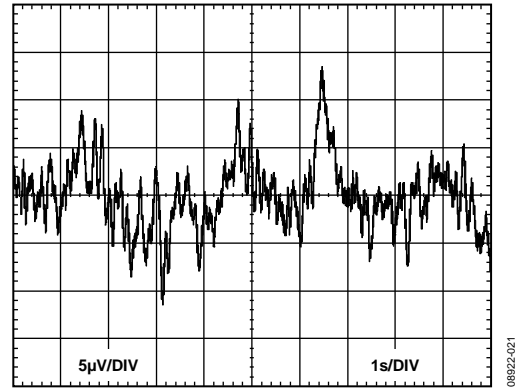


图21. 峰峰值噪声(0.1 Hz至10 Hz带宽)

08922-021

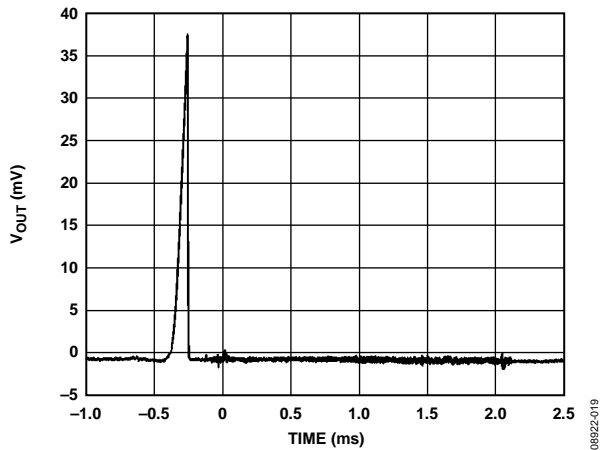


图19. 上电时 V_{OUT} 与时间的关系, 负载 = $2\text{ k}\Omega \parallel 200\text{ pF}$

08922-019

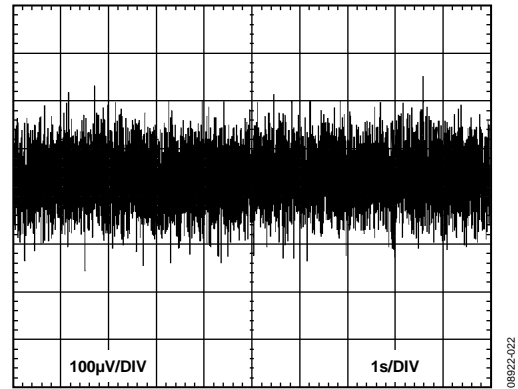


图22. 峰峰值噪声(100 kHz带宽)

08922-022

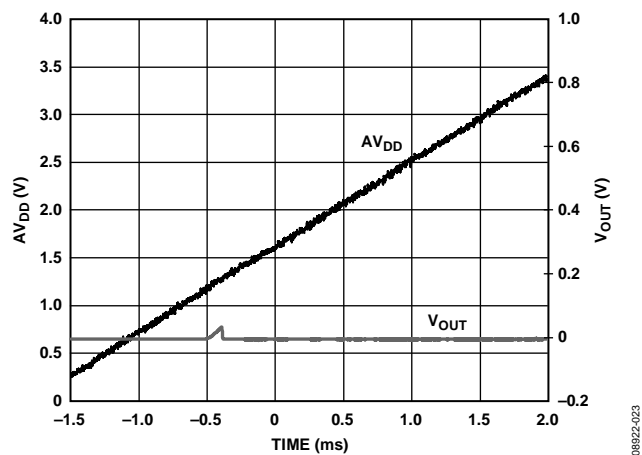


图23. 上电时 AV_{DD} 和 V_{OUT} 与时间的关系

CURRENT OUTPUT

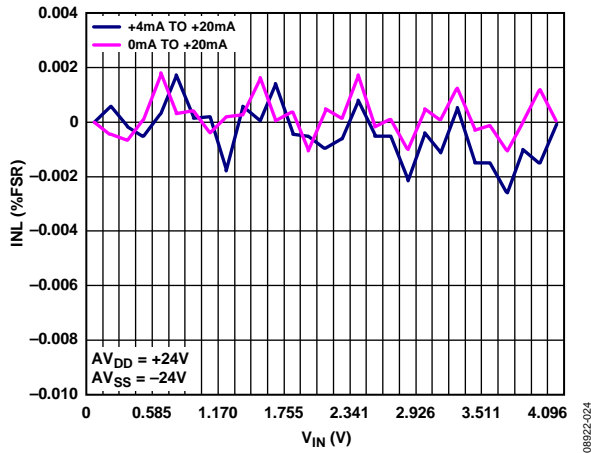


图24. 积分非线性误差与 V_{IN} 的关系, 外部 R_{SET} 电阻

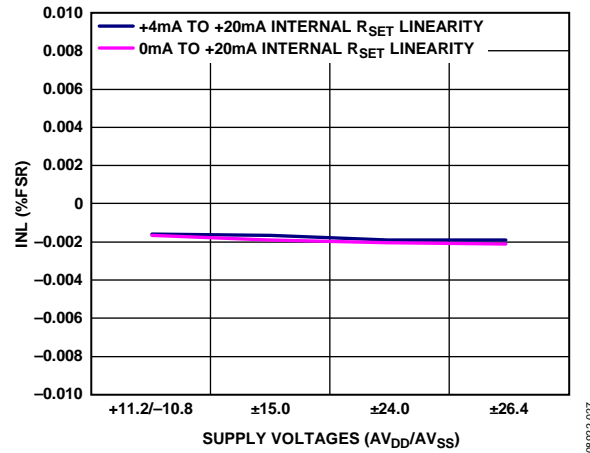


图27. 积分非线性误差、电流模式、内部 R_{SET} 检测电阻

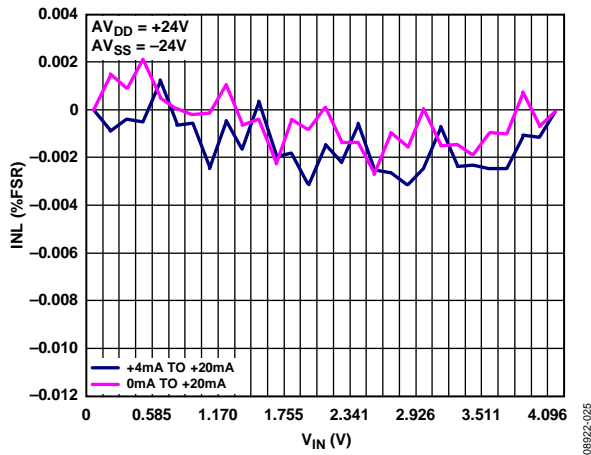


图25. 积分非线性误差与 V_{IN} 的关系, 内部 R_{SET} 电阻

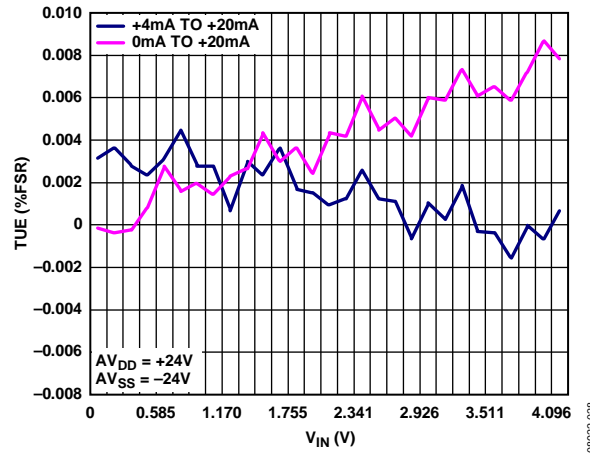


图28. 总不可调整误差与 V_{IN} 的关系, 外部 R_{SET} 电阻

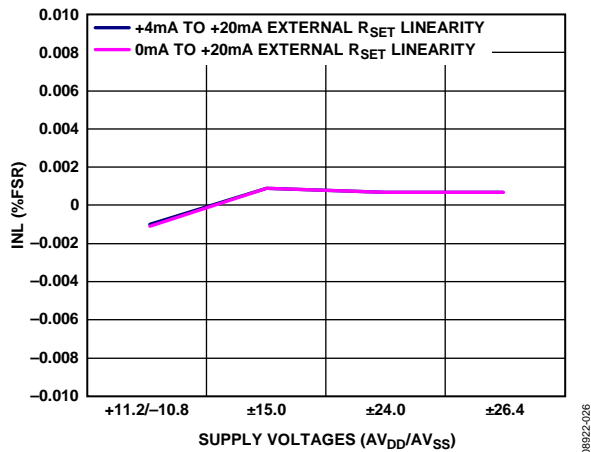


图26. 积分非线性误差、电流模式、外部 R_{SET} 检测电阻

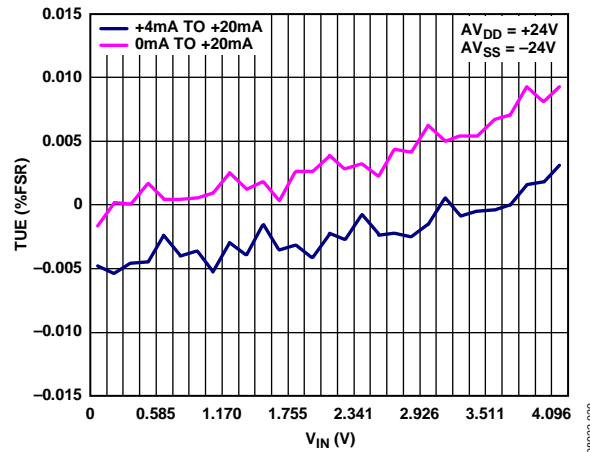


图29. 总不可调整误差与 V_{IN} 的关系, 内部 R_{SET} 电阻

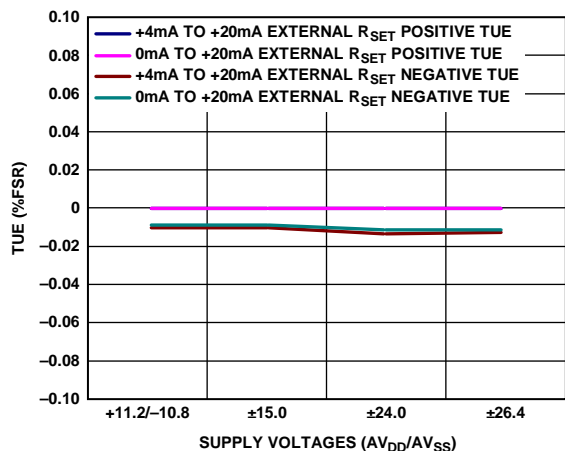


图30. 总不可调整误差电流模式(外部 R_{SET} 检测电阻)

08922-030

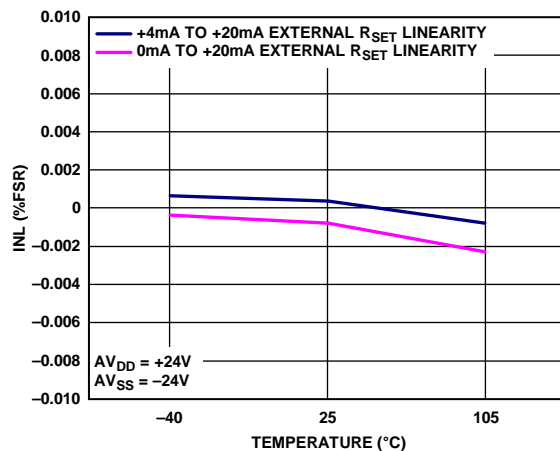


图33. INL与温度的关系(外部 R_{SET} 检测电阻)

08922-033

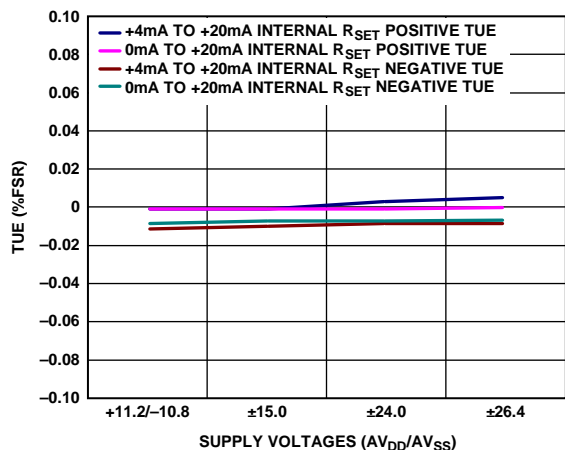


图31. 总不可调整误差电流模式(内部 R_{SET} 检测电阻)

08922-031

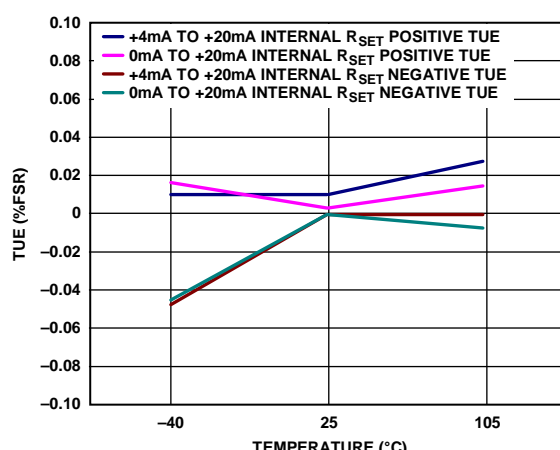


图34. 总体不可调整误差与温度的关系(内部 R_{SET} 检测电阻)

08922-034

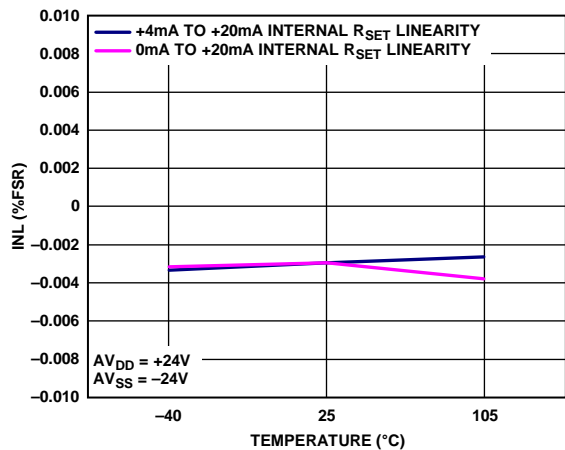


图32. INL与温度的关系(内部 R_{SET} 检测电阻)

08922-032

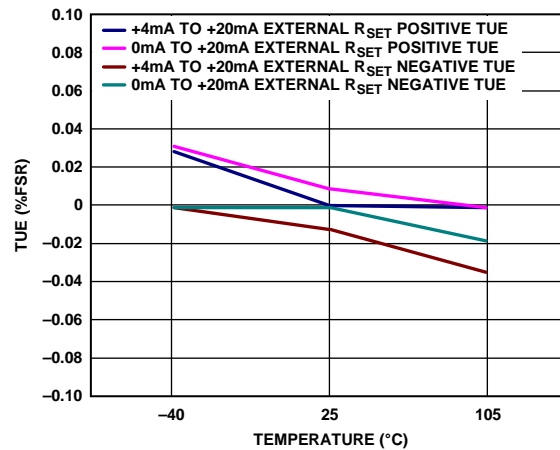


图35. 总体不可调整误差与温度的关系(外部 R_{SET} 检测电阻)

08922-035

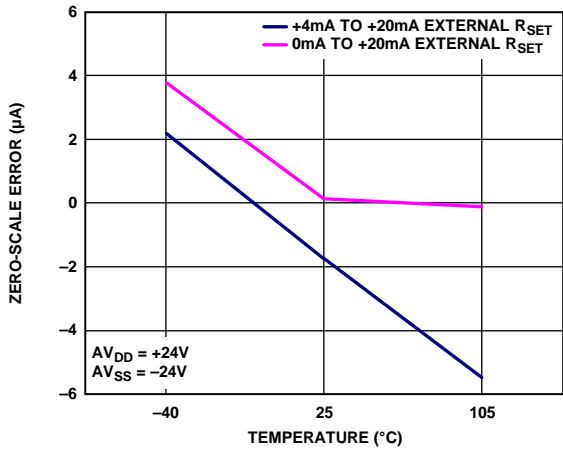


图36. 零刻度误差与温度的关系(外部 R_{SET} 检测电阻)

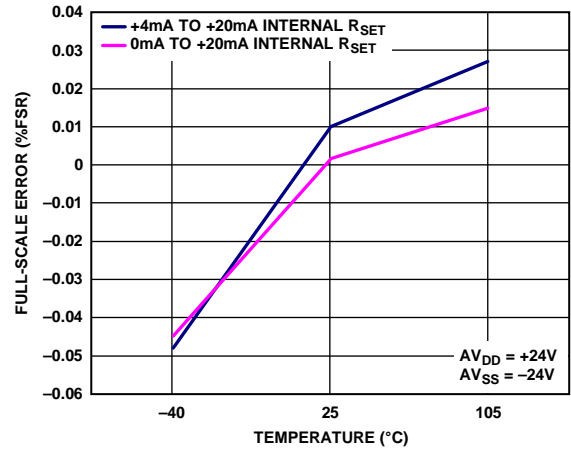


图39. 满量程误差与温度的关系(内部 R_{SET} 检测电阻)

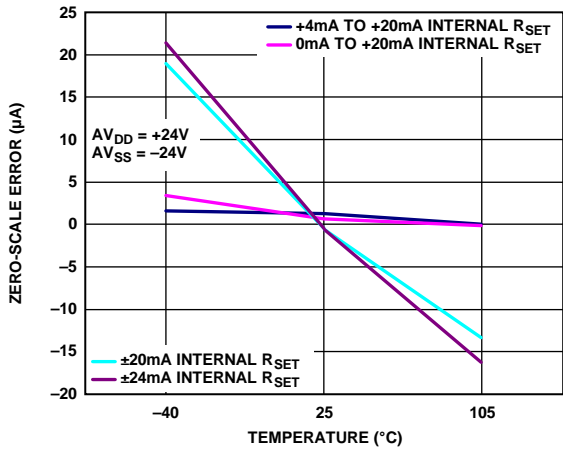


图37. 零刻度误差与温度的关系(内部 R_{SET} 检测电阻)

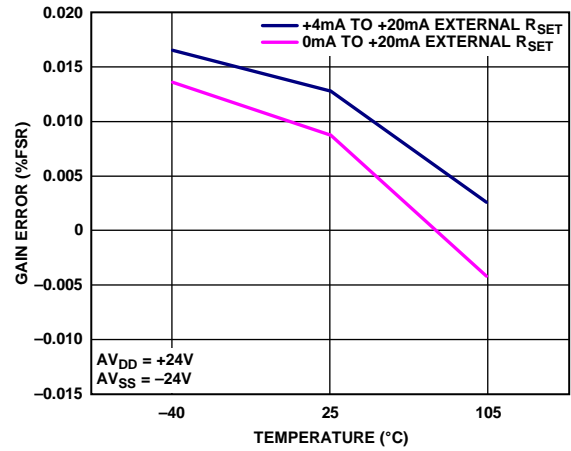


图40. 增益误差与温度的关系(外部 R_{SET} 检测电阻)

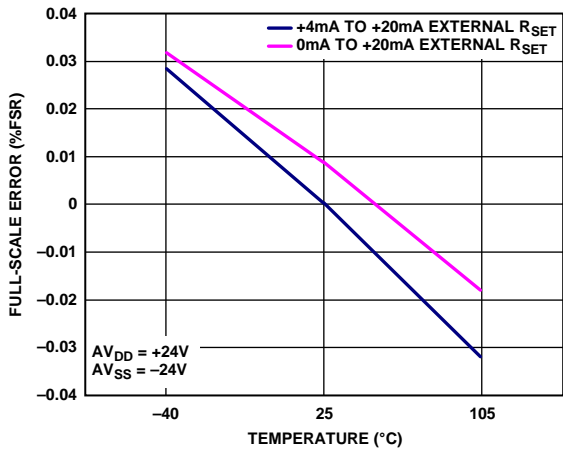


图38. 满量程误差与温度的关系(外部 R_{SET} 检测电阻)

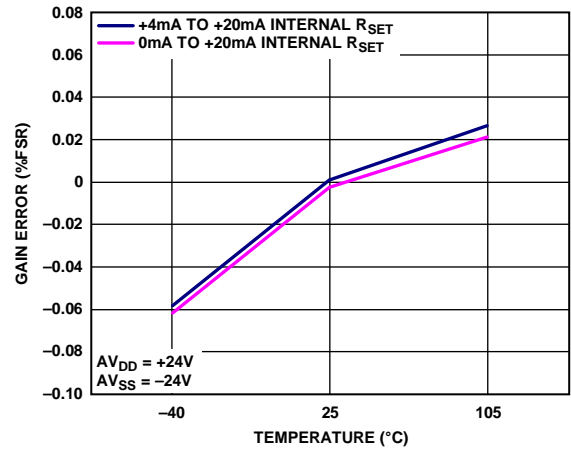


图41. 增益误差与温度的关系(内部 R_{SET} 检测电阻)

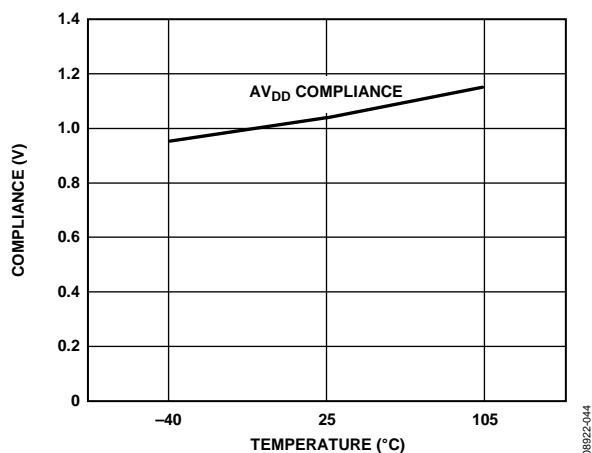


图 42. 输出顺从电压与温度有关, 当 $I_{OUT} = 10.8 \text{ mA}$ 时

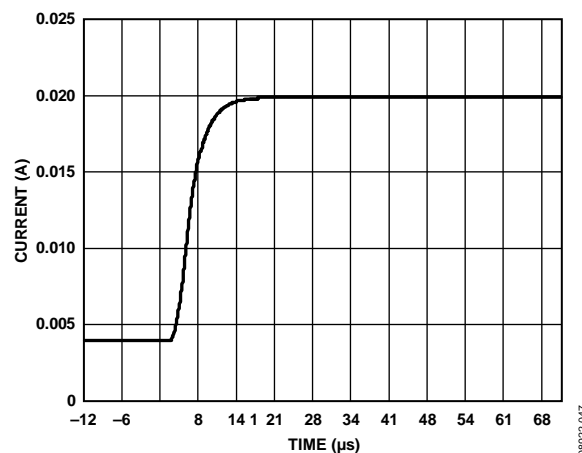


图 45. 4 mA 至 20 mA 输出电流阶跃

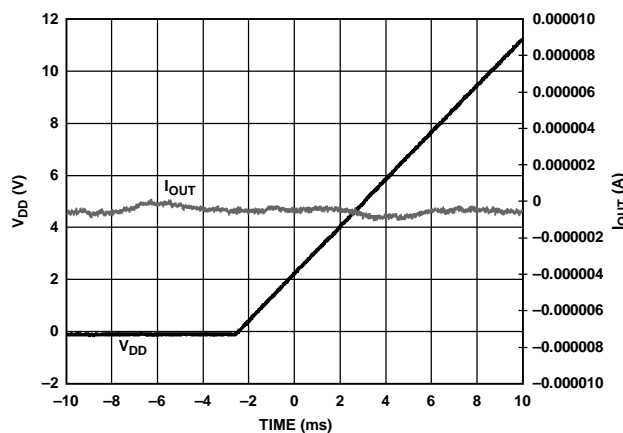


图 43. 输出电流与上电时间的关系

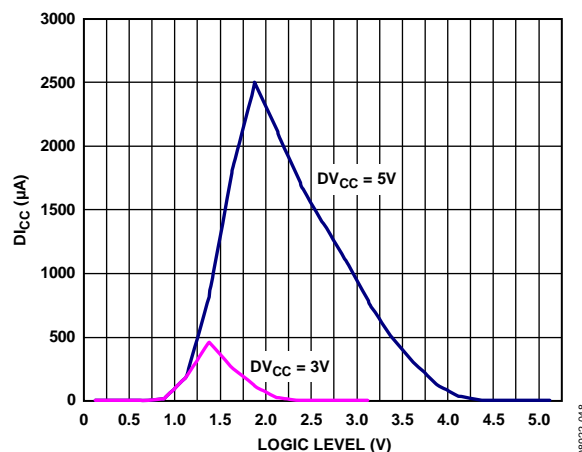


图 46. D_{ICc} 与逻辑输入电压的关系

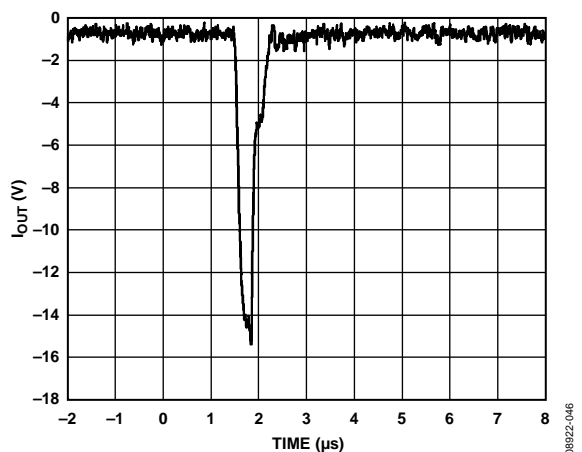


图 44. 输出电流与输出使能时间的关系

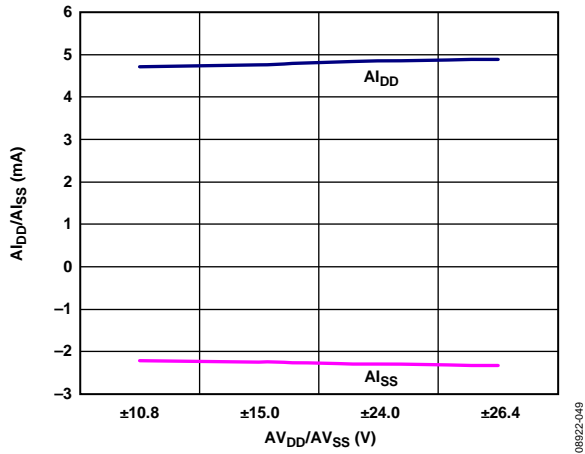


图47. I_{DD}/I_{SS} 与 AV_{DD}/AV_{SS} 的关系 ($V_{OUT} = 0 V$)

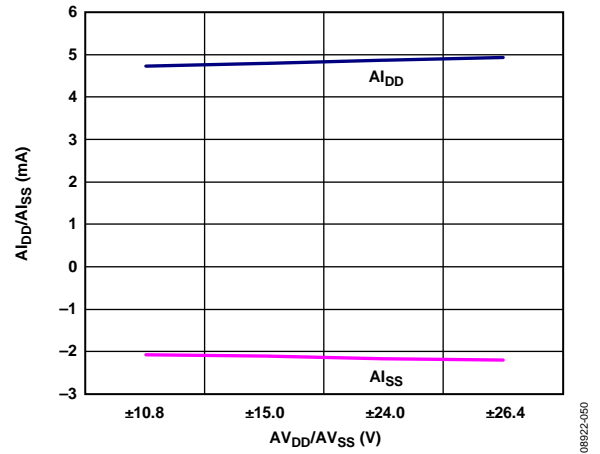


图48. I_{DD}/I_{SS} 与 AV_{DD}/AV_{SS} 的关系 ($I_{OUT} = 0 mA$)

术语

总不可调整误差(TUE)

总不可调整误差(TUE)是指包括以下所有误差在内的总输出误差：INL误差、失调误差、增益误差和随电源电压、温度和时间变化而出现的输出漂移。TUE采用满量程范围的百分比表示(% FSR)。

相对精度或积分非线性(INL)

积分非线性(INL)是指输出驱动器的输出与通过其传递函数两个端点的直线之间的最大偏差，单位为% FSR。从图5可以看出典型INL与输入电压的关系。

双极性零刻度误差

双极性零刻度误差是指所选双极性范围内半量程输出(0 V/0 mA)的实际值与理想值之间的偏差。从图10可以看出双极性零刻度误差与温度的关系。

双极性零刻度TC

双极性零刻度温度系数(TC)衡量双极性零刻度误差随温度的变化，用ppm FSR/°C表示。

满量程误差

满量程误差是实际满量程模拟输出与理想满量程输出的偏差，用满量程范围的百分比(% FSR)表示。

满量程TC

满量程温度系数(TC)衡量满量程误差随温度的变化，用ppm FSR/°C表示。

增益误差

增益误差衡量输出的量程误差，是指输出传递特性的斜率与理想值之间的偏差，用满量程范围的百分比表示(% FSR)。从图11可以看出增益误差与温度的关系。

增益误差TC

增益误差温度系数(TC)衡量增益误差随温度的变化，用ppm FSR/°C表示。

零刻度误差

零刻度误差是指实际零刻度模拟输出与理想零刻度输出的偏差，用毫伏(mV)表示。

零刻度TC

零刻度温度系数(TC)衡量零刻度误差随温度的变化，用ppm FSR/°C表示。

失调误差

失调误差衡量传递函数线性区内VOUT(实际)和VOUT(理想)之间的差值，用毫伏(mV)表示。该值可以为正，也可负。

输出电压建立时间

输出电压建立时间是指对于一个半量程输入变化，输出建立到指定精度水平所需的时间量。

压摆率

器件的压摆率是对输出电压变化率的限制。输出压摆速度通常受限于其输出端使用的放大器压摆率。压摆率的测量范围是输出信号的10%至90%，用V/μs表示。

电流环路顺从电压

电流环路顺从电压是指输出电流与编程值相等情况下IOUT引脚的最大电压。

上电毛刺能量

上电毛刺能量是AD5748上电时注入模拟输出的脉冲，定义为毛刺的面积，用nV-sec表示。

电源抑制比(PSRR)

PSRR表示电源电压变化对输出的影响大小。

术语

和一个低压差调节器(LDO)，采用2.08 mm × 2.08 mm、16引脚小型WLCSP封装，可满足严苛的性能和电路板空间要求。

降压调节器的高开关频率支持小型多层外部器件，并使所需的电路板空间降至最小。当MODE引脚设置为高电平时，降压调节器以强制PWM模式工作。当MODE引脚设置为低电平时，降压调节器根据负载电流水平自动切换工作模式。输出负载较高时，降压调节器以PWM模式工作。当负载电流降至预定义阈值以下时，调节器以省电模式(PSM)工作，以便改善轻负载效率。

为降低输入电容要求和噪声，两个降压器以错相工作。

ADP5022 LDO的低静态电流、低压差和宽输入电压范围可延长便携式设备的电池使用时间。在频率高达10 kHz时，

该LDO能保持60 dB以上的电源抑制性能，而所需的电压裕量则很低。

ADP5022的各调节器均具有专用的独立使能引脚。对使能引脚施加高电平将激活相应的调节器。默认输出电压可在工厂编程设置，选择范围广泛。

软件模式

在电流模式下，可通过软件选择的输出范围包括：0 mA至21 mA和4 mA至21 mA。

在电压模式下，可通过软件选择的输出范围包括：0 V至5 V、0 V至10.5 V、±10.5 V。

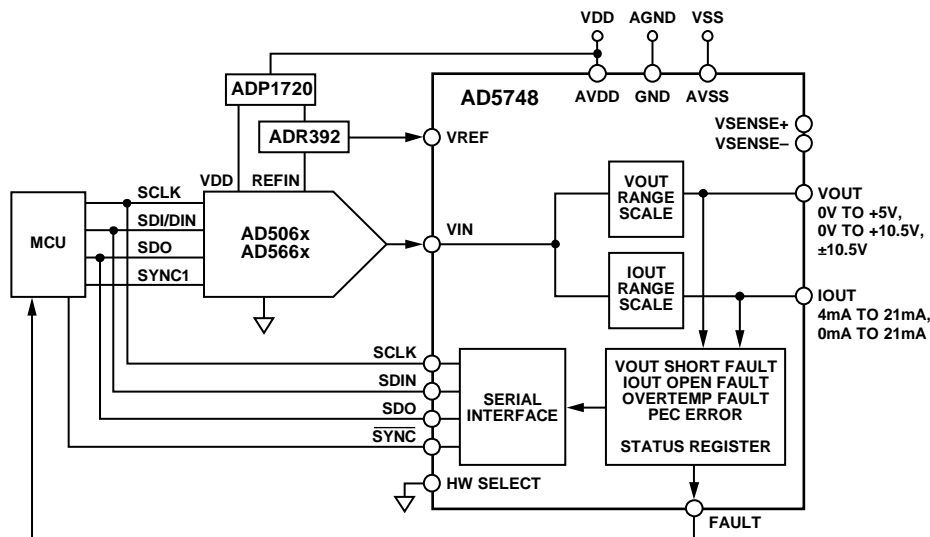


图49. 软件模式下的典型系统配置(未显示开漏输出所需的上拉电阻)

08922-051

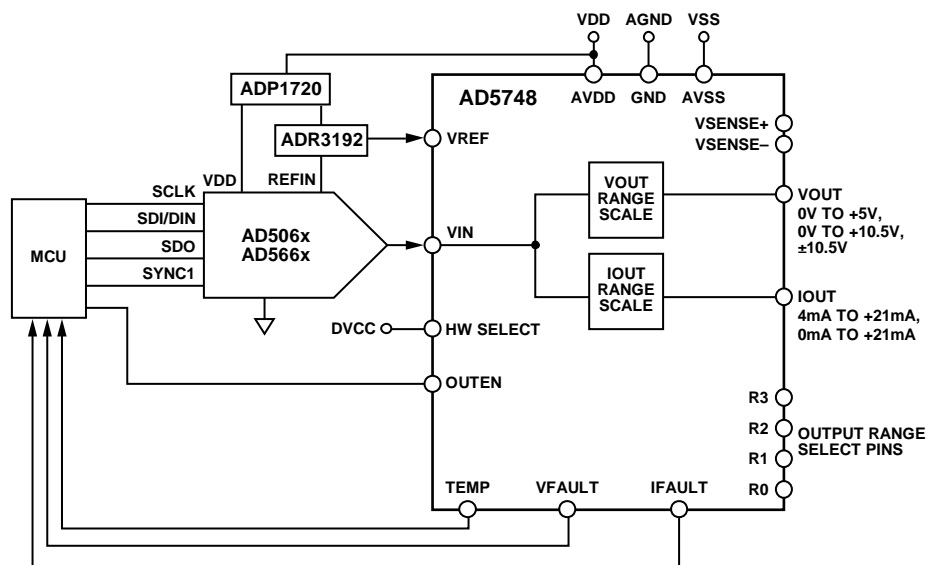


图50. 硬件模式下的典型系统配置，采用内置DAC基准电压源(未显示开漏输出所需的上拉电阻)

表5. 建议与AD5748搭配使用的器件

DAC	基准	电源	精度	描述
AD5660	内部	ADP1720 ¹	12位 INL	中端系统、单通道、内部基准电压源
AD5664R	内部	不适用	不适用	中端系统、四通道、内部基准电压源
AD5668	内部	不适用	不适用	中端系统、八通道、内部基准电压源
AD5060	ADR434	ADP1720	16位 INL	高端系统、单通道、外部基准电压源
AD5064	ADR434	不适用	不适用	高端系统、四通道、外部基准电压源
AD5662	ADR392 ²	ADR392 ²	12位 INL	中端系统、单通道、外部基准电压源
AD5664	ADR392 ²	不适用	不适用	中端系统、四通道、外部基准电压源

¹ ADP1720输入范围最高达28 V。

² ADR392输入范围最高达15 V。

电流输出架构

来自模拟输入VIN引脚的电压输入(0 V至4.096 V)可以被转换成电流(见图51), 然后电流镜像到供电轨, 这样, 从应用的角度仅看到一个相对内置基准电压的电流源输出; 或者, 电压输入经过缓冲和比例缩放, 输出一个可通过软件选择的单极性或双极性电压范围(见图52)。基准电压源用于为输出范围和增益调整提供内部失调。可选输出范围可通过数字接口进行编程。

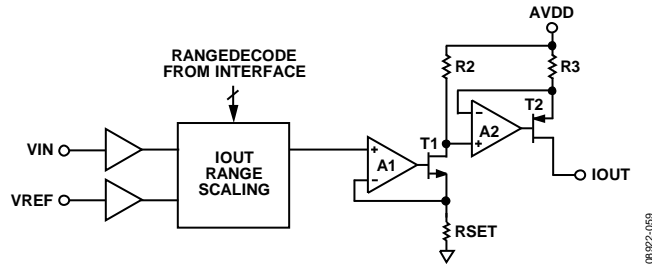


图51. 电流输出配置

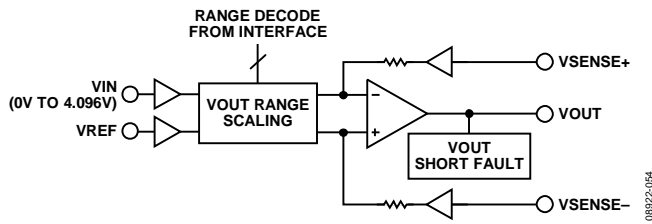


图52. 电压输出

驱动感性负载

在驱动感性负载或非明确定义的负载时, 需要在IOUT与GND之间连接一个0.01 μF 电容, 以确保能够稳定地驱动超过50 mH的负载。不存在最大电容限值。负载的容性成分可能造成建立变慢。

电压输出放大器

电压输出放大器能够产生单极性和双极性两种输出电压, 能够驱动1 k Ω 并联1.2 μF 的负载(在COMP1和COMP2引脚上连接有外部补偿电容)。输出放大器的源电流和吸电流能力如图16所示。压摆率为2 V/ μs 。

器件内部VOUT和VSENSE+引脚之间以及VSENSE-引脚和器件内部地之间都连接一个2.5 M Ω 电阻。如果出现故障, 这些电阻可确保放大器环路闭合, 让AD5748不会进入开环状态, 从而保护该器件。

VSENSE-引脚可以在相对于远端负载接地点的 ± 3 V共模范围内工作。

电流和电压通过独立引脚输出, 且不能同时输出。这让用户可以将电流和电压输出引脚连接在一起, 并将终端系统配置为单通道输出。

驱动较大容性负载

通过在COMP1和COMP2引脚之间增加一个无极性补偿电容, 电压输出放大器能够驱动最高1 μF 的容性负载。

如果不使用该补偿电容, 最高可驱动20 nF容性负载。必须为CCOMP电容选择合适的值。虽然此电容允许AD5748驱动较大容性负载并可减少过冲, 但是会增加器件的建立时间, 因此会影响系统带宽。此电容值的考虑范围为100 pF至4 nF, 具体取决于建立时间、过冲和带宽之间的折衷权衡。

AD5748的上电状态

上电时, AD5748检测载入的是硬件模式, 还是软件模式, 并相应地设置上电状态。

在软件SPI模式下, 输出端的上电状态取决于CLEAR引脚的状态。如果器件上电时CLEAR引脚被拉高, 则电压输出端输出一个有效0 V。如果器件上电时CLEAR引脚被拉低, 则电压输出通道置于三态模式。在这两种情况下, 电流输出通道均会在上电时预设为三态状态(0 mA)。这样允许用户根据需要将电压输出端和电流输出端连接在一起。

要将器件置于正常工作模式, 用户必须将控制寄存器中的OUTEN位置1以使能输出, 并在同一写操作中使用R3至R0范围位来设置输出范围配置。如果在此写操作期间CLEAR引脚仍处于高电平(有效), 器件会自动清零至由可编程范围和CLRSEL引脚或CLRSEL位定义的正常清零状态(详情参见“异步清零(CLEAR)”部分)。CLEAR引脚必须处于低电平, 才能使器件工作在正常模式下。

CLEAR引脚通常由微控制器直接驱动。如果AD5748的电源与微控制器电源相互独立, 用户可以在CLEAR引脚连接一个到DVCC的弱上拉电阻或一个对地的下拉电阻, 从而确保能够获得正确的上电状态而且与微控制器无关。对于大多数应用, 在CLEAR引脚上连接一个10 k Ω 的上拉/下拉电阻就足够了。

如果选择的是硬件模式, 则器件上电时预设为由R3至R0范围位和OUTEN或CLEAR引脚状态所定义的状态。在硬件模式下给器件上电时, 建议将输出端保持为禁用。

上电时的默认寄存器

AD5748上电复位电路确保所有寄存器均加载零码。

在软件SPI模式下，器件上电时会禁用所有输出(OUTEN位 = 0)。用户必须将控制寄存器中的OUTEN位置1以使能输出，并在同一写操作中使用R3至R0位来设置输出范围配置。

如果选择的是硬件模式，则器件上电时预设为由R3至R0位和OUTEN引脚状态所定义的状态。在硬件模式下给器件上电时，建议将输出端保持为禁用。

复位功能

在软件模式下，器件可使用RESET引脚(低电平有效)或复位位(reset = 1)进行复位。复位操作将禁用电流输出和电压输出，并使其处于上电状态。用户必须写入OUTEN位以使能输出，并在同一写操作中设置输出范围配置。RESET引脚为对电平敏感的输入引脚；只要引脚处于低电平，器件就会一直处于复位模式。向控制寄存器中写入复位命令后，复位位清零。

在硬件模式下，不存在复位操作。如果在硬件模式下使用器件，RESET引脚应连接高电平。

OUTEN

在软件模式下，可以使用控制寄存器中的OUTEN位来使

能或禁用输出。禁用输出时，电流通道和电压通道均会变为三态。用户必须设置OUTEN位来使能输出，同时设置输出范围配置。

在硬件模式下，可以使用OUTEN引脚来使能或禁用输出。禁用输出时，电流通道和电压通道均会变为三态。用户必须控制OUTEN引脚，以使能输出。更改输出范围时，建议禁用输出。

软件控制

通过将HW SELECT引脚连接到地可以使能软件控制。在软件模式下，AD5748可以通过工作时钟速率最高达50 MHz的多功能三线式串行接口进行控制。该接口与SPI、QSPI™、MICROWIRE和DSP标准兼容。

输入移位寄存器

输入移位寄存器为16位宽。16位字宽的数据在串行时钟输入SCLK的控制下以MSB优先的方式载入器件。数据在SCLK的下降沿读入。输入移位寄存器包括16个控制位，如表6所示。此写操作的时序图如图2所示。输入移位寄存器的前三位用于设置印刷电路板(PCB)上的AD5748器件的硬件地址。每个电路板上最多可以寻址八个器件。

在任何写操作期间，位D11、位D1和位D0必须始终置0。

表6. 写操作的输入移位寄存器内容—控制寄存器

MSB															LSB	
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
A2	A1	A0	R/W	0	R3	R2	R1	R0	CLRSEL	OUTEN	清0	RSET	复位	0	0	

表7. 输入移位寄存器描述

位	描述			
A2, A1, A0	与AD2、AD1和AD0外部引脚配合使用，以确定系统控制器要寻址的具体器件。			
	A2	A1	A0	功能
	0	0	0	对引脚AD2 = 0、引脚AD1 = 0且引脚AD0 = 0的器件进行寻址。
	0	0	1	对引脚AD2 = 0、引脚AD1 = 0且引脚AD0 = 1的器件进行寻址。
	0	1	0	对引脚AD2 = 0、引脚AD1 = 1且引脚AD0 = 0的器件进行寻址。
	0	1	1	对引脚AD2 = 0、引脚AD1 = 1且引脚AD0 = 1的器件进行寻址。
	1	0	0	对引脚AD2 = 1、引脚AD1 = 0且引脚AD0 = 0的器件进行寻址。
	1	0	1	对引脚AD2 = 1、引脚AD1 = 0且引脚AD0 = 1的器件进行寻址。
	1	1	0	对引脚AD2 = 1、引脚AD1 = 1且引脚AD0 = 0的器件进行寻址。
	1	1	1	对引脚AD2 = 1、引脚AD1 = 1且引脚AD0 = 1的器件进行寻址。
R/W	表示对寻址寄存器的读或写操作。			

AD5748

位	描述					
R3, R2, R1, R0	与RSET配合来选择输出配置。					
	RSET	R3	R2	R1	R0	输出配置
	0	0	0	0	0	4 mA至21 mA(外部15 kΩ电流检测电阻)
	0	0	0	0	1	0 mA至21 mA(外部15 kΩ电流检测电阻)
	0	0	0	1	0	不适用
	0	0	0	1	1	不适用
	0	0	1	0	0	不适用
	0	0	1	0	1	0V至5V
	0	0	1	1	0	不适用
	0	0	1	1	1	不适用
	0	1	0	0	0	不适用
	0	1	0	0	1	不适用
	0	1	0	1	0	0V至10.5V
	0	1	0	1	1	不适用
	0	1	1	0	0	±10.5V
	0	1	1	0	1	不适用
	0	1	1	1	0	不适用
	0	1	1	1	1	不适用
	1	0	0	0	0	4 mA至21 mA(内部电流检测电阻)
	1	0	0	0	1	0 mA至21 mA(内部电流检测电阻)
	1	0	0	1	0	不适用
	1	0	0	1	1	不适用
	1	0	1	0	0	不适用
	1	0	1	0	1	0V至5V
	1	0	1	1	0	不适用
	1	0	1	1	1	不适用
	1	1	0	0	0	不适用
	1	1	0	0	1	不适用
	1	1	0	1	0	0V至10.5V
	1	1	0	1	1	不适用
	1	1	1	0	0	±10.5V
	1	1	1	0	1	不适用
	1	1	1	1	0	不适用
	1	1	1	1	1	不适用
CLRSEL	将清零模式设置为零刻度或中间量程。参见“异步清零(CLEAR)”部分。					
	CLRSEL	功能				
	0	清零至0V。				
	1	在单极性模式下，清零至中间量程；在双极性模式下，清零至零刻度。				
OUTEN	输出使能位。要使能输出，必须将此位设置为1。					
清0	软件清零位，高有效。					
RSET	选择内部/外部电流检测电阻。					
	RSET	功能				
	1	选择内部电流检测电阻；与R3至R0位一起使用来选择输出范围。				
	0	选择外部电流检测电阻；与R3至R0位一起使用来选择输出范围。				
复位	将器件复位至其上电状态。					

回读操作

回读模式通过选择正确的器件地址(A2、A1、A0)，然后将 $\overline{R/W}$ 位设为1来激活。默认情况下，SDO引脚会被禁用。AD5748读操作的寻址完成后，通过将 $\overline{R/W}$ 设为1可以使能SDO引脚，SDO数据会在SCLK的第五个上升沿输出。数据在SDO上逐个输出后，一个SYNC的上升沿会再次禁用(三态)SDO引脚。在同一读取周期中，可同时读取状态寄存器数据(参见表8)和控制寄存器数据。

状态位由四个只读位构成，用于在发生输出端开路或短路、过温错误或接口错误等特定故障时通知用户。如果发生任意上述故障，硬件FAULT引脚也会置位低电平，用作控制器的硬件中断。

有关故障状态的完整说明，请参见“特性详情”部分。

硬件控制

通过将HW SELECT引脚连接到DVCC可以使能硬件控制。在此模式下，R3、R2、R1和R0引脚与RSET引脚一同用于配置输出范围，如表7所示。

在硬件模式下，不存在状态寄存器。故障状态(开路、短路和过温)通过引脚IFAULT、引脚VFAULT和引脚TEMP来指示。如果出现任意上述故障，则特定故障引脚会置位低电平。IFAULT、VFAULT和TEMP均为开漏输出，因此可以连接在一起，以允许用户生成一个中断，通知系统控制器有故障情况发生。如果通过此种方式进行硬件连接，则无法区分系统中发生的具体是那种故障。

传递函数

AD5748内置信号调理模块，可将模拟输入电压映射到通过经过编程选择的输出范围。可用的模拟输入范围为0 V至4.096 V。

对于所有电流和电压范围，AD5748均可实现直接线性映射传递函数。0 V映射到所选范围的下限；4.096 V映射到所选范围的上限。

表8. 读操作的输入移位寄存器内容—状态寄存器

MSB											LSB				
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
A2	A1	A0	1	0	R3	R2	R1	R0	CLRSEL	OUTEN	RSET	PEC 错误	过温	IOUT 故障	VOUT 故障

表9. 状态位选项

位	描述
PEC错误	如果CRC-8差错校验检测到接口错误，该位置1。参见“特性详情”部分。
VOUT故障	如果VOUT引脚发生短路，该位置1。
IOUT故障	如果IOUT引脚发生开路，该位置1。
过温	当AD5748内核温度超过约150°C时，该位置1。

特性详情

输出故障报警—软件模式

在软件模式下，AD5748配有一个FAULT引脚；此引脚为开漏输出，允许将多个AD5748器件的FAULT引脚一起连接到一个上拉电阻，从而实现全局故障检测。在软件模式下，FAULT引脚在以下任一故障情形下强制处于低电平有效状态：

- 由于电路开环或电源电压不足，IOUT端的电压试图升至顺从电压范围以上。产生故障输出的内部电路不使用具有窗口限值的比较器，因为这样需要在故障输出变为有效之前产生一个实际的输出错误。事实上，该信号是在输出级中的内部放大器的剩余驱动能力小于约1 V时产生。因此，故障输出在快达到顺从电压限值之前就会变为有效。由于是在输出放大器的反馈环路内进行比较，因此其开环增益可保持输出精度不变，并且在故障输出变为有效之前不会发生输出误差。
- 在电压输出引脚(VOUT)上检测到短路。短路电流限值为15 mA。
- 因分组差错校验(PEC)失败而检测到接口错误。参见“分组差错校验(PEC)”部分。
- AD5748的内核温度超过约150°C。

输出故障报警—硬件模式

在硬件模式下，AD5748配有以下三个故障引脚：VFAULT、IFFAULT和TEMP。这些引脚均为开漏输出，允许将多个AD5748的故障引脚一起连接到一个上拉电阻，从而实现全局故障检测。在硬件控制模式下，这些故障引脚在以下任一故障情形下强制处于有效状态：

- 检测到开路。由于电路开环或电源电压不足，IOUT端的电压试图升至顺从电压范围以上。产生故障输出的内部电路不使用具有窗口限值的比较器，因为这样需要在故障输出变为有效之前产生一个实际的输出错误。事实上，该信号是在输出级中的内部放大器的剩余驱动能力小于约1 V时产生。因此，故障输出在快达

到顺从电压限值之前就会变为有效。由于是在输出放大器的反馈环路内进行比较，因此其开环增益可保持输出精度不变，并且在故障输出变为有效之前不会发生输出误差。如果检测到此故障，IFFAULT引脚会强制处于低电平状态。

- 在电压输出引脚(VOUT)上检测到短路。短路电流限值为15 mA。如果检测到此故障，VFAULT引脚会强制处于低电平状态。
- 如果AD5748内核温度超过约150°C。如果检测到此故障，TEMP引脚会强制处于低电平状态。

电压输出短路保护

器件正常工作时，电压输出吸电流和源电流最高为12 mA并能保证正常工作的技术规格。电压输出能传送的最大电流约为15 mA；这是短路电流。

异步清零(CLEAR)

CLEAR引脚是高电平有效清零引脚，使电压输出清零为零刻度或中间量程，用户可通过CLRSEL引脚或输入移位寄存器的CLRSEL位进行选择，如表7所示。(清零选择特性是CLRSEL引脚和CLRSEL位的逻辑“或”功能。)电流环路输出清零至其可编程范围的最小值。当CLEAR信号变回低电平后，输出会返回到其之前的编程值或经过重新编程的新值。清零操作还可通过控制寄存器中的清零命令来执行。

表10. CLRSEL选项

CLRSEL	输出清零值	
	单极性输出电压范围	单极性电流输出范围
0	0 V	零刻度；例如： 4 mA(4 mA至21 mA范围上) 0 mA(0 mA至21 mA范围上)
1	中间量程	中间量程；例如： 12.5 mA(4 mA至21 mA范围上) 10.5 mA(0 mA至21 mA范围上)

电流设置电阻

图1中， R_{SET} 是一个内部检测电阻，构成电压-电流转换电路的一部分。内部电流检测电阻的标称值为15 k Ω 。为了在电流模式下实现超量程能力，用户还可将内部电流检测电阻选择为14.7 k Ω ，从而提供2%的标称超量程能力。此特性适用于0 mA至21 mA和4 mA至21 mA电流范围。

输出电流值在全温度范围内的稳定性取决于RSET值的稳定性。要提高输出电流在全温度范围内的稳定性，方法是在AD5748的REXT1和REXT2引脚连接一个外部低漂移电阻，从而替代内部电阻。外部电阻通过输入移位寄存器进行选择。如果不使用外部电阻选项，则REXT1和REXT2引脚应保持悬空。

分组差错校验 (PEC)

为验证噪声环境下数据接收是否正确，AD5748提供了一个基于8位循环冗余校验(CRC-8)的差错校验选项。负责控制AD5748的器件应使用下列多项式生成8位帧校验序列：

$$C(x) = x^8 + x^2 + x1 + 1$$

此序列会添加到数据字末尾，即在 \overline{SYNC} 变为高电平之前有24个数据位会发送到AD5748。收到24位数据帧后，AD5748会在 \overline{SYNC} 变为高电平时执行差错校验。如果校验成功，数据会写入所选寄存器。如果差错校验失败，则FAULT引脚变为低电平，同时状态寄存器的D3位置1。读取该寄存器后，此错误标志会自动清除，FAULT引脚再次变为高电平。

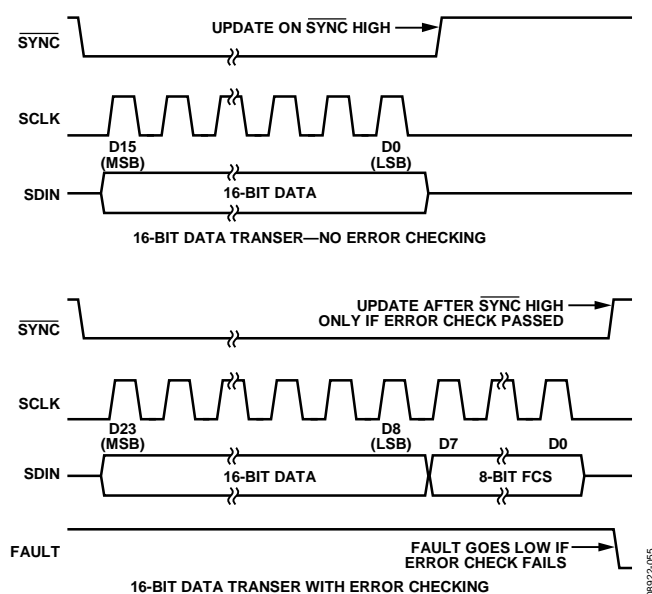


图53. PEC差错校验时序图

应用信息

瞬变电压保护

AD5748内置ESD保护二极管，可防止器件在一般工作条件下受损。但是，工业控制环境会使I/O电路遭受高得多的瞬变。为了防止过高瞬态电压影响AD5748，可能需要外部功率二极管和浪涌电流限制电阻，如图54所示。对电阻值的约束条件是，在正常工作期间，IOOUT的输出电平必须保持在其顺从电压限值($AV_{DD} - 2.75\text{ V}$)以内，并且这两个保护二极管和电阻必须具有适当的额定功率。如果需要，可添加瞬态电压抑制器来进一步增强防护能力。

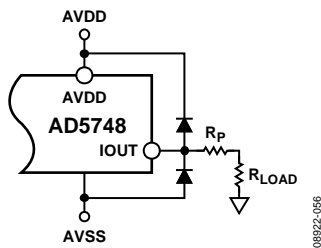


图54. 输出瞬变电压保护

散热考量

了解功耗对于封装和结温的影响情况非常重要。内部结温不应高于 125°C 。AD5748采用32引脚LFCSP 5、 $5\text{ mm} \times 5\text{ mm}$ 封装。热阻 θ_{JA} 为 $28^{\circ}\text{C}/\text{W}$ 。必须确保器件工作条件不会引起结温超标。

最差条件是指AD5748工作在最大电源电压 AV_{DD} (26.4 V)，并且直接驱动最大电流(24 mA)至地。此外，还应考虑到AD5748的静态电流，其标称值约为 4 mA 。

下列公式用于估算在这些最差条件下的最大功耗，并根据功耗确定最大环境温度：

$$\text{功耗} = 26.4\text{ V} \times 28\text{ mA} = 0.7392\text{ W}$$

$$\text{温度增加} = 28^{\circ}\text{C} \times 0.7392\text{ W} = 20.7^{\circ}\text{C}$$

$$\text{最大环境温度} = 125^{\circ}\text{C} - 20.7^{\circ}\text{C} = 104.3^{\circ}\text{C}$$

这些数据假设已采用“布局指南”部分所述的正确布局和接地方法，以将功耗降至最低。

布局布线指南

在任何注重精度的电路中，精心考虑电源和接地回路布局都有助于确保达到规定的性能。安装AD5748所用的PCB应经过专门设计，使AD5748位于模拟平面。

AD5748在每个电源引脚上应当具有足够大的电源旁路电容，使用 $10\text{ }\mu\text{F}$ 与 $0.1\text{ }\mu\text{F}$ 电容并联，并且尽可能靠近封装，最好是正对着该器件。 $10\text{ }\mu\text{F}$ 电容为钽珠型电容。 $0.1\text{ }\mu\text{F}$ 电容应具有低等效串联电阻(ESR)和低等效串联电感(ESI)，如高频时提供低阻抗接地路径的普通陶瓷型电容，以便处理内部逻辑开关所引起的瞬态电流。

在一个电路板上使用多个器件的系统中，提供一定的散热能力通常有助于功率耗散。

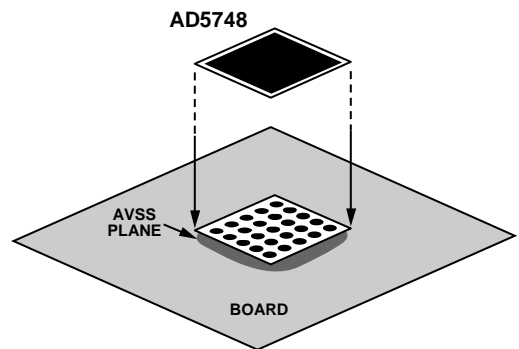


图55. 焊盘与电路板的连接

AD5748在器件底部具有裸露焊盘，该焊盘应连接到器件的AVSS电源。为了获得最佳性能，在设计母板和安装器件封装时需要有一些特殊考虑。为了改善散热、电气和板级性能，需将封装底部的裸露焊盘焊接到PCB上相应的散热焊盘上。为进一步改善散热性能，PCB焊盘区可以设计一些散热通孔。

可以扩大器件上的AVSS平面(如图55所示)，以提供自然散热效应。

电流隔离接口

在许多过程控制应用中，需要在控制器与受控单元之间提供一个隔离栅，以保护和隔离控制电路遭受可能发生的任何危险共模电压。ADI公司的iCoupler®系列产品可提供超过5.0 kV的电压隔离。AD5748采用串行加载结构，使接口线路数量保持最少，因此成为隔离接口应用的理想选择。图56所示为使用ADuM1400的4通道隔离接口。更多信息请访问：www.analog.com/icouplers。

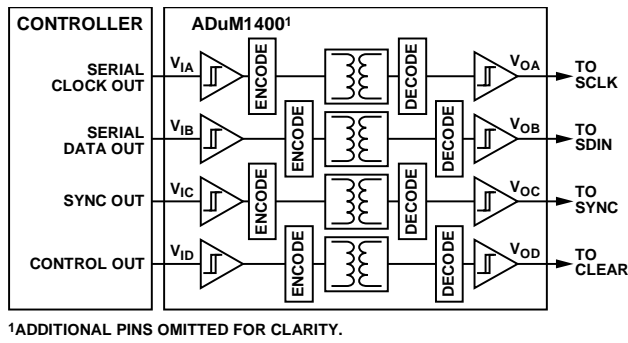


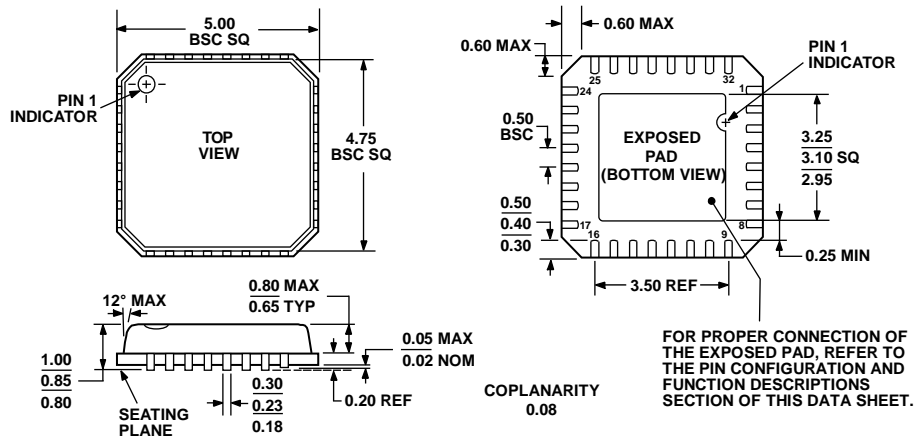
图56. 隔离接口

微处理器接口

AD5748通过一条串行总线实现与微处理器的接口，这条总线使用与微控制器和DSP处理器兼容的协议。通信通道为一个3线(最少)式接口，由一个时钟信号、一个数据信号和一个 $\overline{\text{SYNC}}$ 信号组成。AD5748需要16位数据字，在SCLK的下降沿时数据有效。

AD5748

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VHHD-2

图57. 32引脚引脚架构芯片级封装[LFCSP_VQ]
5 mm x 5 mm, 超薄体
(CP-32-2)
图示尺寸单位: mm

订购指南

型号 ¹	TUE精度	模拟输入范围	外部基准电压	温度范围	封装描述	封装选项
AD5748ACPZ	$\pm 0.3\% V_{OUT}, \pm 0.5\% I_{OUT}$	0 V 至 4.096 V	4.096 V	-40°C 至 +105°C	32引脚 LFCSP_VQ	CP-32-2
AD5748ACPZ-RL7	$\pm 0.3\% V_{OUT}, \pm 0.5\% I_{OUT}$	0 V 至 4.096 V	4.096 V	-40°C 至 +105°C	32引脚 LFCSP_VQ	CP-32-2

¹ Z = 符合RoHS标准的器件。