

主要特性

信噪比: 74.5 dBc (75.5 dBFS), 32.7 MHz 带宽、70 MHz @150 MSPS

无杂散动态范围(SFDR): 80 dBc, 70 MHz@150 MSPS

1.8 V模拟电源供电

1.8 V至3.3 V CMOS输出电源或1.8 V LVDS输出电源

1至8整数输入时钟分频器

集成双通道ADC

采样速率最高达150 MSPS

中频采样频率达450 MHz

ADC内部基准电压源

集成ADC采样保持输入

灵活的模拟输入范围: 1 V p-p至2 V p-p

ADC时钟占空比稳定器

95 dB通道隔离/串扰

集成的宽带数字下变频器(DDC)

32位复数数控振荡器(NCO)

半带抽取滤波器与FIR滤波器

支持实数和复数输出模式

快速启动/阈值检测位

复合信号监控

节能的掉电模式

应用

通信

分集无线电系统

多模式数字接收器(3G)

TD-SCDMA、WiMax、WCDMA、CDMA2000、GSM、EDGE、LTE

I/Q解调系统

智能天线系统

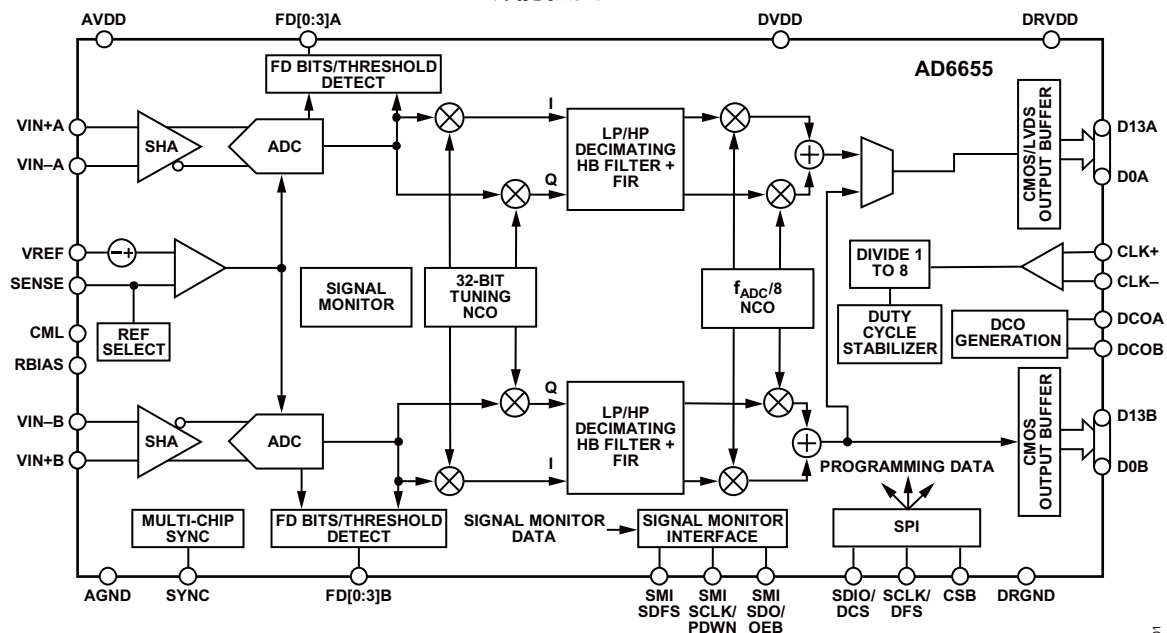
通用软件无线电

宽带数据应用

产品聚焦

1. 集成双通道、14位150 MSPS ADC。
2. 集成宽带抽取滤波器和32位复数NCO。
3. 快速超量程检测和带串行输出的信号监控。
4. 取得专利的差分输入在最高至450 MHz的输入频率下仍保持出色的信噪比(SNR)性能。
5. 灵活的输出模式, 包括独立CMOS、交错CMOS、IQ模式CMOS和交错LVDS。
6. SYNC输入可在多个设备之间实现同步。
7. 三线式SPI端口可用于对寄存器编程和寄存器回读。

功能框图



NOTES
1. PIN NAMES ARE FOR THE CMOS PIN CONFIGURATION ONLY; SEE FIGURE 10 FOR LVDS PIN NAMES.

图1

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2007–2009 Analog Devices, Inc. All rights reserved.

ADI中文数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

目录

特性	1	数控振荡器(NCO)	38
应用	1	频率变换	38
产品聚焦	1	NCO同步	38
功能框图	1	相移	38
修订历史	3	NCO幅度与相位扰动	38
概述	4	半带抽取滤波器与FIR滤波器	39
技术规格	5	半带滤波器系数	39
ADC直流规格 – AD6655BCPZ-80/ AD6655BCPZ-105	5	半带滤波器特性	39
ADC直流规格 – AD6655BCPZ-125/ AD6655BCPZ-150	6	固定系数FIR滤波器	39
ADC交流规格 – AD6655BCPZ-80/ AD6655BCPZ-105	7	同步	40
ADC交流规格 – AD6655BCPZ-125/ AD6655BCPZ-150	8	组合滤波器性能	40
数字规格 – AD6655BCPZ-80/AD6655BCPZ-105	9	最终NCO	40
数字规格 – AD6655BCPZ-125/AD6655BCPZ-150	11	ADC超量程与增益控制	41
开关规格 – AD6655BCPZ-80/AD6655BCPZ-105	13	快速检测概述	41
开关规格 – AD6655BCPZ-125/AD6655BCPZ-150	14	ADC快速幅度	41
时序规格	15	ADC超量程(OR)	42
绝对最大额定值	18	增益开关	42
热特性	18	信号监控	44
ESD警告	18	峰值检测器模式	44
引脚配置和功能描述	19	RMS/MS幅度模式	44
等效电路	23	过阈值模式	45
典型工作特性	24	附加控制位	45
工作原理	29	直流校正	45
ADC架构	29	信号监控SPORT输出	46
模拟输入考虑	29	通道/芯片同步	47
基准电压源	31	串行端口接口(SPI)	48
时钟输入考虑	32	使用SPI的配置	48
功耗和待机模式	34	硬件接口	48
数字输出	35	不使用SPI的配置	49
数字下变频器	37	SPI访问特性	49
下变频器模式	37	存储器映射	50
数控振荡器(NCO)	37	读取存储器映射寄存器表	50
半带抽取滤波器与FIR滤波器	37	存储器映射寄存器表	51
$f_{\text{ADC}}/8$ 固定频率NCO	37	存储器映射寄存器描述	55
		应用信息	59
		设计指南	59
		评估板	61
		电源	61

输入信号 61
输出信号 61
默认操作与跳线选择设置 62
可选时钟配置 62
可选模拟输入驱动配置 63

原理图 64
评估板布局布线 74
物料清单 82
外形尺寸 84
订购指南 85

修订历史

2009年9月—修订版0至修订版A

图9和表12中增加裸露焊盘注释 19
图10和表13中增加裸露焊盘注释 21
更新外形尺寸 84
更改订购指南 85

2007年11月—修订版0：初始版

概述

AD6655是一款混频信号中频接收器，内置双通道、14位、80 MSPS/105 MSPS/125 MSPS/150 MSPS ADC和一个宽带数字下变频器(DDC)，旨在为低成本、小尺寸、多功能通信应用提供解决方案。

这款双通道ADC采用多级、差分流水线架构，并集成了输出纠错逻辑。每个ADC均配有宽带宽、差分采样保持模拟输入放大器，支持用户可选的各种输入范围。集成基准电压源可简化设计。占空比稳定器可用来补偿ADC时钟占空比的波动，使转换器保持出色的性能。

ADC数据输出端在内部直接与接收器的数字下变频器(DDC)相连，以简化布局、降低互连寄生效应。双通道数字接收器具有灵活的处理能力。每个接收通道有4个级联的信号处理级：一个32位频率转换器(数控振荡器，简称为NCO)，一个半带抽取滤波器，一个定点FIR滤波器和一个 $f_{\text{ADC}}/8$ 固定频率NCO。

除了配有接收器DDC，AD6655还具备其他功能，能简化系统接收器的自动增益控制(AGC)。快速检测特性可以通过输出四位输入电平信息在极短的延迟内实现快速超量程检测。

此外，利用ADC的4个快速检测位，可编程阈值检测器可以在极短的延迟内监控输入信号功率。如果输入信号电平超过可编程阈值，粗调阈值上限指示器就会变为高。由于该阈值指示器的延迟极短，因此，用户能够快速调低系统增益，从而避免出现超量程现象。

第二个与AGC相关的功能是信号监控。该模块允许用户监控输入信号的复合幅度，这有助于设置增益，以优化系统整体的动态范围。

经过数字处理之后，数据可以直接送至两个外部14位输出端口，输出电压可设置为1.8 V至3.3 V CMOS或1.8 V LVDS。另外，CMOS数据还可以仅利用端口A，通过交错配置，以双倍数据速率输出。

AD6655接收器能够对很宽的中频频谱进行数字化处理。每个接收器均设计用来同时接收主通道和分集通道的信号。该IF采样架构与传统的模拟技术或较低集成度的数字方法相比，能大幅度降低器件的成本和复杂度。

需要时，灵活的掉电选项可以明显降低功耗。

设置与控制编程可以利用三线式SPI兼容型串行接口来完成。

AD6655采用64引脚LFCSP封装，额定温度范围为-40°C至+85°C工业温度范围。

技术规格

ADC直流规格 – AD6655BCPZ-80/AD6655BCPZ-105

除非另有说明，AVDD = 1.8 V、DVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0 dBFS 差分输入、1.0 V 内部基准电压、DCS使能。

表1

参数	温度	AD6655BCPZ-80			AD6655BCPZ-105			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
	全	14			14			位
精度								
无失码	全		保证			保证		
失调误差	全		±0.2	±0.6		±0.2	±0.6	% FSR
增益误差	全	-3.6	-1.8	-0.1	-4.3	-2.2	-0.5	% FSR
匹配特性								
失调误差	25°C		±0.2	±0.6		±0.2	±0.6	% FSR
增益误差	25°C		±0.2	±0.75		±0.2	±0.75	% FSR
温度漂移								
失调误差	全		±15			±15		ppm/°C
增益误差	全		±95			±95		ppm/°C
内部参考电压								
输出电压误差(1 V模式)	全		±5	±18		±5	±18	mV
负载调整率@ 1.0 mA	全		7			7		mV
等效输入噪声								
VREF = 1.0 V	25°C		0.85			0.85		LSB rms
模拟输入								
输入范围, VREF = 1.0 V	全		2			2		V p-p
输入电容 ¹	全		8			8		pF
VREF输入阻抗	全		6			6		kΩ
电源								
电源电压								
AVDD、DVDD	全	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD (CMOS模式)	全	1.7	3.3	3.6	1.7	3.3	3.6	V
DRVDD (LVDS模式)	全	1.7	1.8	1.9	1.7	1.8	1.9	V
电源电流								
I _{AVDD} ^{2,3}	全		235	420		315	575	mA
I _{DVDD} ^{2,3}	全		175			225		mA
I _{DRVDD} ² (3.3 V CMOS)	全		18			21		mA
I _{DRVDD} ² (1.8 V CMOS)	全		8			11		mA
I _{DRVDD} ² (1.8 V LVDS)	全		55			56		mA
功耗								
直流输入	全		470	490		620	650	mW
正弦波输入 ² (DRVDD = 1.8 V)	全		755			995		mW
正弦波输入 ² (DRVDD = 3.3 V)	全		800			1040		mW
待机功耗 ⁴	全		52			68		mW
掉电功耗	全		2.5	8		2.5	8	mW

¹ 输入电容指一个差分输入引脚与AGND之间的有效电容。等效模拟输入结构见图11。

² 测量条件为：9.7 MHz满量程正弦波输入、13 MHz频率NCO使能、FIR滤波器使能、f_s/8输出混频使能、每个输出位的负载约为5 pF。

³ 最大限值适用于I_{AVDD}电流与I_{DVDD}电流的组合。

⁴ 待机功耗的测量条件为：直流输入、CLK引脚无效(设为AVDD或AGND)。

AD6655

ADC直流规格 – AD6655BCPZ-125/AD6655BCPZ-150

除非另有说明，AVDD = 1.8 V、DVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0 dBFS 差分输入、1.0 V内部基准电压、DCS使能。

表2

参数	温度	AD6655BCPZ-125			AD6655BCPZ-150			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
分辨率	全	14			14			位
精度								
无失码	全		保证			保证		
失调误差	全		±0.3	±0.6		±0.2	±0.6	% FSR
增益误差	全	-4.7	-2.7	-0.8	-5.1	-3.2	-1.0	% FSR
匹配特性								
失调误差	25°C		±0.3	±0.7		±0.2	±0.7	% FSR
增益误差	25°C		±0.1	±0.7		±0.2	±0.8	% FSR
温度漂移								
失调误差	全		±15			±15		ppm/°C
增益误差	全		±95			±95		ppm/°C
内部参考电压								
输出电压误差(1 V模式)	全		±5	±18		±5	±18	mV
负载调整率@ 1.0 mA	全		7			7		mV
等效输入噪声								
VREF = 1.0 V	25°C		0.85			0.85		LSB rms
模拟输入								
输入范围, VREF = 1.0 V	全		2			2		V p-p
输入电容 ¹	全		8			8		pF
VREF输入阻抗	全		6			6		kΩ
电源								
电源电压								
AVDD、DVDD	全	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD(CMOS模式)	全	1.7	1.8	3.6	1.7	1.8	3.6	V
DRVDD(LVDS模式)	全	1.7	1.8	1.9	1.7	1.8	1.9	V
电源电流								
I _{AVDD} ^{2,3}	全		390	705		440	805	mA
I _{DVDD} ^{2,3}	全		270			320		mA
I _{DRVDD} ² (3.3 V CMOS)	全		26			28		mA
I _{DRVDD} ² (1.8 V CMOS)	全		13			17		mA
I _{DRVDD} ² (1.8 V LVDS)	全		57			57		mA
功耗								
直流输入	全		770	810		870	920	mW
正弦波输入 ² (DRVDD = 1.8 V)	全		1215			1395		mW
正弦波输入 ² (DRVDD = 3.3 V)	全		1275			1450		mW
待机功耗 ⁴	全		77			77		mW
掉电功耗	全		2.5	8		2.5	8	mW

¹ 输入电容指一个差分输入引脚与AGND之间的有效电容。等效模拟输入结构见图11。

² 测量条件为：9.7 MHz满量程正弦波输入、13 MHz频率NCO使能、FIR滤波器使能、f_s/8输出混频使能、每个输出位的负载约为5 pF。

³ 最大限值适用于I_{AVDD}电流与I_{DVDD}电流的组合。

⁴ 待机功耗的测量条件为：直流输入、CLK引脚无效(设为AVDD或AGND)。

ADC交流规格 – AD6655BCPZ-80/AD6655BCPZ-105

除非另有说明，AVDD = 1.8 V、DVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0 dBFS 差分输入、1.0 V内部基准电压、DCS使能、NCO使能、半带滤波器使能、FIR滤波器使能。

表3

参数 ¹	温度	AD6655BCPZ-80			AD6655BCPZ-105			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
信噪比(SNR)								
f _{IN} = 2.4 MHz	25°C		74.9			74.8		dB
f _{IN} = 70 MHz	25°C		74.8			74.7		dB
	全	73.0			73.0			dB
f _{IN} = 140 MHz	25°C		74.5			74.3		dB
f _{IN} = 220 MHz	25°C		73.4			73.4		dB
最差的二次/三次谐波								
f _{IN} = 2.4 MHz	25°C		-86			-86		dBc
f _{IN} = 70 MHz	25°C		-85			-85		dBc
	全			-74			-74	dBc
f _{IN} = 140 MHz	25°C		-84			-84		dBc
f _{IN} = 220 MHz	25°C		-83			-83		dBc
无杂散动态范围(SFDR)								
f _{IN} = 2.4 MHz	25°C		86			86		dBc
f _{IN} = 70 MHz	25°C		85			85		dBc
	全	74			74			dBc
f _{IN} = 140 MHz	25°C		84			84		dBc
f _{IN} = 220 MHz	25°C		83			83		dBc
最差其它谐波或杂散 ²								
f _{IN} = 2.4 MHz	25°C		-93			-93		dBc
f _{IN} = 70 MHz	25°C		-90			-90		dBc
	全			-82			-82	dBc
f _{IN} = 140 MHz	25°C		-89			-89		dBc
f _{IN} = 220 MHz	25°C		-86			-86		dBc
双音无杂散动态范围(SFDR)								
f _{IN} = 29.12 MHz, 32.12 MHz (-7 dBFS)	25°C		85			85		dBc
f _{IN} = 169.12 MHz, 172.12 MHz (-7 dBFS)	25°C		81			81		dBc
串扰 ³	全		95			95		dB
模拟输入带宽	25°C		650			650		MHz

¹ 如需了解完整的定义，请参阅应用笔记AN-835“了解高速ADC测试与评估”。

² 如需了解AD6655其它最低规格的更多信息，请参阅“应用信息”部分。

³ 串扰的测量条件：一个通道参数为-1 dBFS、100 MHz且另一个通道上无输入信号。

AD6655

ADC交流规格 – AD6655BCPZ-125/AD6655BCPZ-150

除非另有说明，AVDD = 1.8 V、DVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0 dBFS 差分输入、1.0 V内部基准电压、DCS使能、NCO使能、半带滤波器使能、FIR滤波器使能。

表4

参数 ¹	温度	AD6655BCPZ-125			AD6655BCPZ-150			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
信噪比(SNR)								
$f_{IN} = 2.4 \text{ MHz}$	25°C		74.7			74.6		dB
$f_{IN} = 70 \text{ MHz}$	25°C		74.6			74.5		dB
	全	73.0			72.5			dB
$f_{IN} = 140 \text{ MHz}$	25°C		74.2			73.9		dB
$f_{IN} = 220 \text{ MHz}$	25°C		73.3			73.0		dB
最差的二次/三次谐波								
$f_{IN} = 2.4 \text{ MHz}$	25°C		-86			-85		dBc
$f_{IN} = 70 \text{ MHz}$	25°C		-85			-84		dBc
	全			-73			-73	dBc
$f_{IN} = 140 \text{ MHz}$	25°C		-84			-83		dBc
$f_{IN} = 220 \text{ MHz}$	25°C		-83			-77		dBc
无杂散动态范围(SFDR)								
$f_{IN} = 2.4 \text{ MHz}$	25°C		86			85		dBc
$f_{IN} = 70 \text{ MHz}$	25°C		85			80		dBc
	全	73			73			dBc
$f_{IN} = 140 \text{ MHz}$	25°C		84			76		dBc
$f_{IN} = 220 \text{ MHz}$	25°C		83			74		dBc
最差其它谐波或杂散 ²								
$f_{IN} = 2.4 \text{ MHz}$	25°C		-92			-87		dBc
$f_{IN} = 70 \text{ MHz}$	25°C		-90			-80		dBc
	全			-82			-80	dBc
$f_{IN} = 140 \text{ MHz}$	25°C		-88			-76		dBc
$f_{IN} = 220 \text{ MHz}$	25°C		-84			-74		dBc
双音无杂散动态范围(SFDR)								
$f_{IN} = 29.12 \text{ MHz}, 32.12 \text{ MHz} (-7 \text{ dBFS})$	25°C		85			85		dBc
$f_{IN} = 169.12 \text{ MHz}, 172.12 \text{ MHz} (-7 \text{ dBFS})$	25°C		81			81		dBc
串扰 ³	全		95			95		dB
模拟输入带宽	25°C		650			650		MHz

¹ 如需了解完整的定义，请参阅应用笔记AN-835“了解高速ADC测试与评估”。

² 如需了解AD6655其它最低规格的更多信息，请参阅“应用信息”部分。

³ 串扰的测量条件：一个通道参数为-1 dBFS、100 MHz且另一个通道上无输入信号。

数字规格 – AD6655BCPZ-80/AD6655BCPZ-105

除非另有说明，AVDD = 1.8 V、DVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0 dBFS 差分输入、1.0 V 内部基准电压、DCS 使能。

表5

参数	温度	AD6655BCPZ-80			AD6655BCPZ-105			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
差分时钟输入(CLK+, CLK-)		CMOS/LVDS/LVPECL			CMOS/LVDS/LVPECL			
逻辑兼容		CMOS/LVDS/LVPECL			CMOS/LVDS/LVPECL			
内部共模偏置	全	1.2			1.2			V
差分输入电压	全	0.2		6	0.2		6	V _{p-p}
输入电压范围	全	AVDD - 0.3		AVDD + 1.6	AVDD - 0.3		AVDD + 1.6	V
输入共模范围	全	1.1		AVDD	1.1		AVDD	V
高电平输入电压	全	1.2		3.6	1.2		3.6	V
低电平输入电压	全	0		0.8	0		0.8	V
高电平输入电流	全	-10		+10	-10		+10	μA
低电平输入电流	全	-10		+10	-10		+10	μA
输入电容	全	4			4			pF
输入电阻	全	8	10	12	8	10	12	kΩ
同步输入		CMOS			CMOS			
逻辑兼容		CMOS			CMOS			
内部偏置	全	1.2			1.2			V
输入电压范围	全	AVDD - 0.3		AVDD + 1.6	AVDD - 0.3		AVDD + 1.6	V
高电平输入电压	全	1.2		3.6	1.2		3.6	V
低电平输入电压	全	0		0.8	0		0.8	V
高电平输入电流	全	-10		+10	-10		+10	μA
低电平输入电流	全	-10		+10	-10		+10	μA
输入电容	全	4			4			pF
输入电阻	全	8	10	12	8	10	12	kΩ
逻辑输入(CSB) ¹								
高电平输入电压	全	1.22		3.6	1.22		3.6	V
低电平输入电压	全	0		0.6	0		0.6	V
高电平输入电流	全	-10		+10	-10		+10	μA
低电平输入电流	全	40		132	40		132	μA
输入电阻	全	26			26			kΩ
输入电容	全	2			2			pF
逻辑输入(SCLK/DFS) ²								
高电平输入电压	全	1.22		3.6	1.22		3.6	V
低电平输入电压	全	0		0.6	0		0.6	V
高电平输入电流	全	-92		-135	-92		-135	μA
低电平输入电流	全	-10		+10	-10		+10	μA
输入电阻	全	26			26			kΩ
输入电容	全	2			2			pF
逻辑输入(SDIO/DCS、SMI SDFS) ¹								
高电平输入电压	全	1.22		3.6	1.22		3.6	V
低电平输入电压	全	0		0.6	0		0.6	V
高电平输入电流	全	-10		+10	-10		+10	μA
低电平输入电流	全	38		128	38		128	μA
输入电阻	全	26			26			kΩ
输入电容	全	5			5			pF

AD6655

参数	温度	AD6655BCPZ-80			AD6655BCPZ-105			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
逻辑输入(SMI SDO/OEB、SMI SCLK/PDWN) ²								
高电平输入电压	全	1.22		3.6	1.22		3.6	V
低电平输入电压	全	0		0.6	0		0.6	V
高电平输入电流	全	-90		-134	-90		-134	μA
低电平输入电流	全	-10		+10	-10		+10	μA
输入电阻	全		26			26		kΩ
输入电容	全		5			5		pF
数字输出								
CMOS模式—DRVDD = 3.3 V								
高电平输出电压								
$I_{OH} = 50 \mu A$	全	3.29			3.29			V
$I_{OH} = 0.5 mA$	全	3.25			3.25			V
低电平输出电压								
$I_{OL} = 1.6 mA$	全			0.2			0.2	V
$I_{OL} = 50 \mu A$	全			0.05			0.05	V
CMOS模式—DRVDD = 1.8 V								
高电平输出电压								
$I_{OH} = 50 \mu A$	全	1.79			1.79			V
$I_{OH} = 0.5 mA$	全	1.75			1.75			V
低电平输出电压								
$I_{OL} = 1.6 mA$	全			0.2			0.2	V
$I_{OL} = 50 \mu A$	全			0.05			0.05	V
LVDS模式, DRVDD = 1.8 V								
差分输出电压(VOD), ANSI模式	全	250	350	450	250	350	450	mV
输出失调电压(VOS), ANSI模式	全	1.15	1.25	1.35	1.15	1.25	1.35	V
差分输出电压(VOD), 小摆幅模式	全	150	200	280	150	200	280	mV
输出失调电压(VOS), 小摆幅模式	全	1.15	1.25	1.35	1.15	1.25	1.35	V

¹ 上拉。

² 下拉。

数字规格 – AD6655BCPZ-125/AD6655BCPZ-150

除非另有说明，AVDD = 1.8 V、DVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0 dBFS 差分输入、1.0 V 内部基准电压、DCS 使能。

表6

参数	温度	AD6655BCPZ-125			AD6655BCPZ-150			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
差分时钟输入(CLK+、CLK-)		CMOS/LVDS/LVPECL			CMOS/LVDS/LVPECL			
逻辑兼容		1.2			1.2			V
内部共模偏置	全	1.2			1.2			V
差分输入电压	全	0.2		6	0.2		6	V p-p
输入电压范围	全	AVDD - 0.3		AVDD + 1.6	AVDD - 0.3		AVDD + 1.6	V
输入共模范围	全	1.1 V		AVDD	1.1 V		AVDD	V
高电平输入电压	全	1.2		3.6	1.2		3.6	V
低电平输入电压	全	0		0.8	0		0.8	V
高电平输入电流	全	-10		+10	-10		+10	μA
低电平输入电流	全	-10		+10	-10		+10	μA
输入电容	全	4			4			pF
输入电阻	全	8	10	12	8	10	12	kΩ
同步输入		CMOS			CMOS			
逻辑兼容		1.2			1.2			V
内部偏置	全	1.2			1.2			V
输入电压范围	全	AVDD - 0.3		AVDD + 1.6	AVDD - 0.3		AVDD + 1.6	V
高电平输入电压	全	1.2		3.6	1.2		3.6	V
低电平输入电压	全	0		0.8	0		0.8	V
高电平输入电流	全	-10		+10	-10		+10	μA
低电平输入电流	全	-10		+10	-10		+10	μA
输入电容	全	4			4			pF
输入电阻	全	8	10	12	8	10	12	kΩ
逻辑输入(CSB) ¹								
高电平输入电压	全	1.22		3.6	1.22		3.6	V
低电平输入电压	全	0		0.6	0		0.6	V
高电平输入电流	全	-10		+10	-10		+10	μA
低电平输入电流	全	40		132	40		132	μA
输入电阻	全	26			26			kΩ
输入电容	全	2			2			pF
逻辑输入(SCLK/DFS) ²								
高电平输入电压	全	1.22		3.6	1.22		3.6	V
低电平输入电压	全	0		0.6	0		0.6	V
高电平输入电流	全	-92		-135	-92		-135	μA
低电平输入电流	全	-10		+10	-10		+10	μA
输入电阻	全	26			26			kΩ
输入电容	全	2			2			pF
逻辑输入(SDIO/DCS、SMI SDFS) ¹								
高电平输入电压	全	1.22		3.6	1.22		3.6	V
低电平输入电压	全	0		0.6	0		0.6	V
高电平输入电流	全	-10		+10	-10		+10	μA
低电平输入电流	全	38		128	38		128	μA
输入电阻	全	26			26			kΩ
输入电容	全	5			5			pF

AD6655

参数	温度	AD6655BCPZ-125			AD6655BCPZ-150			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
逻辑输入(SMI SDO/OEB、SMI SCLK/PDWN) ²								
高电平输入电压	全	1.22		3.6	1.22		3.6	V
低电平输入电压	全	0		0.6	0		0.6	V
高电平输入电流	全	-90		-134	-90		-134	μA
低电平输入电流	全	-10		+10	-10		+10	μA
输入电阻	全		26			26		kΩ
输入电容	全		5			5		pF
数字输出								
CMOS模式—DRVDD = 3.3 V								
高电平输出电压								
$I_{OH} = 50 \mu A$	全	3.29			3.29			V
$I_{OH} = 0.5 mA$	全	3.25			3.25			V
低电平输出电压								
$I_{OL} = 1.6 mA$	全			0.2			0.2	V
$I_{OL} = 50 \mu A$	全			0.05			0.05	V
CMOS模式—DRVDD = 1.8 V								
高电平输出电压								
$I_{OH} = 50 \mu A$	全	1.79			1.79			V
$I_{OH} = 0.5 mA$	全	1.75			1.75			V
低电平输出电压								
$I_{OL} = 1.6 mA$	全			0.2			0.2	V
$I_{OL} = 50 \mu A$	全			0.05			0.05	V
LVDS模式, DRVDD = 1.8 V								
差分输出电压(VOD), ANSI模式	全	250	350	450	250	350	450	mV
输出失调电压(VOS), ANSI模式	全	1.15	1.25	1.35	1.15	1.25	1.35	V
差分输出电压(VOD), 小摆幅模式	全	150	200	280	150	200	280	mV
输出失调电压(VOS), 小摆幅模式	全	1.15	1.25	1.35	1.15	1.25	1.35	V

¹ 上拉

² 下拉。

开关规格 – AD6655BCPZ-80/AD6655BCPZ-105

表7

参数	温度	AD6655BCPZ-80			AD6655BCPZ-105			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
时钟输入参数								
输入时钟速率	全			625			625	MHz
转换速率 ¹								
DCS使能	全	20		80	20		105	MSPS
DCS禁用	全	10		80	10		105	MSPS
时钟周期—一分频模式(t_{CLK})	全	12.5			9.5			ns
时钟脉宽高电平(t_{CLKH})								
一分频模式, DCS使能	全	3.75	6.25	8.75	2.85	4.75	6.65	ns
一分频模式, DCS禁用	全	5.63	6.25	6.88	4.28	4.75	5.23	ns
二分频模式, DCS使能	全	1.6			1.6			ns
三分频至八分频模式, DCS使能	全	0.8			0.8			ns
数据输出参数 (DATA和FD)								
CMOS非交错模式, DRVDD = 1.8 V								
数据传播延迟(t_{PD}) ²	全	1.6	3.9	6.2	1.6	3.9	6.2	ns
DCO传播延迟(t_{DCO})	全	4.0	5.4	7.3	4.0	5.4	7.3	ns
建立时间(t_s)	全		14.0			11.0		ns
保持时间(t_H)	全		11.0			8.0		ns
CMOS非交错模式, DRVDD = 3.3 V								
数据传播延迟(t_{PD}) ²	全	1.9	4.1	6.4	1.9	4.1	6.4	ns
DCO传播延迟(t_{DCO})	全	4.4	5.8	7.7	4.4	5.8	7.7	ns
建立时间(t_s)	全		14.2			11.2		ns
保持时间(t_H)	全		10.8			7.8		ns
CMOS交错和IQ模式—DRVDD = 1.8 V								
数据传播延迟(t_{PD}) ²	全	1.6	3.9	6.2	1.6	3.9	6.2	ns
DCO传播延迟(t_{DCO})	全	3.4	4.8	6.7	3.4	4.8	6.7	ns
建立时间(t_s)	全		7.15			5.65		ns
保持时间(t_H)	全		5.35			3.85		ns
CMOS交错和IQ模式—DRVDD = 3.3 V								
数据传播延迟(t_{PD}) ²	全	1.9	4.1	6.4	1.9	4.1	6.4	ns
DCO传播延迟(t_{DCO})	全	3.8	5.2	7.1	3.8	5.2	7.1	ns
建立时间(t_s)	全		7.35			5.85		ns
保持时间(t_H)	全		5.15			3.65		ns
LVDS模式, DRVDD = 1.8 V								
数据传播延迟(t_{PD}) ²	全	2.5	4.8	7.0	2.5	4.8	7.0	ns
DCO传播延迟(t_{DCO})	全	3.7	5.3	7.3	3.7	5.3	7.3	ns
流水线延迟NCO、FIR、 $f_s/8$ 混频禁用	全		38			38		周期
流水线延迟NCO使能、FIR和 $f_s/8$ 混频禁用 (复数输出模式)	全		38			38		周期
流水线延迟NCO、FIR、 $f_s/8$ 混频使能	全		109			109		周期
孔径延迟(t_A)	全		1.0			1.0		ns
孔径不确定 (抖动, t_j)	全		0.1			0.1		psrms
唤醒时间 ³	全		350			350		us
超范围恢复时间	全		2			2		周期

¹ 转换速率指分频之后的时钟速率。² 输出传播延迟的测量条件为: 时钟50%转换至数据50%转换, 使用5 pF负载。³ 唤醒时间取决于去耦电容的值。

AD6655

开关规格 – AD6655BCPZ-125/AD6655BCPZ-150

表8

参数	温度	AD6655BCPZ-125			AD6655BCPZ-150			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
时钟输入参数								
输入时钟速率	全			625			625	MHz
转换速率 ¹								
DCS使能	全	20		125	20		150	MSPS
DCS禁用	全	10		125	10		150	MSPS
时钟周期—一分频模式(t_{CLK})	全	8			6.66			ns
时钟脉宽高电平(t_{CLKH})								
一分频模式, DCS使能	全	2.4	4	5.6	2.0	3.33	4.66	ns
一分频模式, DCS禁用	全	3.6	4	4.4	3.0	3.33	3.66	ns
二分频模式, DCS使能	全	1.6			1.6			ns
三分频至八分频模式, DCS使能	全	0.8			0.8			ns
数据输出参数 (DATA和FD)								
CMOS非交错模式, DRVDD = 1.8 V								
数据传播延迟(t_{PD}) ²	全	1.6	3.9	6.2	1.6	3.9	6.2	ns
DCO传播延迟(t_{DCO})	全	4.0	5.4	7.3	4.0	5.4	7.3	ns
建立时间(t_s)	全		9.5			8.16		ns
保持时间(t_h)	全		6.5			5.16		ns
CMOS非交错模式, DRVDD = 3.3 V								
数据传播延迟(t_{PD}) ²	全	1.9	4.1	6.4	1.9	4.1	6.4	ns
DCO传播延迟(t_{DCO})	全	4.4	5.8	7.7	4.4	5.8	7.7	ns
建立时间(t_s)	全		9.7			8.36		ns
保持时间(t_h)	全		6.3			4.96		ns
CMOS交错和IQ模式—DRVDD = 1.8 V								
数据传播延迟(t_{PD}) ²	全	1.6	3.9	6.2	1.6	3.9	6.2	ns
DCO传播延迟(t_{DCO})	全	3.4	4.8	6.7	3.4	4.8	6.7	ns
建立时间(t_s)	全		4.9			4.23		ns
保持时间(t_h)	全		3.1			2.43		ns
CMOS交错和IQ模式—DRVDD = 3.3 V								
数据传播延迟(t_{PD}) ²	全	1.9	4.1	6.4	1.9	4.1	6.4	ns
DCO传播延迟(t_{DCO})	全	3.8	5.2	7.1	3.8	5.2	7.1	ns
建立时间(t_s)	全		5.1			4.43		ns
保持时间(t_h)	全		2.9			2.23		ns
LVDS模式, DRVDD = 1.8 V								
数据传播延迟(t_{PD}) ²	全	2.5	4.8	7.0	2.5	4.8	7.0	ns
DCO传播延迟(t_{DCO})	全	3.7	5.3	7.3	3.7	5.3	7.3	ns
流水线延迟NCO、FIR、 $f_s/8$ 混频禁用	全		38			38		周期
流水线延迟NCO使能、FIR和 $f_s/8$ 混频禁用(复杂输出模式)	全		38			38		周期
流水线延迟NCO、FIR、 $f_s/8$ 混频使能	全		109			109		周期
孔径延迟(t_A)	全		1.0			1.0		ns
孔径不确定 (抖动, t_j)	全		0.1			0.1		psrms
唤醒时间 ³	全		350			350		us
超范围恢复时间	全		3			3		周期

¹ 转换速率指分频之后的时钟速率。

² 输出传播延迟的测量条件为：时钟50%转换至数据50%转换，使用5 pF负载。

³ 唤醒时间取决于去耦电容的值。

时序规格

表9

参数	条件	最小值	典型值	最大值	单位
同步时序要求					
t_{SSYNC}	SYNC至CLK建立时间的上升沿	0.24			ns
t_{HSYNC}	SYNC至CLK保持时间的上升沿	0.4			ns
SPI时序要求					
t_{DS}	数据与SCLK上升沿之间的建立时间	2			ns
t_{DH}	数据与SCLK上升沿之间的保持时间	2			ns
t_{CLK}	SCLK周期	40			ns
t_S	CSB与SCLK之间的建立时间	2			ns
t_H	CSB与SCLK之间的保持时间	2			ns
t_{HIGH}	SCLK应处于逻辑高电平状态的最短时间	10			ns
t_{LOW}	SCLK应处于逻辑低电平状态的最短时间	10			ns
t_{EN_SDIO}	相对于SCLK下降沿, SDIO引脚从输入状态切换到输出状态所需的时间	10			ns
t_{DIS_SDIO}	相对于SCLK上升沿, SDIO引脚从输出状态切换到输入状态所需的时间	10			ns
SPORT时序要求					
t_{CSSCLK}	从CLK+上升沿到SMI SCLK上升沿之间的延迟	3.2	4.5	6.2	ns
$t_{SSLKSDO}$	从SMI SCLK上升沿到SMI SDO之间的延迟	-0.4	0	+0.4	ns
$t_{SSLKSDFS}$	从SMI SCLK上升沿到SMI SDFS之间的延迟	-0.4	0	+0.4	ns

时序图

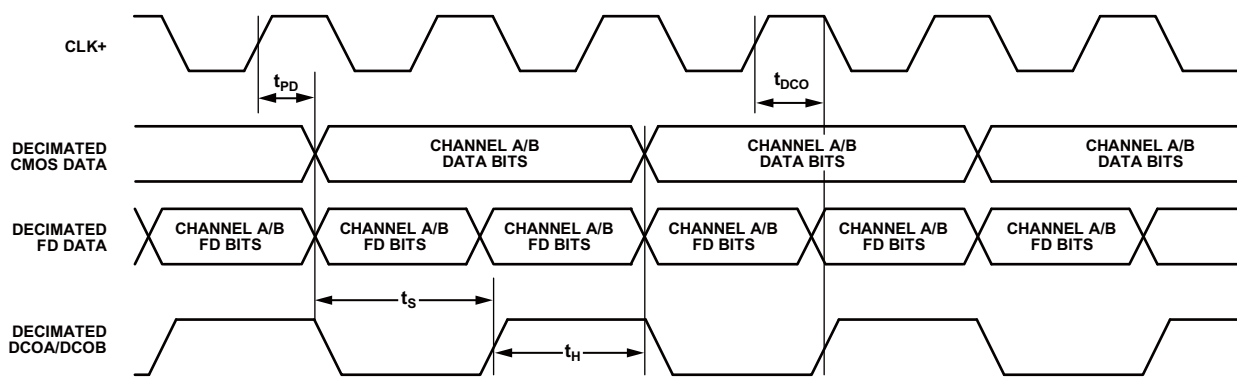


图2. 抽取非交错CMOS模式数据与快速检测输出时序(快速检测模式选择位的值为000)

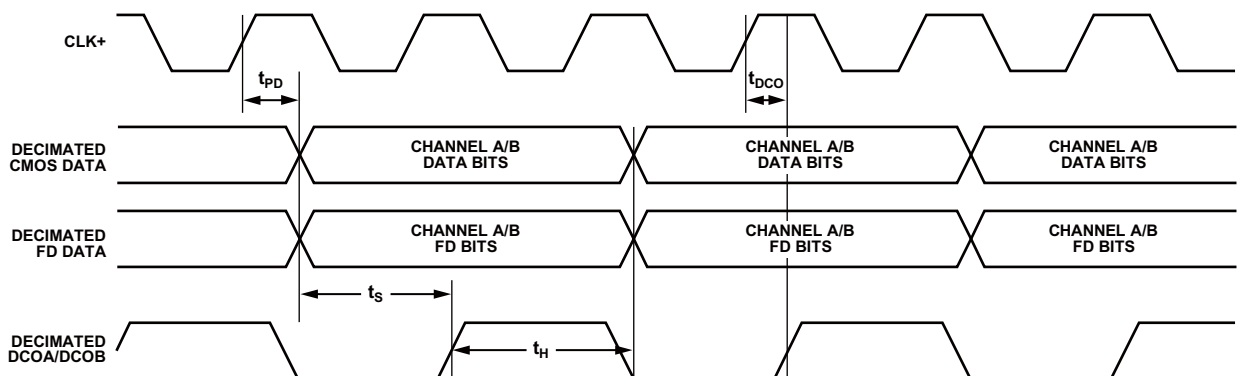


图3. 抽取非交错CMOS模式数据与快速检测输出时序(快速检测模式选择位的值为001至100)

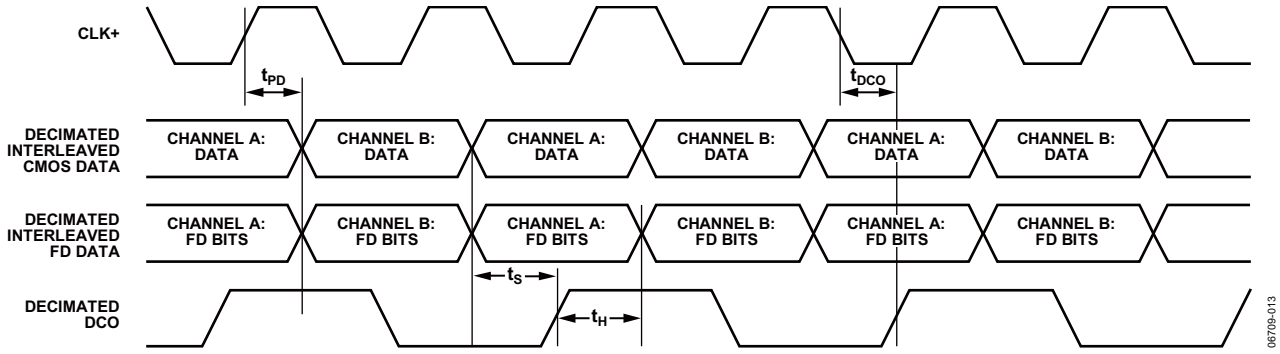


图4 抽取交错CMOS模式数据与快速检测输出时序

06709-013

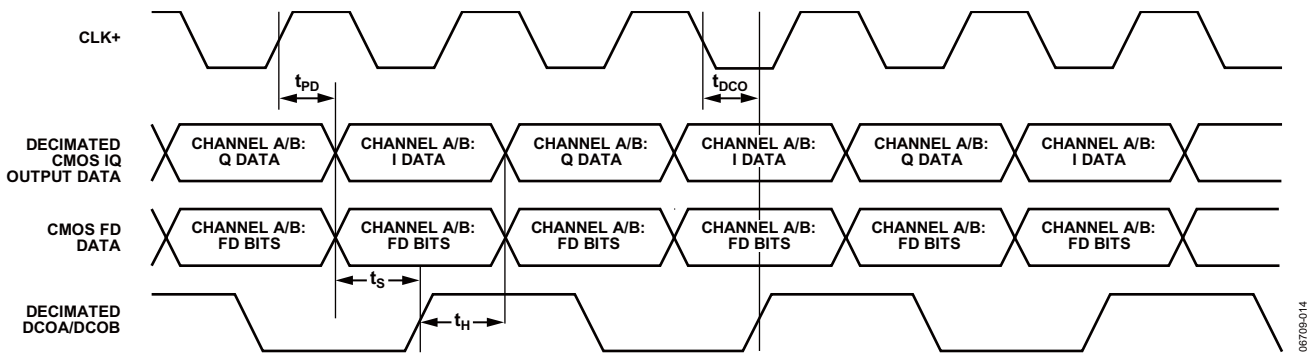


图5 抽取IQ模式CMOS数据与快速检测输出时序

06709-014

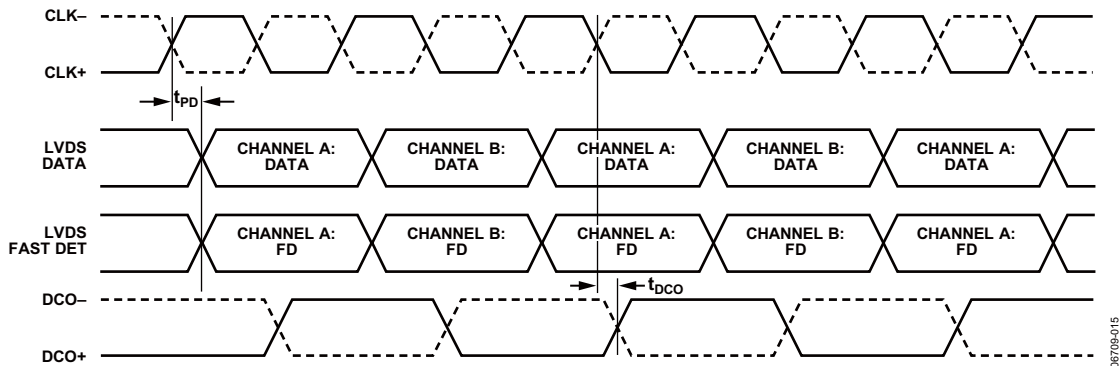


图6 抽取交错LVDS模式数据与快速检测输出时序

06709-015

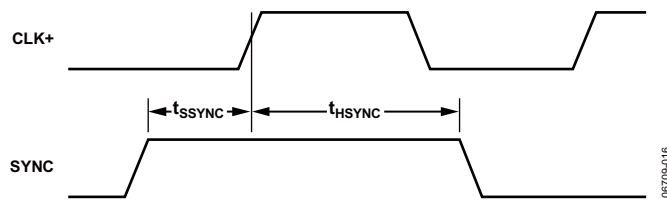
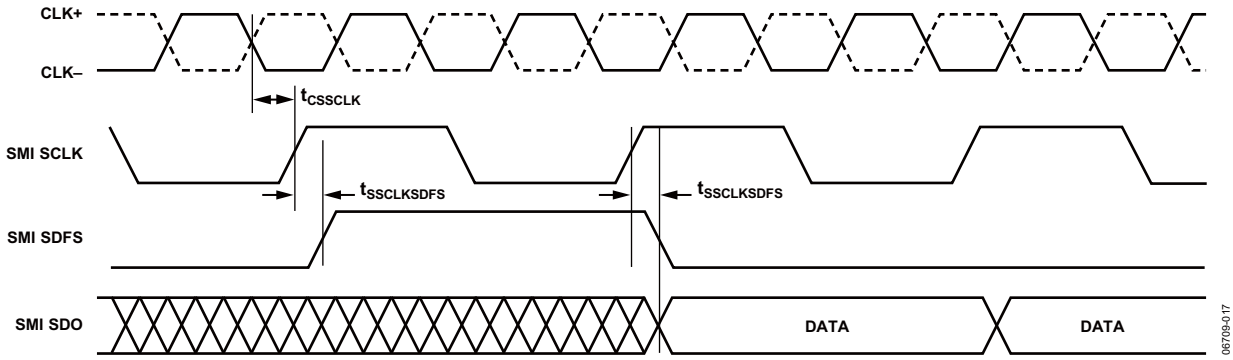


图7. 同步时序输入

06709-016



087709-017

图8. 信号监控 SPORT输出时序

绝对最大额定值

表10

参数	额定值
电气参数	
AVDD、DVDD至AGND	-0.3 V 至 +2.0 V
DRVDD至DRGND	-0.3 V 至 +3.9 V
AGND至DRGND	-0.3 V 至 +0.3 V
VIN+A/VIN+B、VIN-A/VIN-B至AGND	-0.3 V 至 AVDD + 0.2 V
CLK+、CLK-至AGND	-0.3 V 至 +3.9 V
SYNC至AGND	-0.3 V 至 +3.9 V
VREF至AGND	-0.3 V 至 AVDD + 0.2 V
SENSE至AGND	-0.3 V 至 AVDD + 0.2 V
CML至AGND	-0.3 V 至 AVDD + 0.2 V
RBIAS至AGND	-0.3 V 至 AVDD + 0.2 V
CSB至AGND	-0.3 V 至 +3.9 V
SCLK/DFS至DRGND	-0.3 V 至 +3.9 V
SDIO/DCS至DRGND	-0.3 V 至 DRVDD + 0.3 V
SMI SDO/OEB至DRGND	-0.3 V 至 DRVDD + 0.3 V
SMI SCLK/PDWN至DRGND	-0.3 V 至 DRVDD + 0.3 V
SMI SDFS至DRGND	-0.3 V 至 DRVDD + 0.3 V
D0A/D0B-D13A/D13B至DRGND	-0.3 V 至 DRVDD + 0.3 V
FD0A/FD0B-FD3A/FD3B至DRGND	-0.3 V 至 DRVDD + 0.3 V
D0A/D0B至DRGND	-0.3 V 至 DRVDD + 0.3 V
环境参数	
工作温度范围(环境)	-40°C 至 +85°C
偏置条件下的最大结温	150°C
存储温度范围(环境)	-65°C to +125°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这些只是最大额定值，不表示在这些条件下或者在任何其它超出本技术规格操作部分所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热特性

LFCSF封装的裸露焊盘必须焊接到接地层。将裸露焊盘焊接到客户板上，可提高焊接可靠性，从而最大限度发挥封装的热性能。

表11. 热阻

封装类型	气流速度 (m/s)	$\theta_{JA}^{1,2}$	$\theta_{JC}^{1,3}$	$\theta_{JB}^{1,4}$	单位
64-引脚 LFCSP 9 mm × 9 mm (CP-64-3)	0	18.8	0.6	6.0	°C/W
	1.0	16.5			°C/W
	2.0	15.8			°C/W

¹按照JEDEC 51-7，加上JEDEC 25-5 2S2P测试板。

²按照JEDEC JESD51-2(静止空气)或JEDEC JESD51-6(流动空气)。

³按照MIL-Std 883、方法 1012.1。

⁴按照JEDEC JESD51-8(静止空气)。

θ_{JA} 的典型值的测试条件为带实接地层的四层PCB。如上所示，气流可提高散热，从而降低 θ_{JA} 。另外，直接与封装引脚接触的的金属，包括金属走线、通孔、接地层、电源层，可降低 θ_{JA} 。

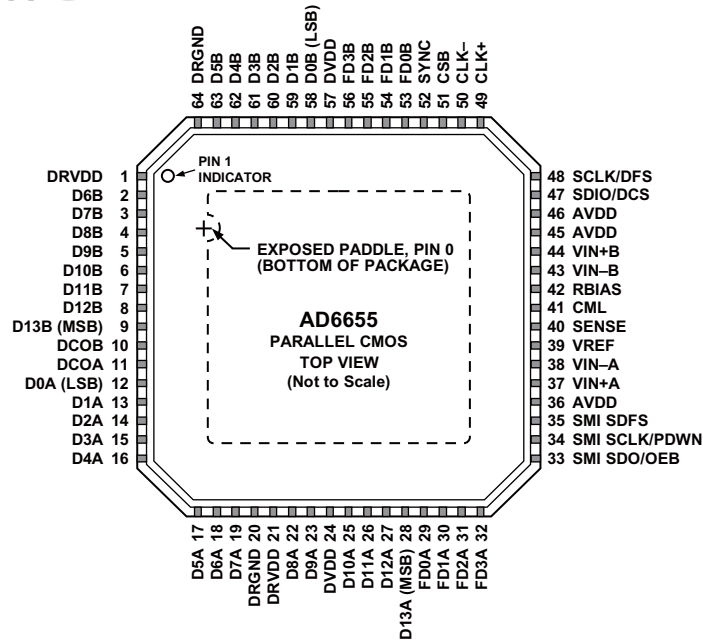
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES

1. THE EXPOSED THERMAL PAD ON THE BOTTOM OF THE PACKAGE PROVIDES THE ANALOG GROUND FOR THE PART. THIS EXPOSED PAD MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

06709-002

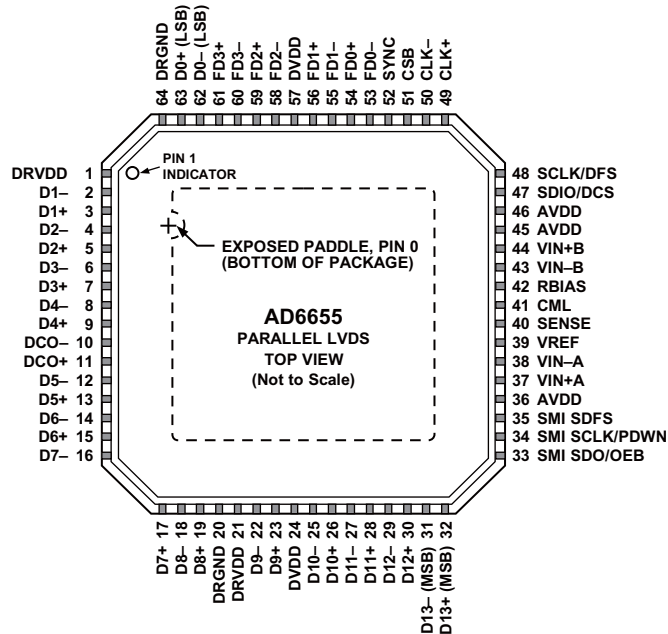
图9. LFCSP并行CMOS引脚配置(顶视图)

表12. 引脚功能描述(并行CMOS模式)

引脚编号	引脚名称	类型	描述
ADC电源			
20, 64	DRGND	地	数字输出地。
1, 21	DRVDD	电源	数字输出驱动器电源(1.8 V至3.3 V)。
24, 57	DVDD	电源	数字电源(标称值为1.8 V)。
36, 45, 46	AVDD	电源	模拟电源(标称值为1.8 V)。
0	AGND, 裸露焊盘	地	模拟地。封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须与地相连,才能正常工作。
ADC模拟			
37	VIN+A	输入	通道A的差分模拟输入引脚(+).
38	VIN-A	输入	通道A的差分模拟输入引脚(-).
44	VIN+B	输入	通道B的差分模拟输入引脚(+).
43	VIN-B	输入	通道B的差分模拟输入引脚(-).
39	VREF	输入/输出	基准电压输入/输出。
40	SENSE	输入	基准电压模式选择。(详情参见表15。)
42	RBIAS	输入/输出	外部基准偏置电阻。
41	CML	输出	模拟输入的共模电平偏置输出。
49	CLK+	输入	ADC时钟输入(+).
50	CLK-	输入	ADC时钟输入(-).
ADC快速检测输出			
29	FD0A	输出	通道A快速检测指示器。(详情参见表21。)
30	FD1A	输出	通道A快速检测指示器。(详情参见表21。)
31	FD2A	输出	通道A快速检测指示器。(详情参见表21。)
32	FD3A	输出	通道A快速检测指示器。(详情参见表21。)
53	FD0B	输出	通道B快速检测指示器。(详情参见表21。)
54	FD1B	输出	通道B快速检测指示器。(详情参见表21。)
55	FD2B	输出	通道B快速检测指示器。(详情参见表21。)
56	FD3B	输出	通道B快速检测指示器。(详情参见表21。)

AD6655

引脚编号	引脚名称	类型	描述
数字输入			
52	SYNC	输入	数字同步引脚。仅用于从机模式。
数字输出			
12	D0A (LSB)	输出	通道A CMOS输出数据
13	D1A	输出	通道A CMOS输出数据
14	D2A	输出	通道A CMOS输出数据
15	D3A	输出	通道A CMOS输出数据
16	D4A	输出	通道A CMOS输出数据
17	D5A	输出	通道A CMOS输出数据
18	D6A	输出	通道A CMOS输出数据
19	D7A	输出	通道A CMOS输出数据
22	D8A	输出	通道A CMOS输出数据
23	D9A	输出	通道A CMOS输出数据
25	D10A	输出	通道A CMOS输出数据
26	D11A	输出	通道A CMOS输出数据
27	D12A	输出	通道A CMOS输出数据
28	D13A (MSB)	输出	通道A CMOS输出数据
58	D0B (LSB)	输出	通道B CMOS输出数据
59	D1B	输出	通道B CMOS输出数据
60	D2B	输出	通道B CMOS输出数据
61	D3B	输出	通道B CMOS输出数据
62	D4B	输出	通道B CMOS输出数据
63	D5B	输出	通道B CMOS输出数据
2	D6B	输出	通道B CMOS输出数据
3	D7B	输出	通道B CMOS输出数据
4	D8B	输出	通道B CMOS输出数据
5	D9B	输出	通道B CMOS输出数据
6	D10B	输出	通道B CMOS输出数据
7	D11B	输出	通道B CMOS输出数据
8	D12B	输出	通道B CMOS输出数据
9	D13B (MSB)	输出	通道B CMOS输出数据
11	DCOA	输出	通道A数据时钟输出
10	DCOB	输出	通道B数据时钟输出
SPI控制			
48	SCLK/DFS	输入	在外部引脚模式下，SPI串行时钟/数据格式选择引脚。
47	SDIO/DCS	输入/输出	在外部引脚模式下，SPI串行数据输入/输出/占空比稳定器引脚
51	CSB	输入	SPI片选。低电平有效。
信号监控端口			
33	SMI SDO/OEB	输入/输出	在外部引脚模式下，信号监控串行数据输出/输出使能输入(低电平有效)引脚。
35	SMI SDFS	输出	信号监控串行数据帧同步。
34	SMI SCLK/PDWN	输入/输出	在外部引脚模式下，信号监控串行时钟输出/掉电输入(高电平有效)引脚。



NOTES
 1. THE EXPOSED THERMAL PAD ON THE BOTTOM OF THE PACKAGE PROVIDES THE ANALOG GROUND FOR THE PART. THIS EXPOSED PAD MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

06709-003

图10. LFCSP交错并行LVDS引脚配置(顶视图)

表13.引脚功能描述(交错并行LVDS模式)

引脚编号	引脚名称	类型	描述
ADC电源			
20, 64	DRGND	地	数字输出地。
1, 21	DRVDD	电源	数字输出驱动器电源(1.8 V至3.3 V)。
24, 57	DVDD	电源	数字电源(标称值为1.8 V)。
36, 45, 46	AVDD	电源	模拟电源(标称值为1.8 V)。
0	AGND, 裸露焊盘	地	模拟地。封装底部的裸露焊盘为器件提供模拟地。该焊盘必须与地相连, 才能正常工作。
ADC模拟			
37	VIN+A	输入	通道A的差分模拟输入引脚(+).
38	VIN-A	输入	通道A的差分模拟输入引脚(-).
44	VIN+B	输入	通道B的差分模拟输入引脚(+).
43	VIN-B	输入	通道B的差分模拟输入引脚(-).
39	VREF	输入/输出	基准电压输入/输出。
40	SENSE	输入	基准电压模式选择。(详情参见表15)。
42	RBIAS	输入/输出	外部基准偏置电阻。
41	CML	输出	模拟输入的共模电平偏置输出。
49	CLK+	输入	ADC时钟输入(+).
50	CLK-	输入	ADC时钟输入(-).
ADC快速检测输出			
54	FD0+	输出	通道A/通道B LVDS快速检测指示器0(+). (详情参见表21.)
53	FD0-	输出	通道A/通道B LVDS快速检测指示器0(-). (详情参见表21.)
56	FD1+	输出	通道A/通道B LVDS快速检测指示器1(+). (详情参见表21.)
55	FD1-	输出	通道A/通道B LVDS快速检测指示器1(-). (详情参见表21.)
59	FD2+	输出	通道A/通道B LVDS快速检测指示器2(+). (详情参见表21.)
58	FD2-	输出	通道A/通道B LVDS快速检测指示器2(-). (详情参见表21.)
61	FD3+	输出	通道A/通道B LVDS快速检测指示器3(+). (详情参见表21.)
60	FD3-	输出	通道A/通道B LVDS快速检测指示器3(-). (详情参见表21.)

AD6655

引脚编号	引脚名称	类型	描述
数字输入			
52	SYNC	输入	数字同步引脚。仅用于从机模式。
数字输出			
63	D0+ (LSB)	输出	通道A/通道B LVDS输出数据0(+).
62	D0- (LSB)	输出	通道A/通道B LVDS输出数据0(-).
3	D1+	输出	通道A/通道B LVDS输出数据1(+).
2	D1-	输出	通道A/通道B LVDS输出数据1(-).
5	D2+	输出	通道A/通道B LVDS输出数据2(+).
4	D2-	输出	通道A/通道B LVDS输出数据2(-).
7	D3+	输出	通道A/通道B LVDS输出数据3(+).
6	D3-	输出	通道A/通道B LVDS输出数据3(-).
9	D4+	输出	通道A/通道B LVDS输出数据4(+).
8	D4-	输出	通道A/通道B LVDS输出数据4(-).
13	D5+	输出	通道A/通道B LVDS输出数据5(+).
12	D5-	输出	通道A/通道B LVDS输出数据5(-).
15	D6+	输出	通道A/通道B LVDS输出数据6(+).
14	D6-	输出	通道A/通道B LVDS输出数据6(-).
17	D7+	输出	通道A/通道B LVDS输出数据7(+).
16	D7-	输出	通道A/通道B LVDS输出数据7(-).
19	D8+	输出	通道A/通道B LVDS输出数据8(+).
18	D8-	输出	通道A/通道B LVDS输出数据8(-).
23	D9+	输出	通道A/通道B LVDS输出数据9(+).
22	D9-	输出	通道A/通道B LVDS输出数据9(-).
26	D10+	输出	通道A/通道B LVDS输出数据10(+).
25	D10-	输出	通道A/通道B LVDS输出数据10(-).
28	D11+	输出	通道A/通道B LVDS输出数据11(+).
27	D11-	输出	通道A/通道B LVDS输出数据11(-).
30	D12+	输出	通道A/通道B LVDS输出数据12(+).
29	D12-	输出	通道A/通道B LVDS输出数据12(-).
32	D13+ (MSB)	输出	通道A/通道B LVDS输出数据13(+).
31	D13- (MSB)	输出	通道A/通道B LVDS输出数据13(-).
11	DCO+	输出	通道A/通道B LVDS数据时钟输出(+).
10	DCO-	输出	通道A/通道B LVDS数据时钟输出(-).
SPI控制			
48	SCLK/DFS	输入	在外部引脚模式下，SPI串行时钟/数据格式选择引脚。
47	SDIO/DCS	输入/输出	在外部引脚模式下，SPI串行数据输入/输出/占空比稳定器引脚。
51	CSB	输入	SPI片选(低电平有效)。
信号监控端口			
33	SMI SDO/OEB	输入/输出	在外部引脚模式下，信号监控串行数据输出/输出使能输入(低电平有效)引脚。
35	SMI SDFS	输出	信号监控串行数据帧同步。
34	SMI SCLK/PDWN	输入/输出	在外部引脚模式下，信号监控串行时钟输出/掉电输入(高电平有效)引脚。

等效电路

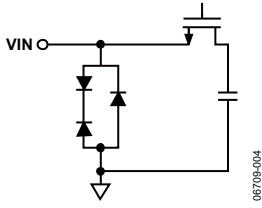


图11. 等效模拟输入电路

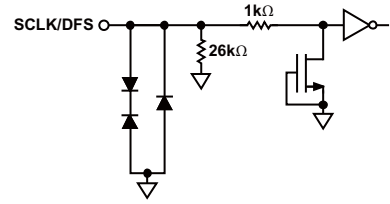


图 15. 等效SCLK/DFS输入电路

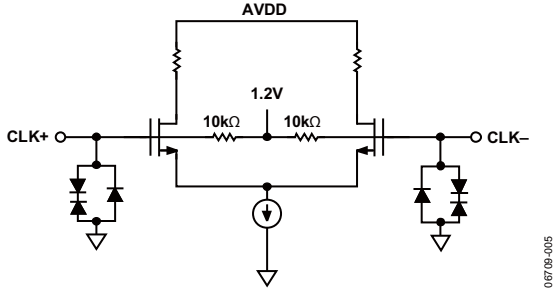


图12. 等效时钟输入电路

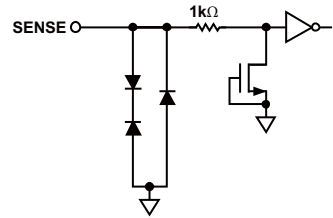


图16. 等效SENSE电路

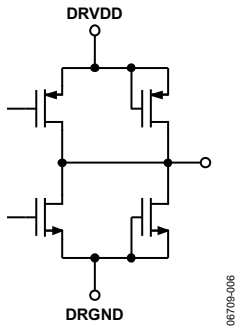


图13. 等效数字输出电路

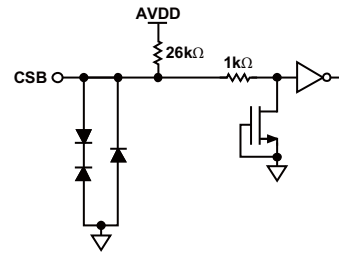


图 17. 等效CSB输入电路

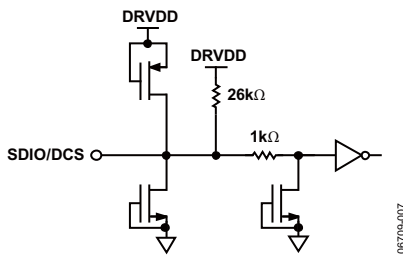


图14. 等效SDIO/DCS电路或SMI SDFS电路

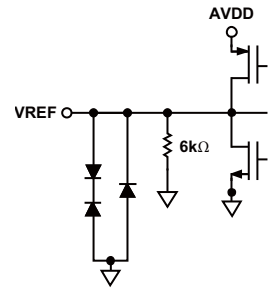


图18. 等效VREF电路

典型工作特性

除非另有说明, AVDD = 1.8 V、DVDD = 1.8 V、DRVDD = 1.8 V、采样率为150 MSPS、DCS使能、1.0 V内部基准电压、2 V峰峰值差分输入、VIN = -1.0 dBFS、64k采样、T_A = 25°C、NCO使能、FIR滤波器使能。如果第二、三谐波位于滤波器通频带之内, 则在下面的FFT图中会有标注。

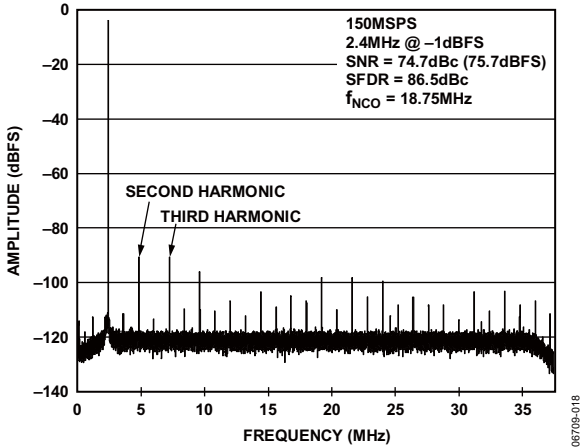


图19. AD6655-150单音FFT ($f_{IN} = 2.4$ MHz、 $f_{NCO} = 18.75$ MHz)

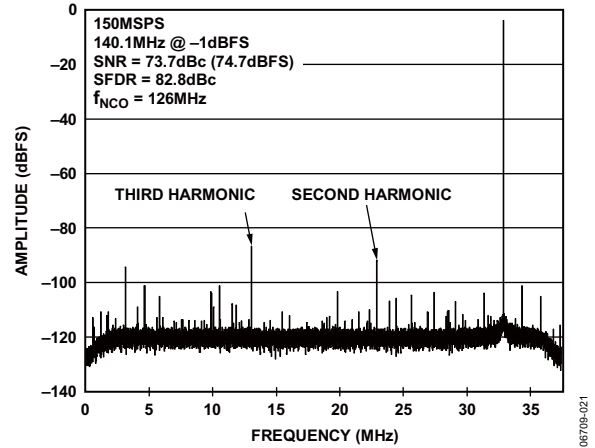


图22. AD6655-150单音FFT($f_{IN} = 140.1$ MHz、 $f_{NCO} = 126$ MHz)

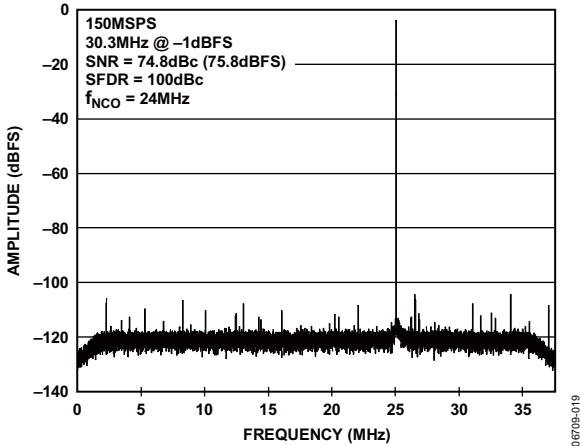


图20. AD6655-150单音FFT ($f_{IN} = 30.3$ MHz、 $f_{NCO} = 24$ MHz)

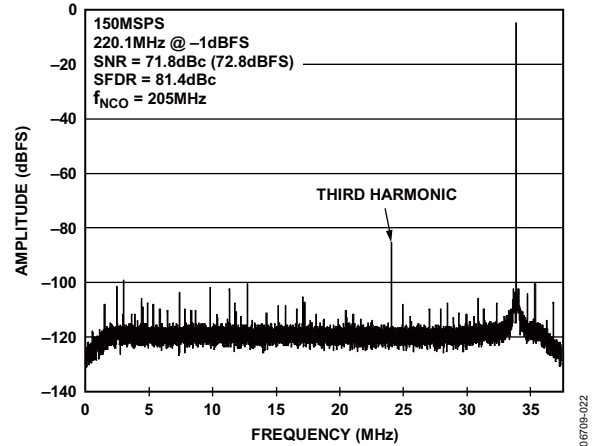


图23. AD6655-150单音FFT ($f_{IN} = 220.1$ MHz、 $f_{NCO} = 205$ MHz)

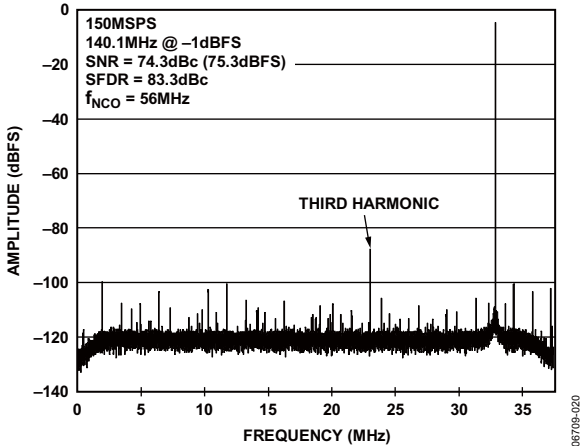


图21. AD6655-150单音FFT ($f_{IN} = 70.1$ MHz、 $f_{NCO} = 56$ MHz)

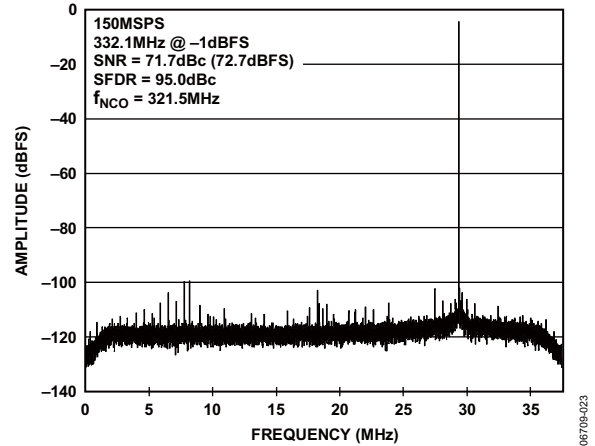


图24. AD6655-150单音FFT($f_{IN} = 332.1$ MHz、 $f_{NCO} = 321.5$ MHz)

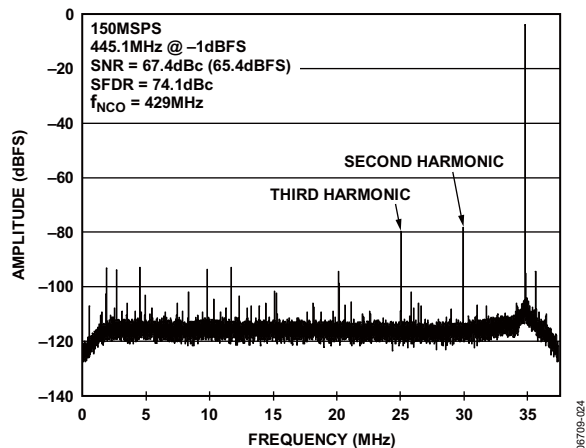


图25. AD6655-150单音FFT($f_{IN} = 445.1\text{ MHz}$, $f_{NCO} = 429\text{ MHz}$)

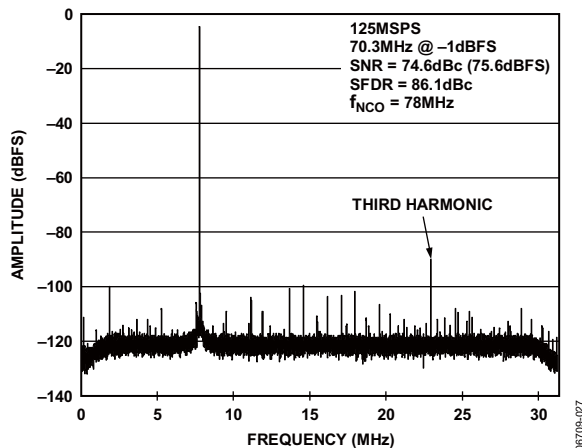


图28. AD6655-125单音FFT($f_{IN} = 70.3\text{ MHz}$, $f_{NCO} = 78\text{ MHz}$)

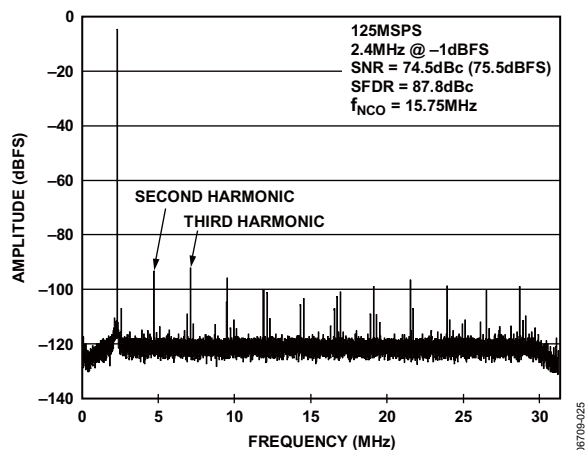


图26. AD6655-125单音FFT($f_{IN} = 2.4\text{ MHz}$, $f_{NCO} = 15.75\text{ MHz}$)

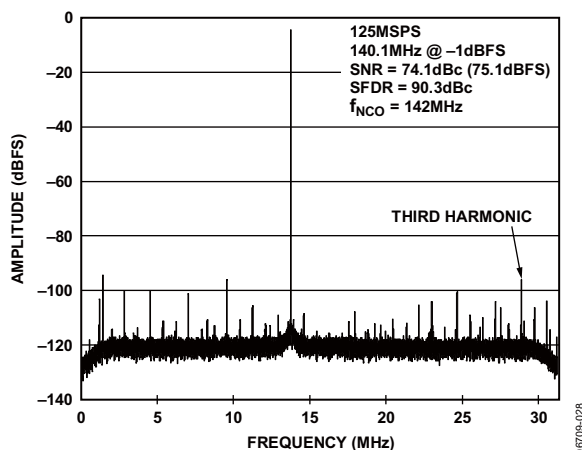


图29. AD6655-125单音FFT($f_{IN} = 140.1\text{ MHz}$, $f_{NCO} = 142\text{ MHz}$)

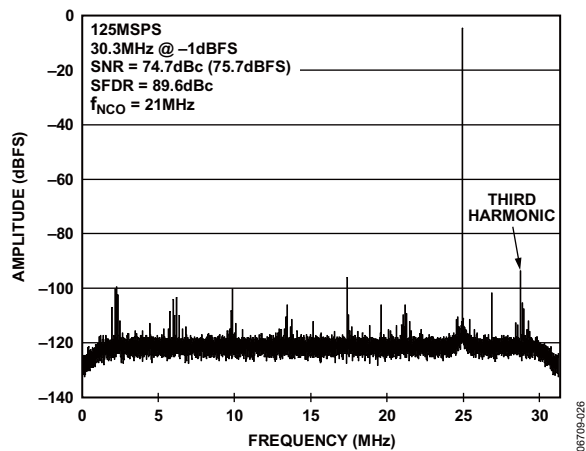


图27. AD6655-125单音FFT($f_{IN} = 30.3\text{ MHz}$, $f_{NCO} = 21\text{ MHz}$)

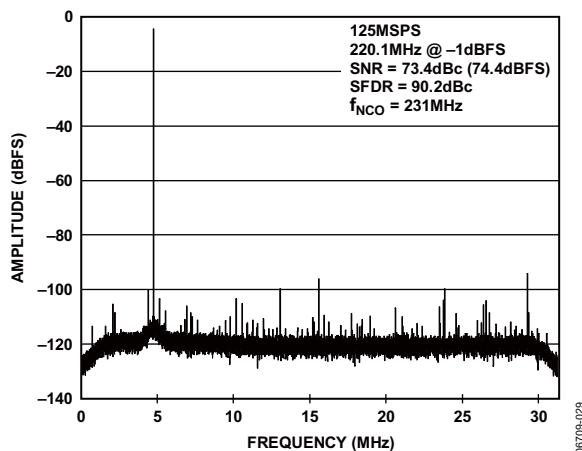


图30. AD6655-125单音FFT($f_{IN} = 220.1\text{ MHz}$, $f_{NCO} = 231\text{ MHz}$)

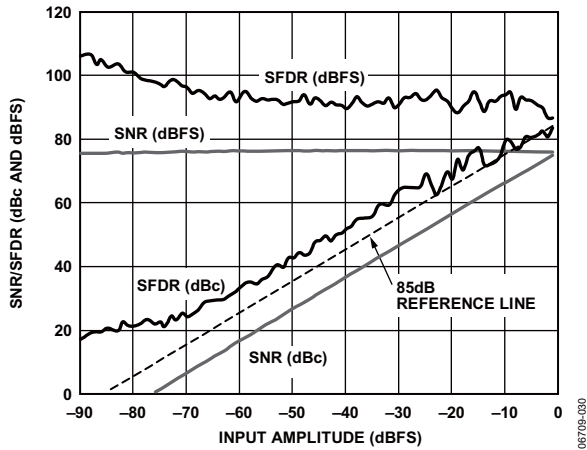


图31. AD6655-150单音信噪比/无杂散动态范围与输入幅度(A_{IN})的关系 ($f_{IN} = 2.4 \text{ MHz}$, $f_{NCO} = 18.75 \text{ MHz}$)

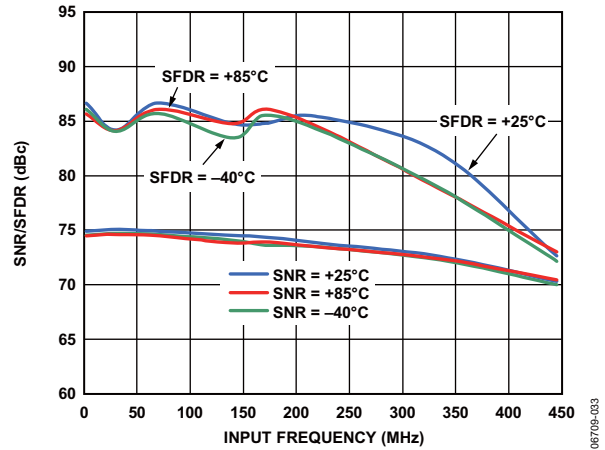


图34. AD6655-125单音信噪比/无杂散动态范围与输入频率(f_{IN})和温度的关系(DRVDD = 3.3 V)

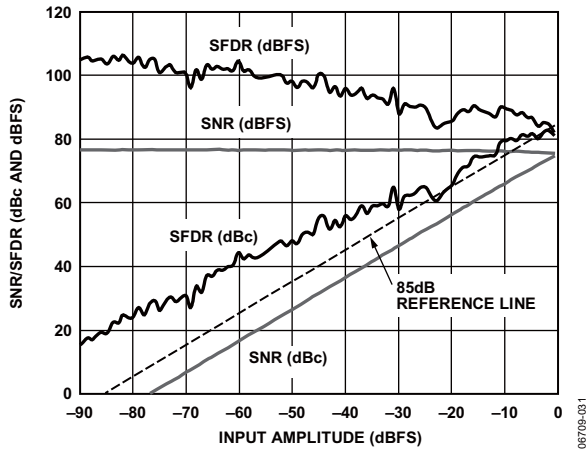


图32. AD6655-150单音信噪比/无杂散动态范围与输入幅度(A_{IN})的关系 ($f_{IN} = 98.12 \text{ MHz}$, $f_{NCO} = 100.49 \text{ MHz}$)

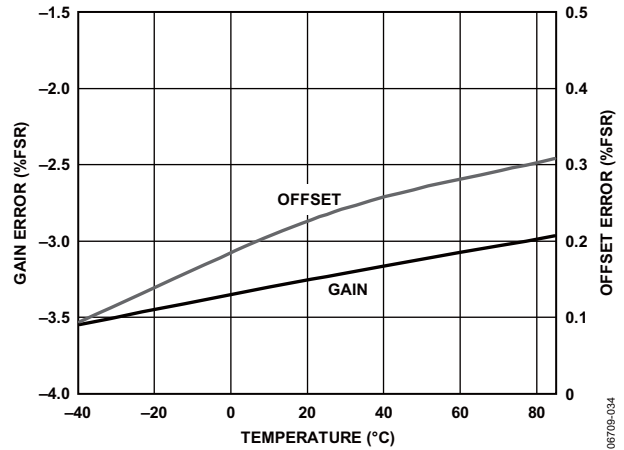


图35. AD6655-150增益和偏置与温度的关系

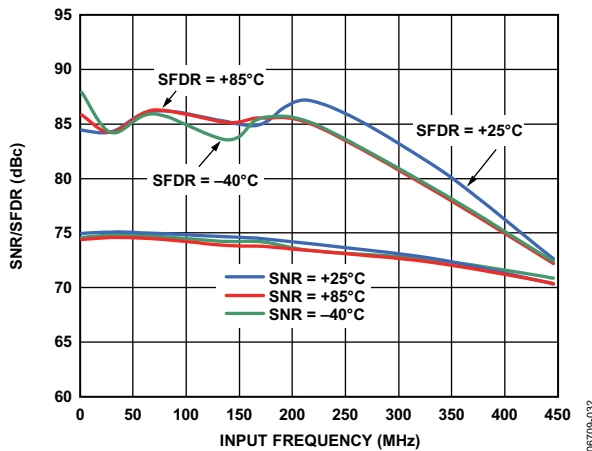


图33. AD6655-125单音信噪比/无杂散动态范围与输入频率(f_{IN})和温度的关系 (DRVDD = 1.8 V)

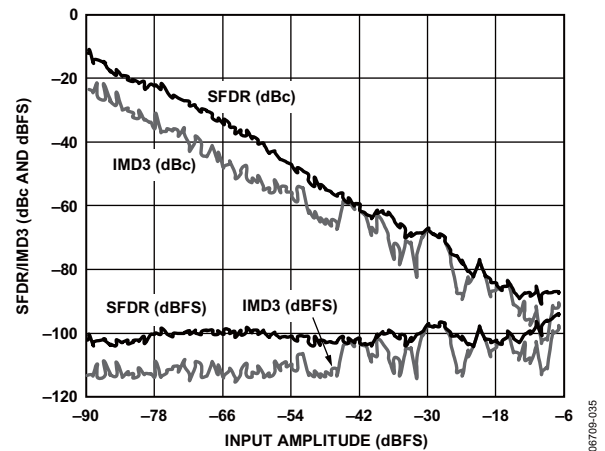


图36. AD6655-150双音无杂散动态范围/三阶交调失真与输入幅度(A_{IN})的关系 ($f_{IN1} = 29.12 \text{ MHz}$, $f_{IN2} = 32.12 \text{ MHz}$, $f_s = 150 \text{ MSPS}$, $f_{NCO} = 22 \text{ MHz}$)

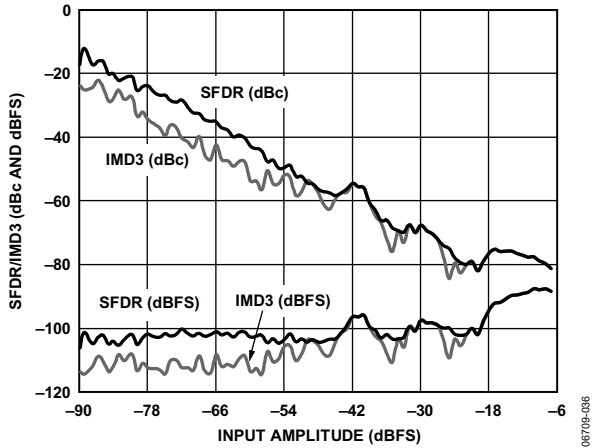


图37. AD6655-150双音无杂散动态范围/三阶交调失真与输入幅度(A_{IN})的关系 ($f_{IN1} = 169.12 \text{ MHz}$, $f_{IN2} = 172.12 \text{ MHz}$, $f_s = 150 \text{ MSPS}$, $f_{NCO} = 177 \text{ MHz}$)

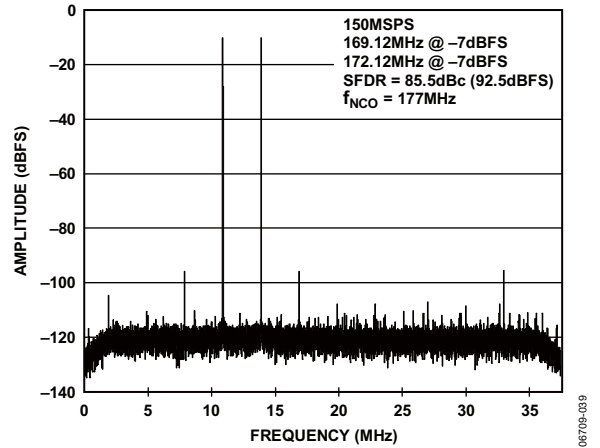


图40. AD6655-150双音FFT ($f_{IN1} = 169.12 \text{ MHz}$, $f_{IN2} = 172.12 \text{ MHz}$, $f_s = 150 \text{ MSPS}$, $f_{NCO} = 177 \text{ MHz}$)

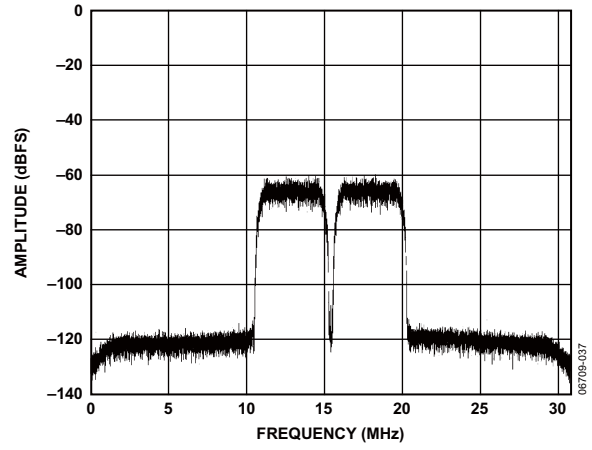


图38. AD6655-125双64k WCDMA载波 ($f_{IN} = 170 \text{ MHz}$, $f_s = 122.88 \text{ MHz}$, $f_{NCO} = 168.96 \text{ MHz}$)

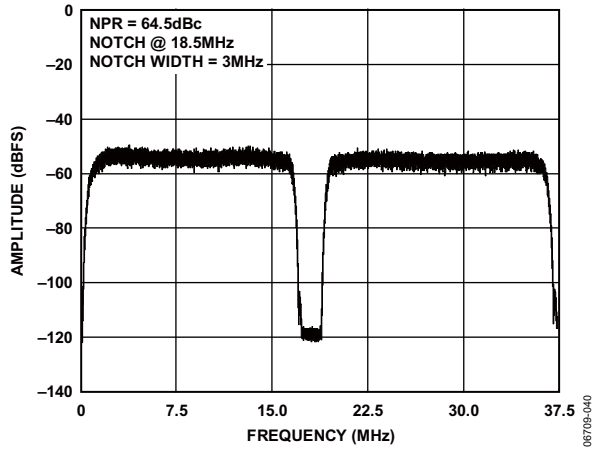


图41. AD6655-150噪声功率比(NPR)

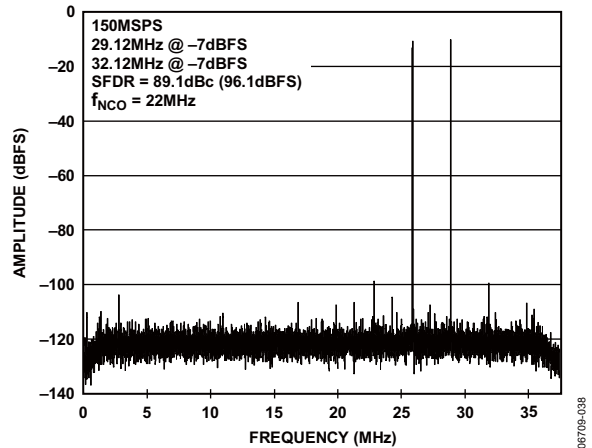


图39. AD6655-150双音FFT ($f_{IN1} = 29.12 \text{ MHz}$, $f_{IN2} = 32.12 \text{ MHz}$, $f_s = 150 \text{ MSPS}$, $f_{NCO} = 22 \text{ MHz}$)

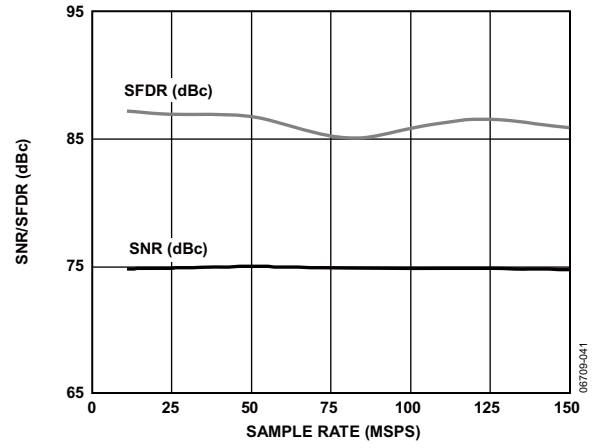


图42. AD6655-150单音信噪比/无杂散动态范围与采样率(f_s)的关系 ($f_{IN} = 2.3 \text{ MHz}$)

AD6655

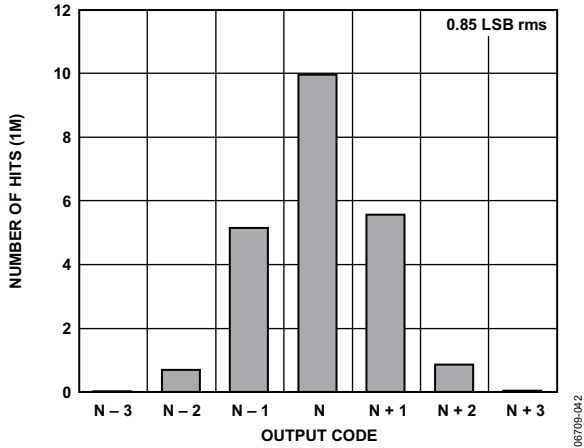


图43. AD6655接地输入直方图

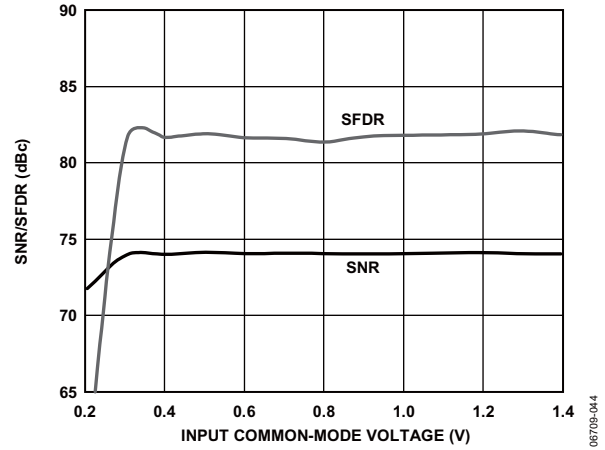


图45. AD6655-150 信噪比/无杂散动态范围与输入共模电压 (VCM)的关系 ($f_{IN} = 30.3 \text{ MHz}$, $f_{NCO} = 45 \text{ MHz}$)

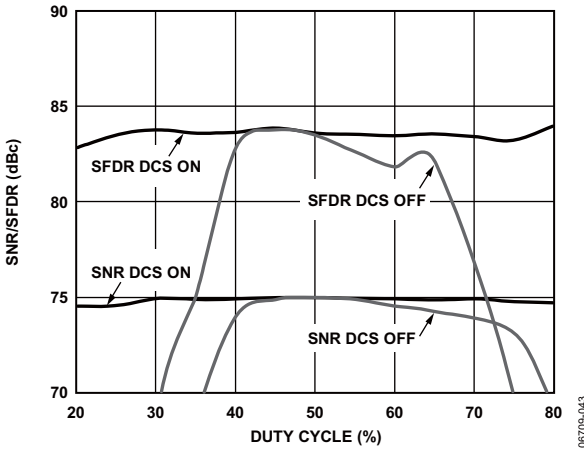


图44. AD6655-150 信噪比/无杂散动态范围与占空比的关系 ($f_{IN} = 30.3 \text{ MHz}$, $f_{NCO} = 45 \text{ MHz}$)

06709-042

06709-044

06709-043

工作原理

AD6655具有两个模拟输入通道、两个抽取通道和两个数字输出通道。中频(IF)输入信号需要经过多级的滤波和抽取处理，才能成为出现在输出端的数字信号。

双ADC设计可用于信号分集接收；两个ADC以相同方式处理来自两个独立天线的相同载波。另外，ADC还可处理单独的模拟输入信号。用户能够借助ADC输入端的低通滤波器或带通滤波器，对任一 $f_s/2$ 频段(从直流到150 MHz)的信号进行采样，这不会明显降低ADC的性能。ADC可对450 MHz模拟输入信号进行处理，但这会加大ADC的噪声和失真。

在非分集应用场合，AD6655可用作基带接收器。此时，可将一个ADC用于I输入数据，另一个用于Q输入数据。

同步功能用于多个通道或多个器件之间的同步定时。设置NCO相位可以产生相对于另一通道或器件的已知偏移。

ADC架构

AD6655架构由一个前端采样保持放大器(SHA)和其后的流水线型开关电容ADC组成。各个级的量化输出组合在一起，在数字校正逻辑中最终形成一个14位转换结果。流水线结构允许第一级处理新的输入采样点，而其它级继续处理之前的采样点。采样在时钟的上升沿进行。

除最后一级以外，流水线的每一级都包括一个低分辨率flash型ADC、一个开关电容数模转换器(DAC)和一个级间余量放大器组成。余量放大器用于放大重构DAC输出与flash输入之间的差，用于流水线的下一级。为了便于实现数字校正flash错误，在每一级设定了1位的冗余量。最后一级仅由一个flash型ADC组成。

模拟输入考虑

AD6655的模拟输入端是一个差分开关电容SHA，其处理差分输入信号的性能极佳。

SHA根据时钟信号，在采用模式和保持模式之间切换(见图46)。当SHA切换到采样模式时，信号源必须能够对采样电容充电且在半时钟周期内完成建立。

每个输入端都串联一个小电阻，可以降低驱动源输出级所需的峰值瞬态电流。在两个输入端之间可配置一个并联电容，以提供动态充电电流。此无源网络能在ADC输入端形成低通滤波器；因此，模数转换的精度取决于应用。

在中频欠采样应用中，需要去掉并联电容。因为并联电容与驱动源阻抗共同作用，会限制输入带宽。关于此话题的更多信息，请参阅应用笔记AN-742“开关电容ADC的频域响应”、应用笔记AN-827“放大器与开关电容ADC接口的谐振匹配方法”和Analog Dialogue的文章“用于宽带模数转换器的变压器耦合前端”(www.analog.com)。通常，模数转换的精度取决于应用。

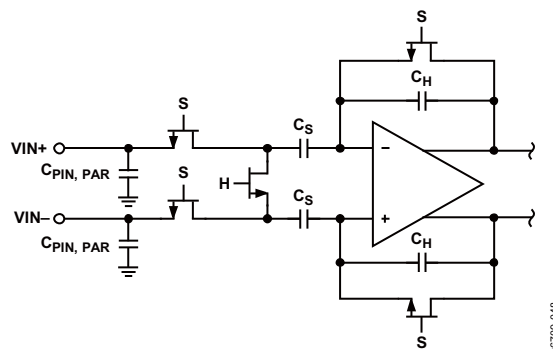


图46. 开关电容SHA输入

为得到最佳动态性能，必须保证驱动VIN+的源阻抗与驱动VIN-的源阻抗相匹配，从而保证共模建立误差是对称的。这些误差会由ADC的共模抑制而减小。

内部差分基准缓冲器用于形成正负基准电压，进而决定ADC内核的输入范围。基准缓冲器的输出共模电压设为 V_{CMREF} (约1.6 V)。

输入共模

AD6655的模拟输入端无内部直流偏置。在交流耦合应用中，用户必须提供外部偏置。为能够获得最佳性能，建议用户对器件设置为 V_{CM} 的值达等于 $0.55 \times AVDD$ ；但器件可以在更宽的范围内都获得合理的性能(见图45)。

AD6655

芯片通过CML引脚提供板上共模基准电压。通过CML引脚提供模拟输入共模电压(典型值为 $0.55 \times AVDD$)时,可实现芯片的最佳性能。

差分输入配置

通过差分输入配置驱动AD6655时,可实现芯片的最佳性能。在基带应用中,AD8138、ADA4937-2和ADA4938-2差分驱动器能够为ADC提供出色的性能和灵活的接口。通过AD6655的CML引脚,可以方便地设置AD8138的输出共模电压(见图47);驱动器可以配置为Sallen-Key滤波器拓扑结构,从而对输入信号进行带宽限制。

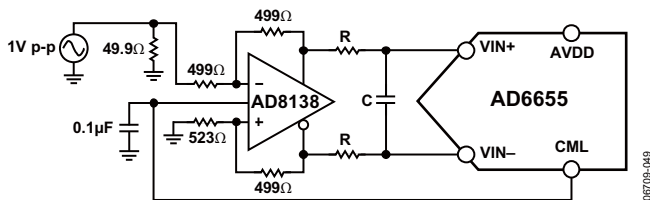


图47. 利用AD8138进行差分输入配置

在SNR为关键参数的基带应用中,建议使用的输入配置是差分变压器耦合,如图48的示例。为实现模拟输入偏置,须将CML电压连接到变压器次级绕组的中心抽头处。

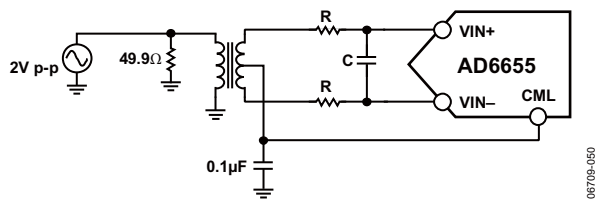


图48. 差分变压器耦合配置

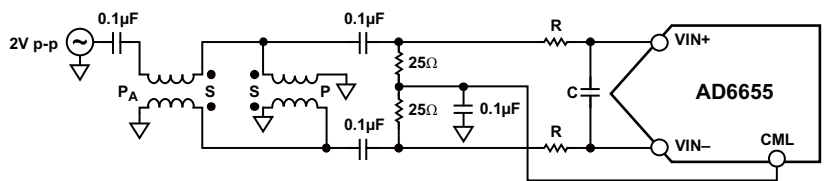


图48. 差分变压器耦合配置

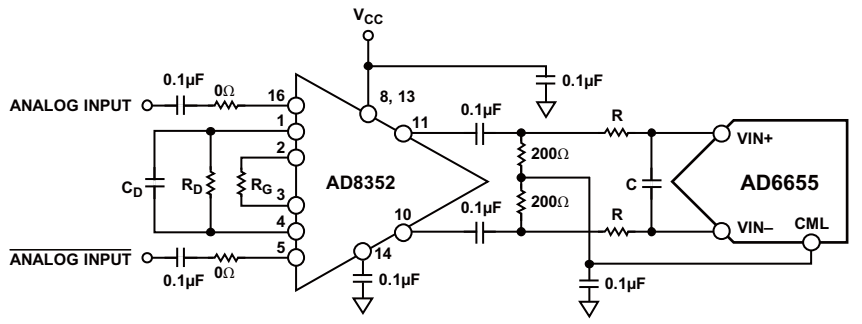


图48. 差分变压器耦合配置

在选择变压器时,必需考虑其信号特性。大多数射频变压器在工作频率低于几兆赫兹时,产生饱和现象。信号功率过大也可导致内核饱和,从而导致失真。

当输入频率处于第二或更高奈奎斯特区域时,大多数放大器的噪声性能无法满足要求以达到AD6655真正的SNR性能。在SNR为关键参数的应用中,建议使用的输入配置是差分双巴伦耦合(见图49)。

频率在第二奈奎斯特区域内的时候,除了使用变压器耦合输入外,还可以使用AD8352差分驱动器(见图50)。详情请参见AD8352数据手册。另外,如需使用可变增益放大器,可采用AD8375和AD8376数字可变增益放大器(DVGA)来驱动AD6655以获得优秀的性能。

在任何配置中,并联电容值C均取决于输入频率和源阻抗,并且可能需要降低电容量或去掉该并联电容。表14列出了设置RC网络的建议值。不过,这些值取决于输入信号,且只能用作初始参考。

表14. RC网络示例

频率范围(MHz)	串联电阻R(Ω)	差分电容C(pF)
0 至 70	33	15
70 至 200	33	5
200 至 300	15	5
>300	15	断开

单端输入配置

单端输入在对成本敏感的应用中可以满足性能要求。在此配置中，由于输入共模摆动较大，因此，会降低无杂散动态范围(SFDR)和失真性能。如果每个输入端的各信号源阻抗都是匹配的，则对信噪比(SNR)性能的影响极小。图51显示典型的单端输入配置。

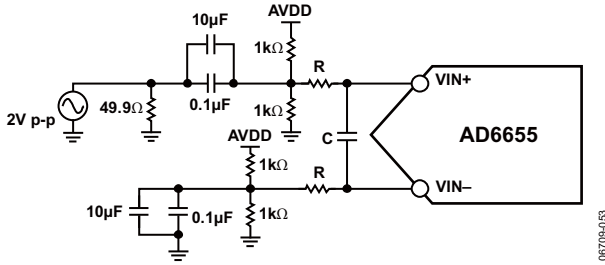


图51. 单端输入配置

基准电压

AD6655内置稳定、精确的基准电压源。通过改变施加于AD6655的基准电压(内部基准电压或外部基准电压)，可以调整电压输入范围。ADC基准输入电压范围呈线性变化。在接下来的章节中，将对各种基准模式进行介绍。“基准电压去耦”部分详细描述基准电压的最佳PCB布局布线。

内部基准电压连接

AD6655的内置比较器可检测出SENSE引脚的电压，从而将基准电压配置成四种不同的模式(见表15)。如果SENSE引脚接地，则基准放大器开关与内部电阻分压器相连(见图52)，因而将VREF设为1.0 V。将SENSE引脚与VREF相连，可将基准放大器输出端切换至SENSE引脚，从而形成一个环路，提供0.5 V基准输出电压。如果芯片与一个外部电阻分压器相连(如图53)，则开关也切换至SENSE引脚。

这样，可使基准放大器进入同相模式；VREF输出端电压的计算公式如下：

$$V_{REF} = 0.5 \times \left(1 + \frac{R2}{R1} \right)$$

无论芯片使用内部基准电压还是外部基准电压，ADC的电压输入范围始终是基准电压引脚电压的两倍。

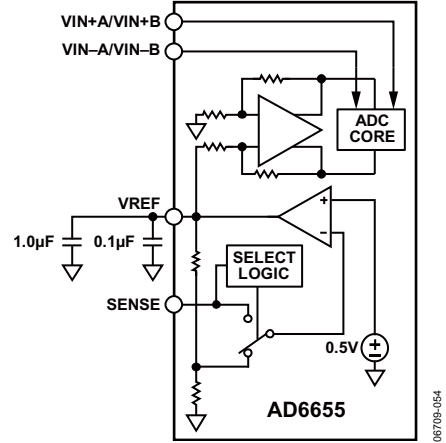


图52. 内部基准电压配置

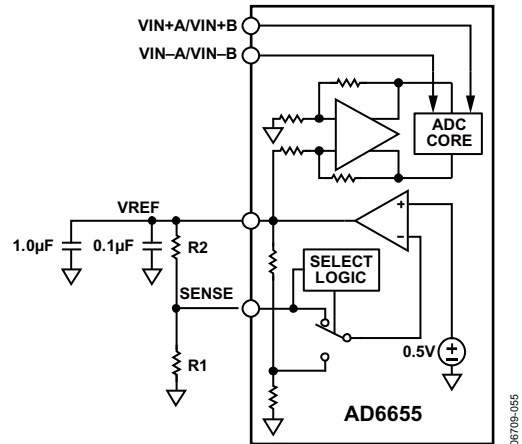


图53. 可编程基准电压配置

表15 基准电压配置

选择模式	SENSE电压	相应的VREF (V)	相应的差分范围(Vp-p)
外部基准电压	AVDD	N/A	2 × 外部基准电压
内部固定基准电压	VREF	0.5	1.0
可编程基准电压	0.2 V 至 VREF	$0.5 \times \left(1 + \frac{R2}{R1} \right)$ (参见图53)	2 × VREF
内部固定基准电压	AGND 至 0.2 V	1.0	2.0

AD6655

如需利用AD6655的内部基准电压来驱动多个转换器，从而提高增益的匹配度，则必须考虑到其它转换器对基准电压的负载。图54说明负载如何影响内部基准电压。

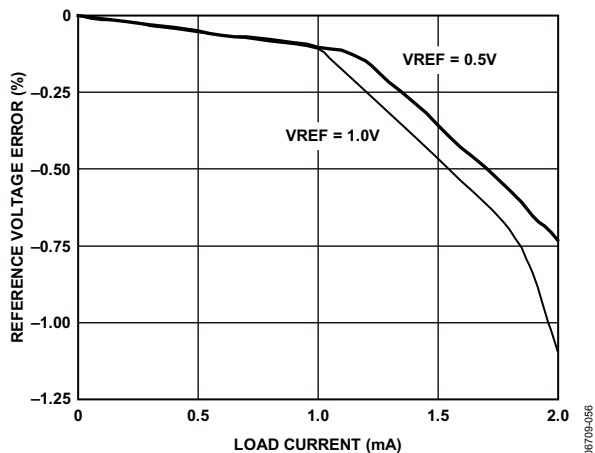


图54. VREF精度与负载的关系

外部基准电压

必须采用外部基准电压才可能提高ADC增益精度、改善热漂移特性。图55显示内部基准电压为1.0V和0.5V时的典型漂移特性。

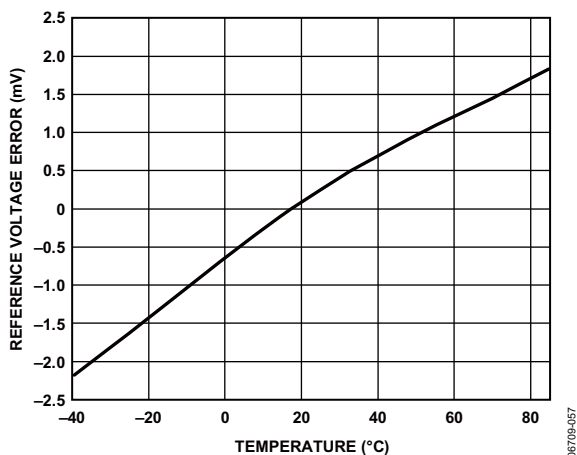


图55. 典型VREF漂移

将SENSE引脚与AVDD相连，可以禁用内部基准电压，从而允许使用外部基准电压。内部基准电压缓冲器对外部基准电压等效为6 kΩ负载(见图18)。内部缓冲器可以为ADC内核生成正、负满量程基准电压。因此，外部基准电压的最大值为1.0 V。

时钟输入考虑

为了充分发挥芯片的性能，应利用一个差分信号作为AD6655采样时钟输入端(CLK+和CLK-)的时钟信号。通常，应使用一个变压器或两个电容器将该信号交流耦合到CLK+引脚和CLK-引脚内。CLK+和CLK-引脚有内部偏置(见图56)，无需外部偏置。

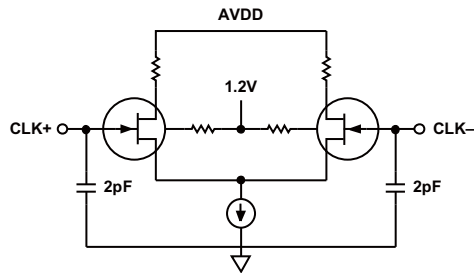


图56. 等效时钟输入电路

时钟输入选项

AD6655的时钟输入结构非常灵活。CMOS、LVDS、LVPECL或正弦波信号均可作为其时钟输入信号。无论采用哪种信号，都必须考虑到时钟源抖动(见“抖动考虑”部分说明)。

图57和图58显示两种为AD6655提供时钟信号的首选方法(时钟速率可达625 MHz)。利用射频变压器，可将低抖动时钟源的单端信号转换成差分信号。跨接在变压器次级上的背对背肖特基二极管可以将输入到AD6655中的时钟信号限制为约差分0.8 V峰峰值。这样，既可以保留信号的快速上升和下降时间，还可以防止时钟的大电压摆幅馈通至AD6655的其它部分，这一点对低抖动性能来说非常重要。

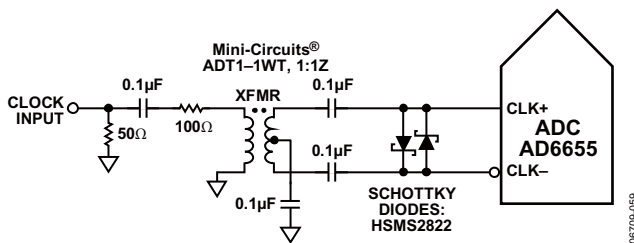


图57. 变压器耦合差分时钟(频率可达200 MHz)

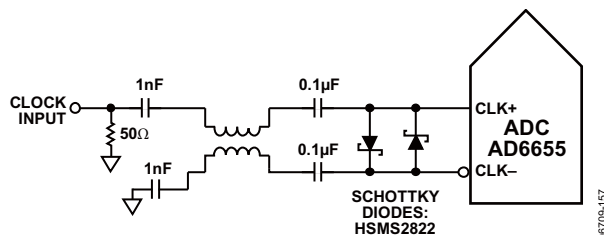


图58. 巴伦耦合差分时钟(频率可达625 MHz)

如果没有低抖动的时钟源，那么，另一种方法是通过差分PECL信号进行交流耦合，并传输至采样时钟输入引脚(如图59所示)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516时钟驱动器具有出色的抖动性能。

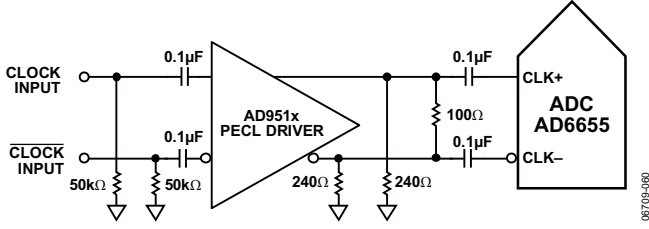


图59. 差分PECL采样时钟(频率可达625 MHz)

第三种方法是对差分LVDS信号进行交流耦合，并传输至采样时钟输入引脚(如图60所示)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516时钟驱动器具有出色的抖动性能。

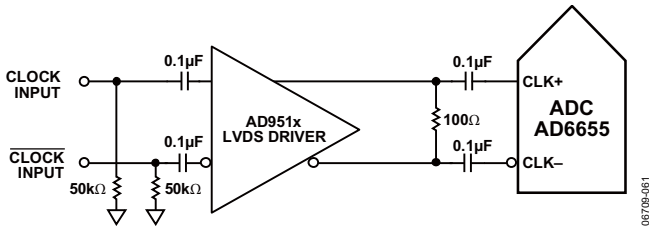


图60. 差分LVDS采样时钟(频率可达625 MHz)

在某些应用中，可以利用单端CMOS信号来驱动采样时钟输入。在此类应用中，CLK+引脚直接由CMOS门电路驱动，CLK-引脚则通过一个39 kΩ电阻与一个0.1 μF电容的并联旁路至地(见图61)。CLK+可直接由CMOS门电路驱动。虽然CLK+输入电路电源为AVDD(1.8 V)，但该输入电路可支持高达3.6V的输入电压，因此，驱动逻辑的电压选择非常灵活。

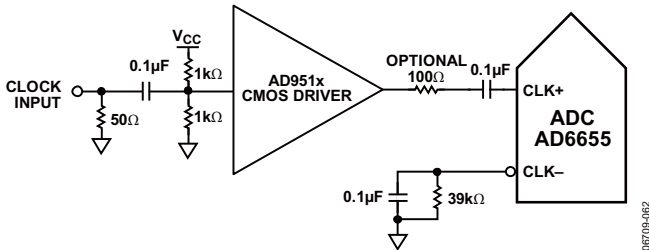


图61. 单端1.8 V CMOS采样时钟(频率可达150 MSPS)

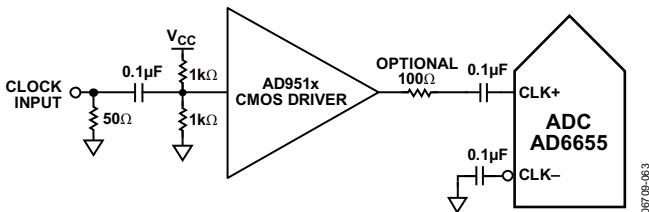


图62. 单端3.3 V CMOS采样时钟(频率可达150 MSPS)

输入时钟分频器

AD6655内置一个输入时钟分频器，可对输入时钟进行1至8整数倍分频。当分频倍数不为1时，自动使能占空比稳定器。

利用外部SYNC输入信号，可同步AD6655时钟分频器。通过对寄存器0x100的位1和位2进行写操作，可以设置每次收到SYNC信号或者仅第一次收到SYNC信号后，对时钟分频器再同步。有效SYNC可使分频器复位至初始状态。该同步特性可让多个器件的时钟分频器对准，从而保证同时进行输入采样。

时钟占空比

典型的高速ADC利用两个时钟边沿产生不同的内部定时信号，因此，它对时钟占空比非常敏感。通常，为保持ADC的动态性能，时钟占空比容限应为±5%。

AD6655内置一个占空比稳定器(DCS)，可对非采样边沿(下降沿)进行重新定时，并提供标称占空比为50%的内部时钟信号。因此，用户可提供的时钟输入占空比范围非常广，且不会影响AD6655的性能。当DCS处于开启状态时，在很宽的占空比范围内，噪声和失真性能几乎是平坦的(如图44所示)。

输入时钟上升沿的抖动依然非常重要，且无法轻易借助内部稳定电路降低这种抖动。当时钟速率低于20 MHz(标称值)时，占空比控制环路没有作为。当时钟速率产生动态变化时，必须考虑与环路相关的时间常量。如果动态时钟频率增加或下降，在DCS环路重新锁定至输入信号前，需要等待1.5 μs至5 μs的时间。在环路处于非锁定状态时，DCS环路被旁路，内部器件定时取决于输入时钟信号的占空比。在此类应用中，建议禁用占空比稳定器。在所有其它应用中，建议使能DCS电路，以便获得最大交流性能。

抖动考虑

高速高分辨率ADC对时钟输入信号的质量非常敏感。在给定的输入频率(f_{IN})下，由于抖动(t_j)造成的信噪比(SNR)下降计算公式如下：

$$SNR_{HF} = -10 \log[(2\pi \times f_{IN} \times t_{jRMS})^2 + 10^{(-SNR_{LF}/10)}]$$

公式中，均方根孔径抖动表示所有抖动源(包括时钟输入信号和模拟输入信号和ADC孔径抖动规格)的均方根。中频欠采样应用对抖动尤其敏感(如图63所示)。

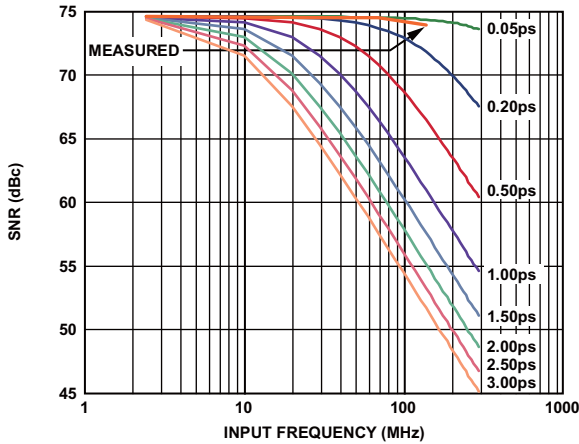


图63. 信噪比与输入频率和抖动的关系

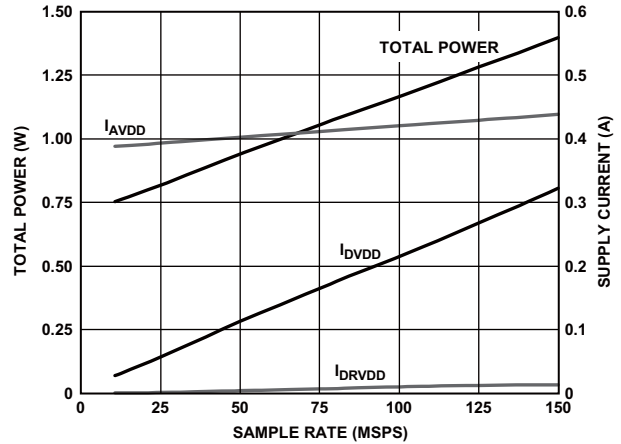


图64. AD6655-150功率和电流与采样速率的关系

当孔径抖动可能影响AD6655的动态范围时，应将时钟输入信号视为模拟信号。时钟驱动器电源应与ADC输出驱动器电源分离，以免在时钟信号内混入数字噪声。低抖动的晶体控制振荡器可提供最佳时钟源。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法)，则需要在最后一步中利用原始时钟进行重定时。

如需了解更多与ADC相关的抖动性能信息，请参阅应用笔记AN501和应用笔记AN756(见www.analog.com)。

功耗和待机模式

如图64至图67所示，AD6655的功耗与其采样速率成比例关系。在CMOS输出模式下，数字功耗主要由数字驱动器的强度和每个输出位的负载大小决定。最大DRVDD电流值(I_{DRVDD})的计算公式如下：

$$I_{DRVDD} = V_{DRVDD} \times C_{LOAD} \times f_{CLK} \times N$$

其中，N是输出位的数量(在AD6655中，假设FD位无效，N=30)。

当每个输出位在每个时钟周期内都发生切换时(即以 $f_{CLK}/2$ 的奈奎斯特频率产生满量程方波时)，电流达到最高值。实际操作中，DRVDD电流由输出位切换的平均数确定，后者取决于采样速率和模拟输入信号的特性。降低输出驱动器的容性负载可以尽可能降低数字功耗。图64至图67中的数据采用与测量典型性能特性相同的工作条件得出，每个输出驱动器的负载为5 pF。

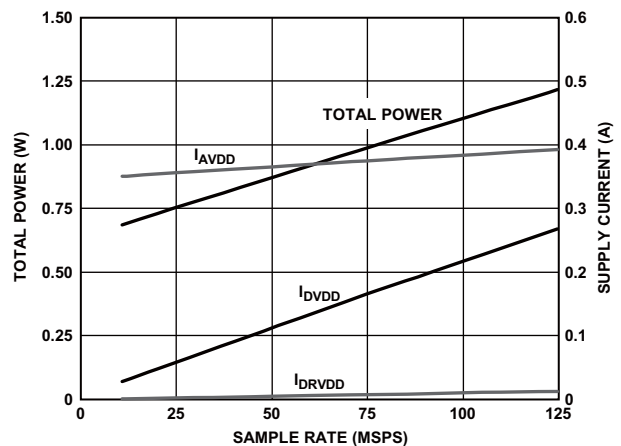


图65. AD6655-125功率和电流与采样速率的关系

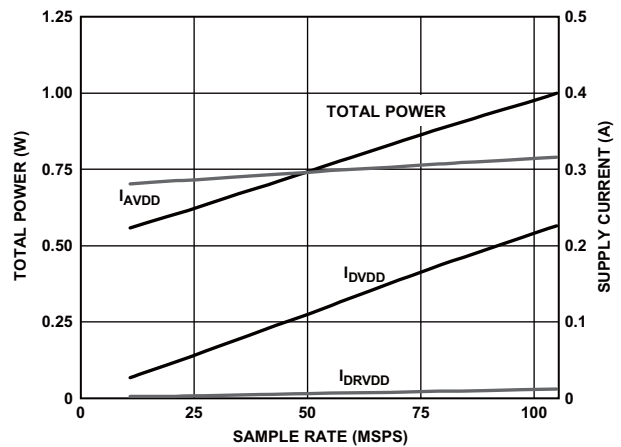


图66. AD6655-105功率和电流与采样速率的关系

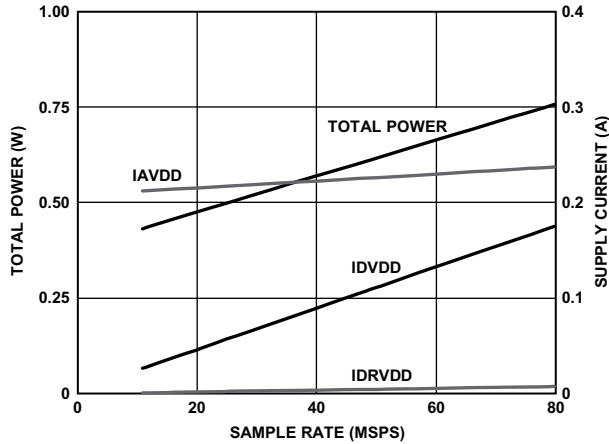


图67. AD6655-80功率和电流与采样速率的关系

置位PDWN(通过SPI端口或将PDWN引脚置位高电平), 可使AD6655进入掉电模式。在这种状态下, ADC的典型功耗为2.5mW。在掉电模式下, 输出驱动器处于高阻抗状态。将PDWN引脚置位低电平后, AD6655返回正常工作模式。注意, PDWN以数据输出驱动器电源电压(DRVDD)为基准, 且不得高于该电压。即使DRVDD为3.3 V时, 1.8 V逻辑电路也可驱动PDWN。

在掉电模式下, 通过关闭基准电压、基准电压缓冲器、偏置网络以及时钟, 可实现低功耗。进入低调电模式时, 内部电容放电; 然后返回正常工作模式时, 内部电容必须重新充电。因此, 唤醒时间与处于掉电模式的时间有关; 处于掉电模式的时间越短, 则相应的唤醒时间越短。

使用SPI端口接口时, 用户可将ADC置于掉电模式或待机模式。如需较短的唤醒时间, 可以使用待机模式, 该模式下内部基准电路处于通电状态。欲了解更多信息, 请参阅“存储器映射寄存器描述”部分或登陆www.analog.com查阅应用笔记AN-877 -通过SPI与高速ADC接口。

数字输出

通过DRVDD和接口逻辑电路的数字电源实现匹配, AD6655输出驱动器可配置为与1.8 V至3.3 V CMOS逻辑系列接口。此外, 使用一个1.8 V DRVDD电源, 可将AD6655输出配置用于ANSI LVDS或低电压驱动LVDS。

在CMOS输出模式下, 输出驱动器应能够提供足够的输出电流, 以便驱动各种逻辑电路。然而, 大驱动电流可能导致在电源信号中产生毛刺脉冲, 影响转换器的性能。因此, 在那些需要ADC来驱动大容量负载或大扇出的应用中, 可能需要用到外部缓冲器或锁存器。

在外部引脚模式下, 设置SCLK/DFS引脚可以控制数据以偏移二进制格式或二进制补码格式输出(见表16)。如应用笔记AN-877“通过SPI与高速ADC接口”中所述, 在SPI控制模式下, 数据的输出格式可选择偏移二进制、二进制补码或格雷码。

表16. SCLK/DFS模式选择(外部引脚模式)

引脚电压	SCLK/DFS	SDIO/DCS
AGND (默认)	偏移二进制	DCS 禁用
AVDD	偏移二进制	DCS 使能

数据输出使能功能(OEB)

AD6655的数字输出引脚具有灵活的三态功能。用户可借助SMI SDO/OEB引脚或通过SPI接口使能三态模式。若SMI SDO/OEB引脚处于低电平状态, 则使能输出数据驱动器。若SMI SDO/OEB引脚处于高电平状态, 输出数据驱动器置于高阻态。OEB功能不可用于快速访问数据总线。注意, OEB以数据输出驱动器电源电压(DRVDD)为基准, 且不得高于该电压。即使DRVDD为3.3 V时, 1.8 V逻辑电路也可驱动OEB。

使用SPI接口时, 通过寄存器0x14的位4(输出使能位), 可以独立设置每个通道的数据和快速检测输出的三态。

交错CMOS模式

通过设置寄存器0x14的位5可以使能交错CMOS输出模式。在该模式下, 数据从端口A输出, ADC通道A的输出数据出现在DCO上升沿, ADC通道B的输出数据出现在DCO下降沿。

时序

AD6655提供锁存数据时具有流水线延迟; 延迟由所使能的数字后端特性决定。在经过时钟信号上升沿后的一个传播延迟时间(t_{pd})之后, 产生输出数据。

为降低AD6655内的瞬时现象, 应尽可能缩短输出数据线的长度并降低输出负载。瞬时现象可降低转换器的动态性能。

AD6655的典型最低转换速率为10 MSPS。当时钟速率低于10 MSPS时, 芯片的动态性能会有所下降。

数据时钟输出(DCO)

此外, AD6655还提供数据时钟输出(DCO), 用于采样外部寄存器中的数据。图2至图6为AD6655输出模式时序图。

AD6655

表17. 输出数据格式

输入(V)	条件(V)	偏移二进制输出模式	二进制补码模式	超量程
VIN+ - VIN-	< -VREF - 0.5 LSB	00 0000 0000 0000	10 0000 0000 0000	1
VIN+ - VIN-	= -VREF	00 0000 0000 0000	10 0000 0000 0000	0
VIN+ - VIN-	= 0	10 0000 0000 0000	00 0000 0000 0000	0
VIN+ - VIN-	= +VREF - 1.0 LSB	11 1111 1111 1111	01 1111 1111 1111	0
VIN+ - VIN-	> +VREF - 0.5 LSB	11 1111 1111 1111	01 1111 1111 1111	1

数字下变频器

AD6655内置一个数字处理模块，可提供信号滤波，并降低输出数据速率。该数字处理模块由一个数控振荡器(NCO)、一个半带抽取滤波器、一个FIR滤波器和一个辅助粗调NCO(固定频率为 $f_{ADC}/8$)组成，用于转换输出频率。除半带抽取滤波器外，各子处理模块都有控制线路，能单独使能或者禁用，以便提供所需的处理功能。通过配置数字下变频器，可以输出实数据或复数数据。这些子模块有五种推荐的组合方式，可以实现不同的信号处理功能。

下变频器模式

表18中列出了在AD6655中推荐使用的下变频器模式。

表18. 下变频器模式

模式	NCO/滤波器	输出类型
1	仅半带滤波器	实数
2	半带滤波器和FIR滤波器	实数
3	NCO和半带滤波器	复数
4	NCO、半带滤波器和FIR滤波器	复数
5	NCO、半带滤波器、FIR滤波器和 $f_{ADC}/8$ NCO	实数

数控振荡器(NCO)

利用NCO可实现频率转换。两个处理通道共用一个NCO。可以通过使能片上幅度和相位扰动功能改善NCO的噪声和杂散性能。相移字可用于在多个AD6655之间建立已知的相位关系。

由于抽取滤波器，半个奈奎斯特频谱不能使用，因此，需要一种机制，将采样输入频谱转换为抽取滤波器可用的频率范围。32位微调复数NCO可实现这一功能。该NCO/混频器可将输入频谱调整为直流信号，由后面的滤波器对其进行有效滤波，防止信号混叠。

半带抽取滤波器与FIR滤波器

AD6655数字滤波模块的作用是将采样速率降低两倍，同时抑制目标频带范围内出现混叠信号。半带滤波器既可以作为低通滤波器，也可以作为高通滤波器；当抗混叠带宽为系统输入数据速率的22%时，滤波器可提供高于100 dB的混叠抑制。假设ADC采样速率为150 MSPS，那么，在实数模式下使用滤波器时(NCO旁路)，最大可用带宽为16.5 MHz，在复数模式下使用滤波器时(NCO使能)，最大可用带宽为33.0 MHz。

可选的固定系数FIR滤波器可提供额外的滤波功能，以加速半带滚降，从而增强抗混叠能力。它可以消除负频率镜像，避免在输出的实信号中混入负频率信号。

$f_{ADC}/8$ 固定频率NCO

固定频率($f_{ADC}/8$)NCO用于将经滤波、抽取后的信号从直流转换成频率为 $f_{ADC}/8$ 的信号，从而产生实信号输出。图68至图71显示经AD6655处理的20 MHz输入信号。

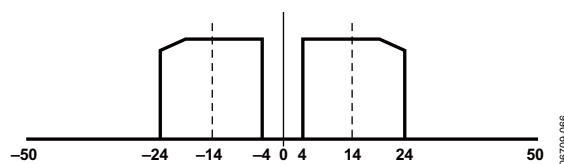


图68. AD6655 20 MHz带宽输入实信号示例
(中心频率: 14MHz, $f_{ADC} = 100$ MHz)

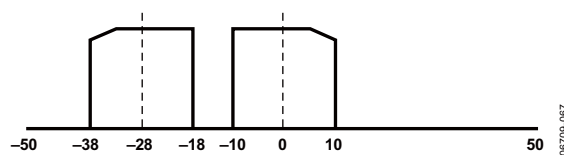


图69. 利用NCO将AD6655 20 MHz带宽输入信号调整谐DC的示例(NCO频率为14 MHz)

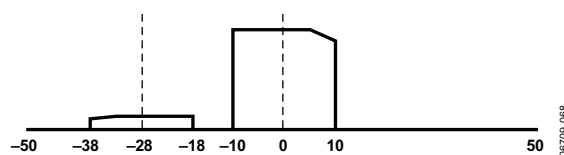


图70. AD6655 20 MHz带宽输入信号示例
(负镜像经半带滤波器和FIR滤波器滤波)

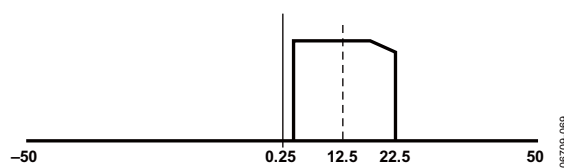


图71. AD6655 20 MHz带宽输入信号调谐至 $f_{ADC}/8$ 以产生实信号输出的示例。

数控振荡器(NCO)

频率转换

该处理模块包含一个由32位复数数控振荡器(NCO)构成的数字调谐器。AD6655的两个通道共用一个NCO。NCO是可选的，将寄存器0x11D的位0置0，即可旁路NCO。NCO模块可以接受来自ADC级的输入实信号，并将其转换成频移复数(I、Q)输出信号。

可以利用寄存器0x11E、寄存器0x11F、寄存器0x120和寄存器0x121来设置NCO频率。这4个8位寄存器组成一个32位无符号频率编程字。下列频率字代表 $-\text{CLK}/2$ 和 $+\text{CLK}/2$ 之间的频率值：

- 0x8000 0000代表 $-\text{CLK}/2$ 指定频率；
- 0x0000 0000代表直流频率(0 Hz)；
- 0x7FFF FFFF代表 $\text{CLK}/2 - \text{CLK}/2^{32}$ 。

NCO频率的计算公式如下：

$$NCO_FREQ = 2^{32} \times \frac{\text{Mod}(f, f_{CLK})}{f_{CLK}}$$

其中：

NCO_FREQ 是一个32位二进制补码数，代表NCO频率寄存器；

f 是所需的载波频率(单位：Hz)；

f_{CLK} 是AD6655 ADC时钟速率(单位：Hz)。

NCO同步

借助外部SYNC输入信号，可实现单个器件内或多个器件的AD6655 NCO同步。通过对寄存器0x100的位3和位4进行写操作，可以选择每次收到SYNC信号或仅第一次收到SYNC信号后，对NCO进行再同步。有效的SYNC信号可控制NCO从所编程的相移值处重新启动。

相位偏移

NCO相移寄存器(地址0x122和0x123)为NCO的相位累加器提供可编程偏移。该16位寄存器的值为一个16位无符号整数。0x00代表无偏移；0xFFFF代表偏移359.995°。每一位代表相位变化0.005°。该寄存器允许多个NCO同步，以产生具有可预测相位差的输出。NCO相移值的计算公式如下：

$$NCO_PHASE = 2^{16} \times PHASE/360$$

其中：

NCO_PHASE 是一个十进制数，等于通过编程写入寄存器0x122和寄存器0x123内的16位二进制数。 $PHASE$ 是所需的NCO相位(单位：度)。

NCO幅度抖动与相位扰动

NCO模块可提供幅度抖动和相位扰动，从而提高杂散性能。幅度扰动可以将NCO角坐标到笛卡尔坐标转换产生的幅度量误差进行随机化，从而提高性能。这样做虽可减少杂散信号，但会略微抬高造成噪底。当幅度扰动使能时，NCO的信噪比高于93 dB、无杂散动态范围高于115 dB。当幅度扰动禁用时，信噪比高于96 dB，而无杂散动态范围低至100 dB。建议使能NCO幅度扰动功能(将寄存器0x11D的位1置1即可)。

半带抽取滤波器和FIR滤波器

AD6655半带数字滤波器的作用是将采样速率降低两倍，同时抑制目标频带范围内出现混叠信号。该滤波器既可以作为低通滤波器，也可以作为高通滤波器；当抗混叠带宽为系统输入数据速率的11%时，滤波器可提供高于100 dB的混叠抑制。半带滤波器与NCO和FIR滤波器配合使用，可提供有效带通。当ADC采样速率为150 MSPS时，最大可用带宽为33 MHz。

半带滤波器系数

19抽头对称固定系数半带滤波器的多相实现决定了它具有较低的功耗。表19中列出了半带滤波器的系数。同时列出了本方案所用的归一化系数及相应的十进制系数值。未在表19中列出的系数值均为0。

表19. 半带滤波器的固定系数

系数号	归一化系数	十进制系数(20位)
C0, C18	0.0008049	844
C2, C16	-0.0059023	-6189
C4, C14	0.0239182	25080
C6, C12	-0.0755024	-79170
C8, C10	0.3066864	321584
C9	0.5	524287

半带滤波器的特性

在AD6655中，不能禁用半带滤波器。可以将该滤波器设置为低通滤波器，也可以将其设置为高通滤波器。将寄存器0x103的位1置1，可将滤波器设置为高通滤波器；将该位置0，则可将滤波器设置为低通滤波器。相对于归一化输出速率的滤波器低通滤波响应见图72；相对于归一化输出速率的滤波器高通滤波响应见图73。

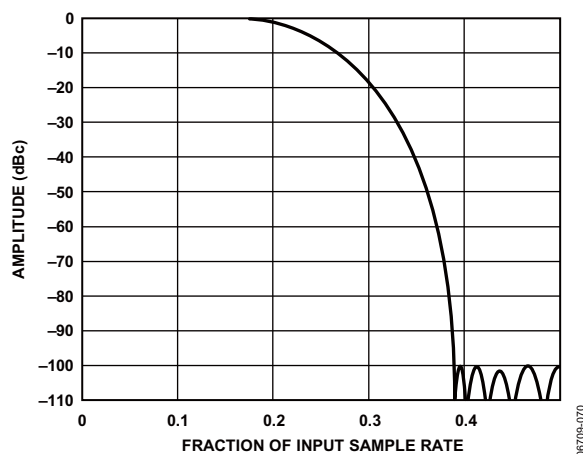


图72. 半带滤波器低通响应

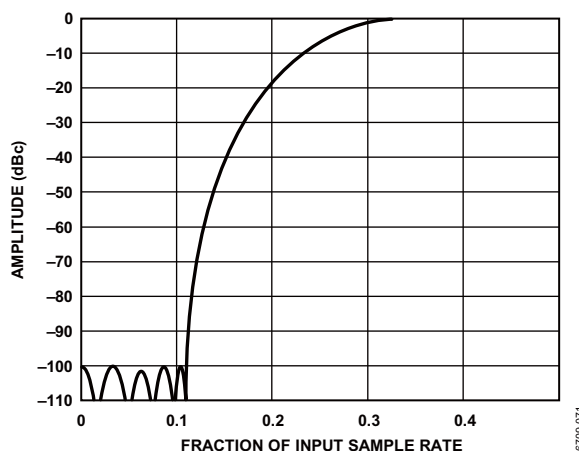


图73. 半带滤波器高通响应

半带滤波器的纹波大小为0.000182 dB，抑制值为100 dB。对于100dB抗混叠抑制，抗混叠带宽为输入采样速率的11%。如果同时使用I通道和Q通道，则复数带宽为输入数据速率的22%。

在偶数奈奎斯特区域采样应用中，还可对半带滤波器进行设置，以便实现频谱反转。将地址0x103的位2置高，可使能频谱反转功能。

可通过选择半带抽取相位，决定半带滤波器在同步后的第一个还是第二个采样点启动。这样，可以从两个输入采样时钟之间的半带输出。设置寄存器0x103的位3，可将抽取相设置为0或1。

固定系数FIR滤波器

半带滤波器后接一个66抽头固定系数FIR滤波器。该滤波器用于为半带抽取滤波器提供额外的抗混叠保护。这是一个简单的66抽头、21位固定系数、乘积和FIR滤波器。注意，该滤波器不提供抽取功能。表20中列出了本方案所用的归一化系数和相应的十进制值。

用户既可以选用该滤波器，也可将其旁路；但只有半带滤波器使能时，才可以使能此FIR滤波器。向寄存器0x102的FIR滤波器使能位(位0)内写入逻辑0，可将该固定系数滤波器旁路。采用输出实信号的最终NCO时，必须使用该滤波器；使用其它配置时，可将其旁路，以便节省功耗。

表20. FIR 滤波器系数

系数号	归一化系数	十进制系数(21位)
C0, C65	0.0001826	383
C1, C64	0.0006824	1431
C2, C63	0.0009298	1950
C3, C62	0.0000458	96
C4, C61	-0.0012689	-2661
C5, C60	-0.0008345	-1750
C6, C59	0.0011806	2476
C7, C58	0.0011387	2388
C8, C57	-0.0018439	-3867
C9, C56	-0.0024557	-5150
C10, C55	0.0018063	3788
C11, C54	0.0035825	7513
C12, C53	-0.0021510	-4511
C13, C52	-0.0056810	-11914
C14, C51	0.0017405	3650
C15, C50	0.0078602	16484
C16, C49	-0.0013437	-2818
C17, C48	-0.0110626	-23200
C18, C47	-0.0000229	-48
C19, C46	0.0146618	30748
C20, C45	0.0018959	3976
C21, C44	-0.0195594	-41019
C22, C43	-0.0053153	-11147
C23, C42	0.0255623	53608
C24, C41	0.0104036	21818
C25, C40	-0.0341468	-71611
C26, C39	-0.0192165	-40300
C27, C38	0.0471258	98830
C28, C37	0.0354118	74264
C29, C36	-0.0728111	-152696
C30, C35	-0.0768890	-161248
C31, C34	0.1607208	337056
C32, C33	0.4396725	922060

同步

利用外部SYNC输入信号，可实现单个器件内或多个器件的AD6655半带滤波器同步。通过对寄存器0x100的位5和位6进行写操作，可以设置每次收到SYNC信号或仅第一次收到SYNC信号后，对步半带滤波器再同步。有效的SYNC信号可控制半带滤波器从所编程的相移值处重新启动。

滤波器组合性能

半带滤波器和FIR滤波器的组合响应见图74。在理想状态下，利用半带滤波器对ADC数据的带宽进行限制，可将信噪比提高3dB，但会降低采样速率、减少输出数据的可用带宽。作为有穷数学运算的结果，由于NCO和半带的截断，系统中会产生额外的量化噪音。带外噪声经数字滤波(假设滤波器内无量化误差，ADC为白噪声底)，ADC信噪比可提高3.16 dB；但额外的量化噪音可将信噪比的优化降低至约2.66 dB。

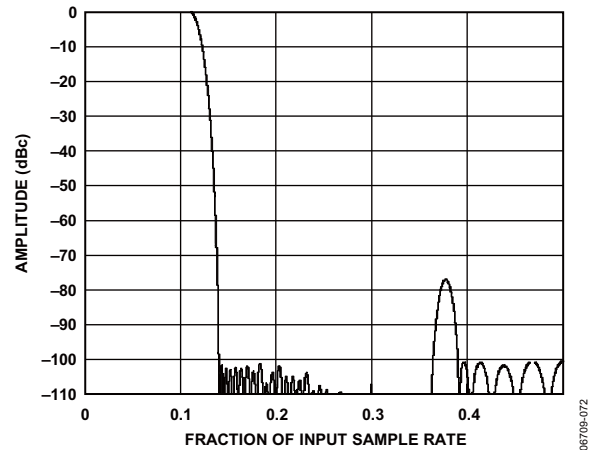


图74. 半带滤波器和FIR滤波器的复合响应

最终的NCO

32位微调NCO的输出数据是复数信号；通常其中心频率接近直流。该复数输出经半带滤波器和FIR滤波器处理，可提供恰当的抗混叠滤波。最终的NCO可从将复数输出信号从直流频率搬移，从而使AD6655输出实信号。最终的NCO使能后，可将直流输出信号转换成频率为ADC采样频率八分之一($f_{ADC}/8$)的信号。这样，用户可得到中心频率为 $f_{ADC}/8$ 的抽取输出信号。或者，可以将最终的NCO旁路，并以交错方式输出中心频率为直流I值和Q值。

ADC超量程与增益控制

在接收器应用中，需要一种可靠的机制，能够决定转换器何时发生箝位。标准的溢出指示器能够为模拟输入状态提供事后信息，因而作用有限。因此，最好可以设定低于满量程的可编程阈值，以便在发生发生前降低增益。另外，由于输入信号的压摆率可能非常高，因此，该功能的延迟时间非常关键。然而，高度流水线转换器有非常大的延迟。因此，合理的折中方案是使用来自ADC第一级的输出位来实现该功能。这些输出位的延迟非常低，整体分辨率不会产生明显的影响。典型的峰值输入信号范围为满量程和低于满量程6 dB至10 dB。3位或4位输出可为该功能提供足够的信号范围和分辨率。

利用SPI端口，用户可设置使超量程输出有效的阈值。一旦信号低于该阈值，输出应维持低电平状态。另外，还可通过SPI端口对快速检测输出进行编程，以便将这些引脚其中的一个引脚设置为传统的超量程引脚，从而满足正在使用该特性客户的需要。在该模式下，以传统方式检查转换器的所有14个位；当检测到溢出时，将输出高电平信号。无论哪种模式下，计算时都需要考虑数据的大小(但无需考虑数据的符号)。阈值检测以相同的方式处理那些超出期望范围(幅度)的正、负信号。

快速检测概述

AD6655内置有助于快速超量程检测的电路，能够实现非常灵活的外部增益控制。每个ADC有四个快速检测(FD)输出引脚，用于输出有关当前ADC输入电平状态的信息。用户可通过设置寄存器0x104的快速检测模式选择位和快速检测使能位，对上述引脚的功能进行编程设定，从而允许从内部数据路径的不同位置输出范围信息。另外，这些输出引脚还可以根据可编程阈值设置，指示是否出现超量程或欠量程条件。表21给出用于快速检测引脚的6种配置。

表21. 快速检测模式选择位的设置

快速检测模式选择位 (寄存器0x104[3:1])	出现在各ADC快速检测(FD) 引脚处的信息 ^{1,2}			
	FD[3]	FD[2]	FD[1]	FD[0]
000	ADC快速幅度(见表22)			
001	ADC快速幅度 (见表23)			OR
010	ADC快速幅度 (见表24)		超量程	F_LT
011	ADC快速幅度 (见表24)		C_UT	F_LT
100	超量程	C_UT	F_UT	F_LT
101	超量程	F_UT	IG	DG

1 与CMOS模式配置对应的快速检测引脚为FD0A/FD0B至FD3A/FD3B；与LVDS模式配置对应的快速检测引脚为FD0+/FD0-至FD3+/FD3-。

2 有关OR、C_UT、F_UT、F_LT、IG和DG的更多信息，请参阅“ADC超量程(OR)与增益开关”部分。

ADC快速幅度

对快速检测输出引脚进行配置，以输出ADC快速幅度(即快速检测模式选择位设为0b000)时，输出的信息是来自转换器前级的ADC电平，在CMOS输出模式下，该电平只有两个时钟周期的延迟。在LVDS输出模式下，各种快速检测模式的快速检测位延迟时间均为六个时钟周期。在这种配置下，快速检测输出引脚用于尽可能早地提供电位指示信息。由于信息在数据路径内提供的时间比较早，因此，电位指示值存在较大的不确定性。在表22中，列出了ADC快速幅度所指示的标称水平及不确定性。由于DCO的速率为采样率的一半，因此，用户可通过在DCO上升沿和下降沿采样快速检测输出信号，获得全部快速检测信息(时序信息见图2)。

表22. ADC快速幅度标称水平
(快速检测模式选择位的值为000)

FD[3:0] 引脚上的 ADC快速幅度	低于FS的 标称输入幅度 (单位: dB)	标称输入 幅度的 不确定性(dB)
0000	<-24	低至-18.07
0001	-24 至 -14.5	-30.14 至 -12.04
0010	-14.5 至 -10	-18.07 至 -8.52
0011	-10 至 -7	-12.04 至 -6.02
0100	-7 至 -5	-8.52 至 -4.08
0101	-5 至 -3.25	-6.02 至 -2.5
0110	-3.25 至 -1.8	-4.08 至 -1.16
0111	-1.8 至 -0.56	-2.5 至 FS
1000	-0.56 至 0	-1.16 至 0

AD6655

当快速检测模式选择位设为0b001、0b010或0b011时，快速检测输出引脚中的一部分有效。在这些模式下，快速检测输出引脚的延迟时间为六个时钟周期，两个输入采样中的较大者以DCO速率输出。表23显示快速检测模式选择位设为0b001时(即FD[3:1]引脚输出ADC快速幅度时)相应的ADC输入电平。

**表23. ADC快速幅度标称水平
(快速检测模式选择位的值为001)**

FD[2:0] 引脚上的 ADC快速幅度	低于FS的 标称输入幅度 (单位: dB)	标称输入 幅度的不确定性 (dB)
000	<-24	低至 -18.07
001	-24 至 -14.5	-30.14 至 -12.04
010	-14.5 至 -10	-18.07 至 -8.52
011	-10 至 -7	-12.04 至 -6.02
100	-7 至 -5	-8.52 至 -4.08
101	-5 至 -3.25	-6.02 至 -2.5
110	-3.25 至 -1.8	-4.08 至 -1.16
111	-1.8 至 0	-2.5 至 0

当快速检测模式选择位设为0b010或0b011时(即FD[2:1]引脚上输出ADC快速幅度时)，LSB无效。该模式下的输入范围见表24。

**表24. ADC快速幅度标称水平
(快速检测模式选择位的值为010或011)**

FD[2:1] 引脚上的 ADC快速幅度	低于FS的 标称输入幅度 (单位: dB)	标称输入 幅度的不确定性 (dB)
00	<-14.5	低至 -12.04
01	-14.5 至 -7	-18.07 至 -6.02
10	-7 至 -3.25	-8.52 至 -2.5
11	-3.25 至 0	-4.08 至 0

ADC超量程(OR)

ADC输入端检测到超量程时，ADC超量程指示器将置位。超量程条件在ADC流水线输出端确定；因此，需要12个ADC时钟周期延迟。当输入端发生超量程12个时钟周期后，该位可指示超量程。

增益开关

AD6655内置电路，可满足存在大动态范围或采用增益范围转换器应用的需要。该电路允许设置数字阈值，从而可以对阈值上限和下限进行编程。若快速检测模式选择位的值在010至101范围内，则可支持各种增益开关选项组合。

其中一个用途是检测特定输入条件下，何时ADC将达到满量程。最终目的是提供一个指示器，以快速插入衰减器，防止ADC过驱。

粗调阈值上限(C_UT)

如果ADC快速幅度输入电平高于粗调阈值上限寄存器(地址0x105[2:0])所设值时，粗调阈值上限指示器置位。将该值与ADC快速幅度位[2:0]进行比较。当输入端电平高过粗调阈值上限两个时钟周期后，粗调阈值上限指示信号输出；因此，可快速指示输入信号电平。粗调阈值上限输出信号电平如表25所示。该指示器在至少两个ADC时钟周期内或直到信号电平低于阈值电平前保持置位状态。

表25. 粗调阈值上限电平

粗调阈值上限 寄存器[2:0]	当信号幅度低于FS的值超过下列值 (单位: dB)时, C_UT有效
000	<-24
001	-24
010	-14.5
011	-10
100	-7
101	-5
110	-3.25
111	-1.8

微调阈值上限(F_UT)

当输入信号幅度超过微调阈值上限寄存器(寄存器0x106、0x107)的设置值时，微调阈值上限指示器置位。该13位阈值寄存器的值与ADC输出的信号幅度进行比较。比较受ADC时钟延迟的控制；比较精度取决于转换器分辨率。微调阈值上限幅度由以下公式定义：

$$dBFS = 20 \log(\text{阈值幅度} / 2^{13})$$

微调阈值下限(F_LT)

当输入信号幅度小于微调阈值下限寄存器(寄存器0x108和0x109)的设置值时，微调阈值下限指示器置位。13位微调阈值下限寄存器的值与ADC输出的信号幅度进行比较。比较受ADC时钟延迟的控制；比较精度取决于转换器分辨率。微调阈值下限幅度由以下公式定义：

$$dBFS = 20 \log(\text{阈值幅度} / 2^{13})$$

微调阈值上限指示器和微调阈值下限指示器的工作原理如图75所示。

增量增益(IG)与减量增益(DG)

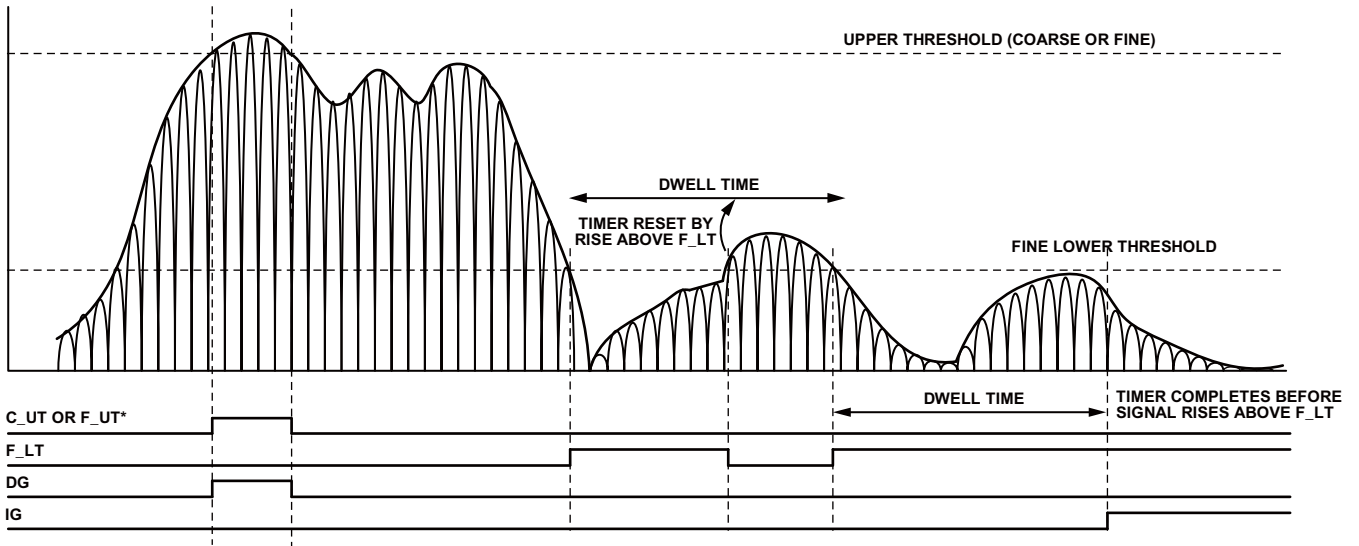
增量增益、减量增益指示器应一起使用，以便为使能外部增益控制提供相关信息。粗调阈值上限位与减量增益指示器配合使用；当输入幅度大于粗调阈值上限寄存器(地址为0x105)的3位值时，减量增益指示器将置位。同样，微调阈值下限位与增量增益指示器配合；经过驻留时间后，若输入幅度仍小于微调阈值下限寄存器的值，则增量增益指示器将置位。驻留时间由地址0x10A和0x10B的16位驻留时间值设定，且以ADC输入时钟周期为单位(即1至65,535个ADC输入时钟周期)。13位微调阈值下限寄存器的值与

ADC输出的信号幅度进行比较。比较受ADC时钟延迟的控制；但比较精度更高。微调阈值上限幅度由如下公式定义：

$$dBFS = 20 \log(\text{阈值幅度} / 2^{13})$$

减量增益输出信号从ADC快速输出引脚输出，可快速指示潜在的超量程问题。增量增益在ADC输出端进行比较，在向外部电路发出提高增益命令前的预定义周期内，输入信号幅度须保持在某一精确的可编程水平以下。

图75给出增量增益输出与减量增益输出的工作原理。



*C_UT AND F_UT DIFFER ONLY IN ACCURACY AND LATENCY.

NOTE: OUTPUTS FOLLOW THE INSTANTEOUS SIGNAL LEVEL AND NOT THE ENVELOPE BUT ARE GUARANTEED ACTIVE FOR A MINIMUM OF 2 ADC CLOCK CYCLES.

087709-073

图75. C_UT、F_UT、F_LT、DG和IG的阈值设置

信号监控

信号监控模块可提供ADC进行数字化处理信号的其它信息。信号监控计算均方根输入幅度、峰值幅度和/或幅度大于特定阈值的采样点数。综合利用上述功能，可以了解信号特性，估算出峰均比甚至估计输入信号的互补累积分布函数曲线的形状。此信息可用于驱动AGC环路，从而优化实际信号环境中ADC的范围。

利用SPI端口或信号监控SPORT输出端口读出内部寄存器(地址0x116至0x11B)的值，便可得到信号监控结果值。通过信号监控控制寄存器(地址0x112)的两个信号监控模式位，可设置信号监控寄存器的输出内容，信号监控寄存器可通过SPI访问。两个ADC通道必须设置为同一信号监控模式。每个ADC通道均有单独的可通过SPI访问的20位信号监控结果(SMR)寄存器。用户还可以利用串行SPORT接口得到各种信号监控功能组合。通过设置信号监控SPORT控制寄存器(地址为0x111)的峰值检测器输出使能位、均方根幅度输出使能位和过阈值输出使能位，可使能这些输出端。

对于每个信号监控测量，可编程信号监控周期寄存器(SMPR)可用于控制信号监控测量的持续时间。该时间周期可通过编程24位信号监控周期寄存器(地址为0x113、0x114和0x115)来设置，以输入时钟周期为单位。可通过编程设置该寄存器为128采样周期至1678000(即1/224)采样周期。

由于ADC直流偏置可能明显大于影响信号监控结果的目标信号，因此，信号监控模块中加入了直流校正电路，以便在测量功率前消除直流偏置。

峰值检测器模式

可以在可编程时间周期(由SMPR决定)内，对输入端口信号的幅度进行监控，以检测峰值。通过向信号监控寄存器的信号监控模式位内设置逻辑1，或者将信号监控SPORT控制寄存器的峰值检测器输出使能位置1，均可以使能该功能。必须在激活该模式前通过编程设置24位SMPR的值。

启动该模式后，SMPR寄存器的值载入监控周期定时器，随后，定时器开始倒计时。输入信号的幅度与内部峰值电平保持寄存器(用户无法访问该寄存器)的值进行比较，较大者将作为当前峰值电平。峰值电平保持寄存器的初始值设为当前ADC输入信号幅度。持续进行比较直到监控周期定时器的值为1。

当监控周期定时器的值达到1时，13位峰值电平值发送到信号监控保持寄存器(用户无法访问该寄存器)内；通过SPI端口可以读出该寄存器的值，或者通过SPORT串行端口可以输出该值。SMPR寄存器的值重载入监控周期定时器后，该定时器重新开始倒计时。此外，用第一个输入采样点的幅度值更新峰值电平保持寄存器，随后，比较和更新过程(如前所述)继续进行。

图76为峰值检测器逻辑功能框图。SMR寄存器包含峰值检测器逻辑检测到的峰值绝对幅度。

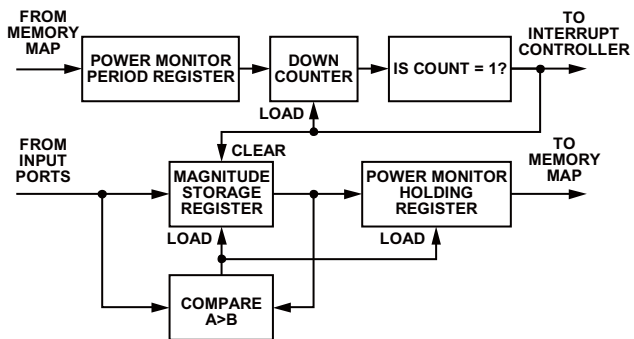


图76. ADC输入峰值检测器模块框图

RMS/MS幅度模式

在此模式下，输入端口信号的均方根(rms)幅度或方根(ms)幅度在一个由SMPR决定的可编程时间周期内，通过增加累加器进行积分，从而得出输入信号的均方根幅度或方根幅度。通过向信号监控寄存器的信号监控模式位内设置逻辑0，或者将信号监控SPORT控制寄存器的RMS幅度输出使能位置，均可以设置该模式。24位SMPR寄存器的值代表执行积分的周期，必须在激活该模式前通过编程来设置。

使能RMS/MS幅度模式之后，SMPR寄存器的值载入监控周期定时器，随后，定时器立即开始倒计时。每个输入采样点均转换成浮点格式，并经过求平方运算。然后，转换成11位定点格式，并与24位累加器的值相加。持续进行积分，直到监控周期定时器的值为1。

当监控周期定时器达到1时，取出累加器中的平方根值，(经格式化后)送到信号监控保持寄存器；通过SPI端口可以读出该寄存器的值，或者通过SPORT串行端口可以输出该值。SMPR寄存器的值重载入监控周期定时器后，该定时器重新开始倒计时。

此外，第一个输入采样信号功率更新到累加器中，随后，继续对其后的输入采样信号进行累加处理。图77为均方根幅度监控逻辑框图。

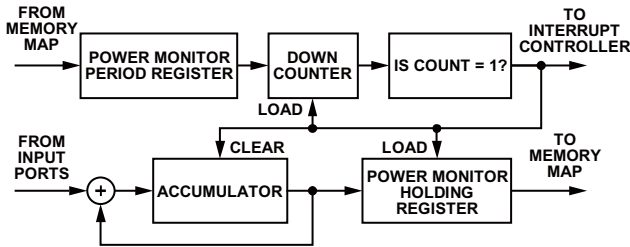


图77. ADC输入均方根幅度监控功能框图

在均方根幅度模式下，信号监控结果(SMR)寄存器的值是一个20位定点数。根据寄存器中的MAG值，可计算出均方根幅度（单位：dBFS），计算公式如下：注意：如果信号监控周期(SMP)的值是2的n次方，那么公式中的第二项为零。

$$\text{均方根幅度} = 20 \log\left(\frac{\text{MAG}}{2^{20}}\right) - 10 \log\left[\frac{\text{SMP}}{2^{\text{ceil}[\log_2(\text{SMP})]}}\right]$$

在方根幅度模式下，SMR的值是一个20位定点数。根据寄存器中的MAG值，可计算出方根幅度(单位：dBFS)，计算公式如下：注意：如果SMP的值是2的n次方，那么公式中的第二项为零。

$$\text{均方根幅度} = 10 \log\left(\frac{\text{MAG}}{2^{20}}\right) - 10 \log\left[\frac{\text{SMP}}{2^{\text{ceil}[\log_2(\text{SMP})]}}\right]$$

过阈值模式

在过阈值工作模式下，在可编程时间周期(由SMPR决定)内，对输入端口信号的幅度进行监控，算出信号经过特定可编程阈值的次数。通过将信号监控控制寄存器的信号监控模式位设置逻辑1x(x表示无需考虑的位)，或者将信号监控SPORT控制寄存器的过阈值输出使能位置1，可设置过阈值模式。激活该模式前，用户需要对每个输入端口的24位SMPR和13位阈值上限寄存器进行编程。信号监控和增益控制应使用同一阈值上限寄存器(见“ADC超量程与增益控制”部分)。

进入该模式后，SMPR的值载入监控周期定时器内，该定时器开始倒计时。在每个输入时钟周期内，输入信号的幅度将与阈值上限寄存器的值（之前编程设置）进行比较。如果输入信号的幅度大于阈值上限寄存器的值，则内部计数寄存器的值加一。内部计数寄存器的初始值设为0。比较和内部计数寄存器的加一操作持续到监控周期定时器的值为1。

当监控周期定时器的值达到1时，内部计数寄存器的值发送到信号监控保持寄存器内；通过SPI端口可以读出该寄存器的值，或者通过SPORT串行端口可以输出该值。

SMPR寄存器的值重载入监控周期定时器后，该定时器重新开始倒计时。内部计数寄存器也被清0。图78给出了过阈值逻辑。SMR寄存器内的值表示监测到幅度大于阈值寄存器值的采样点数。

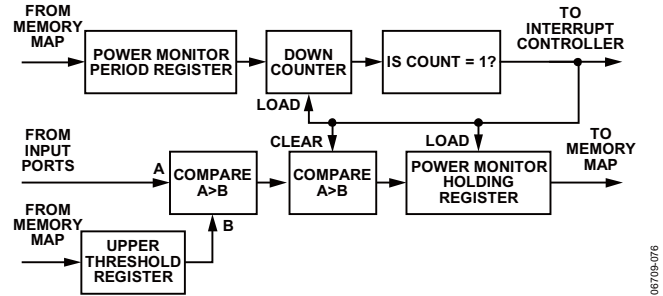


图78. ADC输入过阈值功能框图

附加控制位

为提高信号监控的灵活性，信号监控控制寄存器提供两个控制位：信号监控使能位和复数功率计算模式使能位。

信号监控使能位

寄存器0x112的位0是信号监控使能位，用于使能信号监控模块。如果某一特定应用中无需使用信号监控功能，可将信号监控使能位的值置0，从而节省功耗。

复数功率计算模式使能位

设置此位时，器件假设通道A对I数据进行数字化、通道B对Q数据进行数字化，以获得复数输入信号(反之亦然)。在此模式下的功率为：

$$\sqrt{I^2 + Q^2}$$

如果信号监控模式位的值为00，该结果保存在信号监控直流值通道A寄存器，而信号监控直流值通道B寄存器继续计算通道B的值。

直流校正

由于ADC的直流偏置可能比所测信号大得多，因此，测量功率前，应利用直流校正电路消除直流偏置。此外，直流校正电路还可以切换至主信号通路；但如果ADC正在对带有大量直流电流的时变信号(例如：GSM)进行数字转换时，则不建议进行切换。

直流校正带宽

直流校正电路是一个可编程带宽高通滤波器，其带宽范围为0.15 Hz至1.2 kHz(125 MSPS)。通过对4位直流校正控制寄存器(位于寄存器0x10C的位[5:2])进行写操作，可以控制带宽。下面的公式可计算直流校正电路的带宽值：

$$DC_Corr_BW = 2^{-k-14} \times \frac{f_{CLK}}{2 \times \pi}$$

其中：

k 是寄存器0x10C的位[5:2]的4位可编程值，数值的有效范围为0至13，将设置为14或15与设置为13的结果相同。

f_{CLK} 是AD6655 ADC的采样速率，单位为赫兹(Hz)。

直流校正回读

通道A的直流校正可在寄存器0x10D和寄存器0x10E中回读；通道B的直流校正可在寄存器0x10F和寄存器0x110中回读。直流校正值为14位值，可以达到整个ADC输入范围。

直流校正冻结

设置寄存器0x10C的位6可在当前状态下冻结直流校正，并继续将最近一次更新值用作直流校正。清除该位，可重新开始直流校正，并将当前计算值与数据相加。

直流校正使能位

设置寄存器0x10C的位0可以使能直流校正功能，以便用于信号监控计算。通过设置寄存器0x10C的位1，可将计算出的直流校正与输出数据信号路径相加。

信号监控SPORT输出

SPORT是一个串行接口，提供三个输出引脚：SMI SCLK (SPORT时钟)引脚、SMI SDFS(SPORT帧同步)引脚和SMI SDO(SPORT数据输出)引脚。SPORT作为主机，可以驱动芯片上的全部三个SPORT输出引脚。

SMI SCLK

数据和帧同步由SMI SCLK的上升沿驱动。SMI SCLK有三种可能的波特率：1/2 ADC时钟频率、1/4 ADC时钟频率或1/8 ADC时钟频率，具体的波特率由SPORT控制。另外，不需要发送数据时，还可以断开SMI SCLK，是否断开取决于SPORT SMI SCLK的休眠位。当不需要SMI SCLK时，可利用此位将其禁用，从而降低返回信号路径的耦合误差(如果耦合误差被证实是系统的问题)但是，这样做不利于传输时钟频率信息。如果需要，可让SMI SCLK继续运行，以简化频率规划。

SMI SDFS

SMI SDFS是串行数据帧同步引脚，定义帧的开始。一个SPORT 帧包含来自两个数据通路的数据。在帧同步之后，先发送来自数据通路A的数据，再发送来自数据通路B的数据。

SMI SDO

SMI SDO是模块的串行数据输出引脚。在SMI SDFS后的下一个上升沿，数据以最高有效位优先的方式发送。每个数据输出模块包括来自各个数据通路的一个或多个均方根幅度、峰值电平和过阈值数据(以规定的顺序)。该引脚使能后，数据以均方根、峰值和阈值的顺序发送，如图79所示。

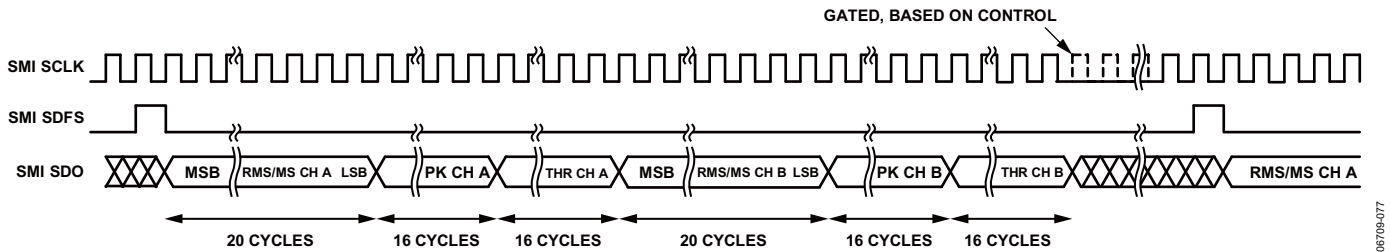


图79. 信号监控SPORT 输出时序(RMS使能、峰值使能、阈值使能)

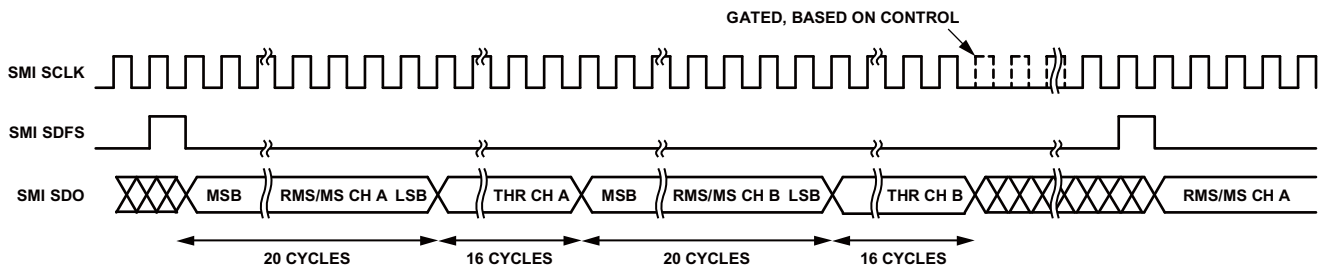


图80. 信号监控SPORT输出时序(RMS使能、阈值使能)

通道/芯片同步

AD6655有一个同步(SYNC)输入端,允许用户通过灵活的同步选项实现内部模块同步。同步特性可保证多个ADC同步运行。利用SYNC输入可以实现输入时钟分频器、NCO、半带滤波器和信号监控模块同步。除信号监控模块以外,其它上述模块均可在第一次或每次出现SYNC信号后使能同步。

SYNC输入信号在内部与采样时钟同步。但为避免多个器件之间出现定时不确定性,应保持SYNC输入信号与内部时钟信号同步。SYNC输入信号应由单端CMOS输入信号驱动。

串行端口接口(SPI)

AD6655串行端口接口(SPI)允许用户利用ADC内部的一个结构化寄存器空间来配置转换器,以满足特定功能和操作的需要。SPI具有灵活性,可根据具体的应用进行定制。通过串行端口,可访问地址空间、对地址空间进行读写。存储空间以字节为单位进行组织,并且能进一步划分成多个区域。各个区域的说明见“存储器映射”部分。如需了解更多操作信息,请参阅应用笔记AN-877:通过SPI与高速ADC接口。

使用SPI的配置

该ADC的SPI由三部分组成: SCLK/DFS引脚、SDIO/DCS引脚和CSB引脚(见表26)。SCLK/DFS(串行时钟)引脚用于同步从ADC读出的数据和写入ADC的数据。SDIO/DCS(串行数据输入/输出)引脚是一个双功能引脚,可通过此引脚将数据发送至内部ADC存储器映射寄存器或从该寄存器中读出数据。CSB(片选信号)引脚是低电平有效控制引脚,它能够使能或者禁用读写周期。

表26. 串行端口接口引脚

引脚	功能
SCLK	串行时钟。串行移位时钟输入,用来同步串行接口的读、写操作。
SDIO	串行数据输入/输出。该引脚是双功能引脚;它通常用作输入或输出引脚,取决于发送的指令和时序帧中的相对位置。
CSB	片选信号。CSB是低电平有效控制信号,用来选通读写周期。

CSB的下降沿与SCLK的上升沿共同决定帧的开始。图81为串行时序图范例,相应的定义见表9。

CSB可以在多种模式下工作。CSB可始终维持在低电平状态,从而使器件一直处于使能状态;这称作流。CSB可以在字节之间停留在高电平,这样可以允许其他外部时序。CSB引脚拉高时,SPI功能处于高阻抗模式。在该模式下,可以开启SPI引脚的第二功能。

在一个指令周期内,传输一条16位指令。在指令传输后将进行数据传输,数据长度由W0位和W1位共同决定。

所有数据均由8位字组成。串行数据的每个字节的第一位表示发出的是读命令还是写命令。这样,就能将串行数据输入/输出(SDIO)引脚的数据传输方向设置为输入或输出。

除了字长,指令周期还决定串行帧是读操作指令还是写操作指令,从而通过串行端口对芯片编程或读取片上存储器内的数据。如果指令是回读操作,则执行回读操作会使串行数据输入/输出(SPIO)引脚的数据传输方向,在串行帧的某一恰当的位置由输入改为输出。

数据既可以最高有效位优先的模式也可以最低有效位优先的模式发送。芯片上电后,默认采用最高有效位优先的方式,可以通过SPI端口配置寄存器来更改数据发送方式。如需了解更多关于该特性及其它特性的信息,请参阅应用笔记AN-877:通过SPI与高速ADC接口(www.analog.com)。

硬件接口

表26中所描述的引脚包括用户编程器件与AD6655的串行端口之间的物理接口。当使用SPI接口时,SCLK引脚和CSB引脚用作输入引脚。SDIO引脚是双向引脚,在写入阶段,用作输入引脚;在回读阶段,用作输出引脚。

SPI接口非常灵活,FPGA或微控制器均可控制该接口。应用笔记AN-812“基于微控制器的串行接口(SPI)启动电路”中详细介绍了一种SPI配置方法。

当需要发挥转换器的全部动态性能时,应禁用SPI端口。由于通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的,因此,这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线,则可能需要在该总线与AD6655之间连接缓冲器,以防止这些信号在关键的采样周期内,在转换器的输入端发生变化。

当不使用SPI接口时,有些引脚用作第二功能。在器件上电期间,当引脚与AVDD或接地端连接时,这些引脚可起到特定的作用。“数字输出”部分将介绍AD6655支持的特定功能。

不使用SPI的配置

在不使用SPI控制寄存器接口的应用中，SDIO/DCS引脚、SCLK/DFS引脚、SMI SDO/OEB引脚和SMI SCLK/PDWN引脚用作独立的CMOS兼容控制引脚。当器件上电后，假设用户希望将这些引脚用作静态控制线，分别控制占空比稳定器、输出数据格式、输出使能和掉电特性控制。在此模式下，CSB片选引脚应与AVDD相连，用于禁用串行端口接口。

表27. 模式选择

引脚	外部电压	配置
SDIO/DCS	AVDD (默认)	占空比稳定器使能
	AGND	占空比稳定器禁用
SCLK/DFS	AVDD	二进制补码使能
	AGND (默认)	偏移二进制使能
SMI SDO/OEB	AVDD	输出处于高阻抗状态
	AGND (默认)	输出使能
SMI SCLK/PDWN	AVDD	芯片处于掉电或待机状态
	AGND (默认)	正常工作

SPI访问特性

表28中简要描述了可通过SPI访问的通用特性。有关这些特性的详细说明，请参阅应用笔记AN-877：通过SPI与高速ADC接口(www.analog.com)。AD6655器件专用特性说明见“存储器映射寄存器描述”部分。

表28. 可通过SPI访问的特性

特性名称	描述
模式	允许用户设置掉电模式或待机模式
时钟失调	允许用户通过SPI访问DCS 允许用户以数字方式调整转换器失调
测试I/O	允许用户设置测试模式，以便在输出位上获得已知数据
输出模式	允许用户设置输出
输出相位	允许用户设置输出时钟极性
输出延迟	允许用户改变DCO延迟
VREF	允许用户设置基准电压

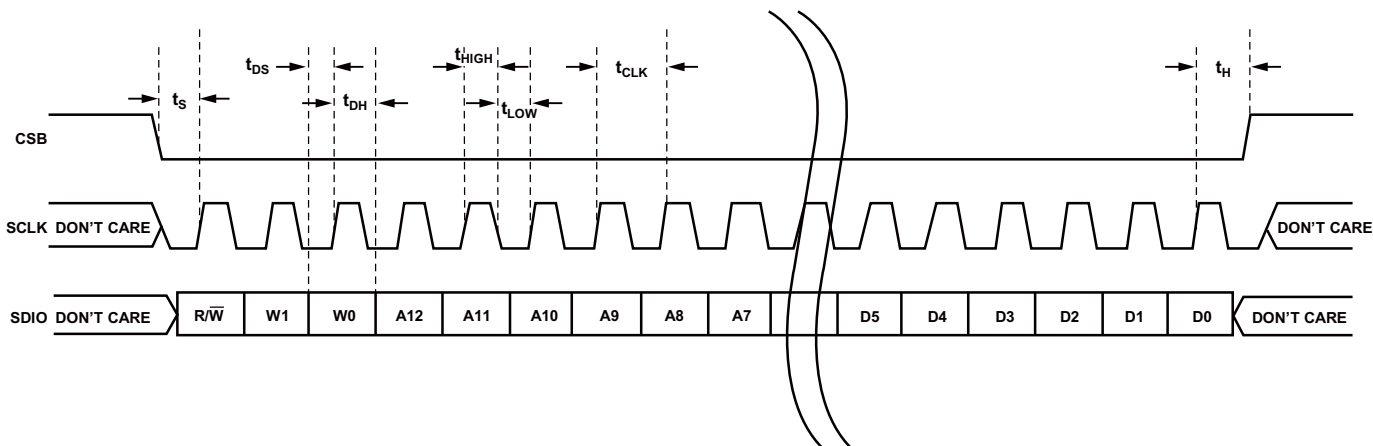


图81. 串行端口接口时序图

存储器映射

读取存储器映射寄存器表

存储器映射寄存器表的每一行有8位。存储器映射大致分为四个部分：芯片设置寄存器(地址0x00至地址0x02)；通道索引和传送寄存器(地址0x05至地址0xFF)；ADC功能寄存器，包括设置寄存器、控制寄存器和测试寄存器(地址0x08至地址0x18)；以及数字特性控制寄存器(地址0x100至地址0x123)。

存储器映射寄存器表(表29)记录了每个十六进制地址及其十六进制默认值。给定十六进制默认值的起始位为位7 (MSB)。例如，VREF选择寄存器(地址0x18)的十六进制默认值为0xC0。这表明，位7 = 1、位6 = 1、其余位均为0。此设置是默认的基准电压选择设置。默认值对应2.0 V峰峰基准电压。如需了解更多关于该特性及其他特性的信息，请参阅应用笔记AN-877：通过SPI与高速ADC接口。该文档详细描述了寄存器0x00至寄存器0xFF控制的功能。存储器映射寄存器描述部分还介绍了其它寄存器(寄存器0x100至寄存器0x123)。

禁用的地址

该器件目前还不支持未列在表29中的地址和位。有效地址中未使用的位应写为0。在该地址(例如：地址0x18)仅有部分位处于禁用状态时，才可以对这些位置进行写操作。如果整个地址(例如：地址0x13)均禁用，则不应对该地址进行写操作。

默认值

AD6655复位后，将向关键寄存器内载入默认值。表29(存储器映像寄存器表)内列出了各寄存器的默认值。

逻辑电平

以下是逻辑电平的术语说明：

- “置位”指“位设置为逻辑1”或“向某位写入逻辑1”。
- “清除位”指“位设置为逻辑0”或“向某位写入逻辑0”。

传送寄存器映射

地址0x08至地址0x18和地址0x11E至地址0x123是被屏蔽的。除非通过向地址0xFF写入0x01，设置传输位，以发出传输命令，否则，向这些地址进行写操作不会影响器件的运行。这样，设置传输位时，就可以在内部同时更新这些寄存器。设置传输位时，进行内部更新，且传输位自动清零。

特定通道寄存器

可通过编程，单独为每个通道设置某些通道功能(例如：信号监控阈值)。在这些情况下，每个通道在内部复制通道地址位置。这些寄存器及相应位的为局部寄存器，见表29。通过设置寄存器0x05的通道A位或通道B位，可访问这些局部寄存器及相应位。将通道A位和通道B位置位后，后续写操作将影响两个通道的寄存器。在一个读周期内，仅允许将一个通道位(通道A位或通道B位)置位，以便对其中的一个或两个寄存器执行读操作。如果在一个SPI读周期内置位两个通道位，则器件返回通道A的值。当不允许分别设置两个通道时，表29给出的全局寄存器及相应位，将影响整个器件或通道的特性。寄存器0x05中的设置不影响全局寄存器及相应位的值。

存储器映射寄存器表

该器件目前还不支持未列在表29中的地址和位。

表29. 存储器映射寄存器

地址 (十六 进制)	寄存器 名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)	默认说明 /注释
芯片配置寄存器											
0x00	SPI端口配置 (全局)	0	LSB优先	软复位	1	1	软复位	LSB优先	0	0x18	两个半字节之间是镜像关系, 使得无论在何种移位模式下, LSB优先模式寄存器或MSB优先模式寄存器均能正确记录数据。
0x01	芯片ID (全局)	8位芯片ID[7:0] (AD6655 = 0x0D) (默认)								0x0D	默认值为唯一芯片ID, 各器件均不相同; 该寄存器为只读寄存器
0x02	芯片等级 (全局)	禁用	禁用	速度等级ID[4:3] 00 = 150 MSPS 01 = 125 MSPS 10 = 105 MSPS 11 = 80 MSPS	禁用	禁用	禁用	禁用	禁用		速度等级ID, 用于区分不同的器件; 该寄存器为只读寄存器
通道索引和传输寄存器											
0x05	通道索引	禁用	禁用	禁用	禁用	禁用	禁用	数据通道B (默认)	数据通道A (默认)	0x03	设置这些位, 以便决定由片内的哪一个器件接收下一条写命令; 用于局部寄存器。
0xFF	传输	禁用	禁用	禁用	禁用	禁用	禁用	禁用	传输	0x00	从主移位寄存器向从移位寄存器同步传输数据
ADC功能寄存器											
0x08	电源模式	禁用	禁用	外部掉电引脚功能 (全局) 0 = 掉电 1 = 待机	禁用	禁用	禁用	内部掉电模式(局部) 00 = 正常工作 01 = 完全掉电 10 = 待机 11 = 正常工作		0x00	决定芯片的一般工作模式。
0x09	全局时钟 (全局)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	占空比稳定 (默认)	0x01	
0x0B	时钟分频 (全局)	禁用	禁用	禁用	禁用	禁用		时钟分频比 000 = 1分频 001 = 2分频 010 = 3分频 011 = 4分频 100 = 5分频 101 = 6分频 110 = 7分频 111 = 8分频		0x00	当时钟分频不为000时, 自动启动时钟占空比稳定功能。

AD6655

地址 (十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制)	默认说明 /注释
0x0D	测试模式 (局部)	禁用	禁用	复位PN 长序列	复位PN 短序列	禁用			输出测试模式 000 = 关闭 (默认) 001 = 量程中值 010 = 正FS 011 = 负FS 100 = 可选检测板 101 = PN长序列 110 = PN短序列 111 = 1/0字交替	0x00	使能时, 测试数据将取代ADC输出数据, 被置于输出引脚上。
0x10	偏移调整 (局部)	禁用	禁用	偏移调整, 以LSB为单位, 从+31至-32(二进制补码格式)						0x00	
0x14	输出模式	驱动强度 0V至3.3V CMOS或 ANSI LVDS, 1V至1.8V CMOS或 低压LVDS (全局)	输出类型 0 = CMOS 1 = LVDS (全局)			禁用	输出使能 (局部)	00 = 偏移二进制 01 = 二进制补码 01 = 格雷码 11 = 偏移二进制 (局部)		0x00	配置输出和数据格式
0x16	时钟相位 控制(全局)	反转 DCO时钟	禁用	禁用	禁用	禁用		输入时钟分频器相位调整 000 = 无延迟 001 = 1个输入时钟周期 010 = 2个输入时钟周期 011 = 3个输入时钟周期 100 = 4个输入时钟周期 101 = 5个输入时钟周期 110 = 6个输入时钟周期 111 = 7个输入时钟周期		0x00	允许为输入时钟分频器选择时钟延迟
0x17	DCO 输出延迟 (全局)	禁用	禁用	禁用				DCO时钟延迟 (延迟 = 2500 ps × 寄存器值/31) 00000 = 0 ps 00001 = 81 ps 00010 = 161 ps ... 11110 = 2419 ps 11111 = 2500 ps		0x00	允许为输入时钟分频器选择时钟延迟
0x18	V _{REF} 选择 (全局)	基准电压选择 00 = 1.25 V峰峰值 01 = 1.5 V峰峰值 10 = 1.75 V峰峰值 11 = 2.0 V峰峰值 (默认)		禁用	禁用	禁用	禁用	禁用	禁用	0x00	
数字特性控制寄存器											
0x100	同步控制 (全局)	信号监控 同步使能	在下一个 同步脉冲时, 半带滤波器 同步	半带 同步使能	在下一个 同步脉冲 时, NCO32同步	NCO32 同步使能	在下一个 同步脉冲 时, 时钟 分频器 同步	时钟分频器 同步使能	主同步使能	0x00	
0x101	f _s /8输出混频 控制(全局)	禁用	禁用	f _s /8开始状态		禁用	禁用	在下一个同 步脉冲时, f _s /8同步	f _s /8 同步使能	0x00	
0x102	FIR滤波器和 输出模式控制 (全局)	禁用	禁用	禁用	禁用	FIR增益 0 = 增益为2 1 = 增益为1	f _s /8输出 混频禁用	复数输出 使能	FIR 滤波器使能	0x00	
0x103	数字滤波器 控制(全局)	禁用	禁用	禁用	禁用	半带 抽取相位	频谱反转	高通/低通 选择	禁用	0x01	

地址 (十六 进制)	寄存器 名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)	默认说明 /注释
0x104	快速检测控制 (局部)	禁用	禁用	禁用	禁用	快速检测模式选择[2:0]			快速检测使能	0x00	
0x105	粗调阈值上限 (局部)	禁用	禁用	禁用	禁用	禁用	粗调阈值上限[2:0]			0x00	
0x106	微调阈值上限 寄存器0 (局部)	微调阈值上限[7:0]								0x00	
0x107	微调阈值上限 寄存器1 (局部)	禁用	禁用	禁用	微调阈值上限[12:8]					0x00	
0x108	微调阈值下限 寄存器0 (局部)	微调阈值下限[7:0]								0x00	
0x109	微调阈值下限 寄存器1 (局部)	禁用	禁用	禁用	微调阈值下限[12:8]					0x00	
0x10A	增量增益驻留 时间寄存器0 (局部)	增量增益驻留时间[7:0]								0x00	在ADC时钟 周期内
0x10B	增量增益驻留 时间寄存器1 (局部)	增量增益驻留时间[15:8]								0x00	在ADC时钟 周期内
0x10C	信号监控直流 校正控制 (全局)	禁用	直流校正 冻结	直流校正带宽[k:3:0]			用于信号 路径的 直流 校正使能	用于信号 监控的直流 校正使能		0x00	
0x10D	信号监控 直流值通道A 寄存器0 (全局)	直流值通道A[7:0]									只读
0x10E	信号监控 直流值通道A 寄存器0 (全局)	禁用	禁用	直流值通道A[13:8]							只读
0x10F	信号监控 直流值通道B 寄存器0 (全局)	直流值通道B[7:0]									只读
0x110	信号监控 直流值通道B 寄存器1 (全局)	禁用	禁用	直流值通道B[13:8]							只读
0x111	信号监控 SPORT控制 (全局)	禁用	RMS幅度 输出使能	峰值检测器 输出使能	过阈值 输出使能	SPORT SMI SCLK分频 00 = 未定义 01 = 2分频。 10 = 4分频。 11 = 8分频。	SPORT SMI SCLK 睡眠	信号监控 SPORT 输出使能		0x04	

AD6655

地址 (十六 进制)	寄存器 名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)	默认说明 /注释
0x112	信号监控控制 (全局)	复数功率 计算模式 使能	禁用	禁用	禁用	信号监控 均方根/ 均方选择 0 = rms 1 = ms	信号监控模式 00 = 均方根/均方幅度 01 = 峰值检测器 10 = 过阈值 11 = 过阈值		信号 监控使能	0x00	
0x113	信号监控周期 寄存器0 (全局)	信号监控周期[7:0]								0x80	在 ADC 时钟周期内
0x114	信号监控周期 寄存器1 (全局)	信号监控周期[15:8]								0x00	在 ADC 时钟周期内
0x115	信号监控周期 寄存器2 (全局)	信号监控周期[23:16]								0x00	在 ADC时钟 周期内
0x116	信号监控结果 通道A寄存器0 (全局)	信号监控结果通道A[7:0]									只读
0x117	信号监控结果 通道A寄存器1 (全局)	信号监控结果通道A[15:8]									只读
0x118	信号监控结果 通道A寄存器2 (全局)	禁用	禁用	禁用	禁用	信号监控结果通道A[19:16]					只读
0x119	信号监控结果 通道B寄存器0 (全局)	信号监控结果通道B[7:0]									只读
0x11A	信号监控结果 通道B寄存器1 (全局)	信号监控结果通道B[15:8]									只读
0x11B	信号监控结果 通道B寄存器2 (全局)	禁用	禁用	禁用	禁用	信号监控结果通道B[19:16]					只读
0x11D	NCO控制 (全局)	禁用	禁用	禁用	禁用	禁用	NCO32 相位 扰动使能	NCO32 幅度 扰动使能	NCO32 使能	0x00	
0x11E	NCO 频率0	NCO频率值[7:0]								0x00	
0x11F	NCO 频率1	NCO频率值[15:8]								0x00	
0x120	NCO 频率2	NCO频率值[23:16]								0x00	

地址 (十六 进制)	寄存器 名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)	默认说明 /注释
0x121	NCO 频率3	NCO频率值[31:24]								0x00	
0x122	NCO相移0	NCO相位值[7:0]								0x00	
0x123	NCO相移1	NCO相位值[15:8]								0x00	

存储器映射寄存器说明

如需了解更多关于寄存器0x00至0xFF的控制功能，请访问www.analog.com，查阅应用手册AN-877；通过SPI与高速ADC接口。

同步控制（寄存器0x100）

位7—信号监控同步使能

位7控制是否允许将外部同步脉冲传输至信号监控模块。当位7和位0为高时，同步信号通过。这是连续同步模式。

位6—在下一个同步脉冲时，半带滤波器同步

如果主同步使能位（寄存器0x100的位0）和半带同步使能位（寄存器0x100的位5）为高，则位6允许NCO32在它接收到第一个同步脉冲后同步，并忽略其它脉冲信号。如位6置1，则该同步发生后，寄存器0x100的位5复位。

位5—半带同步使能

位5将同步脉冲选通至半带滤波器。当位5为高时，同步信号可以使半带再同步，再同步的起始时间取决于由寄存器0x103的位3决定的半带抽取相位。仅当主同步使能位（寄存器0x100的位0）为高时，该同步有效。这是连续同步模式。

位4—在下一个同步脉冲时，NCO32同步

如果主同步使能位（寄存器0x100的位0）和NCO32同步使能位（寄存器0x100的位3）为高，则位4允许NCO32在接收到第一个同步脉冲信号后同步，并忽略其它同步脉冲信号。如位4置1，则当同步发生后，寄存器0x100的位3复位。

位3—NCO32同步使能

位3将同步脉冲选通至32位NCO。当该位为高时，同步信号可以使NCO再同步，再同步的起始时间取决于NCO的相移值。仅当主同步使能位（寄存器0x100的位0）为高时，该同步有效。这是连续同步模式。

位2—在下一个同步脉冲时，时钟分频器同步

如果主同步使能位（寄存器0x100的位0）和时钟分频器同步使能位（寄存器0x100的位1）为高时，位2允许时钟分频器在接收到第一个同步脉冲信号后同步，并忽略其它同步脉冲信号。同步过程完成后，寄存器0x100的位1复位。

位1—时钟分频器同步使能

位1将同步脉冲选通至时钟分频器。当位1和位0为高电平时，同步信号通过。这是连续同步模式。

位0—主同步使能

位0必须为高电平，以使能任一同步功能。

fs/8输出混频控制(寄存器0x101)

位[7:6]—保留

位[5:4]—fs/8起始状态

位5和位4用于设定fs/8输出混频的起始相位。

位[3:2]—保留

位1—在下一个同步脉冲时，fs/8同步

当主同步使能位（寄存器0x100的位0）和fs/8同步使能位（寄存器0x101的位0）为高时，位1允许fs/8输出混频在接收到第一个同步脉冲信号后同步，并忽略其它同步脉冲信号。同步过程完成后，寄存器0x100的位0复位。

位0—fs/8同步使能

位0将同步脉冲选通至fs/8输出混频。仅当主同步使能位（寄存器0x100的位0）为高时，该同步有效。这是连续同步模式。

FIR滤波器和输出模式控制(寄存器0x102)

位[7:4]—保留

位3—FIR增益

当位3为高时，如果FIR滤波器路径使能，则其增益为1；当位3为低时，FIR滤波器路径的增益为2。

位2—fs/8输出混频禁用

位2用于禁用fs/8输出混频。位2应与位1配合使用，以使能复数输出模式。

位1—复数输出模式使能

将位1设为高，可使能复数输出模式。

位0—FIR滤波器使能

将位0设为高，可使能FIR滤波器。将位0清0，可将FIR滤波器旁路并掉电，从而节省功耗。

数字滤波器控制(寄存器0x103)**位[7:4]—保留****位3—半带抽取相位**

当位3为高时，使用抽取半带滤波器的可选相位。

位2—频谱反转

位2用于使能半带滤波器的频谱反转功能。

位1—高通/低通选择

当位1为高时，使能半带滤波器的高通模式。当该位为低时，使能低通模式(默认)。

位0—保留

位0的回读值为1。

快速检测控制(寄存器0x104)**位[7:4]—保留****位[3:1]—快速检测模式选择**

位[3:1]用于设置快速检测输出位的工作模式(见表29)。

位0—快速检测使能

位0用于使能快速检测输出引脚。禁用快速检测输出引脚后，引脚处于高阻抗状态。在LVDS模式下，当进行交错输出时，仅当两个通道都处于关闭(掉电/待机/输出禁用)状态，那么输出引脚才进入高阻抗状态。如果只有一个通道处于关闭(关断/待机/输出禁用)状态，那么，快速检测输出引脚将重复输出活动通道的数据。

粗调阈值上限(寄存器0x105)**位[7:3]—保留****位[2:0]—粗调阈值上限**

这些位用于设置触发粗调阈值上限指示所需的电平(见表25)。

微调阈值上限(寄存器0x106和寄存器0x107)**寄存器0x107的位[7:5]—保留****寄存器0x107的位[4:0]—微调阈值上限位[12:8]****寄存器0x106的位[7:0]—微调阈值上限位[7:0]**

这些寄存器提供了一个微调阈值上限。13位的阈值将与ADC模块的13位幅度值进行比较。如ADC幅度值大于该阈值，则F_UT指示位被置位。

微调阈值下限(寄存器0x108和寄存器0x109)**寄存器0x109的位[7:5]—保留****寄存器0x109的位[4:0]—微调阈值下限位[12:8]****寄存器0x108的位[7:0]—微调阈值下限位[7:0]**

这些寄存器提供了一个微调阈值下限。13位的阈值将与ADC模块的13位幅度值进行比较。如ADC幅度值小于该阈值，则F_UT指示位被置位。

增量增益驻留时间(寄存器0x10A and Register 0x10B)**寄存器0x10B的位[7:0]—增量增益驻留时间位[15:8]****寄存器0x10A的位[7:0]—增量增益驻留时间位[7:0]**

这些寄存器值用于设置在F_LT和IG被触发为高之前，信号需要维持在低于微调阈值下限状态的最短时间，以ADC采样时钟周期(经时钟分频)为单位。

信号监控直流校正控制(寄存器0x10C)**位7—保留****位6—直流校正冻结**

当位6为高时，直流校正结果不会被更新至信号监控模块内，该模块内保存着前一次计算出的直流值。

位[5:2]—直流校正带宽

位[5:2]用于设置信号监控直流校正的平均时间。该4位字可设置校正模块的带宽，计算公式如下：

$$DC_Corr_BW = 2^{-k-14} \times \frac{f_{CLK}}{2 \times \pi}$$

其中：

k是寄存器0x10C的位[5:2]的4位可编程值，k值的有效范围为0至13，将k设置为14或15与设置为13的结果相同。

 f_{CLK} 是AD6655 ADC的采样频率(单位：Hz)。**位1—用于信号路径的直流校正使能**

将该位设为高，可使直流测量模块的输出结果与信号路径内的数据相加，从而能消除信号路径内的直流偏移。

位0—用于信号监控的直流校正使能

该位用于使能信号监控模块的直流校正功能。直流校正功能是一个平均函数，信号监控可以利用该校正功能消除信号中的直流偏移。从测量结果中消除直流偏移可以得到更精确的功率读数。

信号监控直流值通道A(寄存器0x10D和寄存器0x10E)**寄存器0x10E的位[7:6]—保留****寄存器0x10E的位[5:0]—直流值通道A位[13:8]****寄存器0x10D的位[7:0]—直流值通道A位[7:0]**

这些只读寄存器用于保存信号监控计算出的通道A的前一次直流偏移值。

信号监控直流值通道B(寄存器0x10F和寄存器0x110)

寄存器0x110的位[7:6]—保留

寄存器0x110的位[5:0]—直流值通道B位[13:8]

寄存器0x10F的位[7:0]—直流值通道B位[7:0]

这些只读寄存器用于保存信号监控计算出的通道B的前一次直流偏移值。

信号监控SPORT控制(寄存器0x111)

位7—保留

位6—均方根/均方幅度输出使能

位6用于控制从SPORT输出20位均方根或均方幅度的测量结果。

位5—峰值检测输出使能

位5用于使能从SPORT输出13位峰值测量结果。

位4—过阈值输出使能

位4用于使能从SPORT输出13位阈值测量结果。

位[3:2]—SPORT SMI SCLK分频

这些位的值用于设置相对输入时钟的SPORT SMI SCLK分频比例。如果值为0x01, 则进行二分频(默认); 如为0x10, 则进行四分频; 如为0x11, 则进行八分频。

位1—SPORT SMI SCLK睡眠

将该位置1后, 当信号监控模块无数据传输时, SMI SCLK将维持在低电平状态。

位0—信号监控SPORT输出使能

当位0置1时, 可允许从信号监控SPORT输出端输出信号监控模块产生的结果数据。

信号监控控制(寄存器0x112)

位7—复数功率计算模式使能

该模式假设I数据与Q数据分别从不同的通道输出。复数功率的计算公式如下:

$$\sqrt{I^2 + Q^2}$$

位[6:4]—保留

位3—信号监控均方根/均方选择

将位3设为低, 选择均方根功率测量模式。将位3设为高, 选择均方功率测量模式。

位[2:1]—信号监控模式

位2和位1用于设置信号监控以何种方式向寄存器0x116至0x11B内输出数据。将这些位的值设置为0x00, 可以选择均方根/均方幅度输出; 设置为0x01, 可以选择峰值检测器输出; 设置为0x10或0x11, 则可以选择过阈值输出。

位0—信号监控使能

将该位置高, 可以使能信号监控模块。

信号监控周期(寄存器0x113至寄存器0x115)

寄存器0x115的位[7:0]—信号监控周期[23:16]

寄存器0x114的位[7:0]—信号监控周期[15:8]

寄存器0x113的位[7:0]—信号监控周期[7:0]

这个24位数值用于设置信号监控运行的时钟周期个数。该寄存器的最小值为128个时钟周期(如编程值小于128, 则自动转换为128)。

信号监控结果通道A(寄存器0x116至寄存器0x118)

寄存器0x118的位[7:4]—保留

寄存器0x118的位[3:0]—信号监控结果通道A[19:16]

寄存器0x117的位[7:0]—信号监控结果通道A[15:8]

寄存器0x116的位[7:0]—信号监控结果通道A[7:0]

这一20位数值代表信号监控模块计算出的通道A的功率值; 其内容由寄存器0x112位[2:1]的设置决定。

信号监控结果通道B(寄存器0x119至寄存器0x11B)

寄存器0x11B的位[7:4]—保留

寄存器0x11B的位[3:0]—信号监控结果通道B[19:16]

寄存器0x11A的位[7:0]—信号监控结果通道B[15:8]

寄存器0x119的位[7:0]—信号监控结果通道B[7:0]

这一20位数值代表信号监控模块计算出的通道B的功率值; 其内容由寄存器0x112的[2:1]的设置决定。

NCO控制(寄存器0x11D)

位[7:3]—保留

位2—NCO32相位扰动使能

将位2置1, 可使能NCO相位扰动。将位2清0, 可禁用NCO相位扰动。

位1—NCO32幅度扰动使能

将位1置1, 可使能NCO幅度扰动。将位1清0, 可禁用NCO幅度扰动。

位0—NCO32使能

当位0置1时，32位NCO以NCO频率寄存器内设定的频率工作。当位0清0时，NCO被旁路并掉电，以便节省功耗。

NCO频率（寄存器0x11E至0x121）

寄存器0x11E的位[7:0]—NCO频率值[7:0]

寄存器0x11F的位[7:0]—NCO频率值[15:8]

寄存器0x120的位[7:0]—NCO频率值[23:16]

寄存器0x121的位[7:0]—NCO频率值[31:24]

该32位值用于对NCO调谐频率进行编程。

编程的频率值的计算公式如下：

$$NCO_FREQ = 2^{32} \times \frac{Mod(f, f_{CLK})}{f_{CLK}}$$

其中：

NCO_FREQ 是一个32位二进制补码数，代表NCO频率寄存器。

f 是所需的载波频率(单位：Hz)。

f_{CLK} 是AD6655 ADC时钟频率(单位：Hz)。

NCO相移(寄存器0x122和寄存器0x123)

寄存器0x122的位[7:0]—NCO相位值[7:0]

寄存器0x123的位[7:0]—NCO相位值[15:8]

每次启动NCO后或者收到NCO SYNC信号后，NCO相位值寄存器内的16位编程值将被载入NCO模块，从而允许NCO从已知的非零相位处启动。

NCO相移值的计算公式如下：

$$NCO_PHASE = 2^{16} \times PHASE/360$$

其中：

NCO_PHASE 是一个十进制数，等于通过编程写入寄存器0x122和寄存器0x123内的16位二进制数。

$PHASE$ 是所需的NCO相位值(单位：度)。

应用信息

设计指南

在进行系统级设计和AD6655布局前，建议设计者先熟悉下述设计指南，其中描述了特定引脚的特殊电路连接和布局布线要求。

电源与接地建议

建议用户使用两个独立的1.8 V电源为AD6655供电；一个用于模拟端(AVDD)和数字端(DVDD)，另一个用于数字输出端(DRVDD)。当使用同一电源为AVDD和DVDD供电时，应通过一个铁氧体磁珠或滤波扼流圈和两个独立的去耦电容将AVDD与DVDD隔离开。设计者可以使用多个不同的去耦电容以适用于高频和低频。应将这些电容放置在接近PCB入口点和接近器件引脚的位置处，尽可能地缩短导线长度。

AD6655仅需要一个PCB接地层。对PCB模拟、数字和时钟模块进行合理的去耦和巧妙的分隔，可以获得最佳的性能。

$f_s/2$ 杂散信号

AD6655的输出数据率为采样速率的一半，因此，在器件的输出端有很强的 $f_s/2$ 信号。如果该 $f_s/2$ 杂散信号的频率在带宽范围内，则用户必须确保该 $f_s/2$ 信号不会耦合到时钟电路或AD6655模拟输入电路内。如果 $f_s/2$ 信号已经发生耦合，则将在 $f_s/4$ 、 $3f_s/4$ 、 $5f_s/4$ 等位置周围映射出杂散信号。例如，在采样速率为125 MSPS、90 MHz单音模拟输入应用中，将产生频率为97.5 MHz的杂散信号音。在本例中，奈奎斯特区域的中心频率为93.75 MHz；输入信号频率90 MHz比奈奎斯特区域中心频率低3.75 MHz。所以， $f_s/2$ 杂散信号音的频率为97.5 MHz，比奈奎斯特区域中心频率高3.75 MHz。NCO会对上述频率信号进行调谐，然后由AD6655输出。

该杂散信号是否落在AD6655的输出频带中，取决于中频频率与奈奎斯特区域中心频率之间的关系。AD6655中存在着部分剩余的 $f_s/2$ 信号，且该杂散信号的电平通常比时钟频率不高于125 MSPS的谐波的电平低。

图82给出了对于AD6655-125的 $f_s/2$ 杂散电平与模拟输入频率之间的关系图。当采样速率高于125 MSPS， $f_s/2$ 杂散电平提升，且电平高于最差的谐波(见图83，该图给出AD6655-150 $f_s/2$ 电平)。

根据表2中所列规格，如果 $f_s/2$ 杂散信号的频率在带宽范围内，则在计算SNR值时可忽略该杂散信号。根据SNR的要求，该信号被视作谐波。 $f_s/2$ 信号包含在SFDR和其他最低规格。

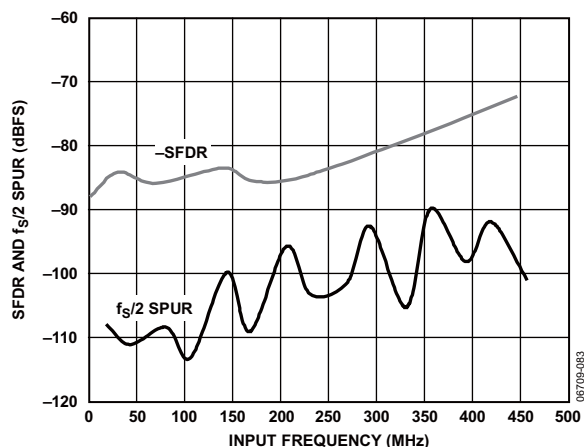


图82. AD6655-125 SFDR和 $f_s/2$ 杂散电平与输入频率(f_{IN})之间的关系 (DRVDD = 1.8 V, 并行CMOS输出模式)

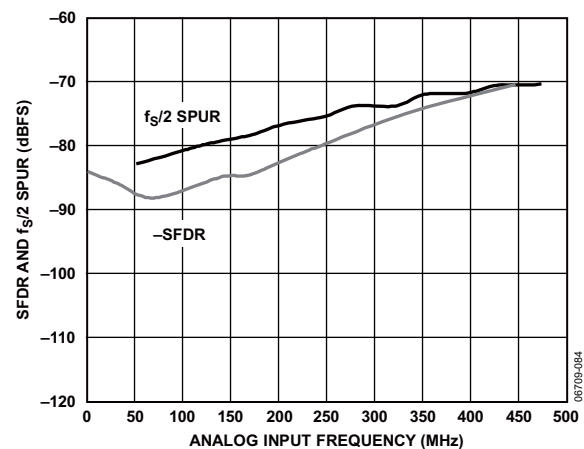


图83. AD6655-150 SFDR和 $f_s/2$ 杂散电平与输入频率(f_{IN})之间的关系 (DRVDD = 1.8 V, 并行CMOS输出模式)

与3.3 V DRVDD电压相比，当器件在1.8 V DRVDD电压条件下工作时，产生的 $f_s/2$ 杂散信号较小。另外，使用LVDS、CMOS交错或CMOS IQ输出模式也可以减小 $f_s/2$ 杂散信号。

LVDS工作

AD6655在上电之后，默认进入CMOS输出模式。如果需要使用LVDS工作模式，须在芯片上电后，通过SPI配置寄存器对该模式进行编程。如果输出端带有LVDS端接电阻(100 Ω)，当AD6655上电并进入CMOS模式之后，那么，在器件进入LVDS模式之前，DRVDD电流会高于其典型值。此额外的DRVDD电流不会损坏AD6655；但在考虑器件最大DRVDD电流时，则需要计算这部分电流。

在上电时，将OEB引脚拉高，可禁用AD6655的输出端，从而避免产生额外的DRVDD电流。当器件利用SPI端口进入LVDS模式之后，可将OEB引脚拉低，以使能输出端。

裸露焊盘散热块建议

为获得最佳的电气性能和热性能，必须将ADC底部的裸露焊盘连接至模拟地(AGND)。PCB上的连续、裸露的(无阻焊层)铜平面应与AD6655的裸露焊盘引脚0匹配。

铜平面上应有多个通孔，以便获得尽可能低的热阻路径以通过PCB底部进行散热。应采用绝缘环氧化物来填充或堵塞这些通孔。

为了最大化地实现ADC与PCB之间的覆盖与连接，应在PCB上覆盖一个丝印层，以便将PCB上的连续平面划分为多个均等的部分。这样，在回流焊过程中，可为ADC与PCB之间提供多个连接点。而一个连续的、无分割的平面则可以保证在ADC与PCB之间仅有一个连接点。可以参考评估板作为PCB布局布线范例。如需了解更多关于封装和芯片级封装PCB布局布线的信息，请访问www.analog.com，查阅应用手册AN-772：LFCSP封装设计与制造指南。

CML

CML引脚应通过一个0.1 μF 电容去耦至地(见图48)。

RBIAS

AD6655要求将一10 k Ω 电阻置于RBIAS引脚与地之间。该电阻可用来设置ADC内核的主基准电流，该电阻容差至少为1%。

基准电压去耦

VREF引脚应通过外部一个低ESR 0.1 μF 陶瓷电容和一个低ESR 1.0 μF 电容的并联去耦至地。

SPI端口

当需要转换器充分发挥其全动态性能时，应禁用SPI端口。由于信号SCLK、CSB和SDIO通常与ADC时钟异步，因此，这些信号中的噪声可能降低转换器的性能。如果板上SPI总线还用于其它器件，则可能需要在该总线与AD6655之间连接一个缓冲器，以便保证这些信号在关键的采样周期内，在转换器输入端不发生变化。

评估板

AD6655评估板提供了在各种模式和配置下运行ADC所需的全部支持电路。转换器既可以通过双巴伦配置(默认)差分驱动,也可以通过AD8352差分驱动器来驱动。此外,ADC还可在单端模式下驱动。独立的电源引脚用于将DUT与AD8352驱动电路隔离。通过连接不同的元件,可以选择各个输入配置(见图85至图94)。图84显示的是典型的平台特性设置,可用于评估AD6655的交流性能。

为实现转换器的最佳性能,须保证模拟输入和时钟的信号源的相位噪声极低($\ll 1$ ps均方根抖动)。为达到指定的噪声性能,须对模拟输入信号进行适当的滤波,从而清除谐波、降低输入端的累积噪声或宽带噪声。

图85至图102给出了系统级布线和接地技术的完整原理图及布局布线图。

电源

该评估板带有一个开关电源,它支持的最大输出电压为6 V、最大输出电流为2 A。该开关电源应输入额定电压为100 V至240 V的交流电源(频率为47 Hz至63 Hz)。电源的输出端是一个内径为2.1 mm的圆形插孔,该插孔通过J16与PCB相连。在PC板上,6 V电源经过保险丝和调理之后,连接至6个低压降线性稳压器。那些低压降线性稳压器可为板上各个部分提供适当的偏置电压。

通过移除L1、L3、L4、L13,可以断开开关电源和稳压器;则评估板可由外部电源供电。这样,用户可以单独为评估板的各个部分提供适当的偏置电压。通过P3和P4,可为每个部分连接一个独立的电源。至少需要为AVDD和DVDD提供一个1 A 1.8 V电源;建议使用单独的1.8 V至3.3 V电源为DRVDD供电。在评估板上使用AD8352,需要为评估板提供一个独立的1 A、5.0 V电源(AMP VDD)。在评估板上使用另外的SPI选项,除其它电源外,还需要为评估板提供一个独立的3.3 V模拟电源(VS)。3.3 V电源(VS)的电流能力应为1 A。如有必要,用户可以利用焊接跳线SJ35来分离AVDD和DVDD。

输入信号

在连接时钟和模拟信号源时,使用低相位噪声的信号发生器,例如Rohde & Schwarz SMA100A信号发生器等。应使用一条1米长RG-58 50 Ω 屏蔽同轴电缆连接到评估板上。为ADC提供期望的频率和幅度下的输入。ADI公司的AD6655评估板可接收高达2.8 V p-p或13 dBm正弦波输入信号,作为其时钟信号。当与模拟输入源相连时,建议使用带有50 Ω 端接电阻的多极窄带带通滤波器。TTE、Allen Avionics和K&L Microwave, Inc.均可以提供这种类型的带通滤波器。如有必要,可将滤波器与评估板直接相连。

输出信号

并联CMOS输出直接与ADI公司标准ADC数据采样板(HSC-ADC-EVALCZ)相连。如需了解更多关于ADC数据采样板及其设置的信息,请访问www.analog.com/FIFO。

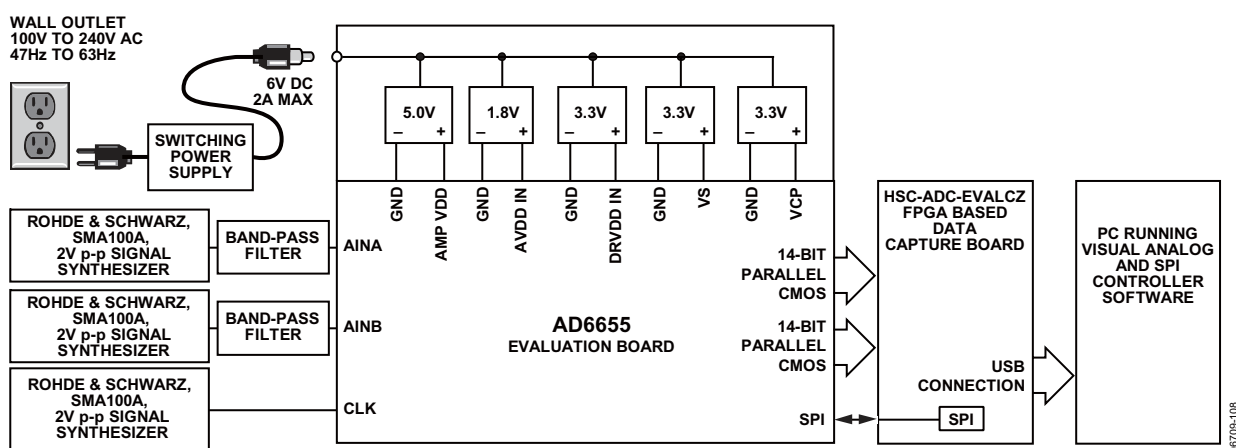


图84. 评估板连接

默认操作与跳线选择设置

下文列出了AD6655评估板的默认和可选设置或模式。

电源

将评估套件内的开关电源连接在交流电源（额定电压为100 V至240 V交流电压，频率为47 Hz至63 Hz）与P500之间。

VIN

评估板配置为双巴伦配置模拟输入，带有与70 MHz至200 MHz频率信号相匹配的最佳50 Ω 阻抗。为获得更大的带宽响应，可以更换或移除模拟输入端之间的差分电容(见表14)。变压器中点抽头通过ADC的CML引脚来提供模拟输入共模电压(参见“模拟输入考虑”部分)。

VREF

在接头J5(引脚1至引脚2)处加一个跳线，可将SENSE引脚接地，从而将VREF设置为1.0V。这样，可以让ADC在2.0 V峰峰值满量程范围内工作。为使ADC进入1.0 V峰峰值模式(VREF = 0.5 V)，须在接头J4处连接一个跳线。此外，评估板还提供了一个独立的外部基准电压选项。如需要使用外部基准电压，则须连接J6(引脚1至引脚2)，并在TP5处提供外部基准电压。“基准电压”部分详细介绍了VREF选项的正确用法。

RBIAS

RBIAS需要通过一个10 k Ω 电阻(R503)与地相连，用于设置ADC内核偏置电流。

CLOCK

默认的时钟输入电路由一个简单的巴伦耦合电路构成，该巴伦使用高带宽，阻抗比为1:1的巴伦(T5)，在时钟路径内产生极低的抖动。时钟输入端带有50 Ω 端接电阻且输入信号经交流耦合，用以处理单端正弦波输入信号。变压器将单端输入信号转换成差分信号，该差分信号在进入ADC时钟输入端前被箝位。使用AD6655输入时钟分频器时，时钟信号(频率最高可达625 MHz)通过连接器S5输入到评估板内。

PDWN

为利用芯片的掉电特性，连接J7、将PDWN引脚短接至AVDD。

CSB

当CSB引脚被内部上拉，芯片被设置为外部引脚模式，从而忽略SDIO和SCLK信息。为了通过评估板上的SPI电路控制CSB引脚，需将J21(引脚1)连接至J21(引脚2)。

SCLK/DFS

如SPI端口处于外部引脚模式，则SCLK/DFS引脚可设置输出数据的格式。如引脚处于悬空，则会被内部下拉，将默认的数据格式设置为偏移二进制格式。将J2引脚1与J2引脚2相连，可将数据格式设置为二进制补码格式。如SPI端口处于串行引脚模式，将J2引脚2与J2引脚3相连，可将SCLK引脚与板上SPI电路相连(详情见“串行接口(SPI)”部分)。

SDIO/DCS

如SPI端口处于外部引脚模式，可通过SDIO/DCS引脚设置占空比稳定器。如果该引脚处于悬空，则该引脚被内部上拉，从而将默认条件设置为DCS使能。为禁用DCS，可将J1引脚1与J1引脚2相连。如SPI端口处于串行引脚模式，将J1引脚2与J1引脚3相连，可将SDIO引脚与板上SPI电路相连(详情见“串行接口(SPI)”部分)。

可选时钟配置

AD6655评估板提供了两个时钟选项。第一种时钟选项是使用一个板上晶振(Y1)来为器件提供时钟输入。为使能该晶振，须使用电阻R8(0 Ω)和电阻R85(10 k Ω)并移除电阻R82和电阻R30。

第二种时钟选项是使用一个差分LVPECL时钟(使用AD9516, U2)来驱动ADC输入电路。当使用该驱动选项时，需要安装AD9516电荷泵滤波器元件(见图89)。详情请参见AD9516数据手册。

为了配置从S5输入的时钟信号驱动AD9516基准输入而不是直接驱动ADC，应增加、移除和/或更换下列元件：

1. 从默认时钟路径内移除R32、R33、R99和R101；
2. 在时钟路径内连接两个电容值为0.001 μ F的电容C78、C79和两个电阻值为0 Ω 的电阻R78、R79。

此外，未使用的AD9516输出端(一个LVDS和一个LVPECL)也通过评估板上的连接器S11连接至可选连接器S8。

可选模拟输入驱动配置

本节将对使用AD8352的可选模拟输入驱动配置进行简单的说明。当使用这一特定驱动选项时，需要用到一些额外的元件。如需了解更多关于AD8352差分驱动器的信息，包括其工作原理以及可选引脚设置情况，请参阅AD8352数据手册。

配置模拟输入驱动AD8352，而不是默认的变压器选项，应为通道A增加、移除和/或更换下列元件。对于通道B，则需要更换相应的元件。

1. 从默认模拟输入路径内移除C1、C17、C18和C117。
2. 在模拟输入路径内连接两个电容值为0.1 μF 的电容C8和C9。在差分输入模式下驱动AD8352，需要安装变压器T10、电阻R1、R37、R39、R126、R127和电容C10、C11和C125。
3. 建立带有所需元件(包括一个可选低通滤波器)的可选放大器输出路径。安装两个电阻值为0 Ω 的电阻R44和R48。另外，应增加两个电阻——R43和R47的阻值(典型值为各100 Ω)，以便让AD8352处看的输出阻抗达到200 Ω 。

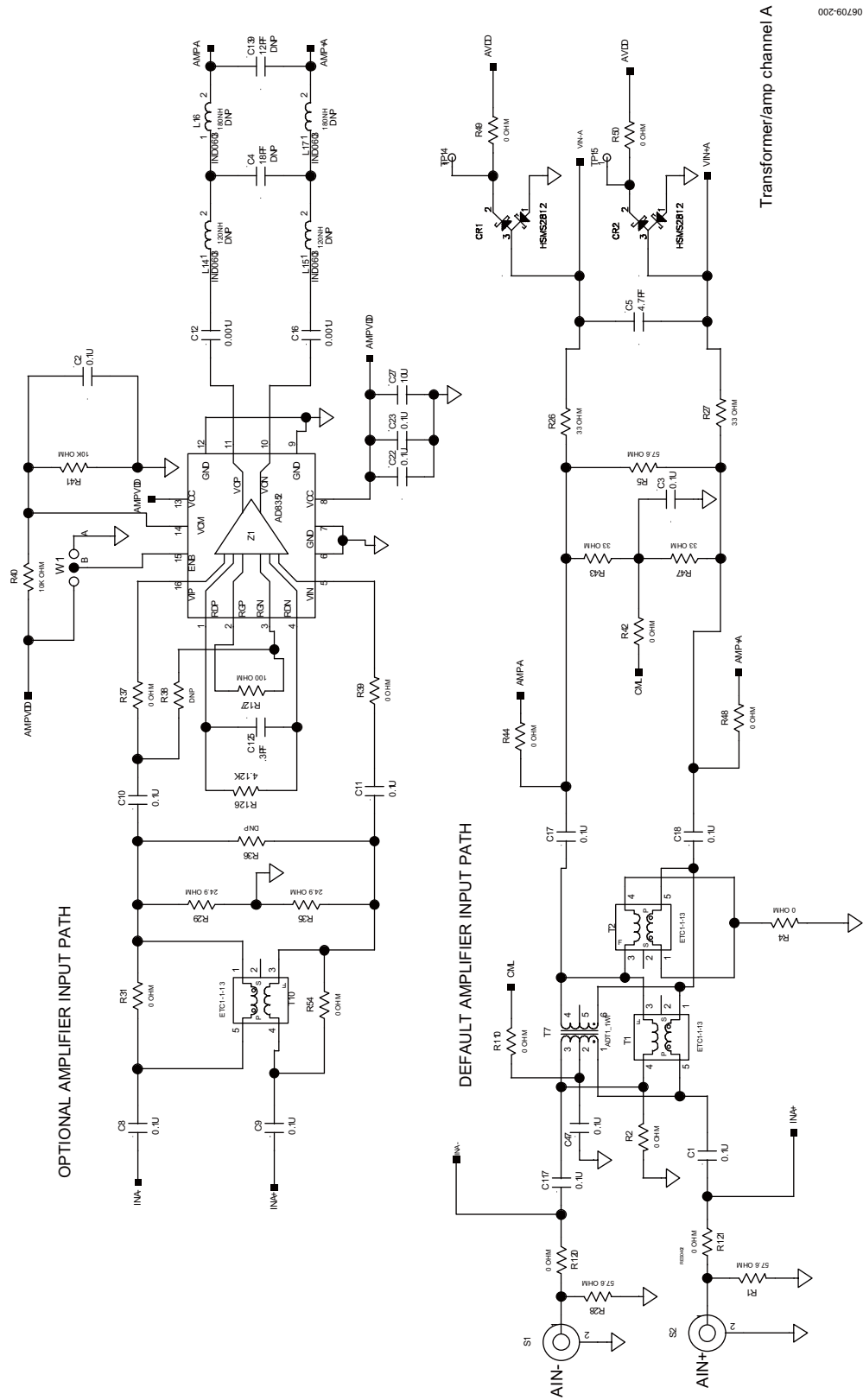


图85. 评估板原理图——通道A模拟输入

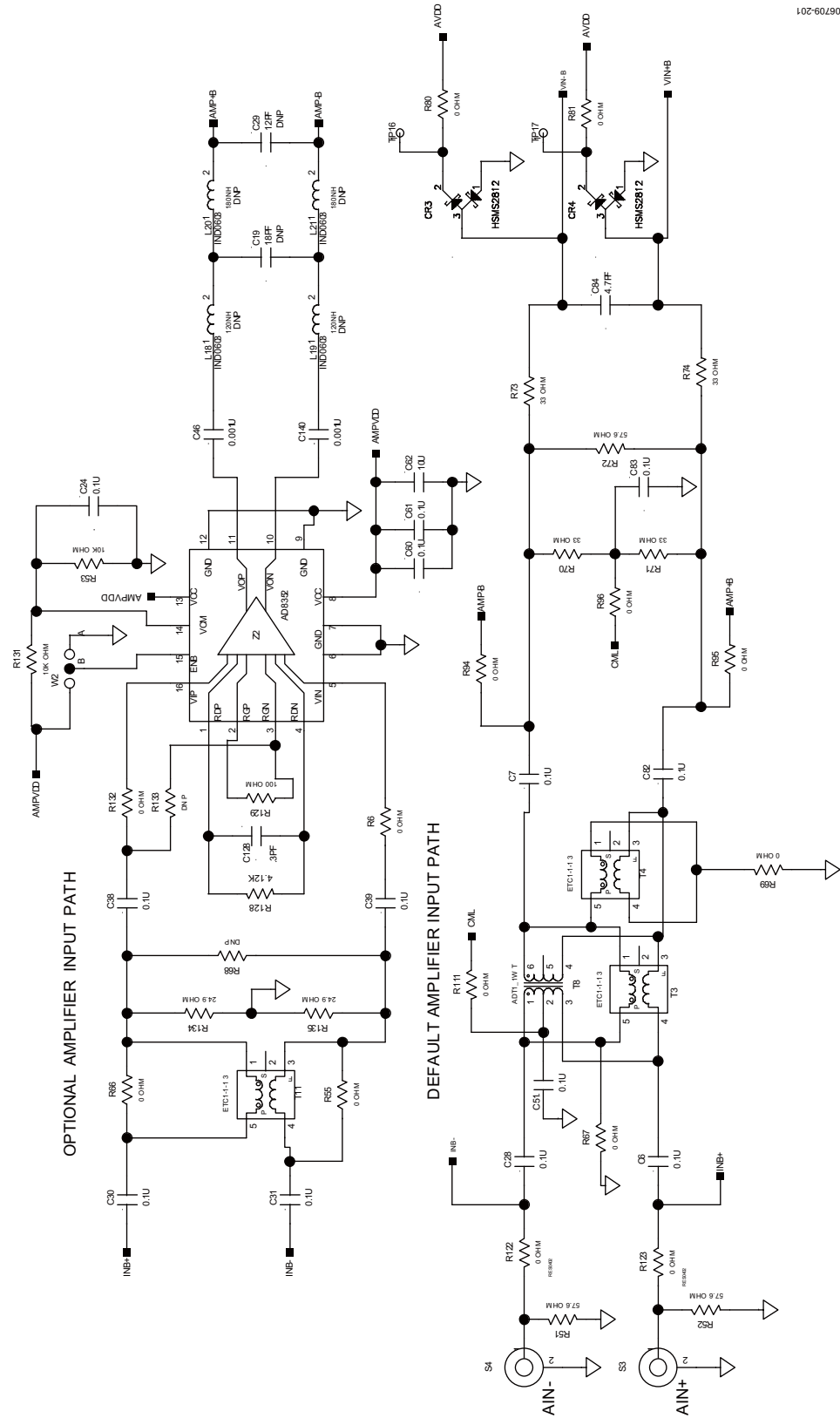


图86. 评估板原理图——通道B模拟输入

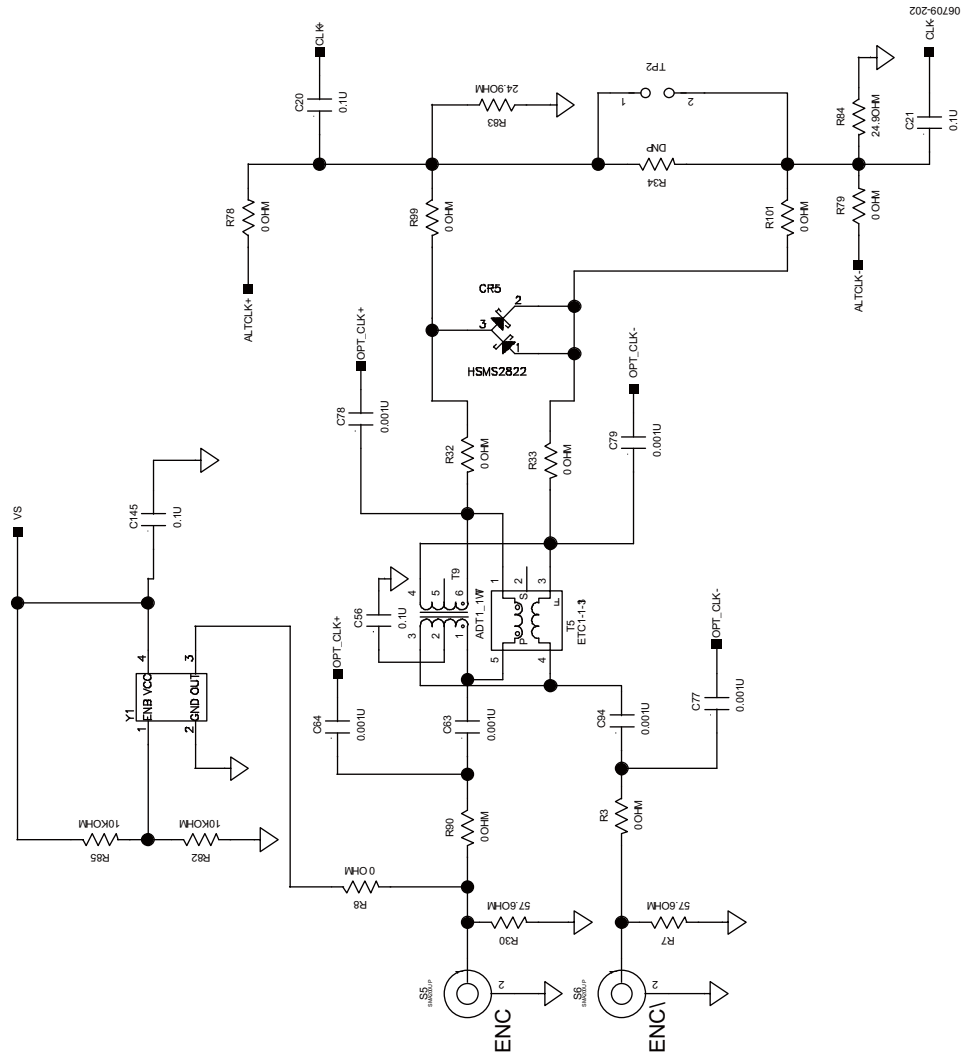


图87. 评估板原理图——DUT时钟输入

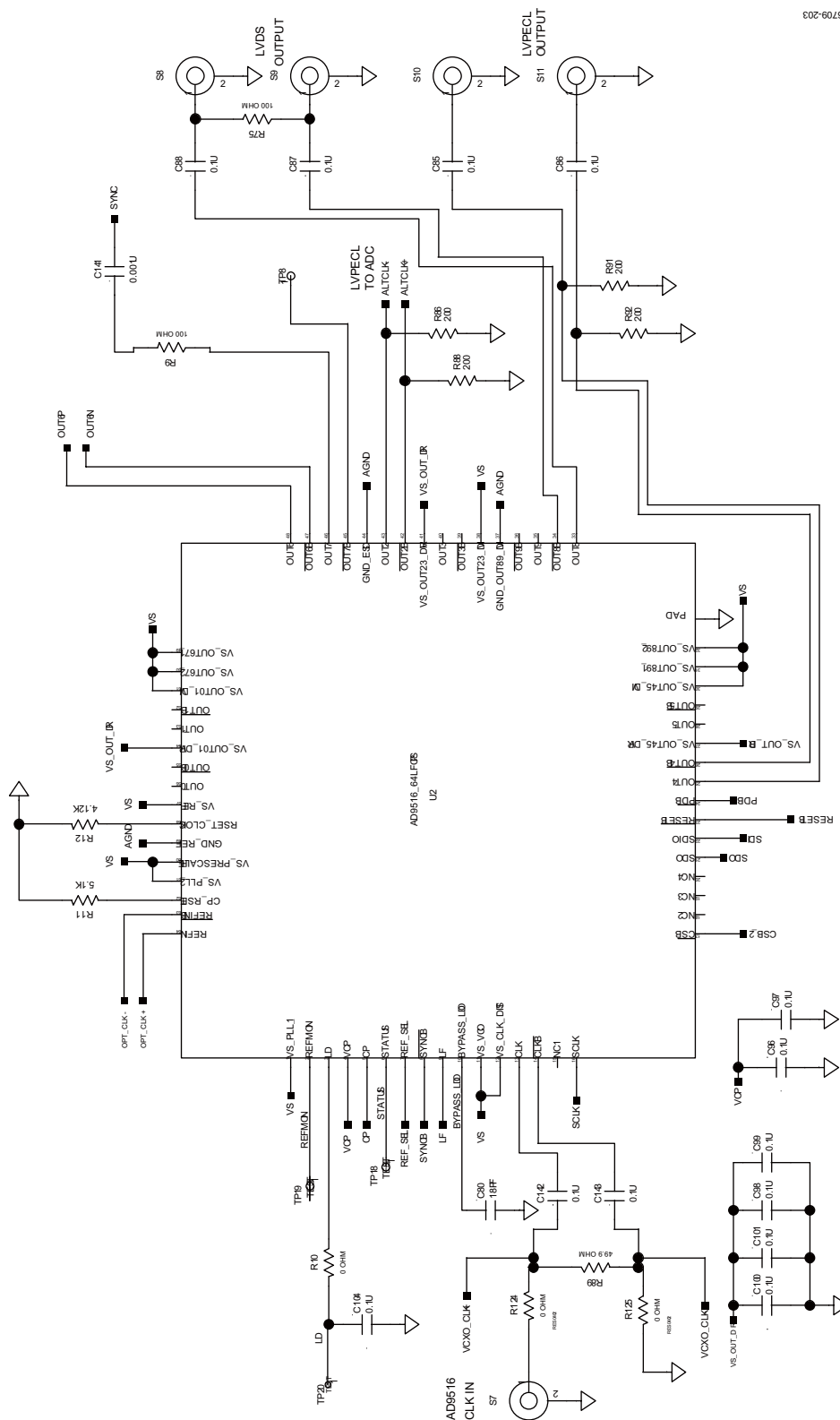


图88. 评估板原理图——可选AD9516时钟电路

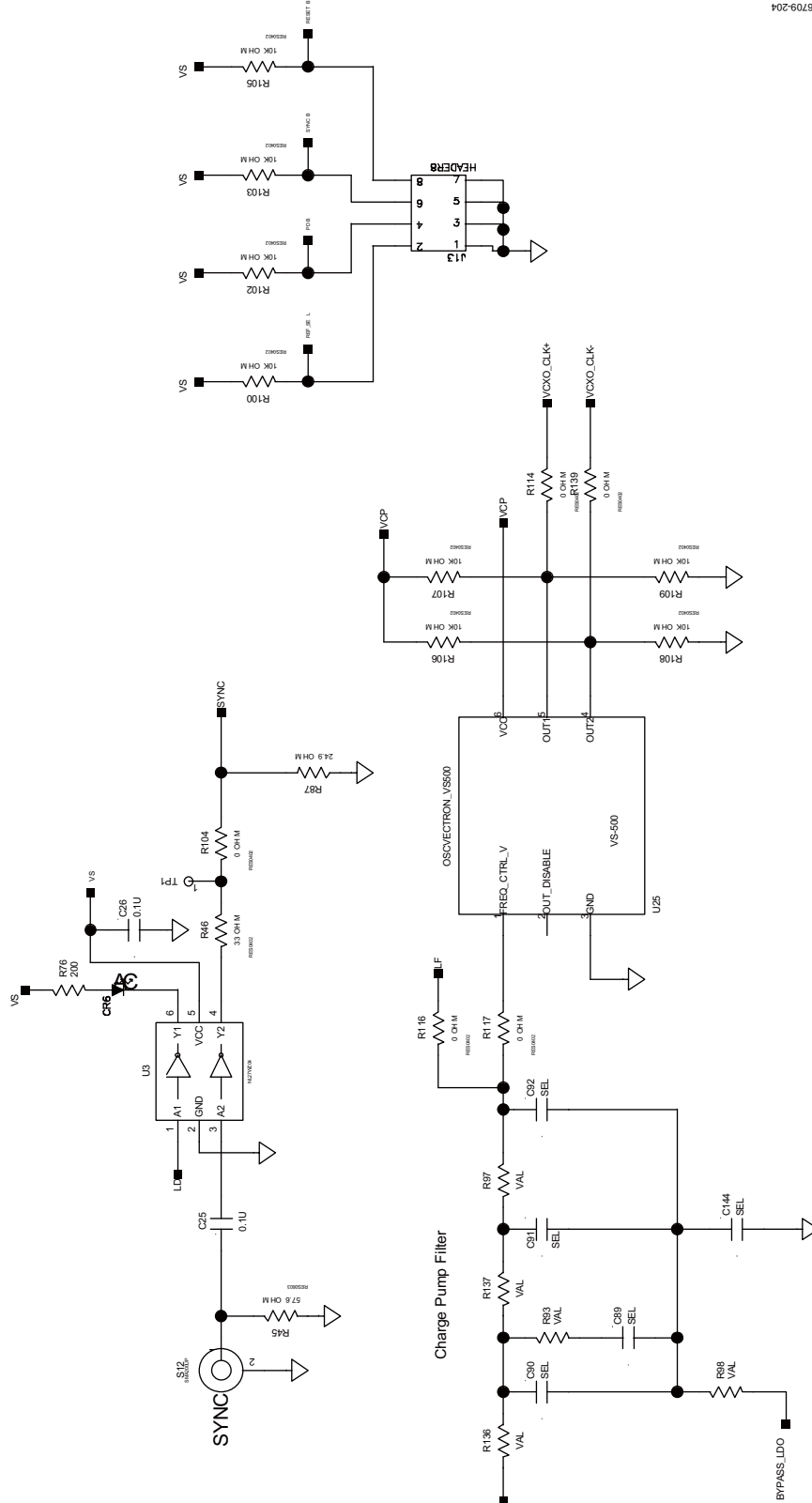


图89. 评估板原理图——可选AD9516环路滤波器/VCO和SYNC输入

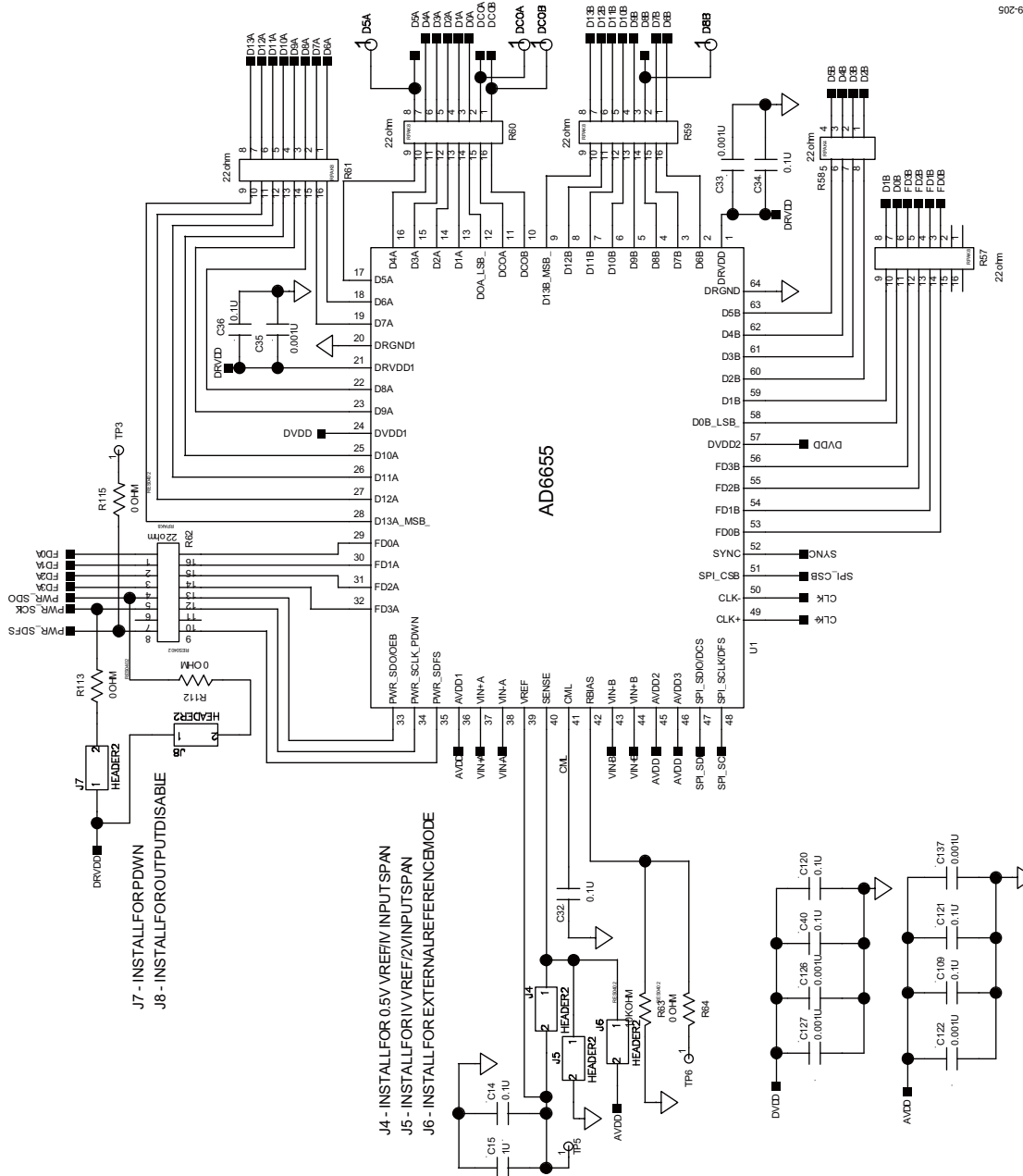


图90. 评估板原理图, DUT

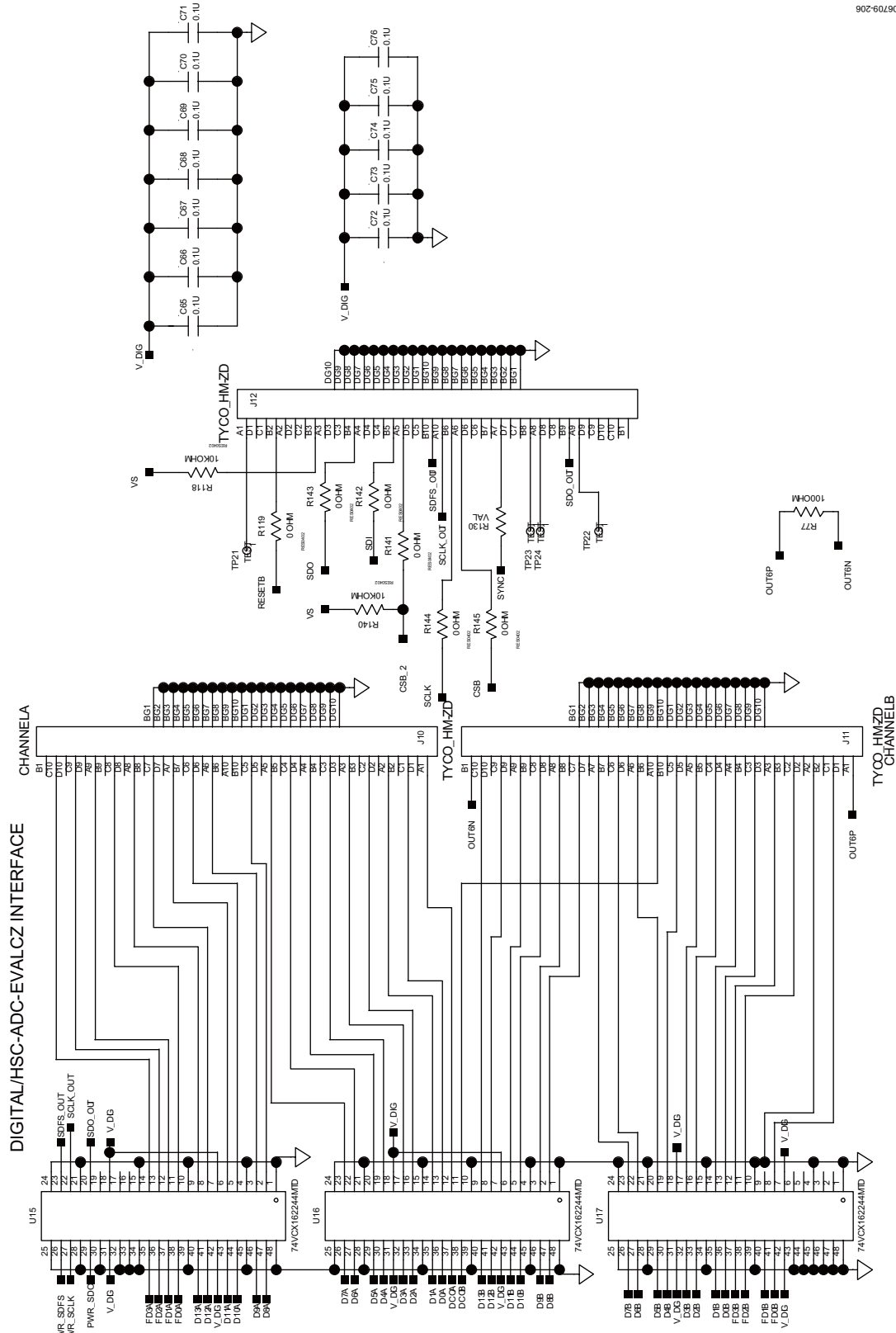


图91. 评估板原理图——数字输出接口

- J1 - JUMPERPINS 2 TO 3 FOR SPI OPERATION
 JUMPERPINS 1 TO 2 FOR DCSENABLE
- J2 - JUMPERPINS 2 TO 3 FOR SPI OPERATION
 JUMPERPINS 1 TO 2 FOR TWCS COMPLIMENT OUTPUT
- J21 - INSTALL JUMPER FOR SPI OPERATION

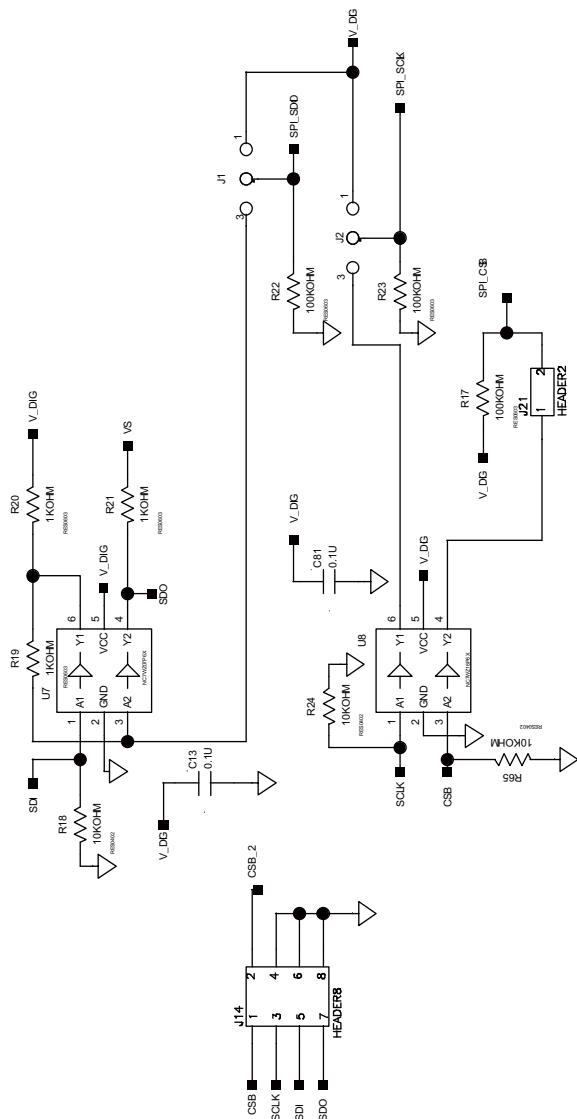


图92. 评估板原理图—SPI电路

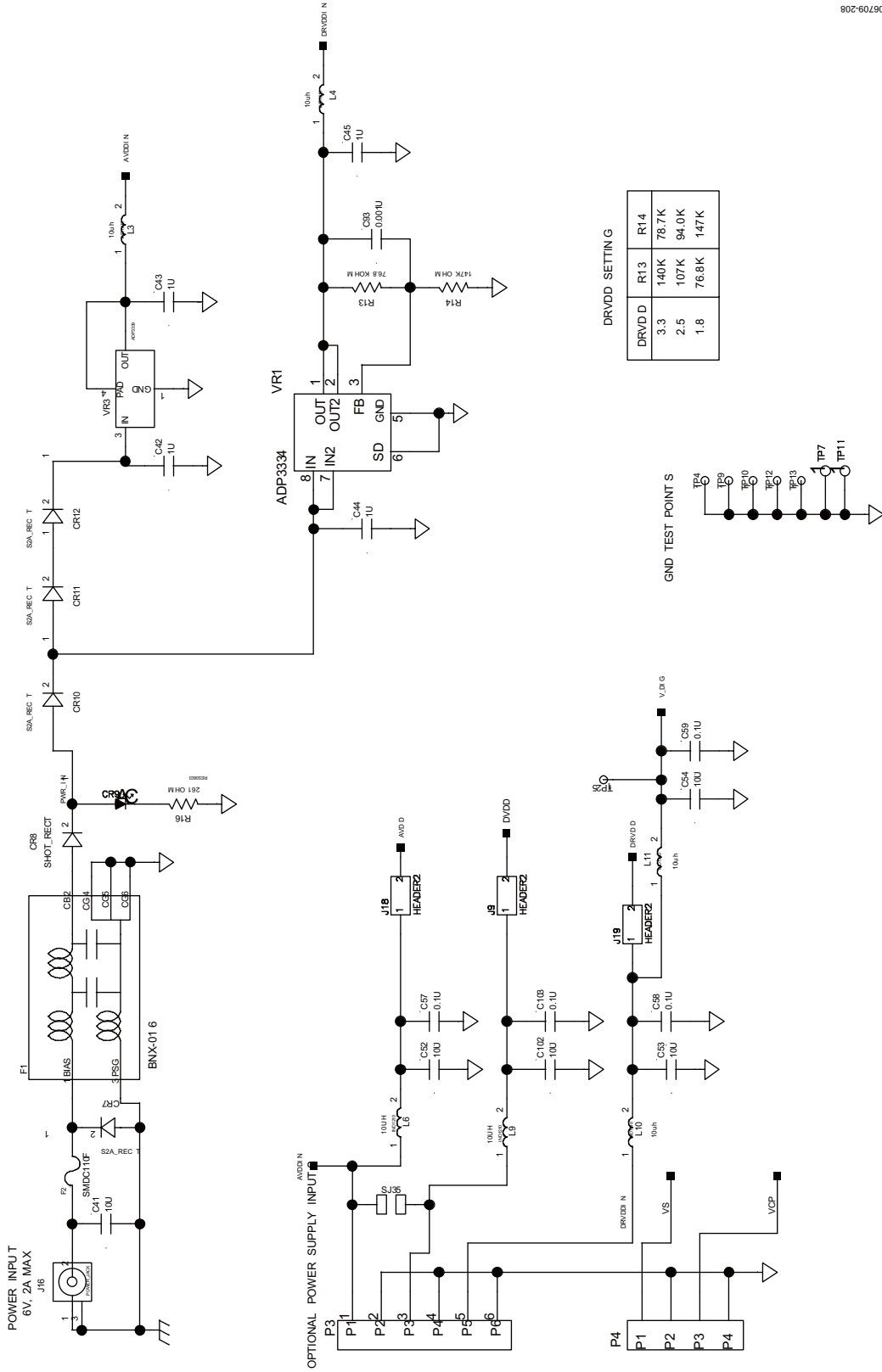


图93. 评估板原理图——电源

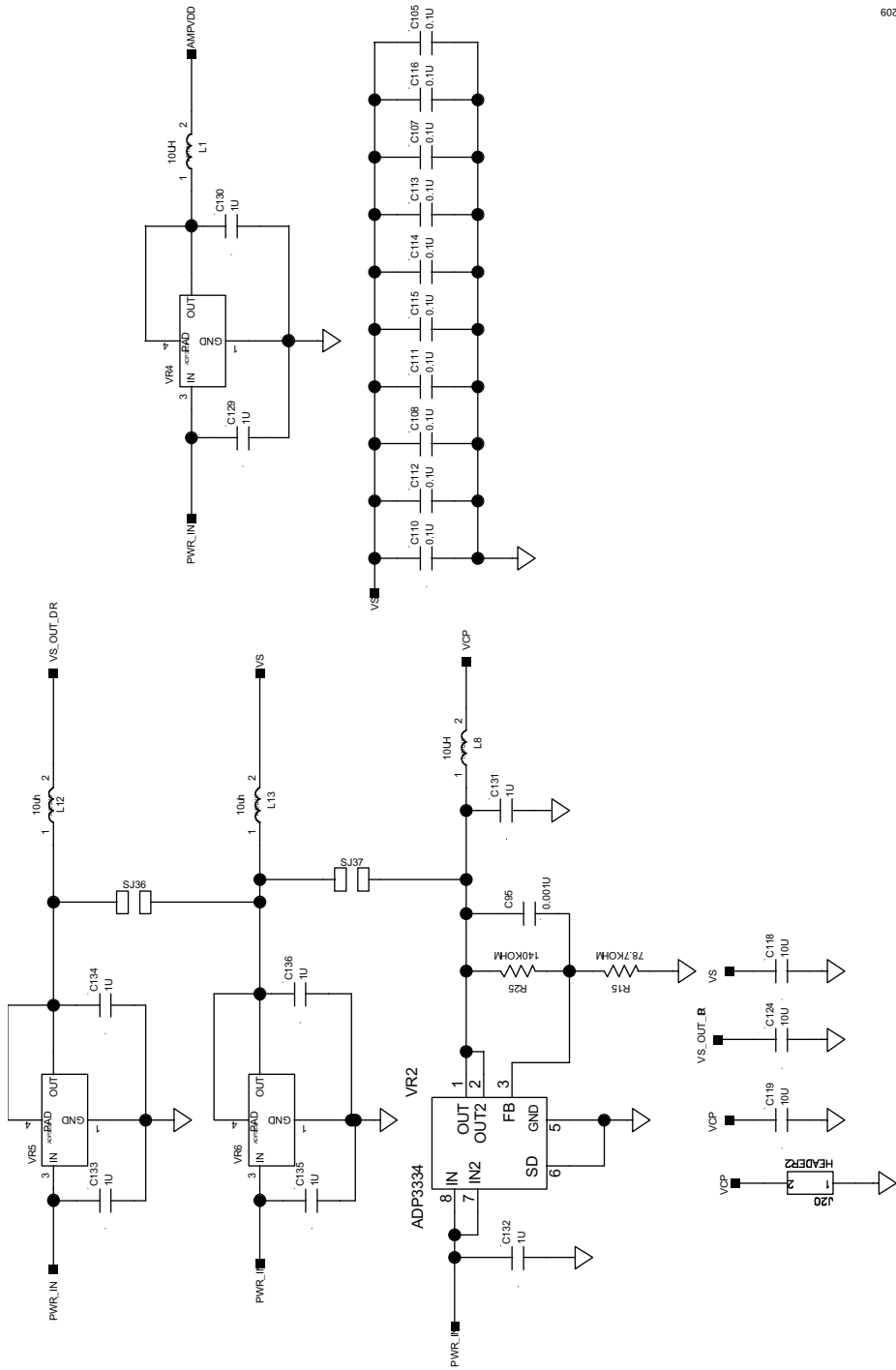


图94. 评估板原理图——电源(续)

Power Supply Bypass Capacitors

评估板布局布线

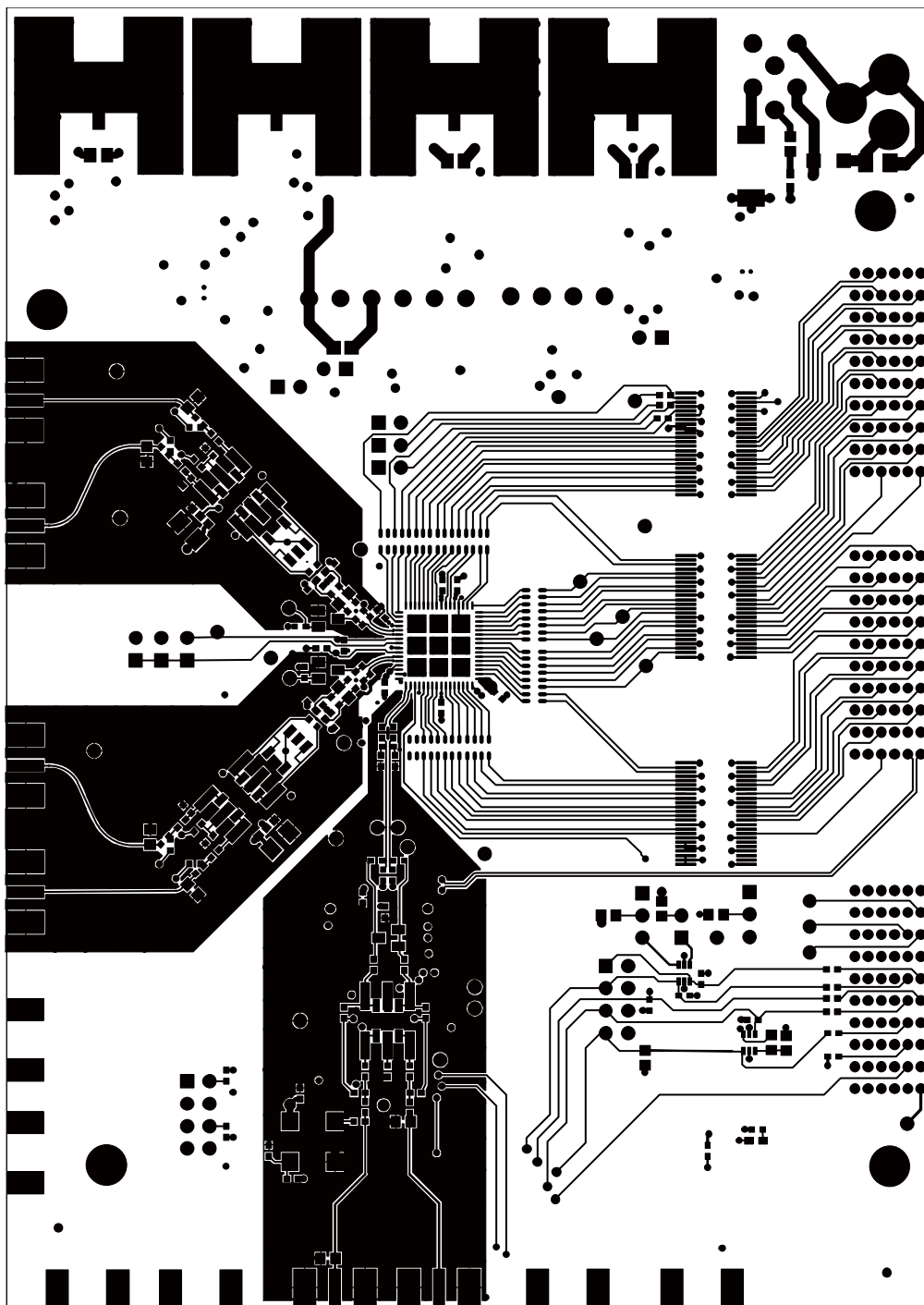
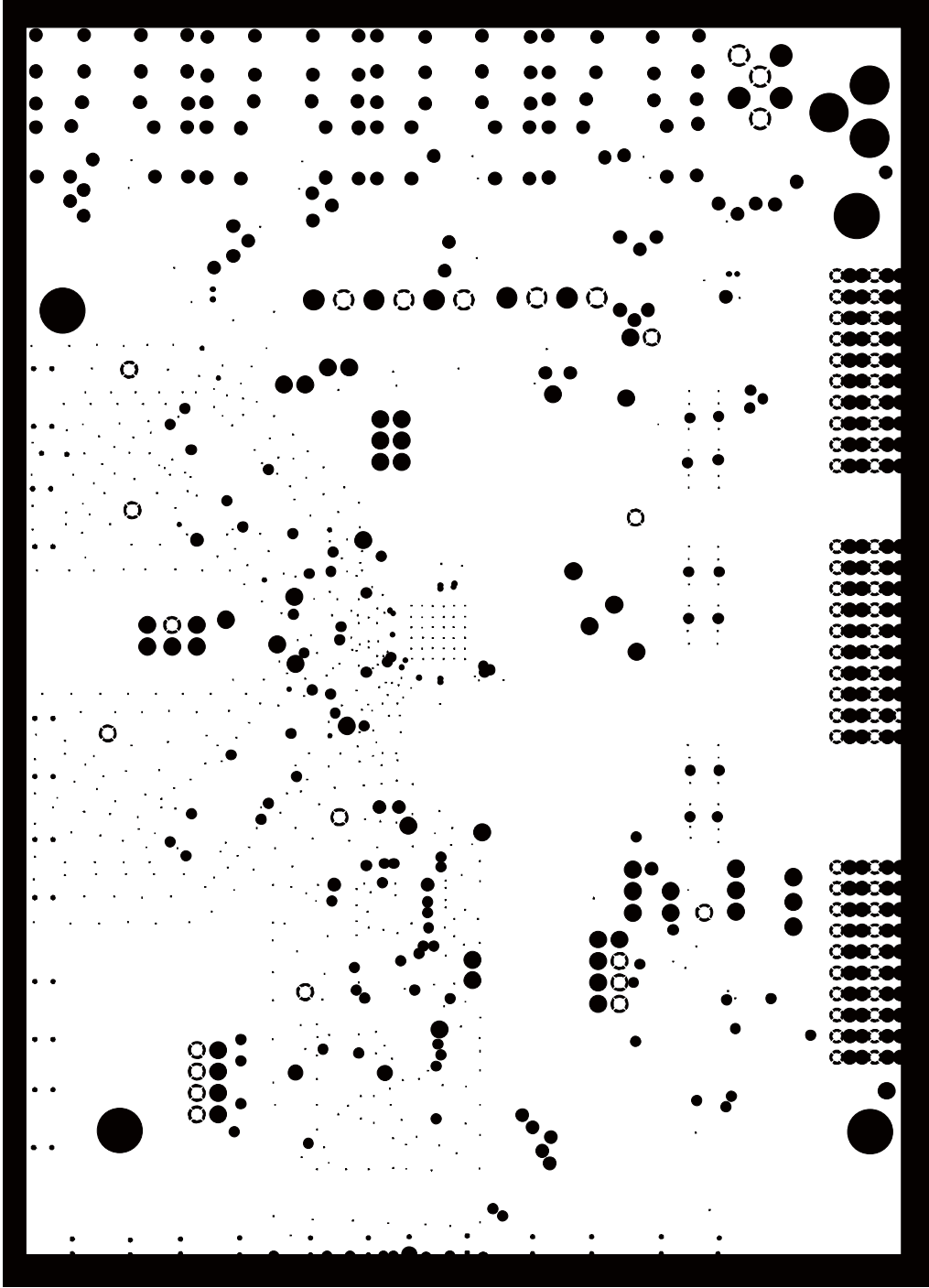
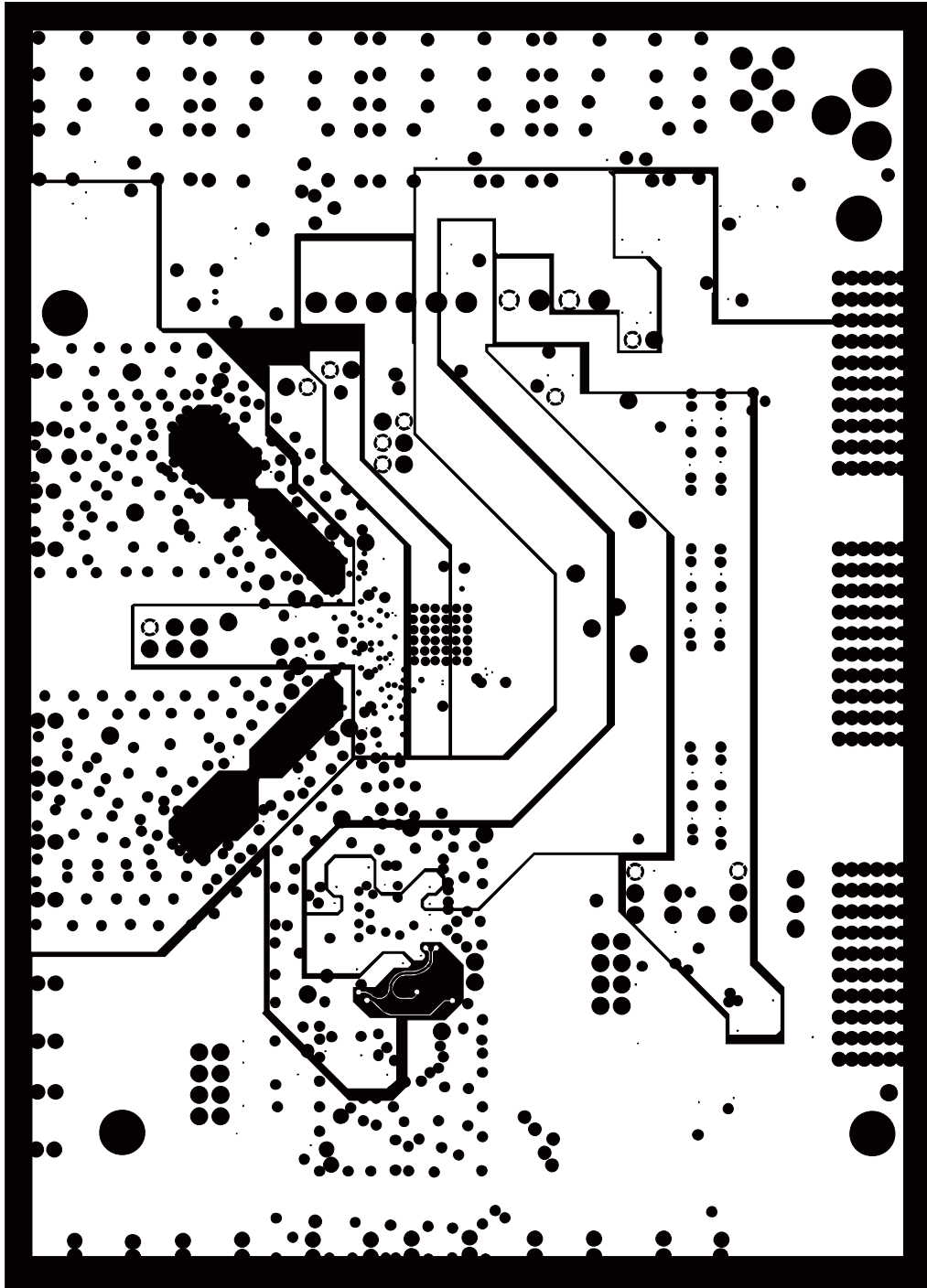


图95. 评估板布局布线——主面



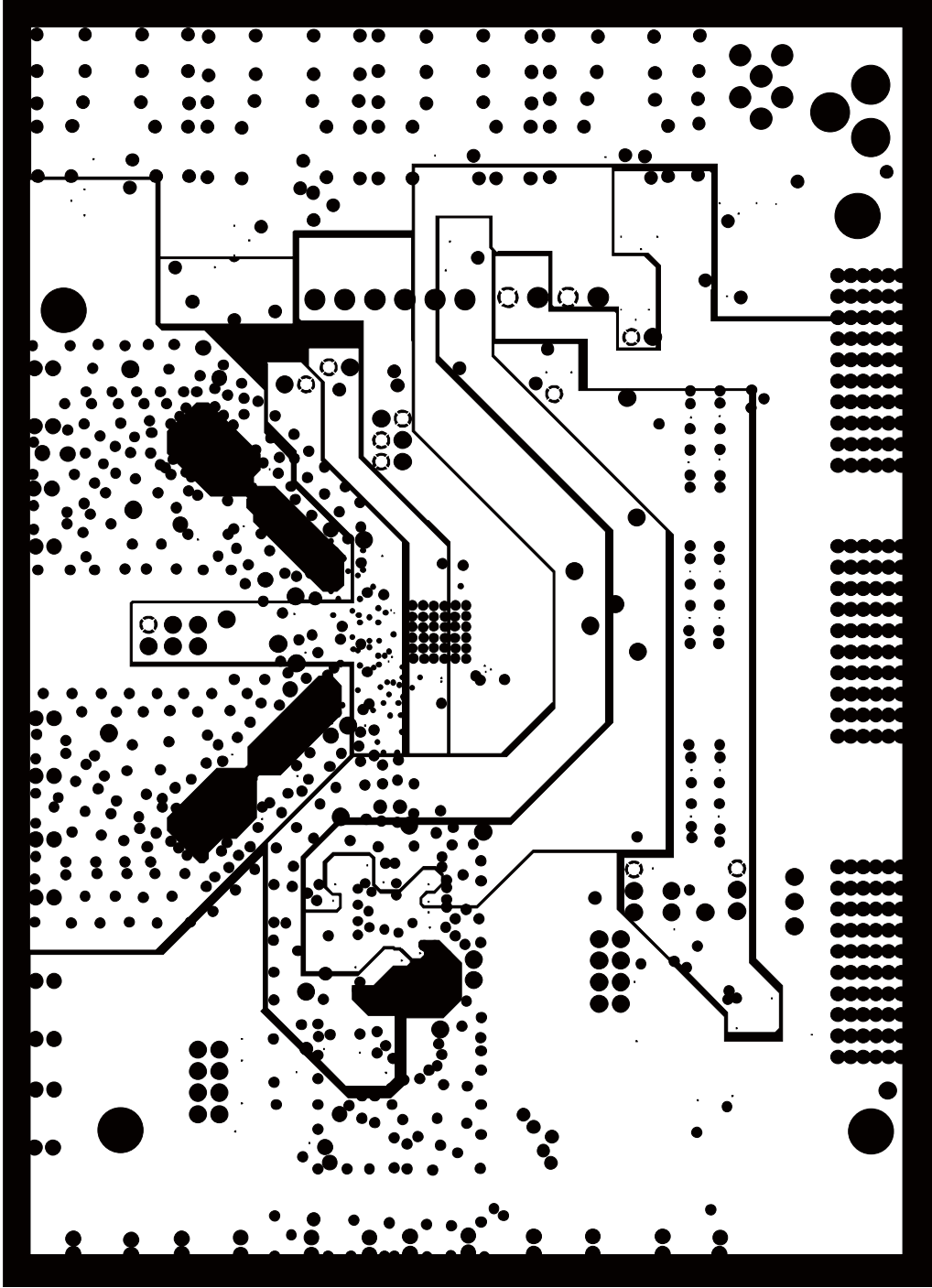
06709-101

图96. 评估板布局布线——接地层



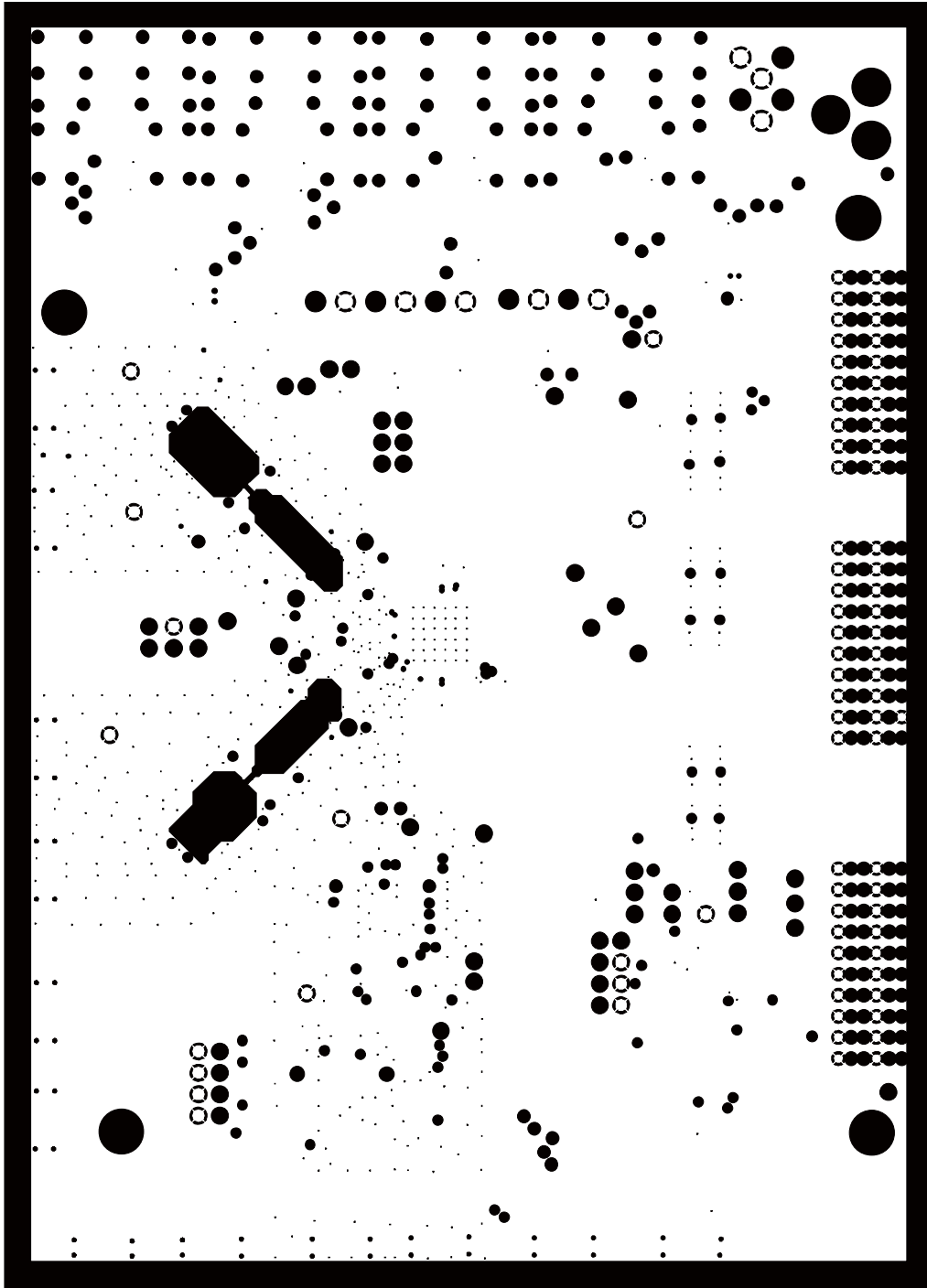
087709-102

图97. 评估板布局布线——电源层



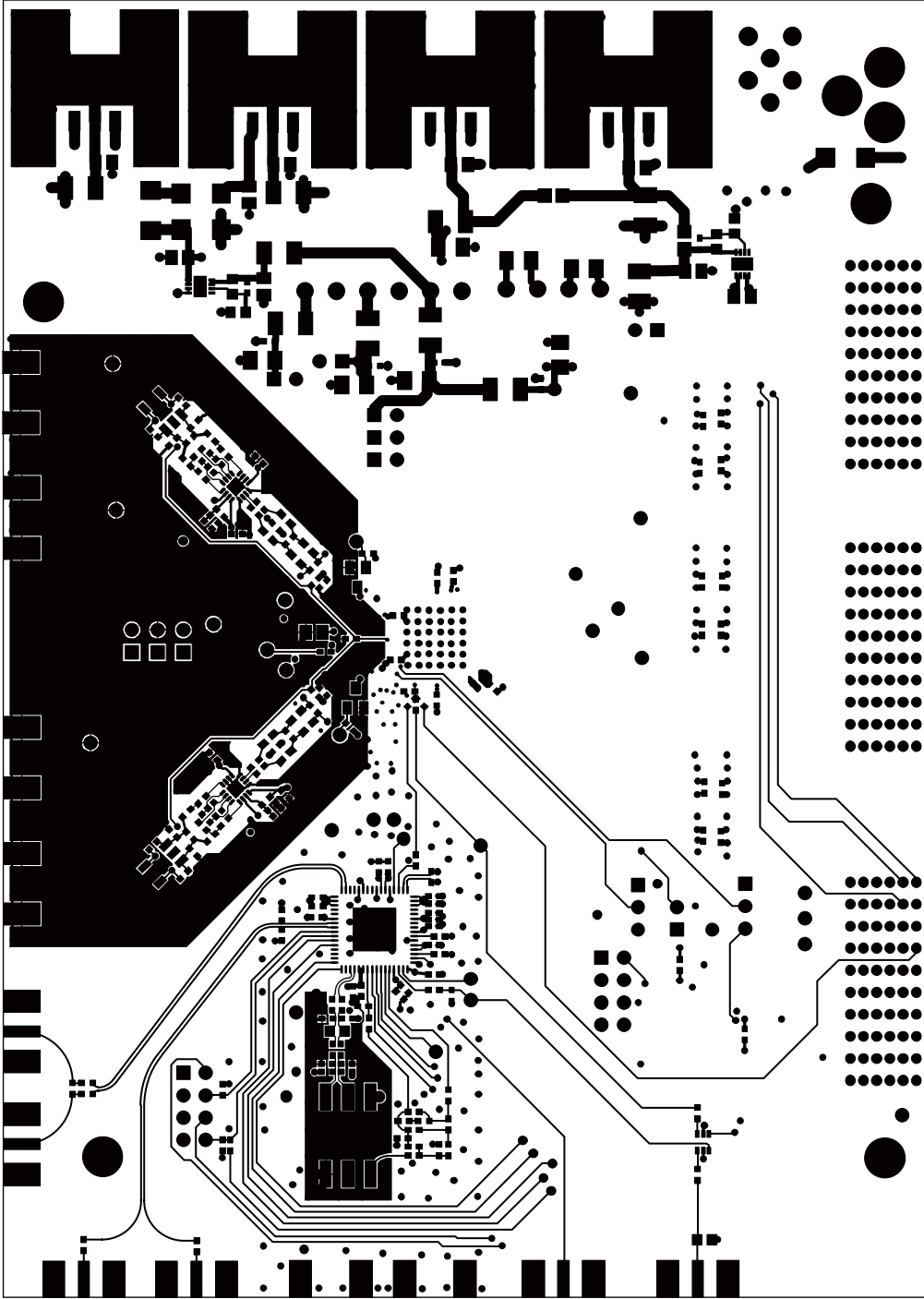
08709-103

图98. 评估板布局布线——电源层



067709-104

图99. 评估板布局布线——接地层



087709-105

图100. 评估板布局布线——辅面(镜像)

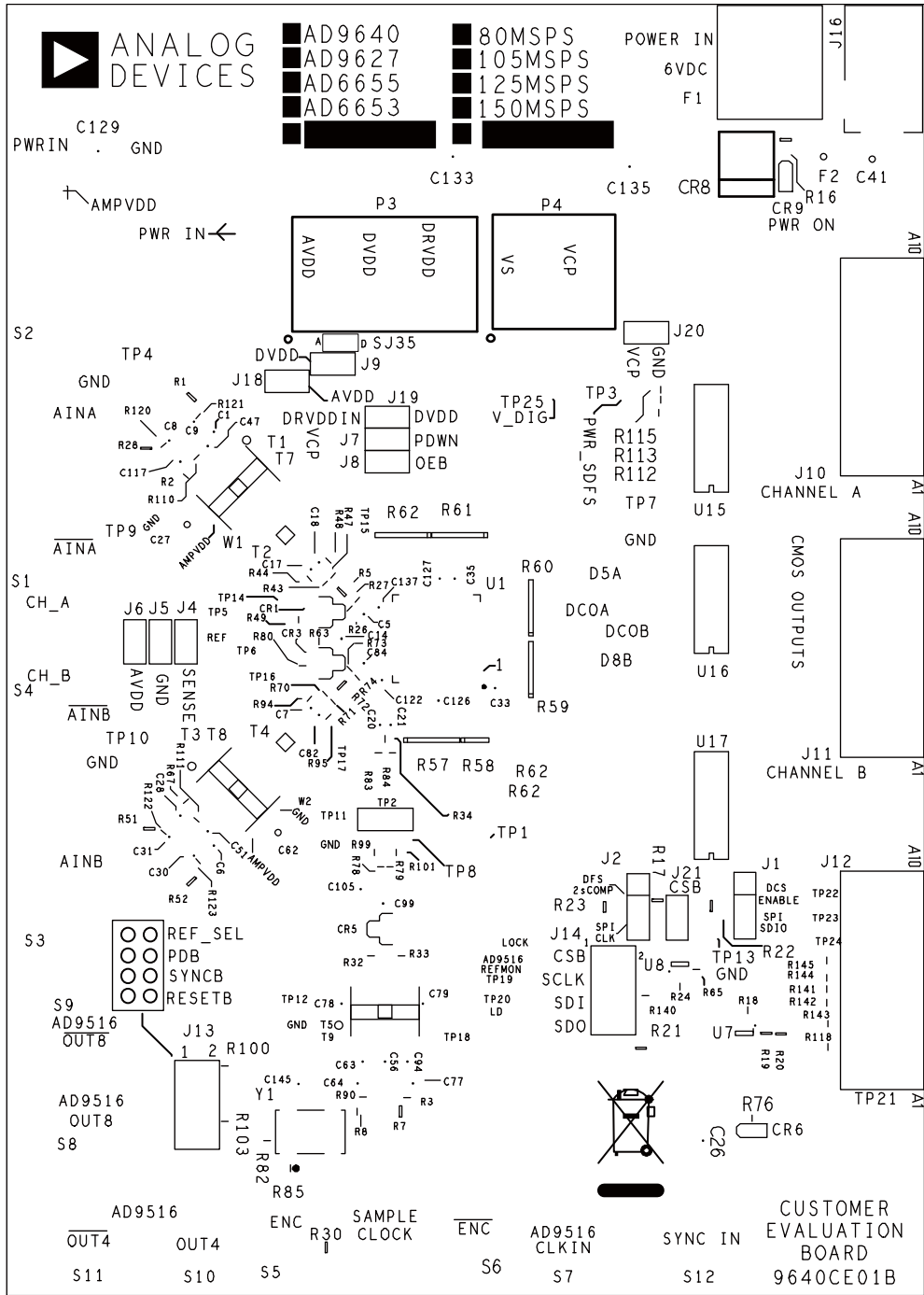
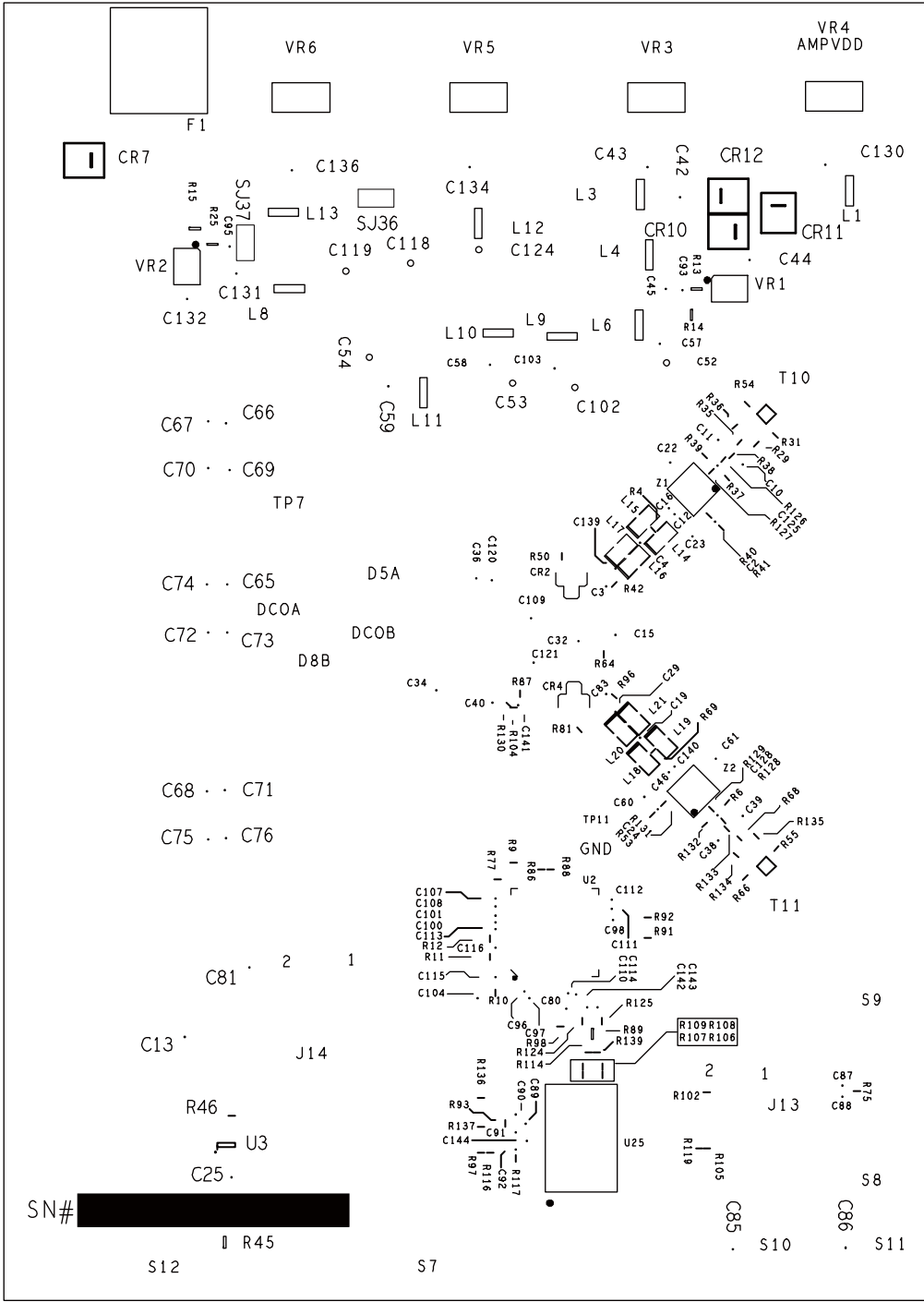


图101. 评估板布局布线——丝印，主面



101-60189

图102. 评估板布局布线——丝印，辅面

AD6655

物料清单

表30. 评估板物料清单(BOM)^{1,2}

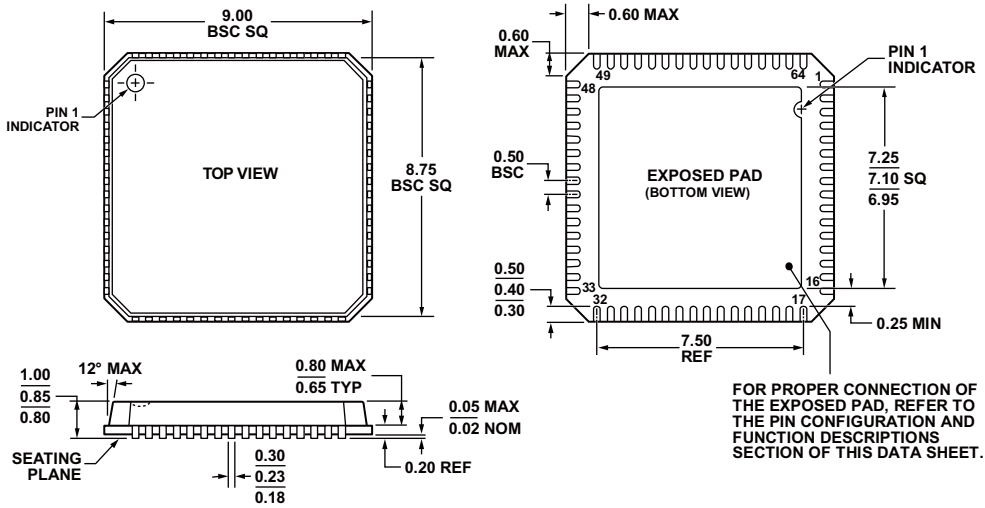
序号	数量	索引标识符	描述	封装	制造厂商	产品型号
1	1	AD6655CE_REV B	PCB	PCB	Analog Devices	
2	55	C1 至 C3, C6, C7, C13, C14, C17, C18, C20 至 C26, C32, C57 至 C61, C65 至 C76, C81 to C83, C96 至 C101, C103, C105, C107, C108, C110 至 C116, C145	0.1 μF、16 V陶瓷电容、SMT 0402	C0402SM	Murata	GRM155R71C104KA88D
3	1	C80	18 pF、COG、50 V、5% 陶瓷电容、SMT 0402	C0402SM	Murata	GJM1555C1H180JB01J
4	2	C5, C84	4.7 pF、COG、50 V、5% 陶瓷电容、SMT 0402	C0402SM	Murata	GJM1555C1H4R7CB01J
5	10	C33, C35, C63, C93 至 C95, C122, C126, C127, C137	0.001 μF、X7R、25 V、10% 陶瓷电容、SMT 0402	C0402SM	Murata	GRM155R71H102KA01D
6	13	C15, C42 至 C45, C129 至 C136	1 μF、X5R、25 V、10% 陶瓷电容、SMT 0805	C0805	Murata	GR4M219R61A105KC01D
7	10	C27, C41, C52 至 C54, C62, C102, C118, C119, C124	10 μF、X5R、10 V、10% 陶瓷电容、SMT 1206	C1206	Murata	GRM31CR61C106KC31L
8	1	CR5	肖特基二极管HSMS2822、SOT23	SOT23	Avago Technologies	HSMS-2822-BLKG
9	2	CR6, CR9	红色LED、SMT、0603、SS-type	LED0603	Panasonic	LNJ208R8ARA
10	4	CR7, CR10 至 CR12	50 V、2 A二极管	DO_214AA	Micro Commercial Components	S2A-TP
11	1	CR8	30 V、3 A二极管	DO_214AB	Micro Commercial Components	SK33-TP
12	1	F1	EMI滤波器	FLTHMURATABNX01	Murata	BNX016-01
13	1	F2	6.0 V、3.0 A、动作电流自复保险丝	L1206	Tyco Raychem	NANOSMDC150F-2
14	2	J1, J2	3引脚单排直脚排针	HDR3	Samtec	TWS-1003-08-G-S
15	9	J4 至 J9, J18, J19, J21	2引脚直脚排针	HDR2	Samtec	TWS-102-08-G-S
16	3	J10 至 J12	接口连接器	TYCO_HM_ZD	Tyco	6469169-1
17	1	J14	8引脚双排直脚排针	CNBERG2X4H350LD	Samtec	TSW-104-08-T-D
18	1	J16	直流电源插孔连接器	PWR_JACK1	Cui Stack	PJ-002A
19	10	L1, L3, L4, L6, L8 至 L13	10 μH 2 A串芯磁珠、1210	1210	Panasonic	EXC-CL3225U1
20	1	P3	6端子连接器	PTMICRO6	Weiland Electric, Inc.	Z5.531.3625.0
21	1	P4	4端子连接器	PTMICRO4	Weiland Electric, Inc.	Z5.531.3425.0
22	3	R7, R30, R45	57.6 Ω 0603 1/10 W 1%电阻	R0603	NIC Components	NRC06F57R6TRF
23	27	R2, R3, R4, R32, R33, R42, R64, R67, R69, R90, R96, R99, R101, R104, R110 至 R113, R115, R119, R121, R123, R141 至 R145	0 Ω 1/16 W 5%电阻	R0402SM	NIC Components	NRC04ZOTRF
24	1	R13	76.8 kΩ 0603 1/10 W 1%电阻	R0603	NIC Components	NRC06F7682TRF
25	1	R25	140 kΩ 0603 1/10 W 1%电阻	R0603	NIC Components	NRC06F1403TRF
26	1	R14	147 kΩ 0603 1/10 W 1% 电阻	R0603	NIC Components	NRC06F1473TRF
27	1	R15	78.7 kΩ 0603 1/10 W 1% 电阻	R0603	NIC Components	NRC06F7872TRF

序号	数量	索引标识符	描述	封装	制造厂商	产品型号
28	1	R16	261 Ω 0603 1/10 W 1%电阻	R0603	NIC Components	NRC06F2610TRF
29	3	R17, R22, R23	100 kΩ 0603 1/10 W 1%电阻	R0603	NIC Components	NRC06F1003TRF
30	7	R18, R24, R63, R65, R82, R118, R140	10 kΩ 0402 1/16 W 1%电阻	R0402SM	NIC Components	NRC04F1002TRF
31	3	R19, R21	1 kΩ 0603 1/10 W 1%电阻	R0603	NIC Components	NRC06F1001TRF
32	9	R26, R27, R43, R46, R47, R70, R71, R73, R74	33 Ω 0402 1/16 W 5%电阻	R0402SM	NIC Components	NRC04J330TRF
33	5	R57, R59 至 R62	22 Ω 16引脚8电阻电阻阵列	R_742	CTS Corporation	742C163220JPTR
34	1	R58	22 Ω, 8引脚4电阻电阻阵列	RES_ARRAY	CTS Corporation	742C083220JPTR
35	1	R76	200 Ω 0402 1/16 W 1%电阻	R0402SM	NIC Components	NCR04F2000TRF
36	4	S2, S3, S5, S12	SMA直插针式同轴连接器	SMA_EDGE	Emerson Network Power	142-0701-201
37	1	SJ35	0 Ω 1/8 W 1%电阻	SLDR_PAD2MUYLAR	NIC Components	NRC10ZOTRF
38	5	T1 至 T5	巴伦	TRAN6B	M/A-COM	MABA-007159-000000
39	1	U1	IC AD6655	LFCSPP64-9X9-9E	Analog Devices	AD6655BCPZ
40	1	U2	时钟分配、PLL IC	LFCSPP64-9X9	Analog Devices	AD9516-4BCPZ
41	1	U3	双反相器IC	SC70_6	Fairchild Semiconductor	NC7WZ04P6X_NL
42	1	U7	双缓冲器IC、开漏电路	SC70_6	Fairchild Semiconductor	NC7WZ07P6X_NL
43	1	U8	UHS双缓冲器IC	SC70_6	Fairchild Semiconductor	NC7WZ16P6X_NL
44	3	U15 至 U17	16位CMOS缓冲器IC	TSOP48_8_1MM	Fairchild Semiconductor	74VCX16244MTDX_NL
45	2	VR1, VR2	可调稳压器	LFCSPP8-3X3	Analog Devices	ADP3334ACPZ
46	1	VR3	1.8 V高精度稳压器	SOT223-HS	Analog Devices	ADP3339AKCZ-1.8
47	1	VR4	5.0 V高精度稳压器	SOT223-HS	Analog Devices	ADP3339AKCZ-5.0
48	2	VR5, VR6	3.3 V高精度稳压器SOT223-HS	SOT223-HS	Analog Devices	ADP3339AKCZ-3.3
49	1	Y1	振荡器时钟, VFAC3	OSC-CTS-CB3	Valpey Fisher	VFAC3-BHL
50	2	Z1, Z2	高速IC、运算放大器	LFCSPP16-3X3-PAD	Analog Devices	AD8352ACPZ

¹本物料清单符合RoHS标准。

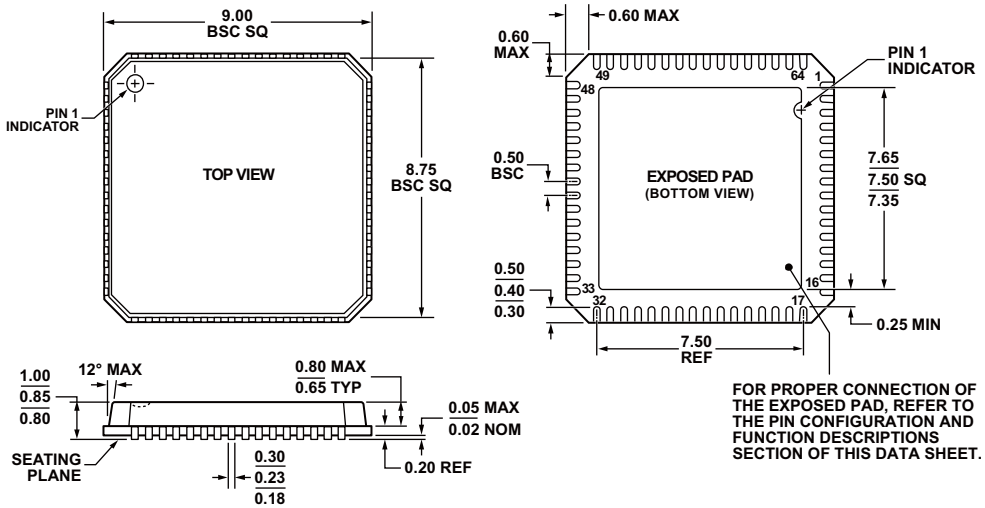
²物料清单中只列出了默认条件下常规安装的项目。未安装的项目未列入本清单。

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VMM4

图103. 64引脚LFCSP_VQ封装, 9 mm x 9 mm 超薄(CP-64-3), 尺寸单位: mm



COMPLIANT TO JEDEC STANDARDS MO-220-VMM4

图104. 64引脚LFCSP_VQ封装, 9 mm x 9 mm 超薄(CP-64-6), 尺寸单位: mm

订购指南

型号	温度范围	封装描述	封装选项
AD6655ABCPZ-150 ¹	-40°C 至 +85°C	64引脚LFCSP_VQ	CP-64-6
AD6655ABCPZ-125 ¹	-40°C 至 +85°C	64引脚LFCSP_VQ	CP-64-6
AD6655ABCPZ-105 ¹	-40°C 至 +85°C	64引脚LFCSP_VQ	CP-64-6
AD6655ABCPZ-80 ¹	-40°C 至 +85°C	64引脚LFCSP_VQ	CP-64-6
AD6655ABCPZRL7-150 ¹	-40°C 至 +85°C	64引脚LFCSP_VQ	CP-64-6
AD6655ABCPZRL7-125 ¹	-40°C 至 +85°C	64引脚LFCSP_VQ	CP-64-6
AD6655BCPZ-150 ¹	-40°C 至 +85°C	64引脚LFCSP_VQ	CP-64-3
AD6655BCPZ-125 ¹	-40°C 至 +85°C	64引脚LFCSP_VQ	CP-64-3
AD6655BCPZ-105 ¹	-40°C 至 +85°C	64引脚LFCSP_VQ	CP-64-3
AD6655BCPZ-80 ¹	-40°C 至 +85°C	64引脚LFCSP_VQ	CP-64-3
AD6655-125EBZ ¹		带有AD6655和软件的评估板	
AD6655-150EBZ ¹		带有AD6655和软件的评估板	

¹Z = 符合RoHS标准的兼容器件。

注释

注释

注释