



## 目录

特性.....	1
应用.....	1
功能框图.....	1
概述.....	1
修订历史.....	2
技术规格.....	3
AD5544的电气特性.....	3
AD5554的电气特性.....	4
时序图.....	6
绝对最大额定值.....	7
ESD警告.....	7
引脚配置和功能描述.....	8
典型性能参数.....	10
工作原理.....	13
数模转换器(DAC).....	13
串行数据接口.....	15
真值表.....	16

## 修订历史

### 2012年1月—修订版E至修订版F

更改图1.....	1
增加图18；重新排序.....	11
更改“评估板原理图”部分.....	22

### 2011年6月—修订版D至修订版E

增加32引脚LFCSP.....	通篇
更改表1电源特性参数.....	3
更改表2电源特性参数.....	5
增加图6；图号重新排序；更改表4.....	7
更改“应用部分为“应用信息”部分；增加“基准电压源选择和放大器选择”部分.....	19
增加“AD5544评估板”部分.....	21
更新“外形尺寸”.....	17
更改“订购指南”.....	18

### 2009年9月—修订版C至修订版D

更改“特性”部分.....	1
更改表1.....	3
更改表2.....	4
更改图12.....	9
更改图19.....	10
更改表8和表9.....	13
更改“订购指南”.....	16

### 2009年8月—修订版B至修订版C

更改表1.....	3
更改表2.....	4

上电复位.....	17
ESD保护电路.....	17
电源序列.....	17
布局布线和电源旁路.....	18
接地.....	18
应用信息.....	19
基准电压源选择.....	19
放大器选择.....	19
AD5544评估板.....	21
系统演示平台.....	21
评估板操作.....	21
评估板原理图.....	22
评估板布局布线.....	25
外形尺寸.....	27
订购指南.....	28

### 2009年8月—修订版A至修订版B

更改“特性”部分.....	1
更改图2.....	1
更改表1.....	3
更改表2.....	4
移动时序图.....	5
增加图4；重新排序.....	5
更改表3.....	6
更改表4.....	7
更改“典型性能参数”部分.....	8
更改图19.....	10
移动表5、表6和表7.....	12
移动“真值表”部分.....	13
删除图27；重新排序.....	14
更新“外形尺寸”.....	16
更改“订购指南”.....	16

### 2004年12月—修订版0至修订版A

格式更新.....	通篇
更改电气特性表.....	4
更改引脚描述表.....	10
增加“电源序列”部分.....	19
增加“布局布线和电源旁路”部分.....	19
增加“接地”部分.....	19
增加图32.....	19

### 2000年4月—修订版0：初始版

## 技术规格

### AD5544的电气特性

除非另有说明,  $V_{DD} = 2.7\text{ V}$ 至 $5.5\text{ V}$ ,  $V_{SS} = 0\text{ V}$ ,  $I_{OUTX}$  = 虚拟GND,  $A_{GNDX} = 0\text{ V}$ ,  $V_{REFA} = V_{REFB} = V_{REFC} = V_{REFD} = 10\text{ V}$ ,  $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 整个工作温度范围。

表1.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
静态性能 <sup>1</sup>						
分辨率	N	$V_{REF} = 10\text{ V}$ 时, $1\text{ LSB} = V_{REFX}/2^{16} = 153\text{ }\mu\text{V}$			16	位
相对精度	积分非线性 (INL)	AD5544BRSZ AD5544ARSZ AD5544BCPZ AD5544ACPZ-1			$\pm 1$ $\pm 2$ $\pm 1$ $\pm 4$	LSB LSB LSB LSB
差分非线性	差分非线性 (DNL)误差:	AD5544BRSZ AD5544ARSZ AD5544BCPZ AD5544ACPZ-1			$\pm 1$ $\pm 1.5$ $\pm 1$ $\pm 1$	LSB LSB LSB LSB
输出漏电流	$I_{OUTX}$	数据 = 0x0000, $T_A = 25^\circ\text{C}$ 数据 = 0x0000, $T_A = 85^\circ\text{C}$			10 20	nA nA
满量程增益误差	$G_{FSE}$	数据 = 0xFFFF		$\pm 0.75$	$\pm 3$	mV
满量程温度系数 <sup>2</sup>	$TCV_{FS}$			1		ppm/ $^\circ\text{C}$
反馈电阻	$R_{FBX}$	$V_{DD} = 5\text{ V}$	4	6	8	k $\Omega$
基准输入						
$V_{REFX}$ 范围	$V_{REFX}$		-15		+15	V
输入电阻	$R_{REFX}$		4	6	8	k $\Omega$
输入电阻匹配	$R_{REFX}$	通道至通道		0.35		%
输入电容 <sup>2</sup>	$C_{REFX}$			5		pF
模拟输出						
输出电流	$I_{OUTX}$	数据 = 0xFFFF	1.25		2.5	mA
输出电容 <sup>2</sup>	$C_{OUTX}$	代码相关		35		pF
逻辑输入和输出						
逻辑输入低电压	$V_{IL}$				0.8	V
逻辑输入高电压	$V_{IH}$		2.4			V
输入漏电流	$I_{IL}$				1	$\mu\text{A}$
输入电容 <sup>2</sup>	$C_{IL}$				10	pF
逻辑输出低电压	$V_{OL}$	$I_{OL} = 1.6\text{ mA}$			0.4	V
逻辑输出高电压	$V_{OH}$	$I_{OH} = 100\text{ }\mu\text{A}$	4			V
接口时序 <sup>2,3</sup>						
时钟高电平脉宽	$t_{CH}$		25			ns
时钟低电平脉宽	$t_{CL}$		25			ns
CS至时钟建立	$t_{CSS}$		0			ns
时钟至CS保持	$t_{CSH}$		25			ns
SDO传播延迟时钟	$t_{PD}$		2		20	ns
加载DAC脉宽	$t_{LDAC}$		25			ns
数据建立	$t_{DS}$		20			ns
数据保持	$t_{DH}$		20			ns
加载设置	$t_{LDS}$		5			ns
加载保持	$t_{LDH}$		25			ns
电源特性						
电源电压范围	$V_{DD}$ 范围		2.7		5.5	V
正电源电流	$I_{DD}$	逻辑输入 = 0 V			5	$\mu\text{A}$
负电源电流	$I_{SS}$	逻辑输入 = 0 V, $V_{SS} = -5\text{ V}$		0.001	9	$\mu\text{A}$

# AD5544/AD5554

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
功耗	$P_{DISS}$	逻辑输入 = 0 V			1.25	mW
电源灵敏度	PSS	$\Delta V_{DD} = \pm 5\%$			0.006	%/%
交流特性 <sup>4</sup>						
输出电压建立时间	$t_s$	到满量程的 $\pm 0.1\%$ , 数据 = 0x0000至0xFFFF至0x0000		0.9		$\mu s$
基准乘法带宽	BW - 3 dB	$V_{REFx} = 5 V$ p-p, 数据 = 0xFFFF, $C_{FB} = 2.0 pF$		12		MHz
DAC毛刺脉冲	Q	$V_{REFx} = 8 V$ , 数据 = 0x0000至0x8000至0x0000		-1		nV-sec
馈通误差	$V_{OUTx}/V_{REFx}$	数据 = 0x0000, $V_{REFx} = 100 mV$ rms, $f = 100 kHz$		-65		dB
串扰错误	$V_{OUTA}/V_{REFB}$	数据 = 0x0000, $V_{REFB} = 100 mV$ rms, 邻道, $f = 100 kHz$		-90		dB
数字馈通	Q	$\overline{CS} = 1$ , $f_{CLK} = 1 MHz$		0.6		nV-sec
总谐波失真	THD	$V_{REFx} = 5 V$ p-p, 数据 = 0xFFFF, $f = 1 kHz$		-98		dB
输出散粒噪声电压	$e_N$	$f = 1 kHz$ , 带宽 = 1 Hz		7		$nV/\sqrt{Hz}$

<sup>1</sup> 使用外部精密OP177电流转电压转换器放大器, 在闭环系统中实施所有静态性能测试( $I_{OUTx}$ 除外)。AD5544  $R_{FB}$ 端子连接到放大器输出。典型值代表25°C时测量的平均读数。

<sup>2</sup> 通过设计保证这些参数, 而这些参数未经生产测试。

<sup>3</sup> 所有输入控制信号均指定 $t_r = t_f = 2.5 ns$ (10%到90%, 3 V)并从1.5 V电平起开始计时。

<sup>4</sup> 使用AD8038电流电压转换放大器, 在闭环系统中实施所有交流特性测试。

## AD5554的电气特性

除非另有说明,  $V_{DD} = 2.7 V$ 至 $5.5 V$ ,  $V_{SS} = 0 V$ ,  $I_{OUTx} =$  虚拟GND,  $A_{GNDx} = 0 V$ ,  $V_{REFA} = V_{REFB} = V_{REFC} = V_{REFD} = 10 V$ ,  $T_A = -40^\circ C$ 至 $+125^\circ C$ 整个工作温度范围。

表2.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
静态性能 <sup>1</sup>						
分辨率	N	$V_{REFx} = 10 V$ 时, $1 LSB = V_{REFx}/214 = 610 \mu V$			14	位
相对精度	INL			$\pm 0.5$		LSB
差分非线性	DNL			$\pm 1$		LSB
输出漏电流	$I_{OUTx}$	数据 = 0x0000, $T_A = 25^\circ C$ 数据 = 0x0000, $T_A = 85^\circ C$			10 20	nA nA
满量程增益误差	$G_{FSE}$	数据 = 0x3FFF		$\pm 2$	$\pm 10$	mV
满量程温度系数 <sup>2</sup>	$TCV_{FS}$			1		ppm/ $^\circ C$
反馈电阻	$R_{FBx}$	$V_{DD} = 5 V$	4	6	8	k $\Omega$
基准输入						
$V_{REFx}$ 范围	$V_{REFx}$		-15		+15	V
输入电阻	$R_{REFx}$		4	6	8	k $\Omega$
输入电阻匹配	$R_{REFx}$	通道至通道		1		%
输入电容 <sup>2</sup>	$C_{REFx}$			5		pF
模拟输出						
输出电流	$I_{OUTx}$	数据 = 0x3FFF	1.25		2.5	mA
输出电容 <sup>2</sup>	$C_{OUTx}$	代码相关		80		pF
逻辑输入和输出						
逻辑输入低电压	$V_{IL}$				0.8	V
逻辑输入高电压	$V_{IH}$		2.4			V
输入漏电流	$I_{IL}$			1		$\mu A$
输入电容 <sup>2</sup>	$C_{IL}$			10		pF
逻辑输出低电压	$V_{OL}$	$I_{OL} = 1.6 mA$			0.4	V
逻辑输出高电压	$V_{OH}$	$I_{OH} = 100 \mu A$	4			V
接口时序 <sup>2,3</sup>						
时钟高电平脉宽	$t_{CH}$		25			ns
时钟低电平脉宽	$t_{CL}$		25			ns
$\overline{CS}$ 至时钟建立	$t_{CSS}$		0			ns
时钟至 $\overline{CS}$ 保持	$t_{CSH}$		25			ns

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
SDO传播延迟时钟	$t_{PD}$		2		20	ns
加载DAC脉宽	$t_{LDAC}$		25			ns
数据建立	$t_{DS}$		20			ns
数据保持	$t_{DH}$		20			ns
加载设置	$t_{LDS}$		5			ns
加载保持	$t_{LDH}$		25			ns
电源特性						
电源电压范围	$V_{DD\ RANGE}$		2.7		5.5	V
正电源电流	$I_{DD}$	逻辑输入 = 0 V			5	$\mu A$
负电源电流	$I_{SS}$	逻辑输入 = 0 V, $V_{SS} = -5 V$		0.001	9	$\mu A$
功耗	$P_{DISS}$	逻辑输入 = 0 V			1.25	mW
电源灵敏度	PSS	$\Delta V_{DD} = \pm 5\%$			0.006	%/%
交流特性 <sup>4</sup>						
输出电压建立时间	$t_s$	到满量程的 $\pm 0.1\%$ , 数据 = 0x0000至0x3FFF至0x0000		0.9		$\mu s$
基准乘法带宽	BW - 3 dB	$V_{REFX} = 5 V$ p-p, 数据 = 0xFFFF, $C_{FB} = 2.0 pF$		12		MHz
DAC毛刺脉冲	Q	$V_{REFX} = 8 V$ , 数据 = 0x0000至0x2000至0x0000		-1		nV-sec
馈通误差	$V_{OUTX}/V_{REFX}$	数据 = 0x0000, $V_{REFX} = 100 mV$ rms, $f = 100 kHz$		-65		dB
串扰错误	$V_{OUTA}/V_{REFB}$	数据 = 0x0000, $V_{REFB} = 100 mV$ rms, 邻道, $f = 100 kHz$		-90		dB
数字馈通	Q	$\overline{CS} = 1, f_{CLK} = 1 MHz$		0.6		nV-sec
总谐波失真	THD	$V_{REFX} = 5 V$ p-p, 数据 = 0x3FFF, $f = 1 kHz$		9	8	dB
输出散粒噪声电压	$e_N$	$f = 1 kHz$ , 带宽 = 1 Hz		7		$nV/\sqrt{Hz}$

<sup>1</sup> 使用外部精密OP177电流电压转换放大器, 在闭环系统中进行所有静态性能测试( $I_{OUT}$ 除外)。AD5554  $R_{FB}$ 端子连接到放大器输出。典型值代表25°C时测量的平均读数。

<sup>2</sup> 通过设计保证这些参数, 而这些参数未经生产测试。

<sup>3</sup> 所有输入控制信号均指定 $t_R = t_F = 2.5 ns$ (10%到90%, 3 V)并从1.5 V电平起开始计时。

<sup>4</sup> 使用AD8038电流电压转换器放大器, 在闭环系统中实施所有交流特性测试。

# AD5544/AD5554

## 时序图

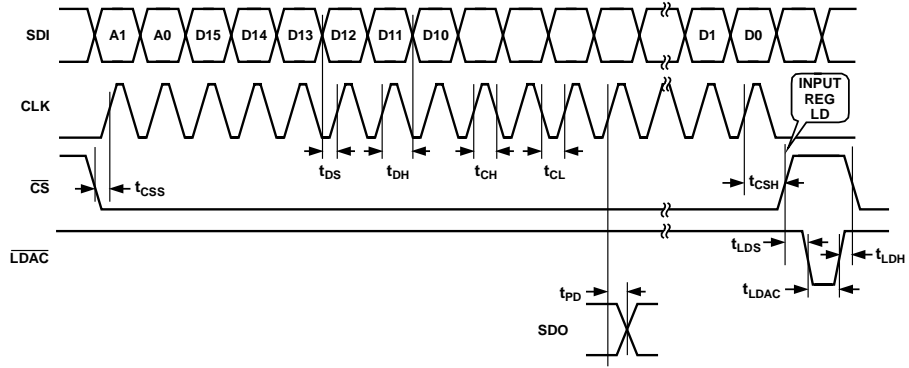


图3. AD5544时序图

00943-004

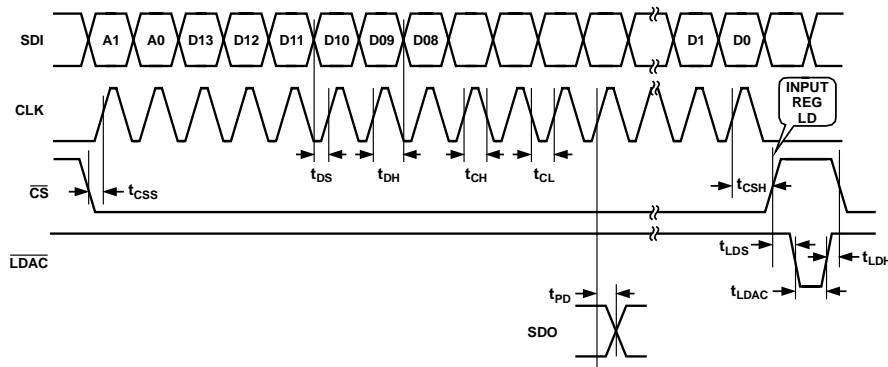


图4. AD5554时序图

00943-005

## 绝对最大额定值

表3.

参数	额定值
$V_{DD}$ 至 GND	-0.3 V, +8 V
$V_{SS}$ 至 GND	+0.3 V, -7 V
$V_{REF,X}$ 至 GND	-18 V, +18 V
逻辑输入和输出至 GND	-0.3 V, +8 V
$V(I_{OUT,X})$ 至 GND	-0.3 V, $V_{DD} + 0.3$ V
$A_{GND}$ 至 DGND	-0.3 V, +0.3 V
输入电流至除电源引脚外的任何引脚	±50 mA
封装功耗	$(T_{J,最大值} - T_A)/\theta_{JA}$
热阻	$\theta_{JA}$
28引脚SSOP封装	100°C/W
32引脚LFCSP	32.5°C/W
最大结温( $T_{J,最大值}$ )	150°C
工作温度范围	-40°C至+125°C
存储温度范围	-65°C至+150°C
引脚温度	
气相(60秒)	215°C
红外(15秒)	220°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

### ESD警告



#### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

# AD5544/AD5554

## 引脚配置和功能描述

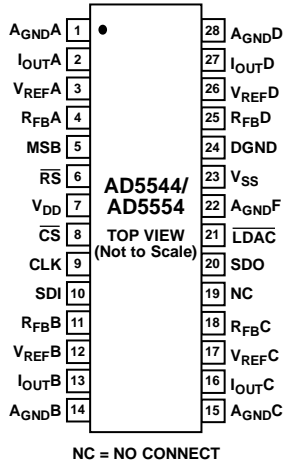
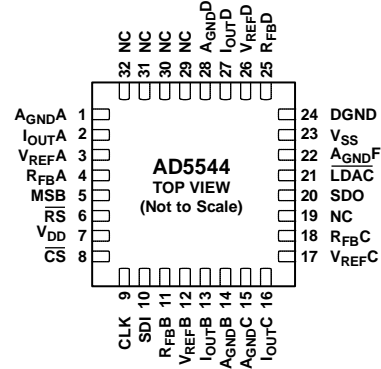


图5. TSSOP引脚配置



- NOTES  
 1. NC = NO CONNECT.  
 2. CONNECT EXPOSED PAD TO AGND.

图6. LFCSP引脚配置

表4. 引脚功能描述

TSSOP 引脚编号	LFCSP 引脚编号	引脚名称	描述
1	1	AGND A	DAC A模拟地。
2	2	IOUT A	DAC A电流输出。
3	3	VREF A	DAC A基准电压输入端子。建立DAC A满量程输出电压。该引脚可以连接到V <sub>DD</sub> 引脚。
4	4	RFB A	通过连接到外部放大器输出，建立DAC A的电压输出。
5	5	MSB	MSB位。如果接地或连接到V <sub>DD</sub> ，在复位脉冲(RS)期间或系统上电时设置引脚。
6	6	RS	复位引脚，低电平输入有效。输入寄存器和DAC寄存器设置为全0或半量程代码(AD5544为0x8000，AD5554为0x2000)，具体取决于MSB引脚的电压。MSB = 0时，寄存器数据 = 0x0000。
7	7	V <sub>DD</sub>	正电源输入。额定工作范围：5V ± 10%。
8	8	CS	片选，低电平输入有效。高电平时禁用移位寄存器加载。CS/LDAC恢复高电平时把串行寄存数据传送到输入寄存器。不影响LDAC操作。
9	9	CLK	时钟输入。正边沿时钟数据输入到移位寄存器中。
10	10	SDI	串行数据输入。输入数据先直接加载到移位寄存器。
11	11	RFB B	通过连接到外部放大器输出，建立DAC B的电压输出。
12	12	VREF B	DAC B基准电压输入端子。建立DAC B满量程输出电压。该引脚可以连接到V <sub>DD</sub> 引脚。
13	13	IOUT B	DAC B电流输出。
14	14	AGND B	DAC B模拟地。
15	15	AGND C	DAC C模拟地。
16	16	IOUT C	DAC C电流输出。
17	17	VREF C	DAC C基准电压输入端子。建立DAC C满量程输出电压。该引脚可以连接到V <sub>DD</sub> 引脚。
18	18	RFB C	通过连接到外部放大器输出，建立DAC C的电压输出。
19	19	NC	不连接。此引脚保持不连接。
20	20	SDO	串行数据输出。输入数据先直接加载到移位寄存器。在SDI引脚处输入后，数据出现在SDO处，AD5544为19个时钟脉冲，AD5554有17个时钟脉冲。
21	21	LDAC	加载DAC寄存器选通，电平敏感，低电平有效。把所有输入寄存器数据传输到DAC寄存器。异步低电平输入有效。具体操作参见表8和表9。
22	22	AGND F	高电流模拟强制接地。
23	23	V <sub>SS</sub>	负偏置电源输入。额定工作范围：-5.5 V至+0.3 V。
24	24	DGND	数字地引脚。
25	25	RFB D	通过连接到外部放大器输出，建立DAC D的电压输出。



TSSOP 引脚编号	LFCSP 引脚编号	引脚名称	描述
26	26	V <sub>REFD</sub>	DAC D基准电压输入端子。建立DAC D满量程输出电压。该引脚可以连接到V <sub>DD</sub> 引脚。
27	27	I <sub>OUTD</sub>	DAC D电流输出。
28	28	A <sub>GND</sub> D	DAC D模拟地。
不适用	29	NC	不连接。
不适用	30	NC	不连接。
不适用	31	NC	不连接。
不适用	32	NC	不连接。
不适用	33	EPAD	裸露焊盘应连接至AGNDx。

## 典型性能参数

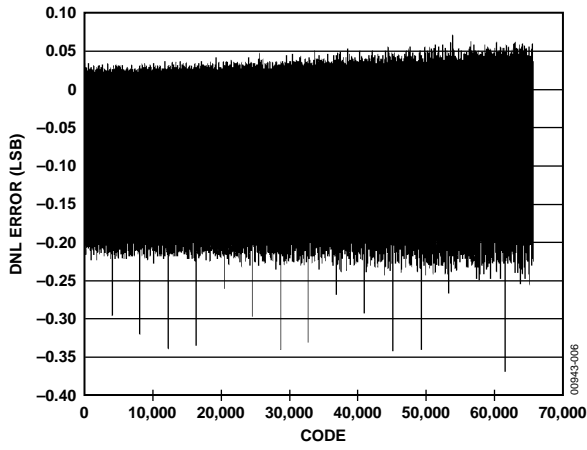


图7. AD5544差分非线性与代码关系图( $T_A = 25^\circ\text{C}$ )

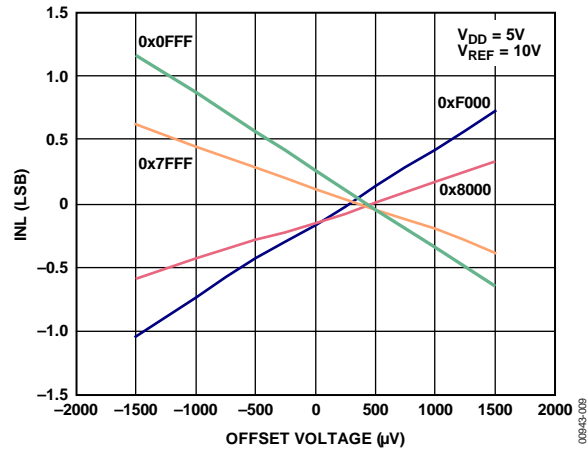


图10. AD5544积分非线性误差与运算放大器失调的关系

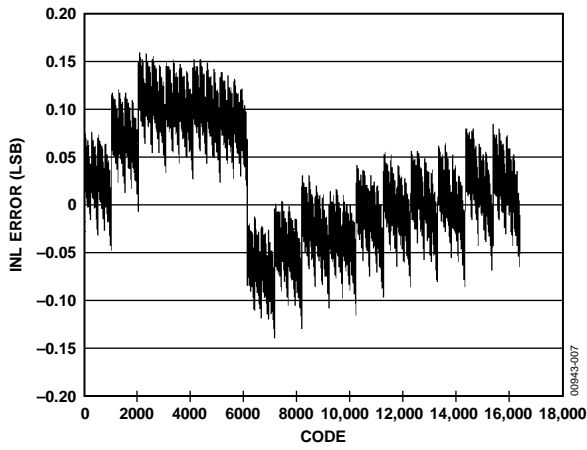


图8. AD5554积分非线性与代码关系图( $T_A = 25^\circ\text{C}$ )

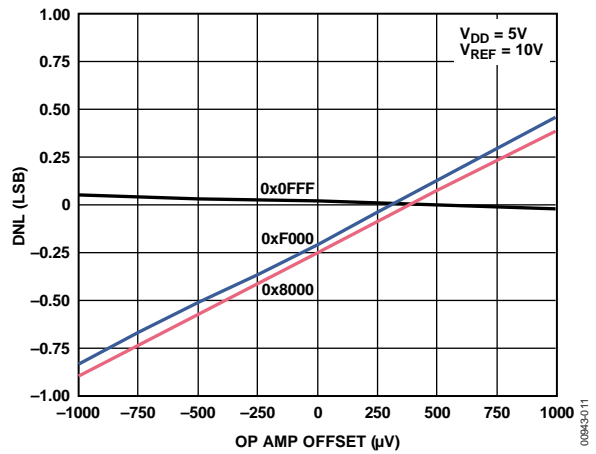


图11. AD5544差分非线性误差与运算放大器失调的关系

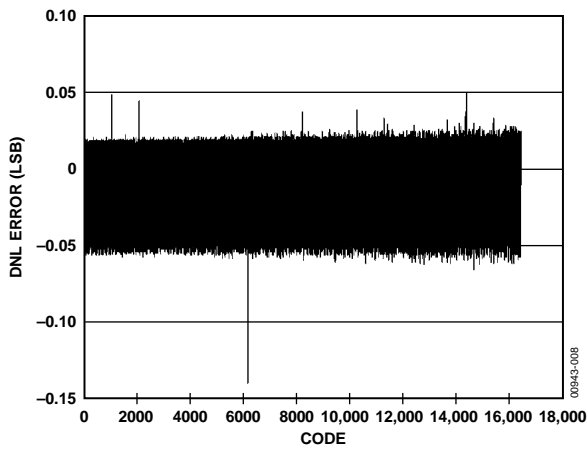


图9. AD5554差分非线性与代码关系图( $T_A = 25^\circ\text{C}$ )

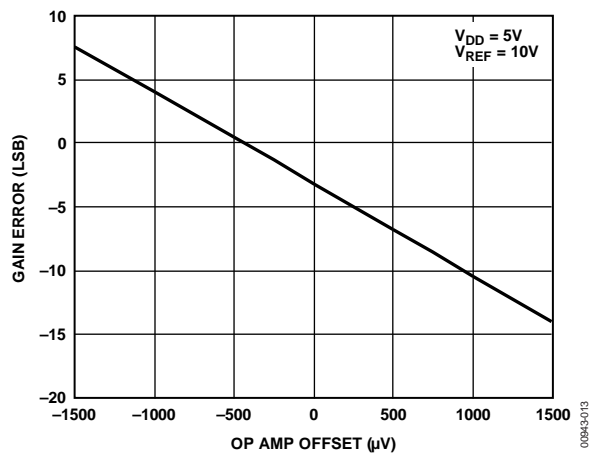


图12. AD5544增益误差与运算放大器失调的关系

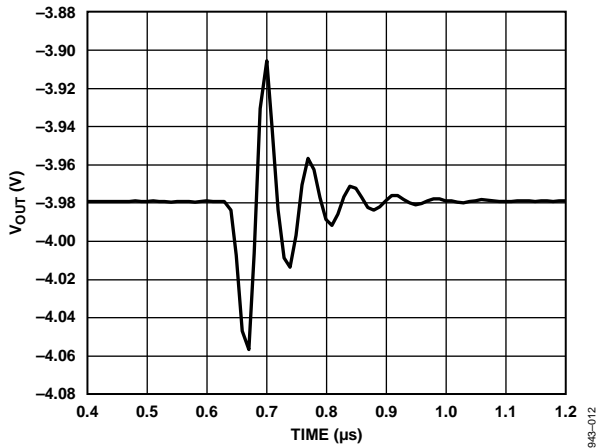


图13. AD5544半量程转换

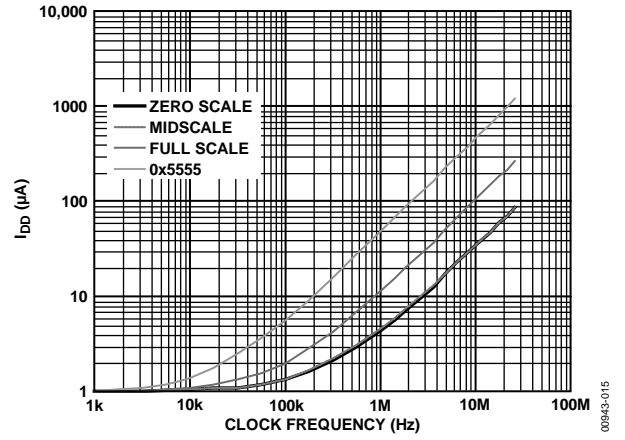


图16. AD5544电源电流与时钟频率的关系

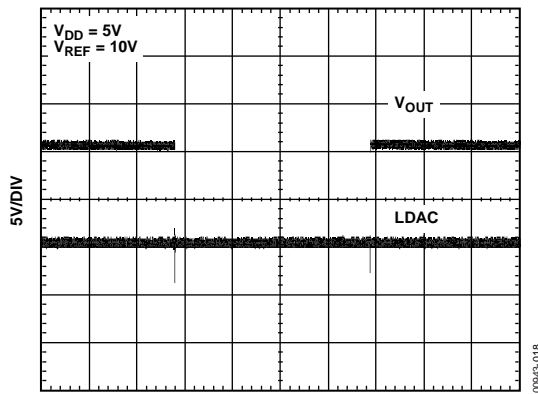


图14. AD5544大信号建立时间

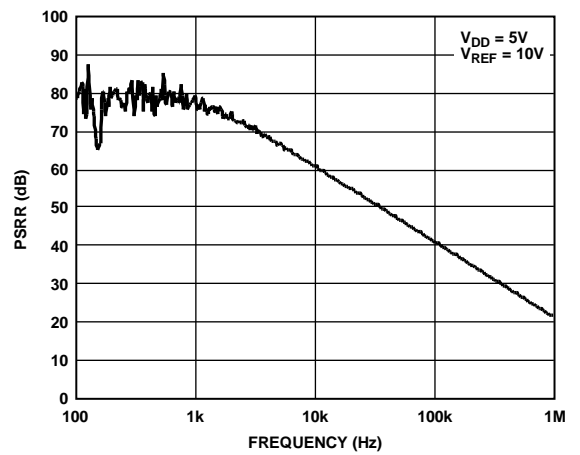


图17. AD5544/AD5554电源抑制比与频率的关系

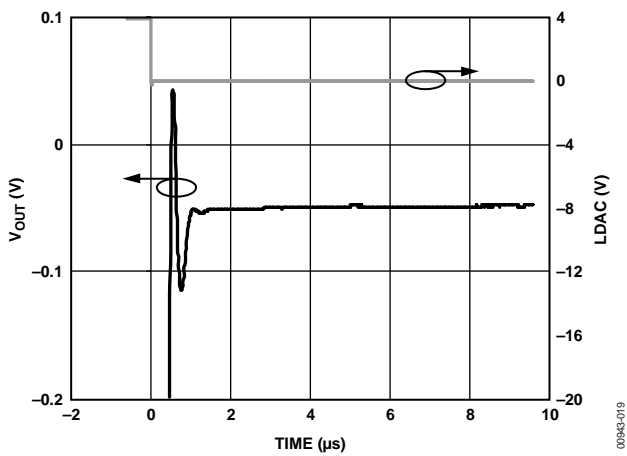


图15. AD5544小信号建立时间

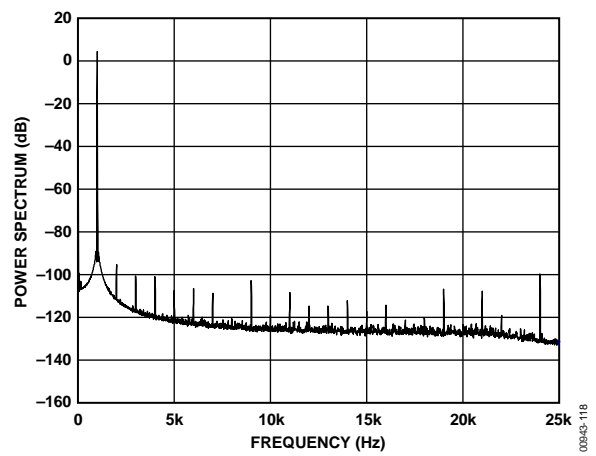


图18. AD5544/AD5554模拟THD

# AD5544/AD5554

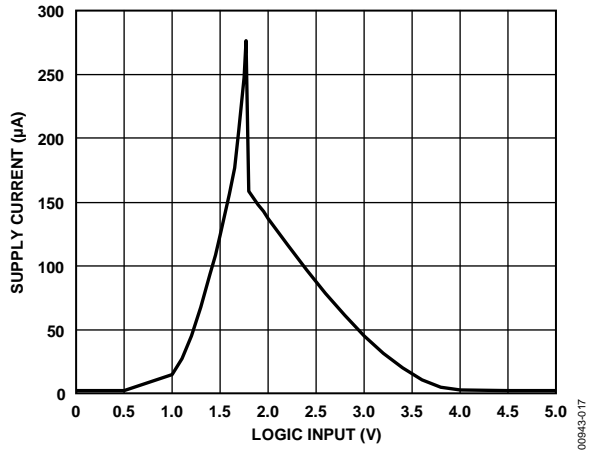


图19. AD5544/AD5554电源电流与逻辑输入电压的关系

## 工作原理

AD5544和AD5554分别内置四个16位和14位、电流输出DAC。每个ADC具有自己独立的乘法基准输入。AD5544和AD5554均使用3线式兼容SPI的串行数据接口，采用可配置的异步RS引脚用于半量程(MSB = 1)或零电平(MSB = 0)预设。此外，LDAC选通可以针对硬件同步的输出电压变化实现4通道、同步更新。

### 数模转换器(DAC)

每个器件均集成了四个电流导引的R-R梯形DAC。图20所示为典型的等效DAC。每个DAC都内置匹配的反馈电阻，与外部电流电压转换放大器一起使用。 $R_{FB,x}$ 引脚连接至外部放大器的输出。 $I_{OUT,x}$ 端子连接至外部放大器的反相输入。 $A_{GND,x}$ 引脚应以开尔文方式连接至负载点，保证完整的16位精度。这些DAC设计采用正基准和负基准电压工作。

$V_{DD}$ 电源引脚仅由逻辑用于驱动DAC开关的通断状态。请注意，匹配的开关与内部5kΩ反馈电阻串联。如果用户尝试测量 $R_{FB}$ 的值，必须为 $V_{DD}$ 供电，确保连续性。另一个 $V_{SS}$ 偏置引脚可在高温应用中防护基板，将零电平漏电流降至最低，漏电流会每10°C翻倍。DAC输出电压由 $V_{REF}$ 和数字数据来确定，公式如下：

$$V_{OUT} = -V_{REF} \times \frac{D}{65,536} \quad (\text{for the AD5544}) \quad (1)$$

$$V_{OUT} = -V_{REF} \times \frac{D}{16,384} \quad (\text{for the AD5554}) \quad (2)$$

请注意，输出极性与直流基准电压的 $V_{REF}$ 极性相反。

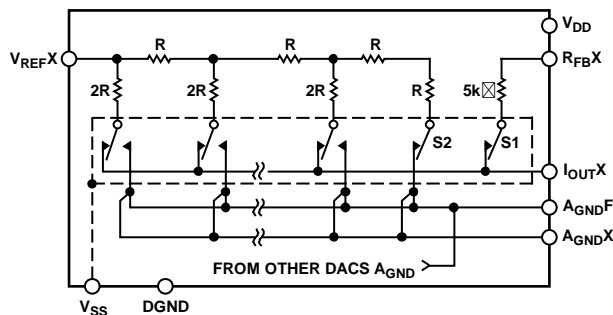


图20. 典型等效DAC通道

这些DAC还设计用于接受交流基准输入信号。AD5544和AD5554均接受-15 V至+15 V范围内的输入基准电压。基准电压输入会具有 $5\text{ k}\Omega \pm 30\%$ 的恒定标称输入电阻值。另一方面， $I_{OUT,A}$ 、 $I_{OUT,B}$ 、 $I_{OUT,C}$ 和 $I_{OUT,D}$  DAC输出与代码相关，会产生不同的输出电阻和电容。选择外部放大器时必须考虑放大器反相输入节点上AD5544/AD5554生成的阻抗变化。反馈电阻与DAC梯形电阻并联是输出电压噪声的主要来源。对于乘法模式应用，可能需要外部反馈补偿电容 $C_{FB}$ ，为基准电压的阶跃变化提供关键的阻尼输出响应。图21显示各个衰减设置的增益与频率性能关系，在AD5544的 $I_{OUT,X}$ 端子以及AD5554的 $R_{FB,x}$ 端子之间跨接23 pF外部反馈电容。为了保持良好的模拟性能，推荐将0.01  $\mu\text{F}$ 的电源旁路电容与1  $\mu\text{F}$ 电容并联。在这些情形下，应使用具有低电平纹波电压的干净电源。由于这种应用场合有更高的纹波电压以及PSS频率相关特性，所以通常不适合切换电源。最好是系统模拟电源电压得到AD5544/AD5554的电源。不要使用数字电源(见图22)。

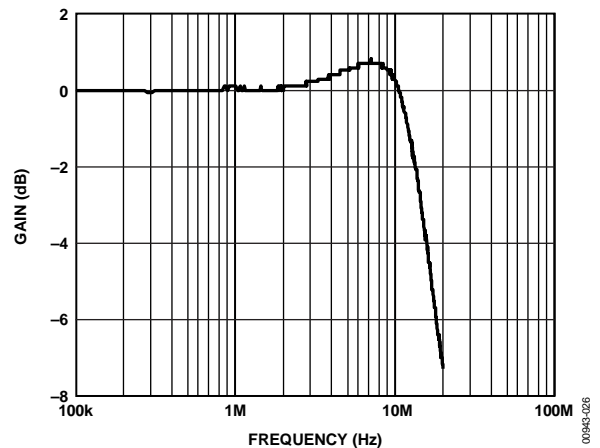


图21. AD5554基准乘法带宽与代码的关系

# AD5544/AD5554

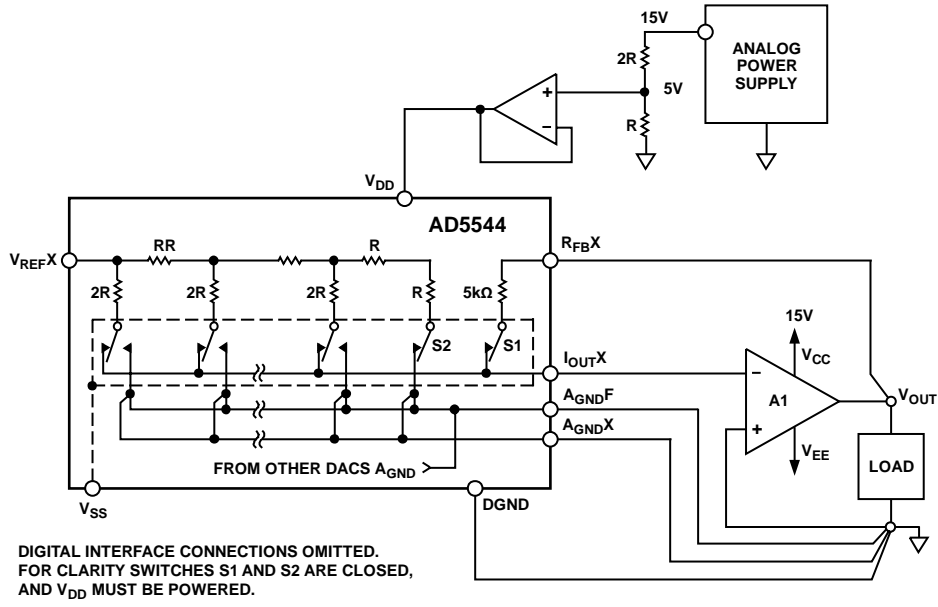


图22. 推荐的开尔文检测接线

00943-028

## 串行数据接口

AD5544/AD5554使用3线式( $\overline{CS}$ 、SDI、CLK)兼容SPI串行数据接口。AD5544/AD5554的串行数据以18位和16位数据字格式分别逐个输入到串行输入寄存器。MSB位优先加载。表5定义了AD5544的18个数据字位，而表6定义了AD5554的16个数据字位。依照接口时序规格中规定的数据建立和数据保持时间要求，数据置于SDI引脚且逐个输入到CLK正时钟沿的寄存器(见表1和表2)。

只有 $\overline{CS}$ 片选引脚低电平有效时才会逐个输入数据。对于AD5544，当 $\overline{CS}$ 引脚返回逻辑高电平状态时，仅查询逐个输入到串行寄存器中最后18位，其他数据位被忽略。对于AD5554，当 $\overline{CS}$ 引脚返回逻辑高电平状态时，仅查询逐个输入到串行寄存器中最后16位。因为大多数微控制器输出8位字节的串行数据，所以三个右对齐数据字节可以写入到AD5544。在第一、二和三字节传输之间保持 $\overline{CS}$ 线路低电平，使得串行寄存器成功更新。

同样，两个右对齐数据字节可以写入到AD5554。在第一和第二字节传输之间保持 $\overline{CS}$ 线路低电平，使得串行寄存器成功更新。

移位寄存器中的数据正常对齐时， $\overline{CS}$ 的正边沿开始向目标DAC寄存器传输新数据，这由地址位A1和地址位A0的解码决定。对于AD5544，表5、表7、表8和图3定义了软件串行接口的特性。

对于AD5554，表6、表7、表9和图4定义了软件串行接口的特性。图23和图24所示为AD5544的关键数字控制引脚的等效逻辑接口。AD5554具有类似的配置，区别是其具有14个数据位。另外两个引脚 $\overline{RS}$ 和MSB提供对预设功能和DAC寄存器加载的硬件控制。如果不需要这些功能， $\overline{RS}$ 引脚可以连接到逻辑高电平。异步输入 $\overline{RS}$ 引脚强制所有输入和DAC寄存器成为零代码状态(MSB = 0)或半量程状态(MSB = 1)。

**表5. AD5544串行输入寄存器数据格式(数据以MSB优先格式加载)<sup>1</sup>**

MSB																LSB	
B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

<sup>1</sup>  $\overline{CS}$ 线的正边沿返回逻辑高电平时，仅检查逐个输入到串行寄存器中的最后18位(地址+数据)。此时，内部生成的负载选通把串行寄存器数据内容(D15位至D0位)传输到解码的DAC输入寄存器地址(由A1位至A0位决定)。忽略逐个输入到AD5544移位寄存器的任何其他位，仅使用逐个输入的最后18位。如果不需要双缓冲数据， $\overline{LDAC}$ 引脚可以连接至逻辑低电平，以禁用DAC寄存器。

**表6. AD5554串行输入寄存器数据格式(数据以MSB优先格式加载)<sup>1</sup>**

MSB														LSB	
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
A1	A0	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

<sup>1</sup>  $\overline{CS}$ 线的正边沿返回逻辑高电平时，仅检查逐个输入到串行寄存器中的最后16位(地址+数据)。此时，内部生成的负载选通把串行寄存器数据内容(D13位至D0位)传输到解码的DAC输入寄存器地址(由A1位至A0位决定)。忽略逐个输入到AD5554移位寄存器的任何其他位，仅使用逐个输入的最后16位。如果不需要双缓冲数据， $\overline{LDAC}$ 引脚可以连接至逻辑低电平，以禁用DAC寄存器。

**表7. 地址解码**

A1	A0	解码的DAC
0	0	DAC A
0	1	DAC B
1	0	DAC C
1	1	DAC D

# AD5544/AD5554

## 真值表

表8. AD5544<sup>1</sup> 控制逻辑真值表

CS	CLK	LDAC	RS	MSB <sup>2</sup>	串行移位寄存器功能 <sup>3</sup>	输入寄存器功能	DAC寄存器
高电平	X	高电平	高电平	X	不起作用	锁存	锁存
低电平	低电平	高电平	高电平	X	不起作用	锁存	锁存
低电平	↑ <sup>3</sup>	高电平	高电平	X	移位寄存器数据前移一位	锁存	锁存
低电平	高电平	高电平	高电平	X	不起作用	锁存	锁存
↑ <sup>3</sup>	低电平	高电平	高电平	X	不起作用	选择的DAC随当前的移位寄存器内容更新 <sup>4</sup>	锁存
高电平	X	低电平	高电平	X	不起作用	锁存	透明
高电平	X	高电平	高电平	X	不起作用	锁存	锁存
高电平	X	↑ <sup>3</sup>	高电平	X	不起作用	锁存	锁存
高电平	X	高电平	低电平	0	不起作用	锁存数据 = 0x0000	锁存数据 = 0x0000
高电平	X	高电平	低电平	高电平	不起作用	锁存数据 = 0x8000	锁存数据 = 0x8000

<sup>1</sup> 对于AD5544，在SDI引脚处输入后，数据出现在SDO引脚处，共有19个时钟脉冲。

<sup>2</sup> X = 无关位。

<sup>3</sup> ↑<sup>3</sup> 是正逻辑转换。

<sup>4</sup> 通电时，输入寄存器和DAC寄存器加载为全0。

表9. AD5554<sup>1</sup> 控制逻辑真值表

CS	CLK	LDAC	RS	MSB <sup>2</sup>	串行移位寄存器功能 <sup>3</sup>	输入寄存器功能 <sup>3</sup>	DAC寄存器
高电平	X	高电平	高电平	X	不起作用	锁存	锁存
低电平	L	高电平	高电平	X	不起作用	锁存	锁存
低电平	↑ <sup>3</sup>	高电平	高电平	X	移位寄存器数据前移一位	锁存	锁存
低电平	高电平	高电平	高电平	X	不起作用	锁存	锁存
↑ <sup>3</sup>	低电平	高电平	高电平	X	不起作用	选择的DAC随当前的移位寄存器内容更新 <sup>4</sup>	锁存
高电平	X	低电平	高电平	X	不起作用	锁存	透明
高电平	X	高电平	高电平	X	不起作用	锁存	锁存
高电平	X	↑ <sup>3</sup>	高电平	X	不起作用	锁存	锁存
高电平	X	高电平	低电平	0	不起作用	锁存数据 = 0x0000	锁存数据 = 0x0000
高电平	X	高电平	低电平	高电平	不起作用	锁存数据 = 0x2000	锁存数据 = 0x2000

<sup>1</sup> 对于AD5554，在SDI引脚处输入后，数据出现在SDO引脚处，共有17个时钟脉冲。

<sup>2</sup> X = 无关位。

<sup>3</sup> ↑<sup>3</sup> 是正逻辑转换。

<sup>4</sup> 通电时，输入寄存器和DAC寄存器加载为全0。



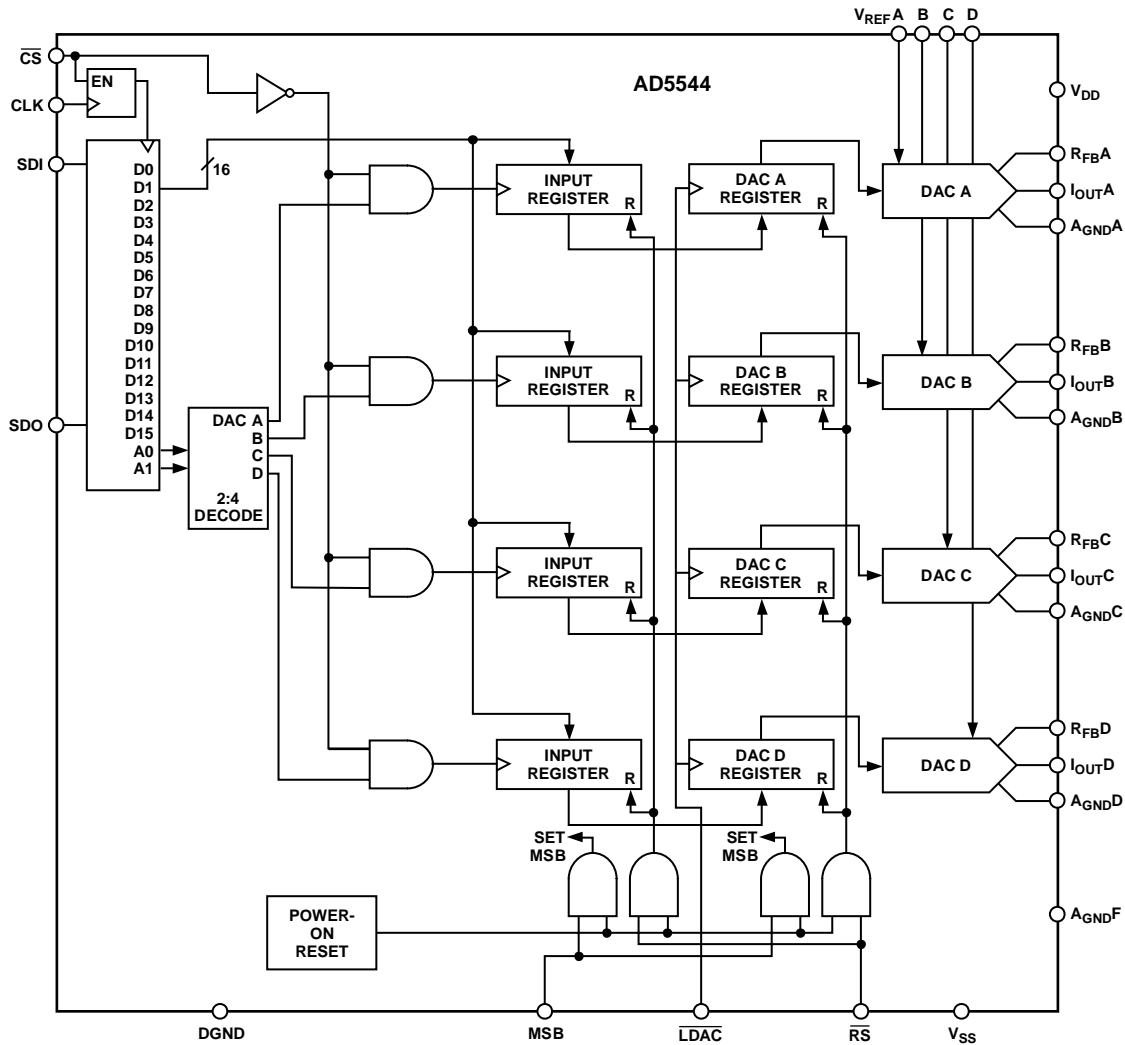


图23. 系统级数字接口

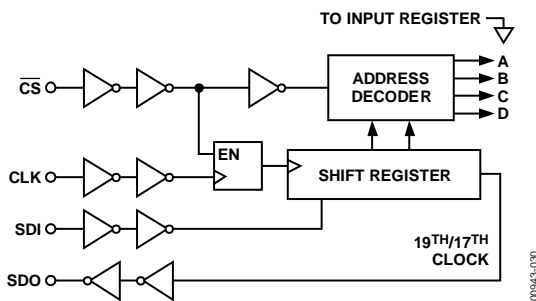


图24. AD5544/AD5554等效逻辑接口

## 上电复位

接通 $V_{DD}$ 电源时，内部复位选通根据MSB引脚电压，强制将所有输入和DAC寄存器置于零代码状态或半量程状态。 $V_{DD}$ 电源应具有平滑的正斜坡，没有任何下降，具有一致的结果，特别是 $V_{DD} = 1.5\text{ V}$ 至 $2.3\text{ V}$ 区域尤为如此。 $V_{SS}$ 电源不会影响通电复位性能。只有出现有效的串行寄存器数据负载，DAC寄存器数据才会脱离零电平或半量程设置。

## ESD保护电路

所有逻辑输入引脚包含了反向偏置的ESD保护齐纳二极管，与地(DGND)和 $V_{DD}$ 相连，如图25所示。

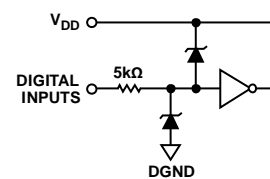


图25. 等效ESD保护电路

## 电源序列

推荐的标准做法是在任何基准之前，先接通 $V_{DD}$ 、 $V_{SS}$ 和地。理想的通电序列如下： $A_{GND}$ 、 $D_{GND}$ 、 $V_{DD}$ 、 $V_{SS}$ 、 $V_{REF}$ 和数字输入。不符合要求的通电序列可能会抬高基准电流，但只要 $V_{DD}$ 和 $V_{SS}$ 通电，器件就会恢复正常工作。

# AD5544/AD5554

## 布局布线和电源旁路

使用紧凑且引线长度最短的布局设计是一种较好的做法。连接到输入端的引线应尽可能保持直线，使导体长度最短。接地路径应具有低电阻、低电感。

同样，采用优质电容将电源旁路以达到最佳稳定性也是较好的做法。要实现器件的电源引脚旁路，应采用 $0.01\mu\text{F}$ 至 $0.1\mu\text{F}$ 的盘式或片式陶瓷电容。 $V_{\text{DD}}$ 处也应当运用低ESR  $1\mu\text{F}$ 至 $10\mu\text{F}$ 钽或电解电容，以便尽可能减少瞬态干扰，并滤除低频纹波(见图26)。由于电源抑制比(PSRR)随着频率下降，所以用户不应该对 $V_{\text{DD}}$ 施加开关稳压器。

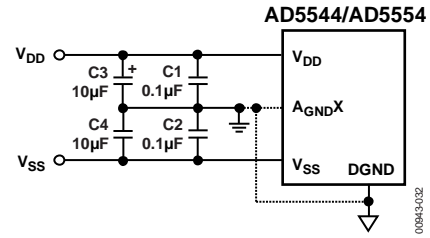


图26. 电源旁路和接地连接

## 接地

AD5544/AD5554的DGND和A<sub>GND</sub><sup>X</sup>引脚用作数字和模拟地基准。若要尽可能降低数字接地反弹，DGND端子应在单点处远程连接到模拟接地层(见图26)。

## 应用信息

AD5544/AD5554本身是采用2象限乘法的DAC。换言之，可以设置用于单极性输出运算。满量程输出极性与基准输入电压相反。

在某些应用中，可能需要产生全四象限乘法功能或双极性输出摆幅。将另一个外部放大器(A2)配置为求和放大器(见图27)，可以轻松实现这一点。

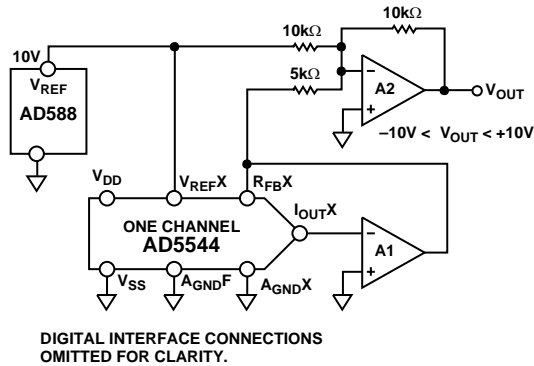


图27. 四象限乘法应用电路

在此电路中，第一个和第二个放大器(A1和A2)提供了2的增益，将输出电压范围提高到20 V。利用基准电压提供的10 V偏置电压使外部放大器偏置，便可实现全四象限乘法电路。此电路的传递公式显示，当输入数据(D)从零码( $V_{OUT} = -10\text{ V}$ )递增至半量程( $V_{OUT} = 0\text{ V}$ )，再递增至满量程( $V_{OUT} = 10\text{ V}$ )时，就会产生正负输出电压。

$$V_{OUT} \left( \frac{D}{32,768} - 1 \right) \times -V_{REF} \quad (\text{for the AD5544}) \quad (3)$$

$$V_{OUT} \left( \frac{D}{8192} - 1 \right) \times -V_{REF} \quad (\text{for the AD5554}) \quad (4)$$

### 基准电压源选择

选择与AD55xx系列电流输出DAC一起使用的基准电压源时，要注意基准电压源的输出电压和温度系数规格。选择具有低电平输出温度系数的精密基准电压源，可以将误差源降到最低。表10列出了ADI公司可用的某些基准值，适合与此范围的电流输出DAC一起使用。

### 放大器选择

电流导引模式的基本要求是放大器具有低输入偏置电流和低输入失调电压。因为存在DAC的代码相关输出电阻，所以运算放大器的输入失调电压会与电路的可变增益相乘。由于放大器的输入电压出现失调，因而两个相邻数字小数之间的噪声增益变化会使输出电压产生步进变化。此输出电压变化与两个代码间所需的输出变化相叠加，引起差分线性误差；如果该误差足够大，可能会导致DAC非单调。

运算放大器的输入偏置电流也会在电压输出上产生失调，其原因是偏置电流会流经反馈电阻 $R_{FB}$ 。

运算放大器的共模抑制对电压切换电路很重要，因为其会在电路的电压输出端产生代码相关误差。

假设DAC开关由真实的宽带低阻抗信号源( $V_{IN}$ 和 $AGND$ )驱动，那么会迅速建立。因此，电压开关DAC电路的压摆率和建立时间主要由输出运算放大器决定。若要获得此配置中的最小建立时间，可将DAC的 $V_{REF}$ 节点(此应用中的电压输出节点)处的电容降到最低。这可通过使用低输入电容缓冲放大器和精心的电路板设计来实现。

ADI公司为精密直流和交流应用场合均提供了广泛的放大器，如表11和表12所示。

# AD5544/AD5554

表10. 合适的ADI精密基准

产品型号	输出电压(V)	初始容差(%)	最大温度漂移(ppm/°C)	I <sub>SS</sub> (mA)	输出噪声(μV p-p)	封装
ADR01	10	0.05	3	1	20	SOIC-8
ADR01	10	0.05	9	1	20	TSOT-5, SC70-5
ADR02	5.0	0.06	3	1	10	SOIC-8
ADR02	5.0	0.06	9	1	10	TSOT-5, SC70-5
ADR03	2.5	0.1	3	1	6	SOIC-8
ADR03	2.5	0.1	9	1	6	TSOT-5, SC70-5
ADR06	3.0	0.1	3	1	10	SOIC-8
ADR06	3.0	0.1	9	1	10	TSOT-5, SC70-5
ADR420	2.048	0.05	3	0.5	1.75	SOIC-8, MSOP-8
ADR421	2.50	0.04	3	0.5	1.75	SOIC-8, MSOP-8
ADR423	3.00	0.04	3	0.5	2	SOIC-8, MSOP-8
ADR425	5.00	0.04	3	0.5	3.4	SOIC-8, MSOP-8
ADR431	2.500	0.04	3	0.8	3.5	SOIC-8, MSOP-8
ADR435	5.000	0.04	3	0.8	8	SOIC-8, MSOP-8
ADR391	2.5	0.16	9	0.12	5	TSOT-5
ADR395	5.0	0.10	9	0.12	8	TSOT-5

表11. 合适的ADI精密运算放大器

产品型号	电源电压(V)	V <sub>OS</sub> 最大值(μV)	I <sub>B</sub> 最大值(nA)	0.1 Hz至10 Hz 噪声(μV p-p)	电源电流(μA)	封装
OP97	±2至±20	25	0.1	0.5	600	SOIC-8, PDIP-8
OP1177	±2.5至±15	60	2	0.4	500	MSOP-8, SOIC-8
AD8675	±5至±18	75	2	0.1	2300	MSOP-8, SOIC-8
AD8671	±5至±15	75	12	0.077	3000	MSOP-8, SOIC-8
ADA4004-1	±5至±15	125	90	0.1	2000	SOIC-8, SOT-23-5
AD8603	1.8至5	50	0.001	2.3	40	TSOT-5
AD8607	1.8至5	50	0.001	2.3	40	MSOP-8, SOIC-8
AD8605	2.7至5	65	0.001	2.3	1000	WLCSP-5, SOT-23-5
AD8615	2.7至5	65	0.001	2.4	2000	TSOT-5
AD8616	2.7至5	65	0.001	2.4	2000	MSOP-8, SOIC-8

表12. 合适的ADI高速运算放大器

产品型号	电源电压(V)	ACL时带宽(MHz)	压摆率(V/μs)	V <sub>OS</sub> (最大值)(μV)	I <sub>B</sub> 最大值(nA)	封装
AD8065	5至24	145	180	1500	0.006	SOIC-8, SOT-23-5
AD8066	5至24	145	180	1500	0.006	SOIC-8, MSOP-8
AD8021	5至24	490	120	1000	10,500	SOIC-8, MSOP-8
AD8392	10至24	65	900	5000	15,000	TSSOP-28, LFCSP-32
AD8038	3至12	350	425	3000	750	SOIC-8, SC70-5
ADA4899	5至12	600	310	35	100	LFCSP-8, SOIC-8
AD8057	3至12	325	1000	5000	500	SOT-23-5, SOIC-8
AD8058	3至12	325	850	5000	500	SOIC-8, MSOP-8
AD8061	2.7至8	320	650	6000	350	SOT-23-5, SOIC-8
AD8062	2.7至8	320	650	6000	350	SOIC-8, MSOP-8
AD9631	±3至±6	320	1300	10,000	7000	SOIC-8, PDIP-8

## AD5544评估板

EVAL-AD5544SDZ与ADI公司的SDP1Z系统演示平台板一起使用。SDP1Z系统演示平台板可与评估板分开购买。使用这种基于Blackfin®的演示板完成USB至SPI与AD5544的通信。

### 系统演示平台

系统演示平台(SDP)是用于与产品评估板搭配使用的硬件和软件评估工具。SDP板基于Blackfin ADSP-BF527处理器，通过一个USB 2.0高速端口与PC建立USB连接。有关此器件的更多信息，请访问[系统演示平台网页](#)。

### 评估板操作

评估板采用 $\pm 12\text{ V}$ 和 $+5\text{ V}$ 电源电压。 $+12\text{ V } V_{DD}$ 和 $-12\text{ V } V_{SS}$ 用于为输出放大器供电，而 $+5\text{ V}$ 用于为DAC (DVDD)供电。

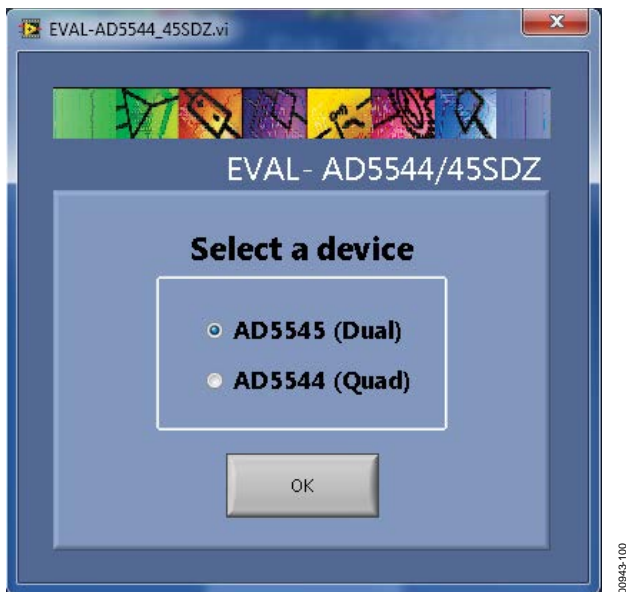


图28. 评估板软件——器件选择窗口

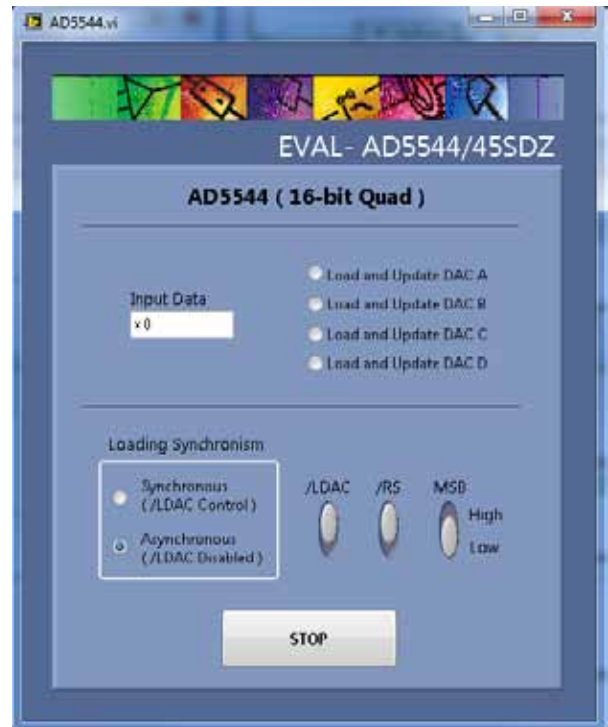
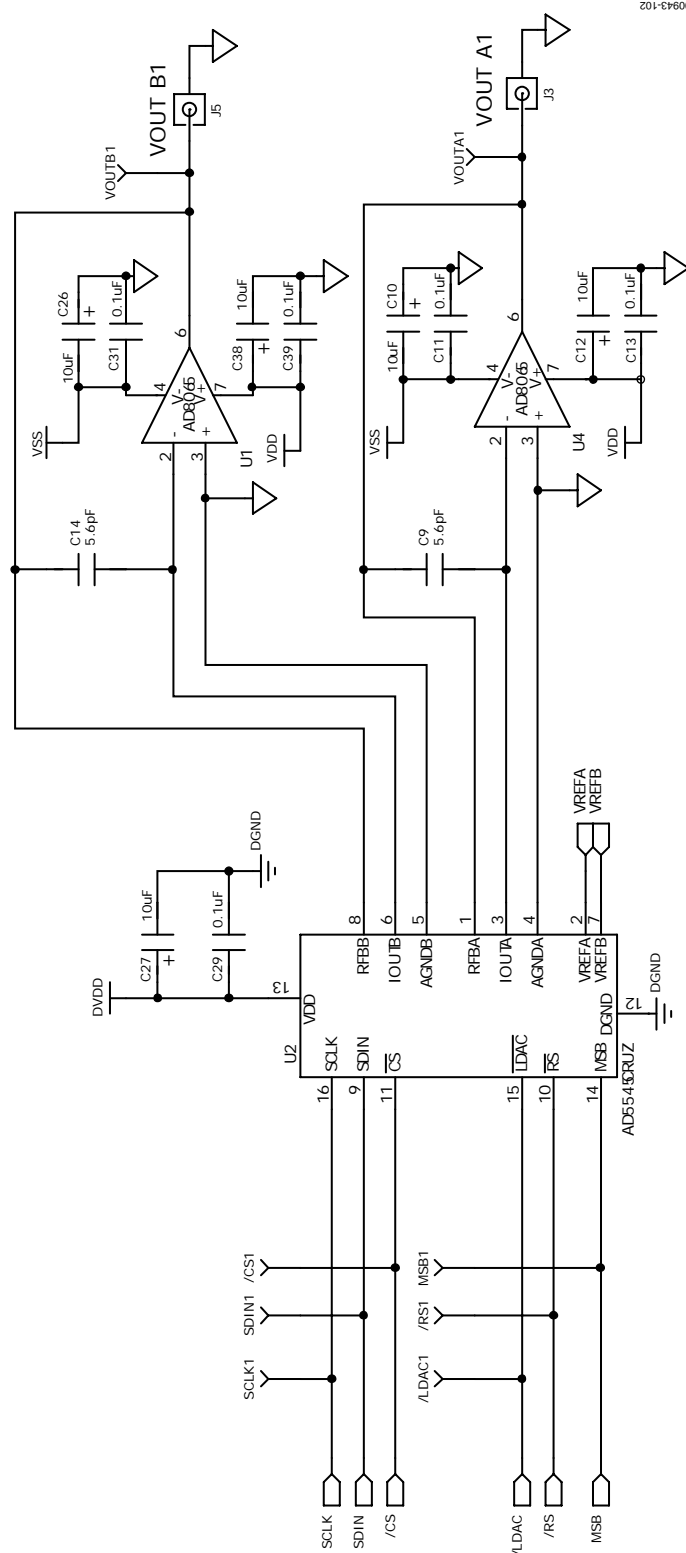


图29. 评估板软件——AD5544四通道DAC

# AD5544/AD5554

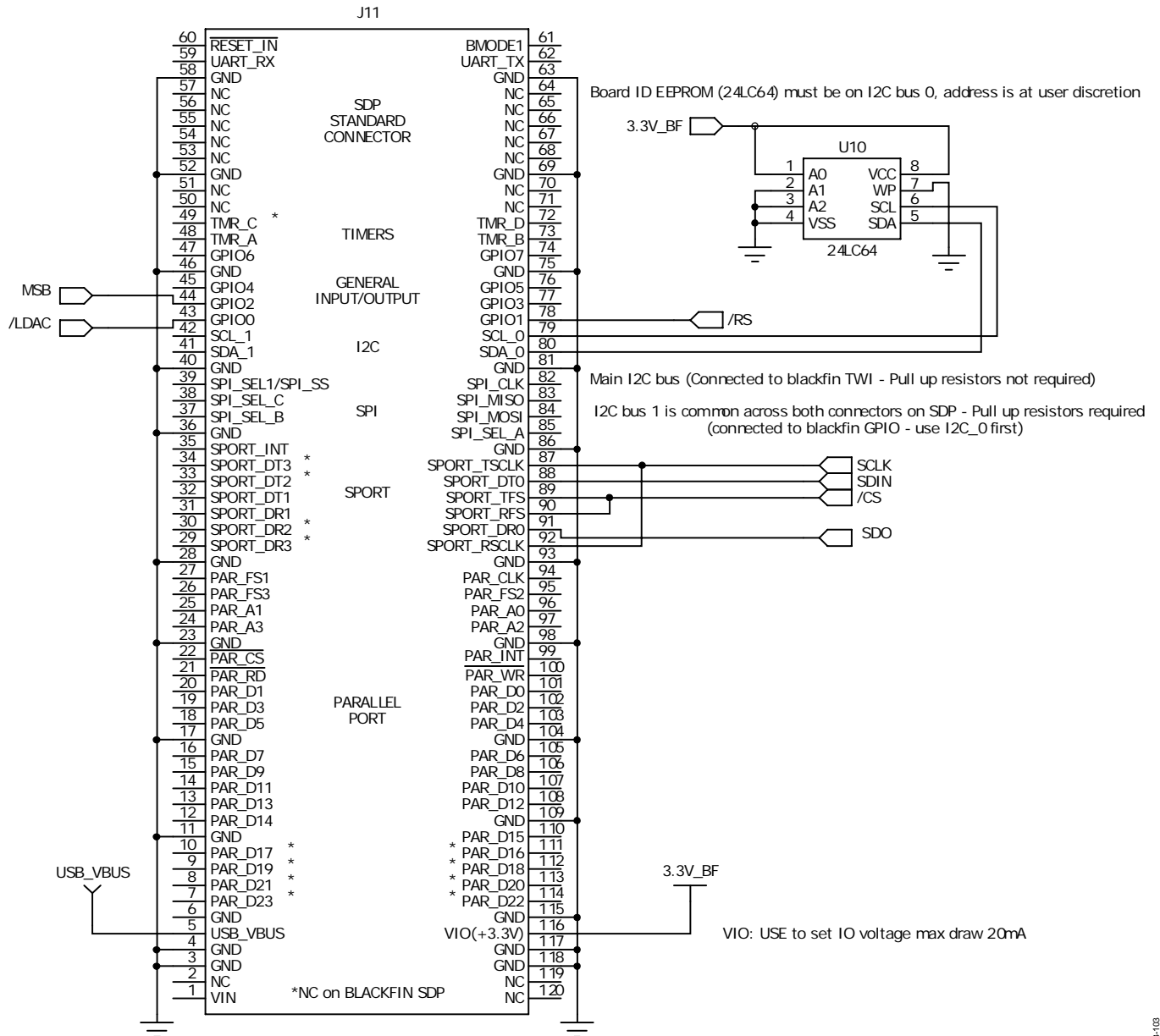
## 评估板原理图



00943-102

图30. EVAL-AD5544SDZ原理图A部分

BMODE1: Pull up with a 10K resistor to set SDP to boot from a SPI FLASH on the daughter board



VIN: Use this pin to power the SDP requires 4-7V 200mA

图31. EVAL-AD5544SDZ原理图B部分





评估板布局

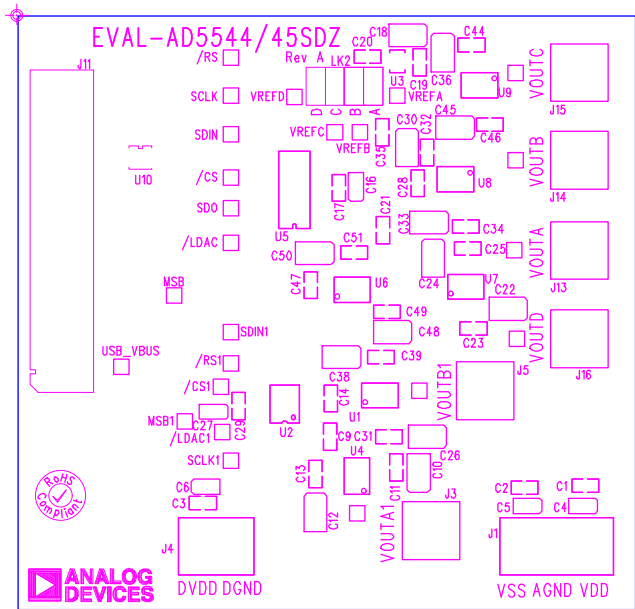


图33. 丝网图

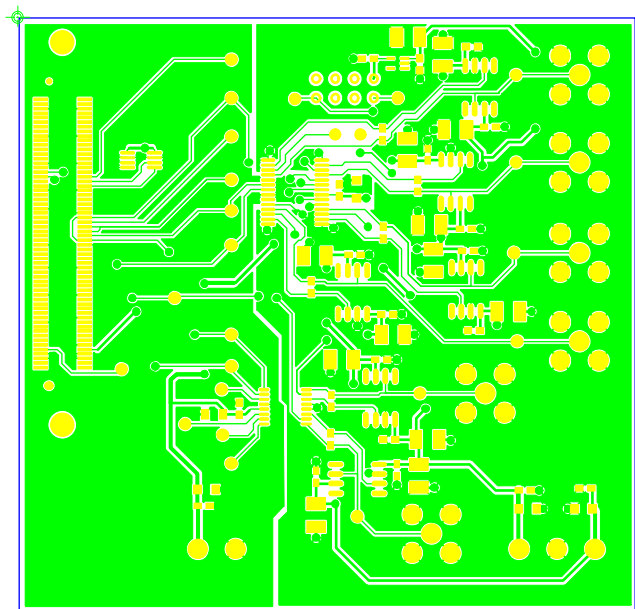


图34. 器件侧

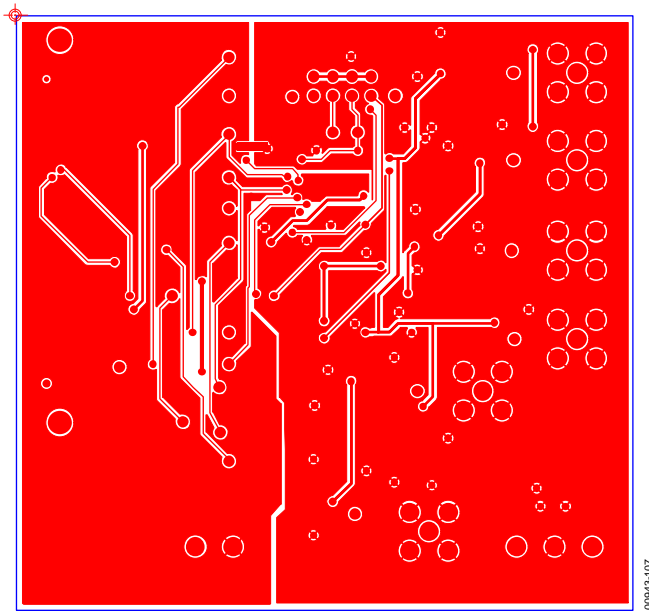


图35. 焊接侧

外形尺寸

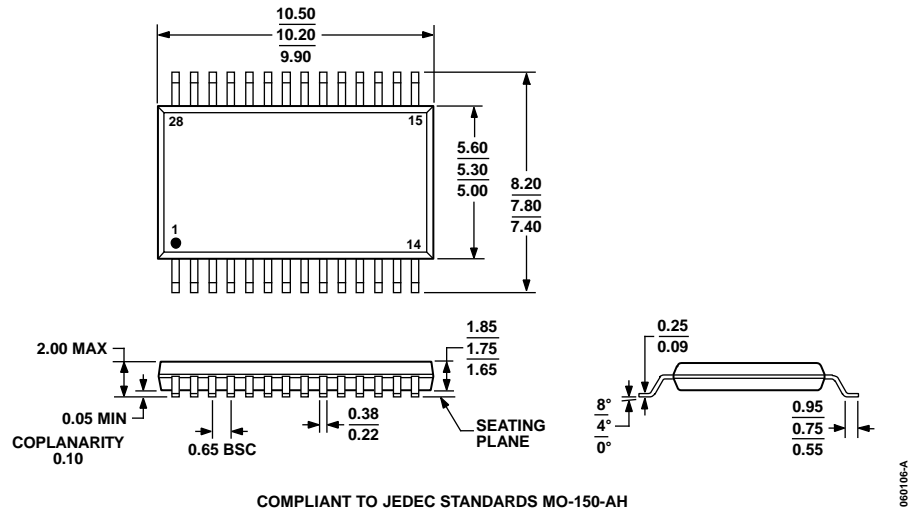


图36. 28引脚紧缩小型封装[SSOP] (RS-28)  
图示尺寸单位: mm

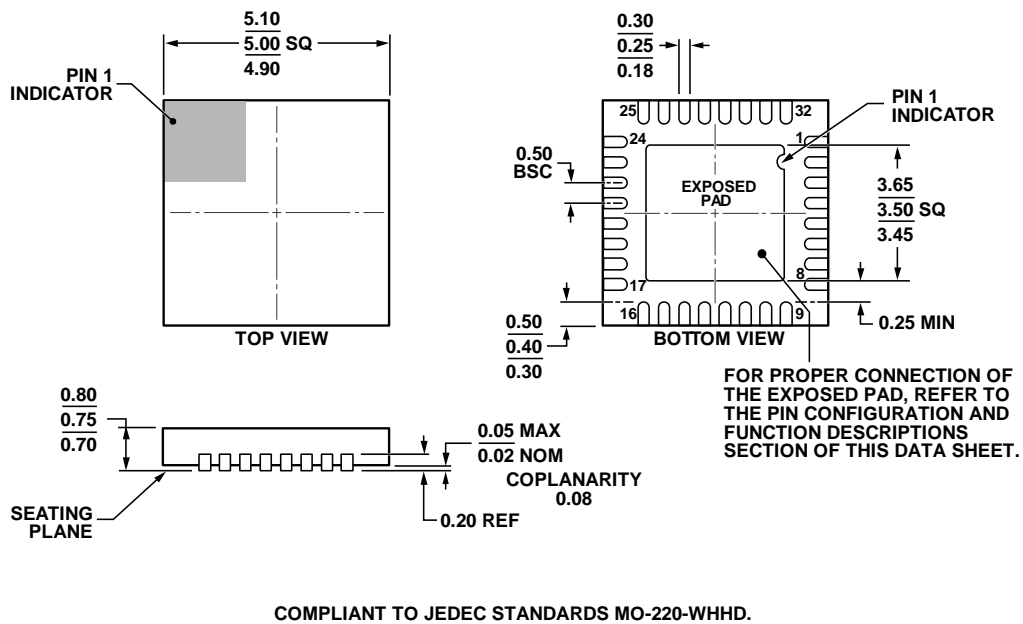


图37. 32引脚引脚架构芯片级封装[LFCSP\_WQ]  
5 mm x 5 mm, 超薄体  
(CP-32-11)  
尺寸单位: mm

# AD5544/AD5554

## 订购指南

型号 <sup>1</sup>	RES位	INL LSB	DNL LSB	温度范围	封装描述	封装选项
AD5544ARS	16	±2	±1.5	-40°C至+125°C	28引脚紧缩小型封装[SSOP]	RS-28
AD5544ARSZ	16	±2	±1.5	-40°C至+125°C	28引脚紧缩小型封装[SSOP]	RS-28
AD5544ARSZ-REEL7	16	±2	±1.5	-40°C至+125°C	28引脚紧缩小型封装[SSOP]	RS-28
AD5544BRSZ	16	±1	±1	-40°C至+125°C	28引脚紧缩小型封装[SSOP]	RS-28
AD5544BRSZ-REEL7	16	±1	±1	-40°C至+125°C	28引脚紧缩小型封装[SSOP]	RS-28
AD5544ACPZ-1-R2	16	±4	±1	-40°C至+125°C	32引脚 LFCSP_WQ	CP-32-11
AD5544ACPZ-1-RL7	16	±4	±1	-40°C至+125°C	32引脚 LFCSP_WQ	CP-32-11
AD5544BCPZ-R2	16	±1	±1	-40°C至+125°C	32引脚 LFCSP_WQ	CP-32-11
AD5544BCPZ-RL7	16	±1	±1	-40°C至+125°C	32引脚 LFCSP_WQ	CP-32-11
AD5554BRSZ	14	±0.5	±1	-40°C至+125°C	28引脚紧缩小型封装[SSOP]	RS-28
EVAL-AD5544SDZ					评估板	

<sup>1</sup> Z = 符合RoHS标准的器件。

I<sup>2</sup>C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。