

产品特性

每端口的NRZ数据速率：DC至4.25 Gbps

可调节接收均衡

3 dB、6 dB或12 dB增强

4.25 Gbps时可补偿40英寸以上的FR4

可调节发射预加重/去加重

可编程增强和输出级

4.25 Gbps时可补偿40英寸以上的FR4

低功耗

每通道105 mW(2.5 V, 400 mV p-p差分输出电平摆幅)

40 x 40、全差分、非阻塞式阵列

含双映射的双级连接编程

低抖动：典型值 <25 ps

灵活的电源范围(2.5 V至3.3 V)

直流耦合或交流耦合的差分PECL/CML输入

差分CML输出

按通道极性反转，便于路由

带禁用功能的50 Ω片内I/O端接

支持8b10b加扰或无编码NRZ数据

串行(I²C从机或SPI)控制接口

并行控制接口

应用

数字视频(HDMI、DVI、DisplayPort、3G/HD/SD-SDI)

光网络交换

高速串行背板路由至OC-48(带FEC)

XAUI、4x光纤通道、无限带宽®、背板千兆以太网

数据存储网

概述

ADN4605是一款与协议无关的40 × 40异步数字交叉开关，拥有40路差分PECL/CML兼容输入和40路差分可编程CML输出。

ADN4605针对NRZ信号进行了优化，每个端口的数据速率最高达4.25 Gbps。各端口均提供可调输入均衡、可编程输出摆幅和输出预加重/去加重。

功能框图

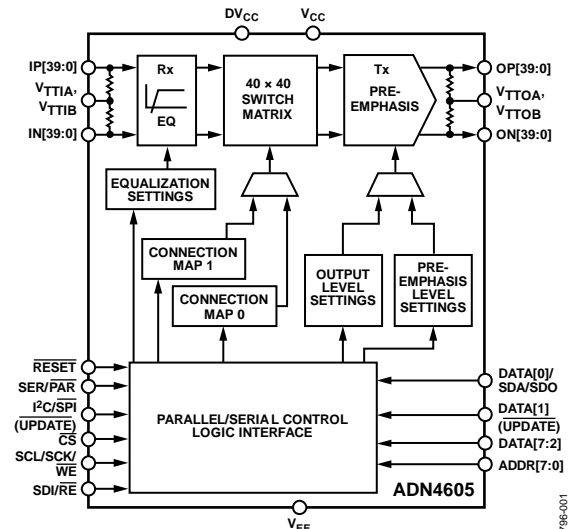


图1.

ADN4605非阻塞式开关内核采用40 × 40纵横式结构，通过串行和并行控制接口支持独立通道交换。ADN4605具有低延时和极低的通道间歪斜。

采用I²C、SPI或并行接口与设备通信，以控制连接和其它特性。

ADN4605采用35 mm × 35 mm、352 BGA封装，工作温度范围为-40°C至+85°C。

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.

Tel: 781.329.4700

Fax: 781.461.3113

www.analog.com

©2011 Analog Devices, Inc. All rights reserved.

目录

产品特性	1	发射器	29
功能框图	1	端接	32
应用	1	I ² C串行控制接口	33
概述	1	I ² C数据写入	33
修订历史	2	I ² C数据读取	34
技术规格	3	SPI串行控制接口	35
电气规格	3	并行控制接口	38
I ² C时序规格	5	地址输入: ADDR[7:0]	38
SPI时序规格	5	数据输入/输出: DATA[7:0]	38
并行模式规格	6	写操作	38
绝对最大额定值	7	读操作	38
ESD警告	7	寄存器映射	39
引脚配置和功能描述	8	应用信息	49
典型性能参数	18	电源时序控制	51
工作原理	24	功耗	51
简介	24	输出顺从电压	51
接收器	25	TX/XPT 裕量	51
极性反转	26	印刷电路板(PCB)布局布线指南	54
开关内核	27	外形尺寸	55
复位	28	订购指南	55

修订历史

2011年11月—修订版0至修订版A

更改“印刷电路板(PCB)布局布线指南”	54
删除图55; 重新排序	54

2011年6月—修订版0: 初始版

技术规格

电气规格

除非另有说明, $V_{CC} = 2.5\text{ V}$, $V_{TTIx} = 2.5\text{ V}$, $V_{TTOx} = 2.5\text{ V}$, $DV_{CC} = 3.3\text{ V}$, $V_{EE} = 0\text{ V}$, $R_L = 50\ \Omega$, 输出电平(OLEV) = 4 (16 mA), 预加重(PE) = 0 (0 dB), 均衡器(EQ) = 1 (3 dB), 数据速率 = 4.25 Gbps(PRBS7数据模式), 交流耦合输入和输出, 差分输入摆幅 = 800 mV p-p, $T_A = 25^\circ\text{C}$ 。

表1.

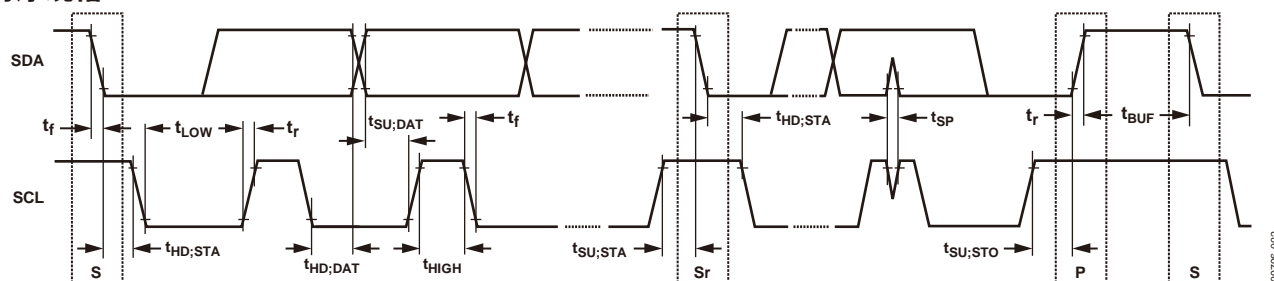
参数	条件	最小值	典型值	最大值	单位
动态性能					
每通道的数据速率(DR) (NRZ)		dc		4.25	Gbps
确定性抖动	数据速率 $\leq 4.25\text{ Gbps}$, 无通道		20		ps p-p
随机抖动	RMS, 无通道		0.8		ps rms
使用接收均衡时的残留确定性抖动	数据速率 = 4.25 Gbps, 20英寸的FR4, EQ增强 = 12 dB		14		ps p-p
	数据速率 = 4.25 Gbps, 30英寸的FR4, EQ增强 = 12 dB		15		ps p-p
	数据速率 = 4.25 Gbps, 40英寸的FR4, EQ增强 = 12 dB		25		ps p-p
使用发射预加重时的残留确定性抖动	数据速率 = 4.25 Gbps, 20英寸的FR4, PE增强 = 5.6 dB		22		ps p-p
	数据速率 = 4.25 Gbps, 30英寸的FR4, PE增强 = 6.8 dB		28		ps p-p
	数据速率 = 4.25 Gbps, 40英寸的FR4, PE增强 = 9.5 dB		32		ps p-p
传播延迟	输入至输出		920		ps
通道间歪斜	最先输入/输出通道至最后输入/输出通道		200		ps
开关时间	将逻辑开关更新至50%输出数据		20		ns
输出上升/下降时间	20%至80%		108		ps
输入特性					
最小差分输入电压摆幅 ¹	$V_{ICM} = V_{CC} - 0.6\text{ V}$		50		mV p-p diff
最大差分输入电压摆幅 ¹	$V_{ICM} = V_{CC} - 0.6\text{ V}$		2000		mV p-p diff
输入电压范围	单端绝对电压电平, V_L	$V_{EE} + 1.0$			V
	单端绝对电压电平, V_H			$V_{CC} + 0.3$	V
输出特性					
输出电压摆幅	差分, PE增强 = 0 dB, 默认输出电平, 在DC时	670	800	875	mV p-p diff
输出电压范围	单端绝对电压电平, V_L		$V_{CC} - 1.4$		V
	单端绝对电压电平, V_H		$V_{CC} + 0.3$		V
每端口的输出电流	PE增强 = 0 dB, 默认输出电平		16		mA
	PE增强 = 6 dB, 默认输出电平		32		mA
端接特性					
电阻	差分, $V_{CC} = V_{MIN}$ 至 V_{MAX} , $T_A = T_{MIN}$ 至 T_{MAX}	88	100	114	Ω
温度系数			0.015		$\Omega/^\circ\text{C}$
电源					
工作范围					
V_{CC}	$V_{EE} = 0\text{ V}$	2.25	2.5	3.6	V
DV_{CC}	$V_{EE} = 0\text{ V}$	3.0	3.3	3.6	V
V_{TTIA} , V_{TTIB}	$V_{EE} = 0\text{ V}$		2.5	$V_{CC} + 0.3$	V
V_{TTOA} , V_{TTOB}	$V_{EE} = 0\text{ V}$		2.5	$V_{CC} + 0.3$	V
电源电流	输入/输出禁用(复位条件)				
I_{CC}			55	64	mA
I_{DVCC}			0.3	1.1	mA
$I_{TTIA} + I_{TTIB}$	输入悬空		0	1.5	mA
$I_{TTOA} + I_{TTOB}$	输出悬空		0	1.5	mA

ADN4605

参数	条件	最小值	典型值	最大值	单位
电源电流	所有输出使能, 交流耦合I/O, 200 mV I/O摆幅(差分400 mV p-p) PE增强 = 0 dB, 50 Ω远端端接电阻				
I_{CC}			1320	1410	mA
I_{DVCC}			0.3	1.1	mA
$I_{TTIA} + I_{TTIB}$			11	15	mA
$I_{TTOA} + I_{TTOB}$		335	360	mA	
电源电流	所有输出使能, 交流耦合I/O, 400 mV I/O摆幅(差分800 mV p-p), PE增强 = 0 dB, 50 Ω远端端接电阻				
I_{CC}			1370	1460	mA
I_{DVCC}			0.3	1.1	mA
$I_{TTIA} + I_{TTIB}$			11	15	mA
$I_{TTOA} + I_{TTOB}$		665	715	mA	
电源电流	所有输出使能, 交流耦合I/O, 400 mV I/O摆幅(差分800 mV p-p), PE增强 = 6 dB, 50 Ω远端端接电阻				
I_{CC}			1850	1960	mA
I_{DVCC}			0.3	1.1	mA
$I_{TTIA} + I_{TTIB}$			11	15	mA
$I_{TTOA} + I_{TTOB}$		1340	1380	mA	
热特性					
工作温度 ²		-40		+85	°C
θ_{JA}	静止空气; JEDEC多层测试板		11.6		°C/W
θ_{JB}	1 m/s气流速度		5.4		°C/W
θ_{JC}	1 m/s气流速度		0.72		°C/W
逻辑特性					
输入高电压阈值(V_{IH})	$DV_{CC} = 3.3 V$	$0.7 \times DV_{CC}$			V
输入低电压阈值(V_{IL})	$DV_{CC} = 3.3 V$		$0.25 \times DV_{CC}$		V
输出高电压(V_{OH})	$I_{OH} = -3 mA$ (仅限I ² C/SPI模式)	$0.75 \times DV_{CC}$		DV_{CC}	V
输出低电压(V_{OL})	$I_{OL} = +3 mA$	V_{EE}		0.4	V

¹ V_{CM} 是输入共模电压。

² 结温不得超过125°C(请参阅“绝对最大额定值”部分)。

I²C时序规格图2. I²C时序图表2. I²C时序规格

参数	符号	最小值	最大值	单位
SCL时钟频率	f_{SCL}	0	500+	kHz
起始条件的保持时间	$t_{HD;STA}$	0.5		μ s
重复起始条件的建立时间	$t_{SU;STA}$	0.5		μ s
SCL时钟低电平周期	t_{LOW}		1.4	μ s
SCL时钟高电平周期	t_{HIGH}	0.6		μ s
数据保持时间	$t_{HD;DAT}$	0.02		μ s
数据建立时间	$t_{SU;DAT}$	0.02		μ s
SDA和SCL的上升时间	t_r	1	300	ns
SDA和SCL的下降时间	t_f	1	300	ns
停止条件的建立时间	$t_{SU;STO}$	0.5		μ s
停止条件和起始条件之间的总线空闲时间	t_{BUF}	1		ns
复位后的总线空闲时间		20		ns
复位脉冲宽度		20		ns

SPI时序规格

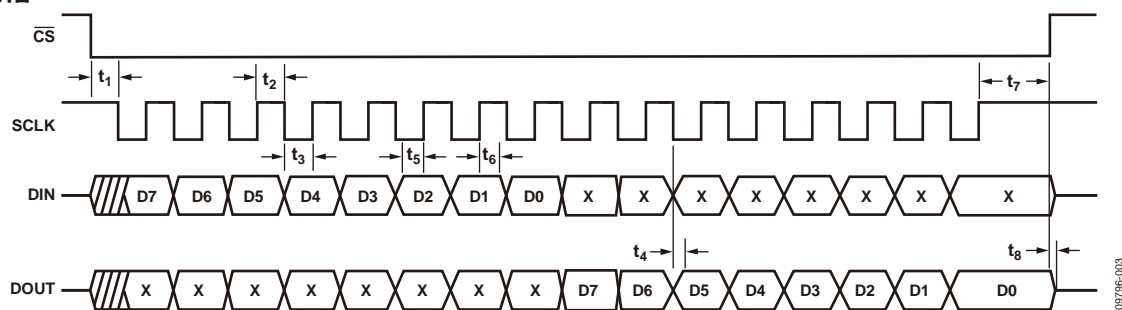


图3. SPI时序图

表3. SPI时序规格

参数	符号	最小值	最大值	单位
SCK时钟频率	f_{SCK}		10	MHz
\overline{CS} 到SCLK建立时间	t_1	0		ns
SCLK高电平脉冲宽度	t_2	30		ns
SCLK低电平脉冲宽度	t_3	30		ns
SCLK下降沿后的数据访问时间	t_4		45	ns
SCLK上升沿前的数据建立时间	t_5	10		ns
SCLK上升沿后的数据保持时间	t_6	30		ns
\overline{CS} 至SCLK保持时间	t_7	0		ns
\overline{CS} 至SDO高阻抗	t_8		45	ns
复位脉冲宽度		20		ns

ADN4605

并行模式规格

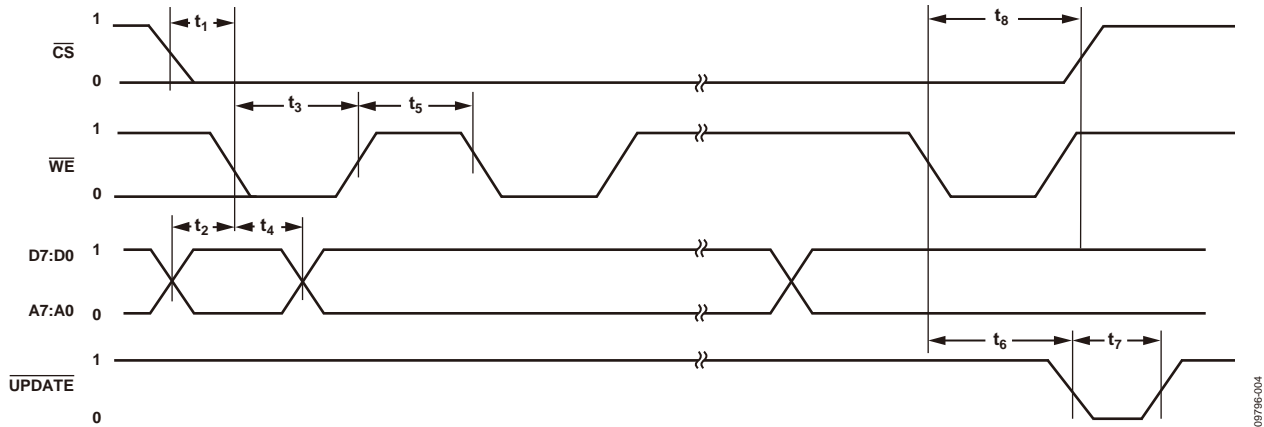


图4. 并行模式写入周期

表4. 并行模式写入周期时序规格

参数	符号	限值			单位
		最小值	典型值	最大值	
片选建立时间	t_1	0			ns
并行数据建立时间	t_2	0			ns
WE 脉冲宽度	t_3	30	50		ns
并行数据保持时间	t_4	25			ns
WE 脉冲间隔	t_5		25		ns
WE 至 UPDATE 延迟	t_6		40		ns
UPDATE 脉冲宽度	t_7	30			ns
片选保持时间	t_8	0			ns
复位脉冲宽度		20			ns

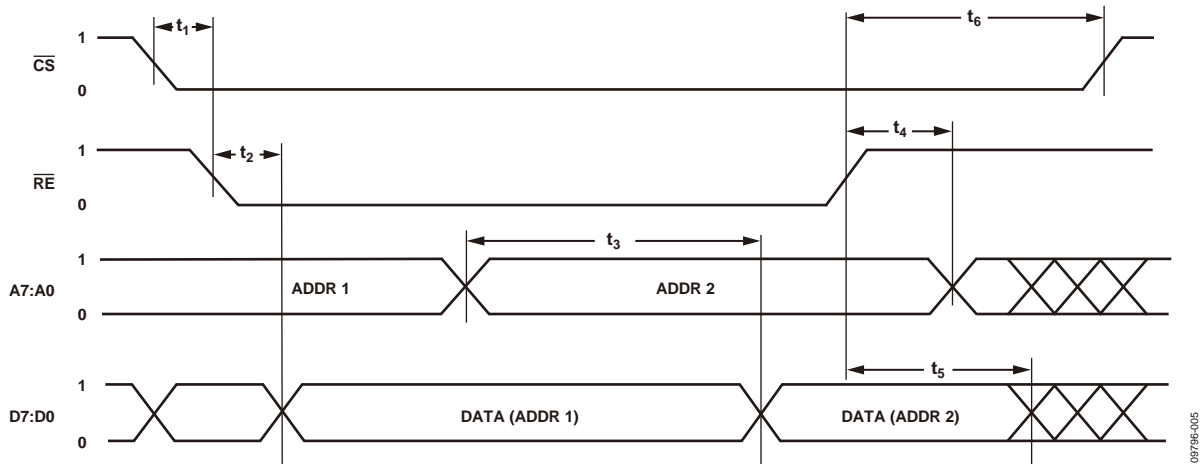


图5. 并行模式读取周期

表5. 并行模式读取周期时序规格

参数	符号	限值			单位
		最小值	典型值	最大值	
片选建立时间	t_1	0			ns
并行 RE 建立到有效时间	t_2	10			ns
数据访问时间	t_3	25	50		ns
地址到 RE 保持时间	t_4	25			ns
数据到 RE 保持时间	t_5	25			ns
片选保持时间	t_6	5			ns

绝对最大额定值

表6.

参数	额定值
V_{CC} 至 V_{EE}	3.7 V
DV_{CC} 至 V_{EE}	3.7 V
V_{TTIA} , V_{TTIB}	$V_{CC} + 0.6 V$
V_{TTOA} , V_{TTOB}	$V_{CC} + 0.6 V$
内部功耗 ¹	8.4 W
差分输入电压	2.0 V
逻辑输入电压	$V_{EE} - 0.3 V < V_{IN} < V_{CC} + 0.6 V$
存储温度范围	-65°C 至 +125°C
结温	125°C

¹ 内部功耗是针对空气中的器件而言。

$T_A = 27^\circ C$; $\theta_{JA} = 11.6^\circ C/W$ (静止空气中)。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

ADN4605

引脚配置和功能描述

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	
A	V _{EE}	V _{EE}	V _{EE}	ON39	OP39	ON37	OP37	ON35	OP35	ON33	OP33	ON31	OP31	ON29	OP29	ON27	OP27	ON25	OP25	ON23	OP23	ON21	OP21	V _{EE}	V _{EE}	V _{EE}	A
B	V _{EE}	V _{EE}	V _{EE}	V _{EE}	ON38	OP38	ON36	OP36	ON34	OP34	ON32	OP32	ON30	OP30	ON28	OP28	ON26	OP26	ON24	OP24	ON22	OP22	ON20	OP20	V _{EE}	V _{EE}	B
C	V _{EE}	IP0	V _{EE}	V _{CC}	V _{CC}	V _{TT0B}	V _{TT0B}	V _{TT0B}	V _{TT0B}	V _{CC}	V _{CC}	V _{TT0B}	V _{TT0B}	V _{TT0B}	V _{CC}	V _{CC}	V _{TT0B}	V _{TT0B}	V _{TT0B}	V _{TT0B}	V _{CC}	V _{CC}	DV _{CC}	V _{EE}	V _{EE}	C	
D	IP1	IN0	V _{CC}	DV _{CC}	V _{CC}	V _{CC}	V _{EE}	V _{EE}	V _{EE}	V _{EE}	V _{CC}	V _{CC}	V _{EE}	V _{EE}	V _{EE}	V _{CC}	V _{CC}	V _{EE}	V _{EE}	V _{EE}	V _{EE}	V _{CC}	DV _{CC}	V _{CC}	V _{EE}	IN39	D
E	IN1	IP2	V _{CC}	V _{EE}																			V _{EE}	V _{CC}	IN38	IP39	E
F	IP3	IN2	V _{TTIA}	V _{EE}																			V _{EE}	V _{TTIB}	IP38	IN37	F
G	IN3	IP4	V _{TTIA}	V _{EE}																			V _{EE}	V _{TTIB}	IN36	IP37	G
H	IP5	IN4	V _{TTIA}	V _{EE}																			\overline{WE}	V _{TTIB}	IP36	IN35	H
J	IN5	IP6	V _{TTIA}	I ² C/ SPI																			\overline{RE}	V _{TTIB}	IN34	IP35	J
K	IP7	IN6	V _{CC}	SER/ PAR																			\overline{CS}	V _{CC}	IP34	IN33	K
L	IN7	IP8	V _{CC}	\overline{RESET}																			DATA0	V _{CC}	IN32	IP33	L
M	IP9	IN8	V _{TTIA}	ADDR0																			DATA1	V _{TTIB}	IP32	IN31	M
N	IN9	IP10	V _{TTIA}	ADDR1																			DATA2	V _{TTIB}	IN30	IP31	N
P	IP11	IN10	V _{TTIA}	ADDR2																			DATA3	V _{TTIB}	IP30	IN29	P
R	IN11	IP12	V _{CC}	ADDR3																			DATA4	V _{CC}	IN28	IP29	R
T	IP13	IN12	V _{CC}	ADDR4																			DATA5	V _{CC}	IP28	IN27	T
U	IN13	IP14	V _{TTIA}	ADDR5																			DATA6	V _{TTIB}	IN26	IP27	U
V	IP15	IN14	V _{TTIA}	ADDR6																			DATA7	V _{TTIB}	IP26	IN25	V
W	IN15	IP16	V _{TTIA}	ADDR7																			V _{EE}	V _{TTIB}	IN24	IP25	W
Y	IP17	IN16	V _{TTIA}	V _{EE}																			V _{EE}	V _{TTIB}	IP24	IN23	Y
AA	IN17	IP18	V _{CC}	V _{EE}																			V _{EE}	V _{CC}	IN22	IP23	AA
AB	IP19	IN18	V _{CC}	V _{EE}																			V _{EE}	V _{CC}	IP22	IN21	AB
AC	IN19	V _{EE}	V _{CC}	DV _{CC}	V _{CC}	V _{CC}	V _{EE}	V _{EE}	V _{EE}	V _{EE}	V _{CC}	V _{CC}	V _{EE}	V _{EE}	V _{EE}	V _{CC}	V _{CC}	V _{EE}	V _{EE}	V _{EE}	V _{EE}	V _{CC}	DV _{CC}	V _{CC}	IN20	IP21	AC
AD	V _{EE}	V _{EE}	V _{EE}	V _{CC}	V _{CC}	V _{CC}	V _{TT0A}	V _{TT0A}	V _{TT0A}	V _{TT0A}	V _{CC}	V _{CC}	V _{TT0A}	V _{TT0A}	V _{TT0A}	V _{CC}	V _{CC}	V _{TT0A}	V _{TT0A}	V _{TT0A}	V _{TT0A}	V _{CC}	V _{CC}	V _{EE}	IP20	V _{EE}	AD
AE	V _{EE}	V _{EE}	OP0	ON0	OP2	ON2	OP4	ON4	OP6	ON6	OP8	ON8	OP10	ON10	OP12	ON12	OP14	ON14	OP16	ON16	OP18	ON18	V _{EE}	V _{EE}	V _{EE}	V _{EE}	AE
AF	V _{EE}	V _{EE}	V _{EE}	OP1	ON1	OP3	ON3	OP5	ON5	OP7	ON7	OP9	ON9	OP11	ON11	OP13	ON13	OP15	ON15	OP17	ON17	OP19	ON19	V _{EE}	V _{EE}	V _{EE}	AF

图6. 引脚配置

0979C-006

表7. 引脚功能描述

引脚编号	引脚名称	类型	描述
A1	V _{EE}	电源	负电源。
A2	V _{EE}	电源	负电源。
A3	V _{EE}	电源	负电源。
A4	ON39	输出	高速输出(-)。
A5	OP39	输出	高速输出。
A6	ON37	输出	高速输出(-)。
A7	OP37	输出	高速输出。
A8	ON35	输出	高速输出(-)。
A9	OP35	输出	高速输出。
A10	ON33	输出	高速输出(-)。
A11	OP33	输出	高速输出。
A12	ON31	输出	高速输出(-)。
A13	OP31	输出	高速输出。
A14	ON29	输出	高速输出(-)。
A15	OP29	输出	高速输出。
A16	ON27	输出	高速输出(-)。
A17	OP27	输出	高速输出。
A18	ON25	输出	高速输出(-)。
A19	OP25	输出	高速输出。
A20	ON23	输出	高速输出(-)。
A21	OP23	输出	高速输出。
A22	ON21	输出	高速输出(-)。
A23	OP21	输出	高速输出。
A24	V _{EE}	电源	负电源。
A25	V _{EE}	电源	负电源。
A26	V _{EE}	电源	负电源。
B1	V _{EE}	电源	负电源。
B2	V _{EE}	电源	负电源。
B3	V _{EE}	电源	负电源。
B4	V _{EE}	电源	负电源。
B5	ON38	输出	高速输出(-)。
B6	OP38	输出	高速输出。
B7	ON36	输出	高速输出(-)。
B8	OP36	输出	高速输出。
B9	ON34	输出	高速输出(-)。
B10	OP34	输出	高速输出。
B11	ON32	输出	高速输出(-)。
B12	OP32	输出	高速输出。
B13	ON30	输出	高速输出(-)。
B14	OP30	输出	高速输出。
B15	ON28	输出	高速输出(-)。
B16	OP28	输出	高速输出。
B17	ON26	输出	高速输出(-)。
B18	OP26	输出	高速输出。
B19	ON24	输出	高速输出(-)。
B20	OP24	输出	高速输出。
B21	ON22	输出	高速输出(-)。
B22	OP22	输出	高速输出。

ADN4605

引脚编号	引脚名称	类型	描述
B23	ON20	输出	高速输出(-)。
B24	OP20	输出	高速输出。
B25	V _{EE}	电源	负电源。
B26	V _{EE}	电源	负电源。
C1	V _{EE}	电源	负电源。
C2	IPO	输入	高速输入。
C3	V _{EE}	电源	负电源。
C4	V _{CC}	电源	正电源。
C5	V _{CC}	电源	正电源。
C6	V _{CC}	电源	正电源。
C7	V _{TTOB}	电源	输出端接电源(B)。V _{TTOB} 引脚通常与V _{TTOA} 引脚相连。
C8	V _{TTOB}	电源	输出端接电源(B)。V _{TTOB} 引脚通常与V _{TTOA} 引脚相连。
C9	V _{TTOB}	电源	输出端接电源(B)。V _{TTOB} 引脚通常与V _{TTOA} 引脚相连。
C10	V _{TTOB}	电源	输出端接电源(B)。V _{TTOB} 引脚通常与V _{TTOA} 引脚相连。
C11	V _{CC}	电源	正电源。
C12	V _{CC}	电源	正电源。
C13	V _{TTOB}	电源	输出端接电源(B)。V _{TTOB} 引脚通常与V _{TTOA} 引脚相连。
C14	V _{TTOB}	电源	输出端接电源(B)。V _{TTOB} 引脚通常与V _{TTOA} 引脚相连。
C15	V _{TTOB}	电源	输出端接电源(B)。V _{TTOB} 引脚通常与V _{TTOA} 引脚相连。
C16	V _{CC}	电源	正电源。
C17	V _{CC}	电源	正电源。
C18	V _{TTOB}	电源	输出端接电源(B)。V _{TTOB} 引脚通常与V _{TTOA} 引脚相连。
C19	V _{TTOB}	电源	输出端接电源(B)。V _{TTOB} 引脚通常与V _{TTOA} 引脚相连。
C20	V _{TTOB}	电源	输出端接电源(B)。V _{TTOB} 引脚通常与V _{TTOA} 引脚相连。
C21	V _{TTOB}	电源	输出端接电源(B)。V _{TTOB} 引脚通常与V _{TTOA} 引脚相连。
C22	V _{CC}	电源	正电源。
C23	V _{CC}	电源	正电源。
C24	DV _{CC}	电源	数字正电源。
C25	V _{EE}	电源	负电源。
C26	V _{EE}	电源	负电源。
D1	IP1	输入	高速输入。
D2	IN0	输入	高速输入(-)。
D3	V _{CC}	电源	正电源。
D4	DV _{CC}	电源	数字正电源。
D5	V _{CC}	电源	正电源。
D6	V _{CC}	电源	正电源。
D7	V _{EE}	电源	负电源。
D8	V _{EE}	电源	负电源。
D9	V _{EE}	电源	负电源。
D10	V _{EE}	电源	负电源。
D11	V _{CC}	电源	正电源。
D12	V _{CC}	电源	正电源。

引脚编号	引脚名称	类型	描述
D13	V _{EE}	电源	负电源。
D14	V _{EE}	电源	负电源。
D15	V _{EE}	电源	负电源。
D16	V _{CC}	电源	正电源。
D17	V _{CC}	电源	正电源。
D18	V _{EE}	电源	负电源。
D19	V _{EE}	电源	负电源。
D20	V _{EE}	电源	负电源。
D21	V _{EE}	电源	负电源。
D22	V _{CC}	电源	正电源。
D23	DV _{CC}	电源	数字正电源。
D24	V _{CC}	电源	正电源。
D25	V _{EE}	电源	负电源。
D26	IN39	输入	高速输入(-)。
E1	IN1	输入	高速输入(-)。
E2	IP2	输入	高速输入。
E3	V _{CC}	电源	正电源。
E4	V _{EE}	电源	负电源。
E23	V _{EE}	电源	负电源。
E24	V _{CC}	电源	正电源。
E25	IN38	输入	高速输入(-)。
E26	IP39	输入	高速输入。
F1	IP3	输入	高速输入。
F2	IN2	输入	高速输入(-)。
F3	V _{TTIA}	电源	输入端接电源(A)。V _{TTIA} 引脚通常与V _{TTIB} 引脚相连。
F4	V _{EE}	电源	负电源。
F23	V _{EE}	电源	负电源。
F24	V _{TTIB}	电源	输入端接电源(B)。V _{TTIB} 引脚通常与V _{TTIA} 引脚相连。
F25	IP38	输入	高速输入。
F26	IN37	输入	高速输入(-)。
G1	IN3	输入	高速输入(-)。
G2	IP4	输入	高速输入。
G3	V _{TTIA}	电源	输入端接电源(A)。V _{TTIA} 引脚通常与V _{TTIB} 引脚相连。
G4	V _{EE}	电源	负电源。
G23	V _{EE}	电源	负电源。
G24	V _{TTIB}	电源	输入端接电源(B)。V _{TTIB} 引脚通常与V _{TTIA} 引脚相连。
G25	IN36	输入	高速输入(-)。
G26	IP37	输入	高速输入。
H1	IP5	输入	高速输入。
H2	IN4	输入	高速输入(-)。
H3	V _{TTIA}	电源	输入端接电源(A)。V _{TTIA} 引脚通常与V _{TTIB} 引脚相连。
H4	V _{EE}	电源	负电源。
H23	$\overline{WE}/SCL/SCK$	控制	并行控制接口：一级写入选通(\overline{WE})低电平有效。 I ² C控制接口：I ² C时钟(SCL)。 SPI控制接口：SPI时钟(SCK)。
H24	V _{TTIB}	电源	输入端接电源(B)。V _{TTIB} 引脚通常与V _{TTIA} 引脚相连。

ADN4605

引脚编号	引脚名称	类型	描述
H25	IP36	输入	高速输入。
H26	IN35	输入	高速输入(-)。
J1	IN5	输入	高速输入(-)。
J2	IP6	输入	高速输入。
J3	V _{TTIA}	电源	输入端接电源(A)。V _{TTIA} 引脚通常与V _{TTIB} 引脚相连。
J4	I ² C/SPI/UPDATE	控制	I ² C控制接口选择(I ² C)。 SPI控制接口选择(SPI)低电平有效。 并行控制接口(UPDATE)低电平有效。
J23	RE/SDI	控制	并行控制接口：读取选通(RE)低电平有效。 SPI控制接口；数据输入(SDI) SPI控制。
J24	V _{TTIB}	电源	输入端接电源(B)。V _{TTIB} 引脚通常与V _{TTIA} 引脚相连。
J25	IN34	输入	高速输入。
J26	IP35	输入	高速输入(-)。
K1	IP7	输入	高速输入。
K2	IN6	输入	高速输入(-)。
K3	V _{CC}	电源	电源。
K4	SER/PAR	控制	串行控制接口选择(SER)。 并行控制接口选择(PAR)低电平有效。
K23	CS	控制	片选低电平有效。
K24	V _{CC}	电源	正电源。
K25	IP34	输入	高速输入。
K26	IN33	输入	高速输入(-)。
L1	IN7	输入	高速输入(-)。
L2	IP8	输入	高速输入。
L3	V _{CC}	电源	正电源。
L4	RESET	控制	配置寄存器：复位（低电平有效）。 此引脚通常上拉至DV _{CC} 。
L23	DATA0/SDA/SDO	控制	并行控制接口：寄存器数据位0(DATA0)。 I ² C控制接口：数据输入(SDA)。 SPI控制接口：数据输出(SDO)
L24	V _{CC}	电源	正电源。
L25	IN32	输入	高速输入(-)。
L26	IP33	输入	高速输入。
M1	IP9	输入	高速输入。
M2	IN8	输入	高速输入(-)。
M3	V _{TTIA}	电源	输入端接电源(A)。V _{TTIA} 引脚通常与V _{TTIB} 引脚相连。
M4	ADDR0	控制	并行控制接口：寄存器地址位0。 I ² C控制接口：从机地址位0。
M23	DATA1/UPDATE	控制	并行控制接口：寄存器(DATA1)。数据位1。 I ² C或SPI串行控制接口(UPDATE)。低电平有效。
M24	V _{TTIB}	电源	输入端接电源(B)。V _{TTIB} 引脚通常与V _{TTIA} 引脚相连。
M25	IP32	输入	高速输入。
M26	IN31	输入	高速输入(-)。
N1	IN9	输入	高速输入(-)。
N2	IP10	输入	高速输入。
N3	V _{TTIA}	电源	输入端接电源(A)。V _{TTIA} 引脚通常与V _{TTIB} 引脚相连。
N4	ADDR1	控制	并行控制接口：寄存器地址位1。 I ² C控制接口：从机地址位1。

引脚编号	引脚名称	类型	描述
N23	DATA2	控制	并行控制接口：寄存器数据位2。
N24	V _{TTIB}	电源	输入端接电源(B)。V _{TTIB} 引脚通常与V _{TTIA} 引脚相连。
N25	IN30	输入	高速输入(-)。
N26	IP31	输入	高速输入。
P1	IP11	输入	高速输入。
P2	IN10	输入	高速输入(-)。
P3	V _{TTIA}	电源	输入端接电源(A)。V _{TTIA} 引脚通常与V _{TTIB} 引脚相连。
P4	ADDR2	控制	并行控制接口：寄存器地址位2。 I ² C控制接口：从机地址位2。
P23	DATA3	控制	并行控制接口：寄存器数据位3。
P24	V _{TTIB}	电源	输入端接电源(B)。V _{TTIB} 引脚通常与V _{TTIA} 引脚相连。
P25	IP30	输入	高速输入。
P26	IN29	输入	高速输入(-)。
R1	IN11	输入	高速输入(-)。
R2	IP12	输入	高速输入。
R3	V _{CC}	电源	正电源。
R4	ADDR3	控制	并行控制接口：寄存器地址位3。 I ² C控制接口：从机地址位3。
R23	DATA4	控制	并行控制接口：寄存器数据位4。
R24	V _{CC}	电源	正电源。
R25	IN28	输入	高速输入(-)。
R26	IP29	输入	高速输入。
T1	IP13	输入	高速输入。
T2	IN12	输入	高速输入(-)。
T3	V _{CC}	电源	正电源。
T4	ADDR4	控制	并行控制接口：寄存器地址位4。 I ² C控制接口：从机地址位4。
T23	DATA5	控制	并行控制接口：寄存器数据位5。
T24	V _{CC}	电源	正电源。
T25	IP28	输入	高速输入。
T26	IN27	输入	高速输入(-)。
U1	IN13	输入	高速输入(-)。
U2	IP14	输入	高速输入。
U3	V _{TTIA}	电源	输入端接电源(A)。V _{TTIA} 引脚通常与V _{TTIB} 引脚相连。
U4	ADDR5	控制	并行控制接口：寄存器地址位5。 I ² C控制接口：从机地址位5。
U23	DATA6	控制	并行控制接口：寄存器数据位6。
U24	V _{TTIB}	电源	输入端接电源(B)。V _{TTIB} 引脚通常与V _{TTIA} 引脚相连。
U25	IN26	输入	高速输入(-)。
U26	IP27	输入	高速输入。
V1	IP15	输入	高速输入。
V2	IN14	输入	高速输入(-)。
V3	V _{TTIA}	电源	输入端接电源(A)。V _{TTIA} 引脚通常与V _{TTIB} 引脚相连。
V4	ADDR6	控制	并行控制接口：寄存器地址位6。 I ² C控制接口：从机地址位6。
V23	DATA7	控制	并行控制接口：寄存器数据位7。

ADN4605

引脚编号	引脚名称	类型	描述
V24	V _{TTIB}	电源	输入端接电源(B)。V _{TTIB} 引脚通常与V _{TTIA} 引脚相连。
V25	IP26	输入	高速输入。
V26	IN25	输入	高速输入(-)。
W1	IN15	输入	高速输入(-)。
W2	IP16	输入	高速输入。
W3	V _{TTIA}	电源	输入端接电源(A)。V _{TTIA} 引脚通常与V _{TTIB} 引脚相连。
W4	ADDR7	控制	并行控制接口：寄存器地址位7。 PC控制接口：从机地址位7。
W23	V _{EE}	电源	负电源。
W24	V _{TTIB}	电源	输入端接电源(B)。V _{TTIB} 引脚通常与V _{TTIA} 引脚相连。
W25	IN24	输入	高速输入(-)。
W26	IP25	输入	高速输入。
Y1	IP17	输入	高速输入。
Y2	IN16	输入	高速输入(-)。
Y3	V _{TTIA}	电源	输入端接电源(A)。V _{TTIA} 引脚通常与V _{TTIB} 引脚相连。
Y4	V _{EE}	电源	负电源。
Y23	V _{EE}	电源	负电源。
Y24	V _{TTIB}	电源	输入端接电源(B)。V _{TTIB} 引脚通常与V _{TTIA} 引脚相连。
Y25	IP24	输入	高速输入。
Y26	IN23	输入	高速输入(-)。
AA1	IN17	输入	高速输入(-)。
AA2	IP18	输入	高速输入。
AA3	V _{CC}	电源	正电源。
AA4	V _{EE}	电源	负电源。
AA23	V _{EE}	电源	负电源。
AA24	V _{CC}	电源	正电源。
AA25	IN22	输入	高速输入(-)。
AA26	IP23	输入	高速输入。
AB1	IP19	输入	高速输入。
AB2	IN18	输入	高速输入(-)。
AB3	V _{CC}	电源	正电源。
AB4	V _{EE}	电源	负电源。
AB23	V _{EE}	电源	负电源。
AB24	V _{CC}	电源	正电源。
AB25	IP22	输入	高速输入。
AB26	IN21	输入	高速输入(-)。
AC1	IN19	输入	高速输入(-)。
AC2	V _{EE}	电源	负电源。
AC3	V _{CC}	电源	正电源。
AC4	DV _{CC}	电源	数字正电源。
AC5	V _{CC}	电源	正电源。
AC6	V _{CC}	电源	正电源。
AC7	V _{EE}	电源	负电源。
AC8	V _{EE}	电源	负电源。
AC9	V _{EE}	电源	负电源。
AC10	V _{EE}	电源	负电源。

引脚编号	引脚名称	类型	描述
AC11	V _{CC}	电源	正电源。
AC12	V _{CC}	电源	正电源。
AC13	V _{EE}	电源	负电源。
AC14	V _{EE}	电源	负电源。
AC15	V _{EE}	电源	负电源。
AC16	V _{CC}	电源	正电源。
AC17	V _{CC}	电源	正电源。
AC18	V _{EE}	电源	负电源。
AC19	V _{EE}	电源	负电源。
AC20	V _{EE}	电源	负电源。
AC21	V _{EE}	电源	负电源。
AC22	V _{CC}	电源	正电源。
AC23	DV _{CC}	电源	数字正电源。
AC24	V _{CC}	电源	正电源。
AC25	IN20	输入	高速输入(-)。
AC26	IP21	输入	高速输入。
AD1	V _{EE}	电源	负电源。
AD2	V _{EE}	电源	负电源。
AD3	V _{EE}	电源	负电源。
AD4	V _{CC}	电源	正电源。
AD5	V _{CC}	电源	正电源。
AD6	V _{CC}	电源	正电源。
AD7	V _{TTOA}	电源	输出端接电源(A)。V _{TTOA} 引脚通常与 V _{TTOB} 引脚相连。
AD8	V _{TTOA}	电源	输出端接电源(A)。V _{TTOA} 引脚通常与 V _{TTOB} 引脚相连。
AD9	V _{TTOA}	电源	输出端接电源(A)。V _{TTOA} 引脚通常与 V _{TTOB} 引脚相连。
AD10	V _{TTOA}	电源	输出端接电源(A)。V _{TTOA} 引脚通常与 V _{TTOB} 引脚相连。
AD11	V _{CC}	电源	正电源。
AD12	V _{CC}	电源	正电源。
AD13	V _{TTOA}	电源	输出端接电源(A)。V _{TTOA} 引脚通常与 V _{TTOB} 引脚相连。
AD14	V _{TTOA}	电源	输出端接电源(A)。V _{TTOA} 引脚通常与 V _{TTOB} 引脚相连。
AD15	V _{TTOA}	电源	输出端接电源(A)。V _{TTOA} 引脚通常与 V _{TTOB} 引脚相连。
AD16	V _{CC}	电源	正电源。
AD17	V _{CC}	电源	正电源。
AD18	V _{TTOA}	电源	输出端接电源(A)。V _{TTOA} 引脚通常与 V _{TTOB} 引脚相连。
AD19	V _{TTOA}	电源	输出端接电源(A)。V _{TTOA} 引脚通常与 V _{TTOB} 引脚相连。
AD20	V _{TTOA}	电源	输出端接电源(A)。V _{TTOA} 引脚通常与 V _{TTOB} 引脚相连。
AD21	V _{TTOA}	电源	输出端接电源(A)。V _{TTOA} 引脚通常与 V _{TTOB} 引脚相连。
AD22	V _{CC}	电源	正电源。
AD23	V _{CC}	电源	正电源。
AD24	V _{EE}	电源	负电源。
AD25	IP20	输入	高速输入。
AD26	V _{EE}	电源	负电源。

ADN4605

引脚编号	引脚名称	类型	描述
AE1	V _{EE}	电源	负电源。
AE2	V _{EE}	电源	负电源。
AE3	OP0	输出	高速输出。
AE4	ON0	输出	高速输出(-)。
AE5	OP2	输出	高速输出。
AE6	ON2	输出	高速输出(-)。
AE7	OP4	输出	高速输出。
AE8	ON4	输出	高速输出(-)。
AE9	OP6	输出	高速输出。
AE10	ON6	输出	高速输出(-)。
AE11	OP8	输出	高速输出。
AE12	ON8	输出	高速输出(-)。
AE13	OP10	输出	高速输出。
AE14	ON10	输出	高速输出(-)。
AE15	OP12	输出	高速输出。
AE16	ON12	输出	高速输出(-)。
AE17	OP14	输出	高速输出。
AE18	ON14	输出	高速输出(-)。
AE19	OP16	输出	高速输出。
AE20	ON16	输出	高速输出(-)。
AE21	OP18	输出	高速输出。
AE22	ON18	输出	高速输出(-)。
AE23	V _{EE}	电源	负电源。
AE24	V _{EE}	电源	负电源。
AE25	V _{EE}	电源	负电源。
AE26	V _{EE}	电源	负电源。
AF1	V _{EE}	电源	负电源。
AF2	V _{EE}	电源	负电源。
AF3	V _{EE}	电源	负电源。
AF4	OP1	输出	高速输出。
AF5	ON1	输出	高速输出(-)。
AF6	OP3	输出	高速输出。
AF7	ON3	输出	高速输出(-)。
AF8	OP5	输出	高速输出。
AF9	ON5	输出	高速输出(-)。
AF10	OP7	输出	高速输出。
AF11	ON7	输出	高速输出(-)。
AF12	OP9	输出	高速输出。
AF13	ON9	输出	高速输出(-)。
AF14	OP11	输出	高速输出。
AF15	ON11	输出	高速输出(-)。
AF16	OP13	输出	高速输出。
AF17	ON13	输出	高速输出(-)。
AF18	OP15	输出	高速输出。
AF19	ON15	输出	高速输出(-)。
AF20	OP17	输出	高速输出。
AF21	ON17	输出	高速输出(-)。
AF22	OP19	输出	高速输出。

引脚编号	引脚名称	类型	描述
AF23	ON19	输出	高速输出(-)。
AF24	V _{EE}	电源	负电源。
AF25	V _{EE}	电源	负电源。
AF26	V _{EE}	电源	负电源。

ADN4605

典型性能参数

除非另有说明, $V_{CC} = 2.5\text{ V}$, $V_{TTk} = 2.5\text{ V}$, $V_{TTOx} = 2.5\text{ V}$, $DV_{CC} = 3.3\text{ V}$, $V_{EE} = 0\text{ V}$, $R_L = 50\ \Omega$, 输出电平(OLEV) = 4 (16 mA), 预加重(PE) = 0 (0 dB), 均衡器(EQ) = 1 (3 dB), 数据速率 = 4.25 Gbps(PRBS7数据模式), 交流耦合输入和输出, 差分输入摆幅 = 800 mV p-p, $T_A = 25^\circ\text{C}$ 。

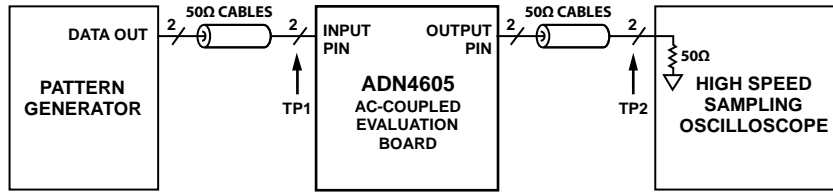


图7. 标准测试电路

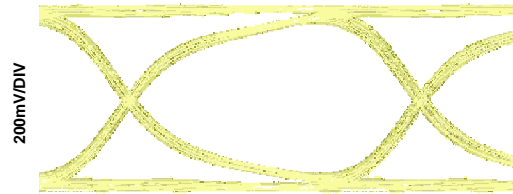
09796-048



0.167UI/DIV

09796-035

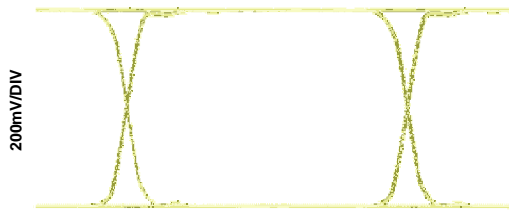
图8. 3.25 Gbps输入眼(图7中的TP1)



0.167UI/DIV

09796-034

图10. 3.25 Gbps输出眼(图7中的TP2)



0.167UI/DIV

09796-047

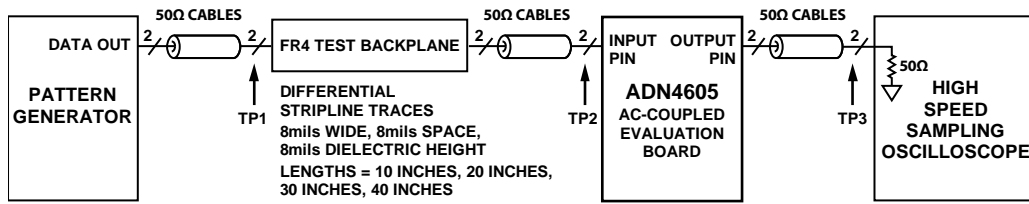
图9. 4.25 Gbps输入眼(图7中的TP1)



0.167UI/DIV

09796-046

图11. 4.25 Gbps输出眼(图7中的TP2)



09796-049

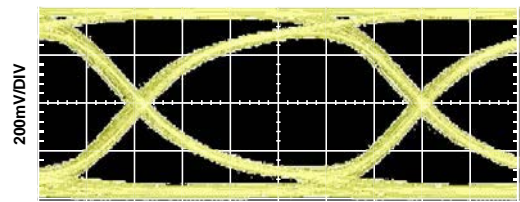
图12. 均衡测试电路



0.167UI/DIV

09796-040

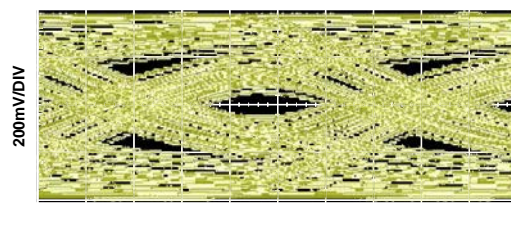
图13. 4.25 Gbps输入眼, 20英寸FR4输入通道 (图12中的TP2)



0.167UI/DIV

09796-038

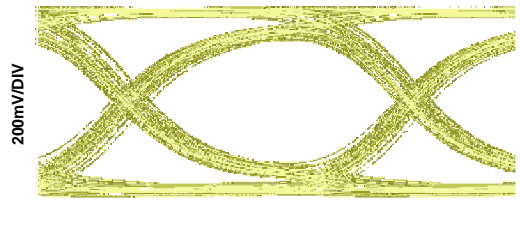
图15. 4.25 Gbps输出眼, 20英寸FR4输入通道, EQ = 12 dB (图12中的TP3)



0.167UI/DIV

09796-045

图14. 4.25 Gbps输入眼, 40英寸FR4输入通道 (图12中的TP2)

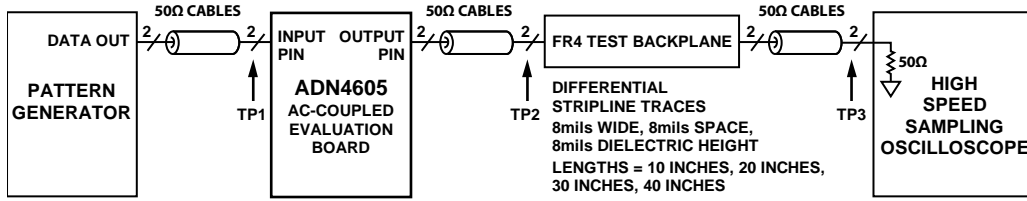


0.167UI/DIV

09796-043

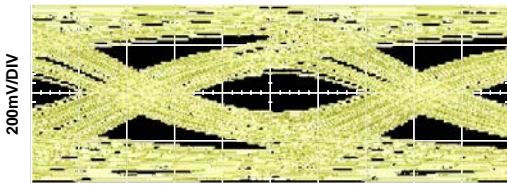
图16. 4.25 Gbps输出眼, 40英寸FR4输入通道, EQ = 12 dB (图12中的TP3)

ADN4605



09796-050

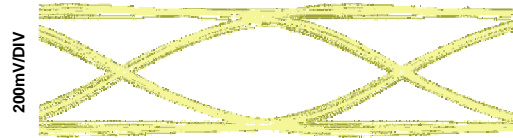
图17. 预加重测试电路



0.167UI/DIV

09796-039

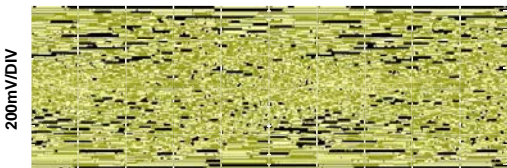
图18. 4.25 Gbps输出眼, 20英寸FR4输出通道, PE = 0 dB (图17中的TP3)



0.167UI/DIV

09796-038

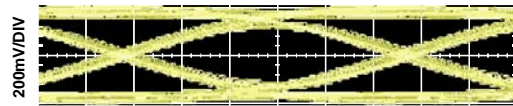
图20. 4.25 Gbps输出眼, 20英寸FR4输入通道, PE = 5.6 dB (图17中的TP3)



0.167UI/DIV

09796-044

图19. 4.25 Gbps输出眼, 40英寸FR4输入通道, PE = 0 dB (图17中的TP3)



0.167UI/DIV

09796-041

图21. 4.25 Gbps输出眼, 40英寸FR4输入通道, PE = 9.5 dB (图17中的TP3)

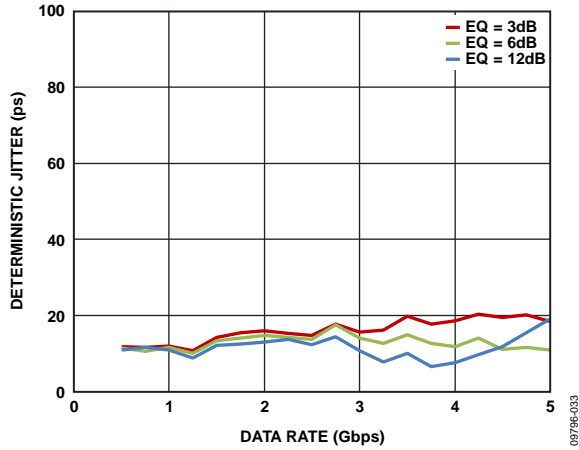


图22. 确定性抖动与数据速率的关系

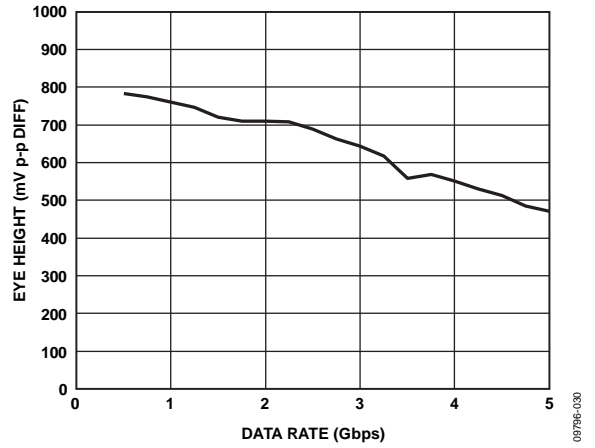


图25. 眼高与数据速率的关系

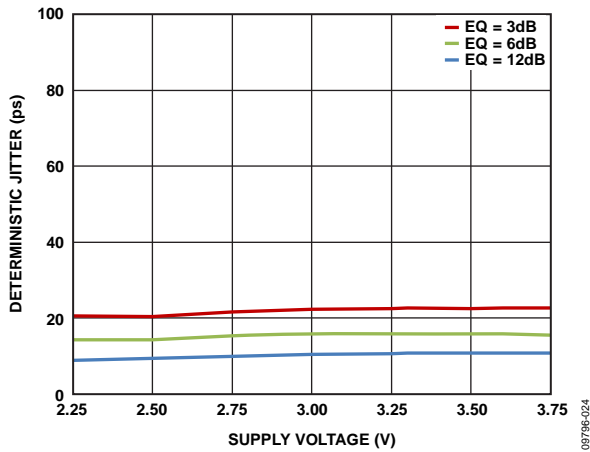


图23. 确定性抖动与电源电压的关系

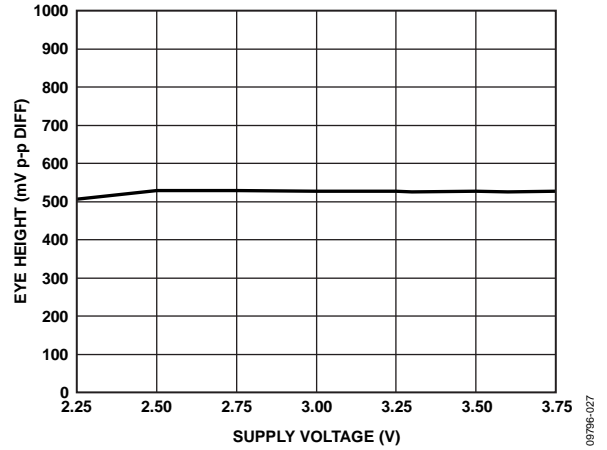


图26. 眼高与电源电压的关系

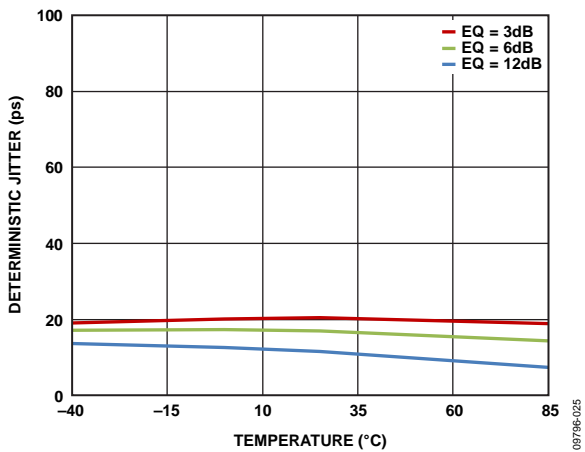


图24. 确定性抖动与温度的关系

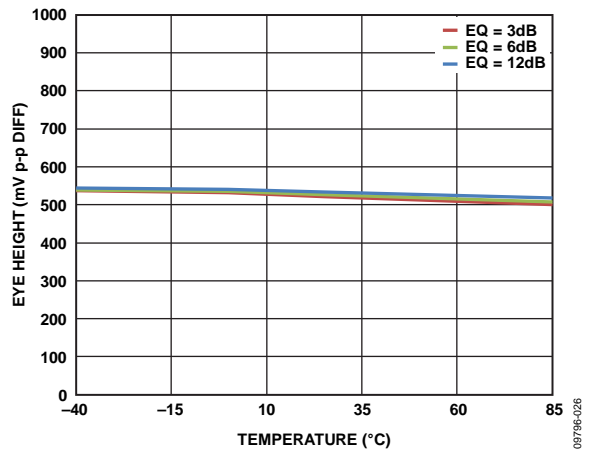


图27. 眼高与温度的关系

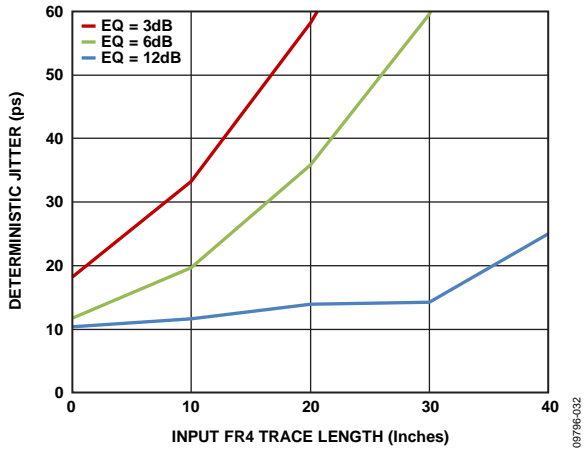


图28. 确定性抖动与输入FR4通道长度的关系

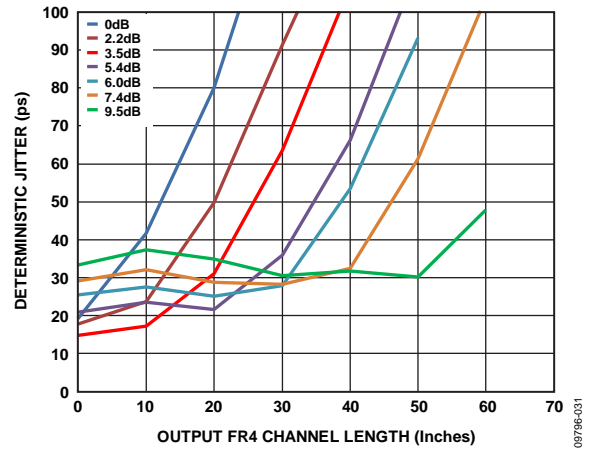


图31. 确定性抖动与输出FR4通道长度的关系

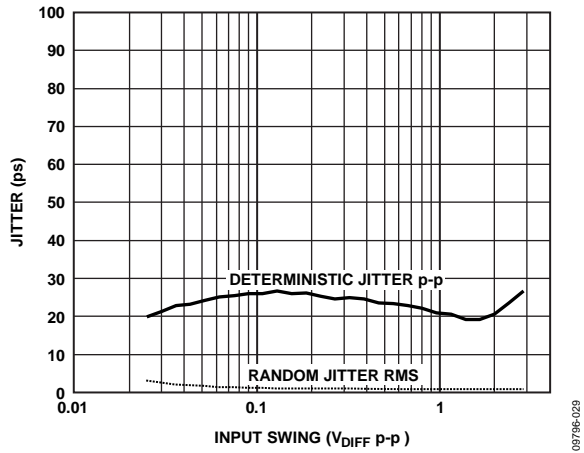


图29. 抖动与差分输入摆幅的关系

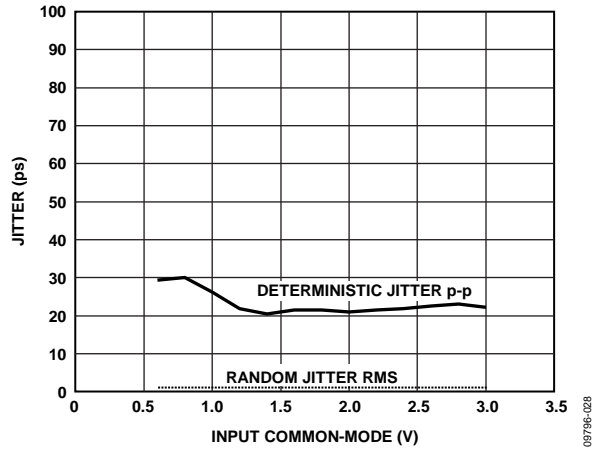


图32. 抖动与输入共模电压的关系

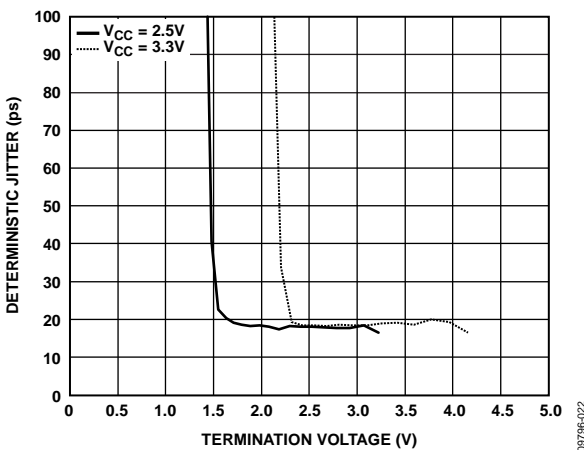


图30. 确定性抖动与输出端接电压(V_{TTO})的关系

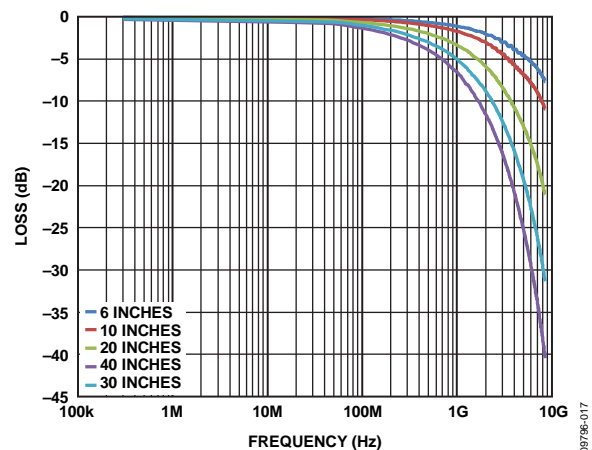


图33. S21测试曲线

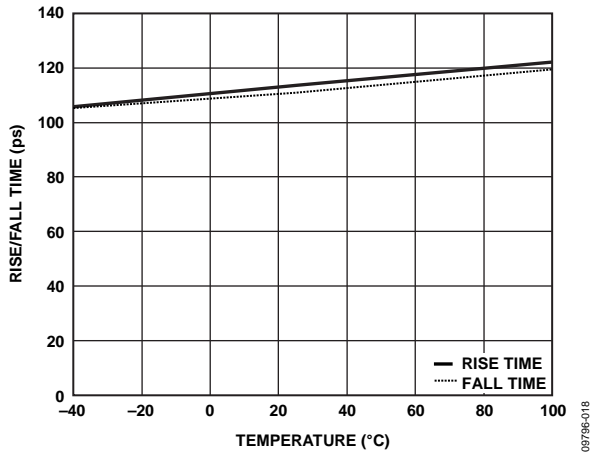


图34. 上升/下降时间与温度的关系

09796-018

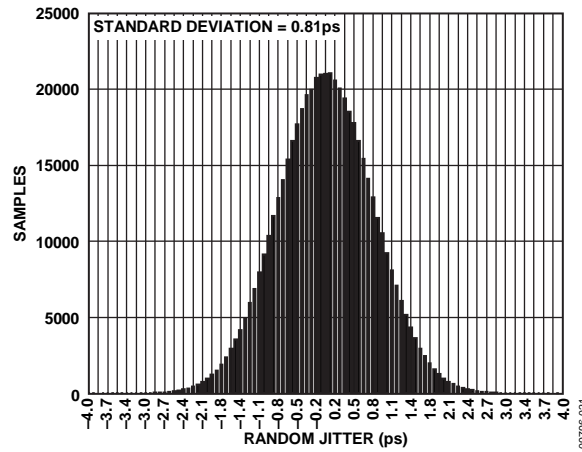


图37. 随机抖动直方图

09796-021

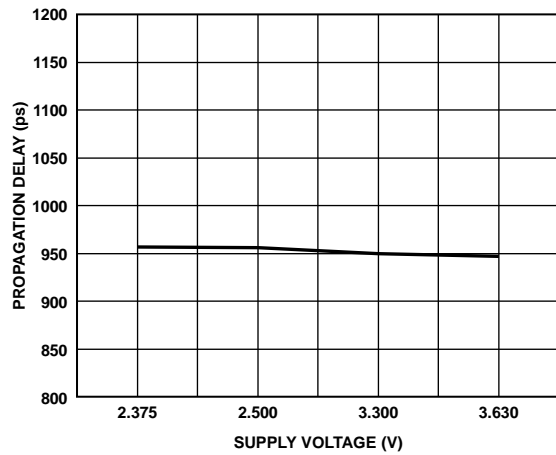


图35. 传播延迟与电源电压的关系

09796-051

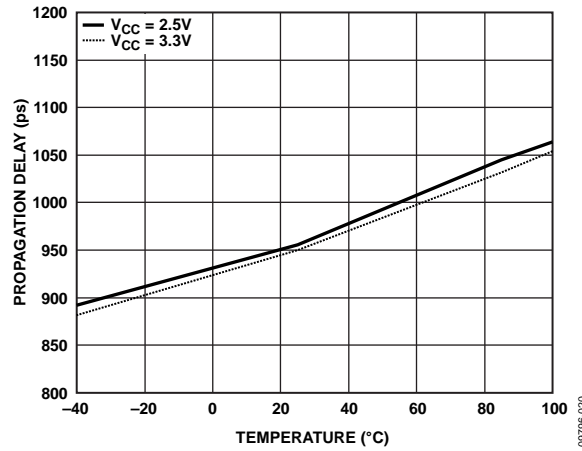


图38. 传播延迟与温度的关系

09796-020

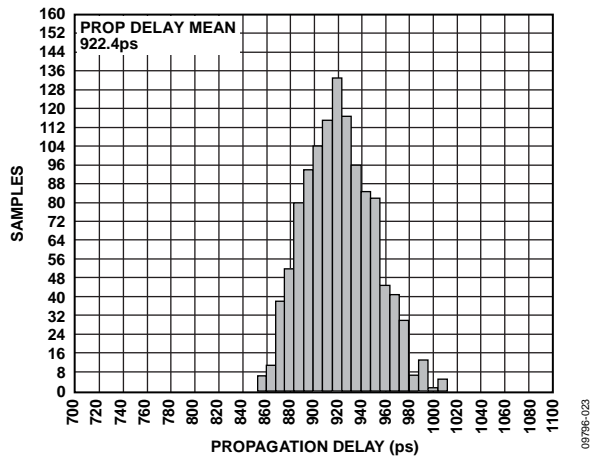


图36. 传播延迟直方图

09796-023

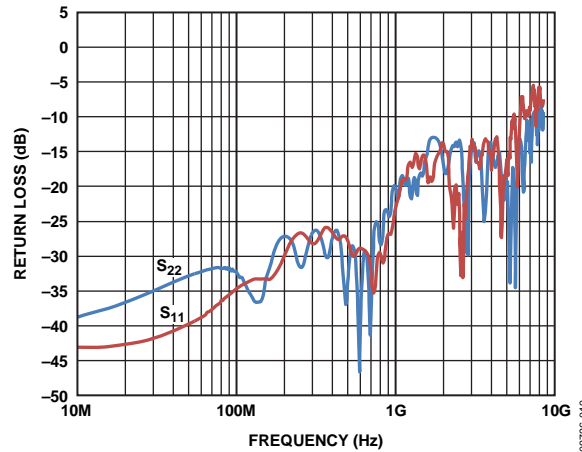


图39. 回损(S11, S22)

09796-019

ADN4605

工作原理

简介

ADN4605是一款40 × 40、缓冲、异步交叉开关，具有输入均衡、输出预加重以及输出电平可编程功能。接收器集成经过优化的均衡器，可补偿典型背板损耗。开关支持多播和广播操作，使得ADN4605适合冗余和端口复制应用。

ADN4605可以通过串行或并行控制接口进行配置。串行或并行控制接口则使用SER/PAR专用控制引脚来进行选择。串行接口支持I²C和SPI协议，具体协议利用I²C/SPI专用控制引脚来选择。ADN4605控制引脚功能各不相同，具体取决于所选择的编程接口，如表8中所述。

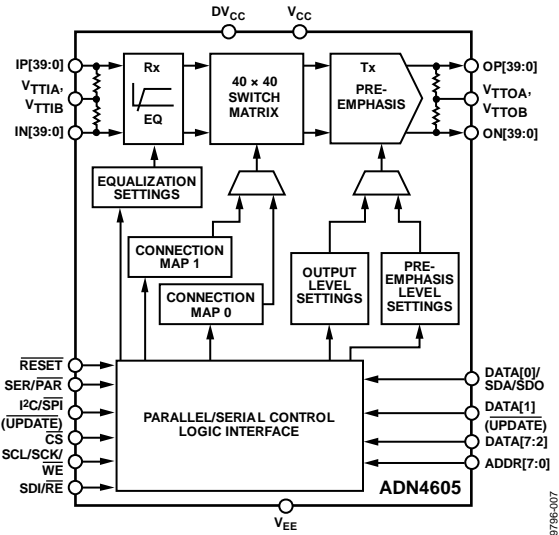


图40. 功能框图

表8. 并行/串行接口引脚控制

引脚编号	引脚名称	并行模式 (SER/PAR = 0)	I ² C模式 (SER/PAR = 1, I ² C/SPI = 1)	SPI模式 (SER/PAR = 1, I ² C/SPI = 0)
		引脚功能	引脚功能	引脚功能
K4	SER/PAR	串行/并行控制接口选择	串行/并行控制接口选择	串行/并行控制接口选择
J4	I ² C/SPI/UPDATE	更新选通	I ² C/SPI控制接口选择	I ² C/SPI控制接口选择
H23	WE/SCL/SCK	并行写入选通	I ² C时钟	SPI时钟
J23	RE/SDI	并行读取选通	不适用	SPI数据输入
K23	CS	片选	不适用	片选
L23	DATA0/SDA/SDO	并行寄存器数据位(LSB)	I ² C数据输入	SPI数据输出
M23	DATA1/UPDATE	并行寄存器数据位	更新选通	更新选通
N23, P23, R23, T23, U23, V23	DATA2至DATA7	并行寄存器数据位	不适用	不适用
L4	RESET	器件寄存器复位(低电平有效)	器件寄存器复位(低电平有效)	器件寄存器复位(低电平有效)
M4	ADDR0	并行寄存器地址位(LSB)	不适用	不适用
N4, P4, R4, T4, U4, V4, W4	ADDR1to ADDR7	并行寄存器地址位	I ² C LSB器件地址至I ² C MSB器件地址	不适用

接收器

输入结构和输入电平

ADN4605的接收器输入端集成50 Ω端接电阻、ESD保护以及一个针对在长背板走线上工作而优化的固定均衡器。每个接收通道还提供正/负(P/N)反转功能，让用户可以切换输入信号路径的符号，从而不再需要电路板级分频器。

均衡

ADN4605的接收器集成一个连续时间均衡器(EQ)，后者提供高达12 dB的高频增强，最多可以补偿40英寸的FR4 (4.25 Gbps)。每个输入对应有两个均衡器控制位。接收器默认禁用。通过按表9中所示将目标输入通道的相应地址寄存器位(地址0xC0至地址0xC9)编程为特定的逻辑组合，可将增强设置为定义水平。

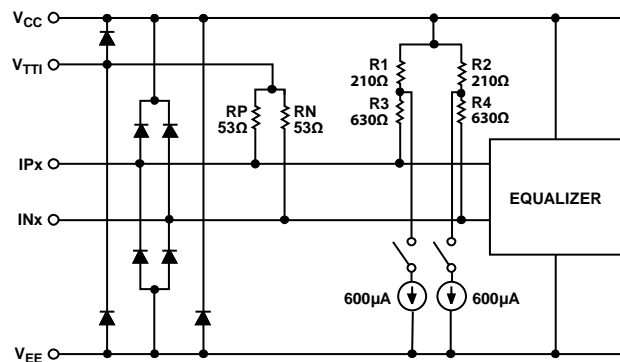


图41. 简化输入电路

表9. 均衡器控制寄存器

寄存器地址	默认值	寄存器名称	Bits	Bit名称	功能描述
0xC0	0x0	Rx EQ控制 (Rx IN 3至Rx IN 0)	7:6 5:4 3:2 1:0	RXEQIN [3] RXEQIN [2] RXEQIN [1] RXEQIN [0]	00 = Rx禁用(默认) 01 = 3 dB增强 10 = 6 dB增强 11 = 12 dB增强
0xC1	0x0	Rx EQ控制 (Rx IN 7至Rx IN 4)	7:6 5:4 3:2 1:0	RXEQIN [7] RXEQIN [6] RXEQIN [5] RXEQIN [4]	
0xC2	0x0	Rx EQ控制 (Rx IN 11至Rx IN 8)	7:6 5:4 3:2 1:0	RXEQIN [11] RXEQIN [10] RXEQIN [9] RXEQIN [8]	
0xC3	0x0	Rx EQ控制 (Rx IN 15至Rx IN 12)	7:6 5:4 3:2 1:0	RXEQIN [15] RXEQIN [14] RXEQIN [13] RXEQIN [12]	
0xC4	0x0	Rx EQ控制 (Rx IN 19至Rx IN 16)	7:6 5:4 3:2 1:0	RXEQIN [19] RXEQIN [18] RXEQIN [17] RXEQIN [16]	
0xC5	0x0	Rx EQ控制 (Rx IN 23至Rx IN 20)	7:6 5:4 3:2 1:0	RXEQIN [23] RXEQIN [22] RXEQIN [21] RXEQIN [20]	
0xC6	0x0	Rx EQ控制 (Rx IN 27至Rx IN 24)	7:6 5:4 3:2 1:0	RXEQIN [27] RXEQIN [26] RXEQIN [25] RXEQIN [24]	

ADN4605

寄存器地址	默认值	寄存器名称	Bits	Bit名称	功能描述
0xC7	0x0	Rx EQ控制 (Rx IN 31至Rx IN 28)	7:6 5:4 3:2 1:0	RXEQIN [31] RXEQIN [30] RXEQIN [29] RXEQIN [28]	00 = Rx禁用(默认) 01 = 3 dB增强 10 = 6 dB增强 11 = 12 dB增强
0xC8	0x0	Rx EQ控制 (Rx IN35至Rx IN 32)	7:6 5:4 3:2 1:0	RXEQIN [35] RXEQIN [34] RXEQIN [33] RXEQIN [32]	
0xC9	0x0	Rx EQ控制 (Rx IN 39至Rx IN 36)	7:6 5:4 3:2 1:0	RXEQIN [39] RXEQIN [38] RXEQIN [37] RXEQIN [36]	
0xCA	0x0 (只写)	Rx EQ控制 (Rx IN)广播	1:0	RXEQIN BC	

极性反转

P/N反转功能旨在让用户可以在小得多的面积上实现等效电路板级交叉，而且不会造成额外的过孔阻抗不连续，因而信号路径的高频完整性不会降低。40个输入和输出通道都支持P/N反转，并且各通道之间的P/N反转彼此独立，具体通过写入RX符号控制寄存器(地址0xCB至地址0xCF)的RXSIGN bit和TX控制寄存器(地址0xA9至地址0xAD)的TXSIGN bit来控制。

表10. 信号路径极性控制

寄存器地址	默认值	寄存器名称	Bits	Bit名称	功能描述
0xCB	0x00	RX SIGN RX IN 07至RX IN 00	7:0	RXSIGN [7]至RXSIGN [0]	信号路径极性反转(输入/输出) 0 = 不反转 1 = 反转
0xCC	0x00	RX SIGN RX IN 15至RX IN 08	7:0	RXSIGN [15]至RXSIGN [8]	
0xCD	0x00	RX SIGN RX IN 23至RX IN 16	7:0	RXSIGN [23]至RXSIGN [16]	
0xCE	0x00	RX SIGN RX IN31至RX IN 24	7:0	RXSIGN [31]至RXSIGN [24]	
0xCF	0x00	RX SIGN RX IN 39至RX IN 32	7:0	RXSIGN [39]至RXSIGN [32]	
0xA9	0x00	TX SIGN TX OUT 07至TX OUT 00	7:0	TXSIGN [7]至TXSIGN [0]	
0xAA	0x00	TX SIGN TX OUT 15至TX OUT 08	7:0	TXSIGN [15]至TXSIGN [8]	
0xAB	0x00	TX SIGN TX OUT 23至TX OUT 16	7:0	TXSIGN [23]至TXSIGN [16]	
0xAC	0x00	TX SIGN TX OUT 31至TX OUT 24	7:0	TXSIGN [31]至TXSIGN [24]	
0xAD	0x00	TX SIGN TX OUT 39至TX OUT 32	7:0	TXSIGN [39]至TXSIGN [32]	

开关内核

ADN4605的开关内核是完全非阻塞式 40×40 阵列，支持多播和广播配置。开关内核的配置通过串行或并行控制接口进行编程。控制开关内核连接的交叉点配置映射包含一个双级寄存器架构，如图42所示。

第二级寄存器包含交叉点的当前状态。第一级寄存器包含下一状态。连接映射中的每项通过每次输出存储6个位，用于指示连接到给定输出是40个输入中的哪个。通过向XPT更新寄存器(地址0x01)写入0x01来将第一级寄存器的数据传递至第二级寄存器，可以一次设置整个连接矩阵。也可使用外部UPDATE引脚来控制数据传输，如表8所示。

第一级寄存器存储交叉点的连接配置。映射0是默认映射，位于地址0x04至地址0x2B。默认情况下，映射0包含对角线连接配置，即输入0连接到输出0、输入1连接到输出1，而输入2则连接到输出2，依此类推。

同样，默认情况下，映射1包含反对角线连接配置，即输入0连接到输出39、输入1连接到输出38，依此类推。两种映射都是可读取/写入的寄存器。有效映射通过写入XPT映射表选择寄存器(地址0x02)来选择。

交叉点的配置方式为对分配至所需输出的寄存器进行寻址，并将所需的连接数据写入映射0或映射1中的第一级寄存器。连接数据相当于输入值的二进制编码值。此过程会一直重复，直到所需连接全部设置完毕。

在要将多个输出编程至单个输入的情况下，需要使用广播命令。通过将所需输入的二进制值写入XPT广播寄存器(地址0x03)，即可发出广播命令。广播应用于所选映射表。

通过读取XPT状态寄存器(地址0x54至地址0x7B)，可了解交叉点连接的当前状态。映射0、映射1和XPT状态寄存器的寄存器描述如表11所示。

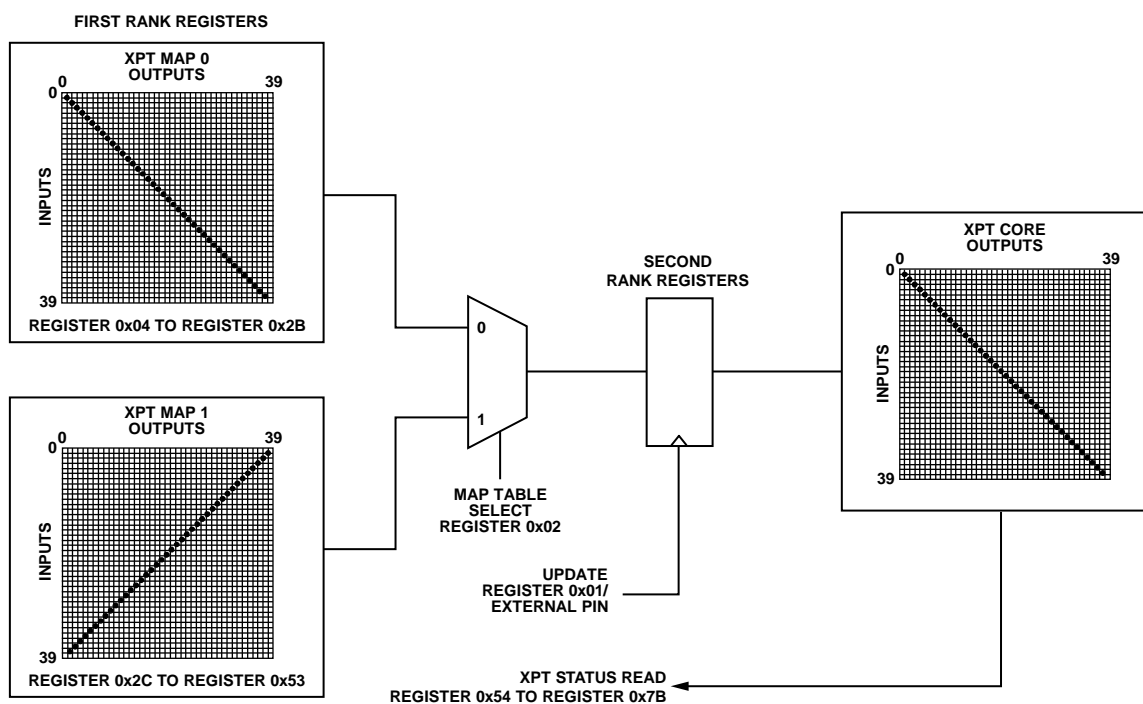


图42. 交叉点连接映射框图

ADN4605

表11. XPT控制寄存器

寄存器地址	默认值	寄存器名称	Bits	Bit名称	功能描述
0x00	0x00 (只写)	软件复位	0	软件复位	将ADN4605寄存器复位至默认值
0x01	0x00 (只写)	XPT更新	0	XPT更新	更新XPT开关内核(高电平有效)
0x02	0x00	XPT映射表选择	0	映射表选择	0: 选取映射0(缺省)。 1: 选取映射1
0x03	0x00 (只写)	XPT广播	5:0	XPT BCAST [5:0]	一次分配所选XPT表映射的所有输出值
0x04至0x2B	0x00至0x27	XPT映射0 控制0至控制39	5:0	OUT x [5:0]	输出(x = 0至39)连接分配
0x2C至0x53	0x27至0x00	XPT映射1 控制39至控制0	5:0	OUT x [5:0]	输出(x = 39至0)连接分配
0x54至0x7B	0x00至0x00	XPT状态 控制39至控制0	5:0	OUT x [5:0]	输出(x = 0至39)连接状态

复位

初始上电时或工作期间的任何时刻，可根据控制逻辑时序规格拉低 $\overline{\text{RESET}}$ 引脚，使ADN4605的寄存器组恢复到默认值。不过，正常工作期间， $\overline{\text{RESET}}$ 引脚必须拉高至 DV_{CC} 。还可以将值0x01写入复位寄存器(地址0x00)来执行软件复位。此寄存器是只写寄存器。

发射器

输出结构和输出电平

ADN4605的发射器输出端集成50 Ω端接电阻、ESD保护和输出电流开关。各通道可独立控制绝对输出电平和预加重输出电平。注意，输出电流选择会影响输出共模电平。

预加重

可在发射器处利用预加重来均衡发射线路衰减。发射均衡器设置可通过匹配通道损耗和预加重提供的增强量来选择。

发射器预加重电平以及直流输出电平均可通过串行或并行控制接口进行设置。

表12总结了绝对输出电平和预加重电平控制设置。输出电平控制设置直流电平，预加重电平控制则设置发射器中的PE电流，如图43所示。八种设置的全分辨率均可通过串行或并行接口实现。通过写入TX通道控制广播寄存器(地址0xA8)，可将单个设置同时应用到所有输出。

除使能状态以外，Tx还具有三种可能的禁用状态(待机、静噪和禁用)，这三种状态由表13中所示的Tx驱动控制寄存器(地址0xB0至地址0xB9)来控制。禁用是功耗最低的掉电状态。静噪时，P和N输出端的输出电压为输出电流设置所定义的共模电压。注意，只有使用3.3 V内核电源电压(V_{CC})时，才可使用静噪功能。在待机状态下，P和N输出端的输出电平会被上拉至端接电源(V_{TTOA} 或 V_{TTOB})。

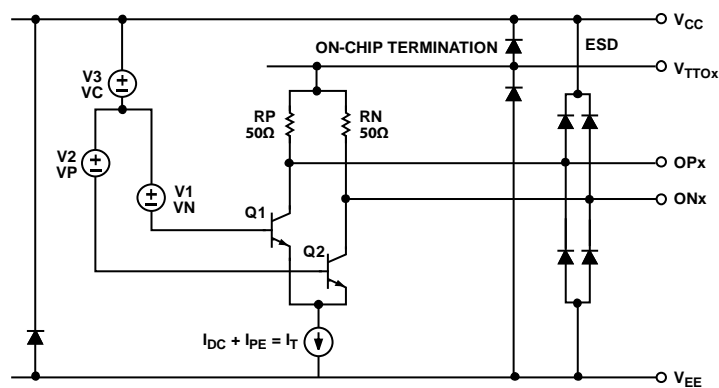


图43. 简化的Tx输出电路

表12. 预加重和输出电平设置

寄存器地址	默认值	寄存器名称	Bits	Bit名称	描述
0x80(输出0)至0xA7(输出39)和0xA8(Tx广播)	0x40	Tx通道控制输出0至Tx通道控制输出39和Tx广播	7 6:4	保留 OLEV	0(保留位) 000: 0 mA 001: 4 mA 010: 8 mA 011: 12 mA 100: 16 mA 101: 20 mA 110: 24 mA 111: (保留位)
			3	Overdrive	1: 过驱 (使OLEV和PE电流增加25%) 0: 无过驱
			2:0	PE	000: 0 mA 001: 2 mA 010: 3 mA 011: 4 mA 100: 5 mA 101: 6 mA 110: 7 mA 111: 8 mA

ADN4605

表13. 发射器输出使能状态设置

寄存器地址	默认值	寄存器名称	Bits	Bit名称	功能描述
0xB0	0x00	Tx驱动控制 Tx3至Tx0	7:6 5:4 3:2 1:0	TXEN [3] TXEN [2] TXEN [1] TXEN [0]	11: 使能 10: Tx待机 01: Tx静噪 00: Tx禁用(默认)
0xB1	0x00	Tx驱动控制 Tx7至Tx4	7:6 5:4 3:2 1:0	TXEN [7] TXEN [6] TXEN [5] TXEN [4]	
0xB2	0x00	Tx驱动控制 Tx11至Tx8	7:6 5:4 3:2 1:0	TXEN [11] TXEN [10] TXEN [9] TXEN [8]	
0xB3	0x00	Tx驱动控制 Tx15至Tx12	7:6 5:4 3:2 1:0	TXEN [15] TXEN [14] TXEN [13] TXEN [12]	
0xB4	0x00	Tx驱动控制 Tx19至Tx16	7:6 5:4 3:2 1:0	TXEN [19] TXEN [18] TXEN [17] TXEN [16]	
0xB5	0x00	Tx驱动控制 Tx23至Tx20	7:6 5:4 3:2 1:0	TXEN [23] TXEN [22] TXEN [21] TXEN [20]	
0xB6	0x00	Tx驱动控制 Tx27至Tx24	7:6 5:4 3:2 1:0	TXEN [27] TXEN [26] TXEN [25] TXEN [24]	
0xB7	0x00	Tx驱动控制 Tx31至Tx28	7:6 5:4 3:2 1:0	TXEN [31] TXEN [30] TXEN [29] TXEN [28]	
0xB8	0x00	驱动控制 Tx35至Tx32	7:6 5:4 3:2 1:0	TXEN [35] TXEN [34] TXEN [33] TXEN [32]	
0xB9	0x00	驱动控制 Tx39至Tx36	7:6 5:4 3:2 1:0	TXEN [39] TXEN [38] TXEN [37] TXEN [36]	
0xBA	0x00 (只写)	Tx驱动控制	1:0	TXENBC [39]	

发射器提供的高频提升值由输出和预加重电平设置决定。

表14提供了一个例子，用于说明绝对对输出和预加重电平设置如何决定Tx输出端上的高升频值。注意，OLEV设置是指主抽头输出电流，PE设置则是指延迟抽头电流。

预加重增强公式如下：

$$Gain[dB] = 20 \times \log_{10} \left(1 + \frac{V_{SW-PE} - V_{SW-DC}}{V_{SW-DC}} \right) \quad (1)$$

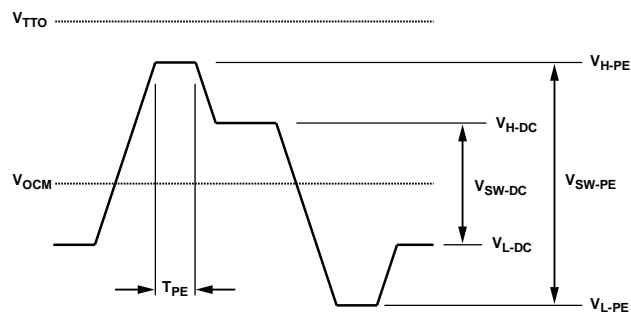


图44. 信号电平定义

表14. 预加重增强和过冲与设置的关系示例

PE设置	延迟抽头电流(mA)	OLEV设置	主抽头电流(mA)	增益(dB)	过冲(%)	直流摆幅(mV p-p Diff)
0	0	4	16	0.00	0.00	800
3	4	5	20	3.52	50.00	800
7	8	6	24	6.02	100.00	800
7	8	4	16	9.54	200.00	400
7	8	3	12	13.98	400.00	200

表15. 符号定义

符号	公式	定义
I _{DC}	可编程	主抽头输出电平的输出电流(OLEV)
I _{PE}	可编程	PE延迟抽头的输出电流(PE)
I _{TTO}	I _{DC} + I _{PE}	发射器总输出电流
V _{DPP-DC}	25 Ω × I _{DC} × 2	非预加重波形的峰峰值差分电压摆幅
V _{DPP-PE}	25 Ω × I _{TTO} × 2	预加重波形的峰峰值差分电压摆幅
V _{SW-DC}	V _{DPP-DC} /2 = V _{H-DC} - V _{L-DC}	直流单端电压摆幅
V _{SW-PE}	V _{DPP-PE} /2 = V _{H-PE} - V _{L-PE}	预加重单端电压摆幅
ΔV _{OCM_DC-COUPLED}	25 Ω × I _{TTO} /2	输出共模偏移、直流耦合输出
ΔV _{OCM_AC-COUPLED}	50 Ω × I _{TTO} /2	输出共模偏移、交流耦合输出
V _{OCM}	V _{TTO} - ΔV _{OCM} = (V _{H-DC} + V _{L-DC})/2	输出共模电压
V _{H-DC}	V _{TTO} - ΔV _{OCM} + V _{DPP-DC} /2	直流单端输出高电压
V _{L-DC}	V _{TTO} - ΔV _{OCM} - V _{DPP-DC} /2	直流单端输出低电压
V _{H-PE}	V _{TTO} - ΔV _{OCM} + V _{DPP-PE} /2	最大单端输出电压
V _{L-PE}	V _{TTO} - ΔV _{OCM} - V _{DPP-PE} /2	最小单端输出电压

ADN4605

端接

输入端和输出端均集成50 Ω端接电阻。对于需要外部端接电阻的应用，可禁用这些内部电阻。例如，通过禁用集成的50 Ω端接电阻，可允许使用其它端接电阻值(如图45所示的75 Ω)。

注意，对于高数据速率数字信号传输，集成的50 Ω端接电阻是最佳选择。禁用端接可导致整体性能下降。

可通过寄存器地址0xD0(输入0至输入19)和寄存器地址

0xD1(输入20至输入39)来访问接收器输入端的端接控制。

可通过寄存器地址0xBC(输出0至输出19)和寄存器地址0xBD(输出20至输出39)来访问发射器输出端的端接控制。

表16显示各个端接控制寄存器。每个bit控制四个输入端/输出端的端接设置。逻辑0使能相应组的端接。逻辑1则禁用相应组的端接。默认会使能端接。

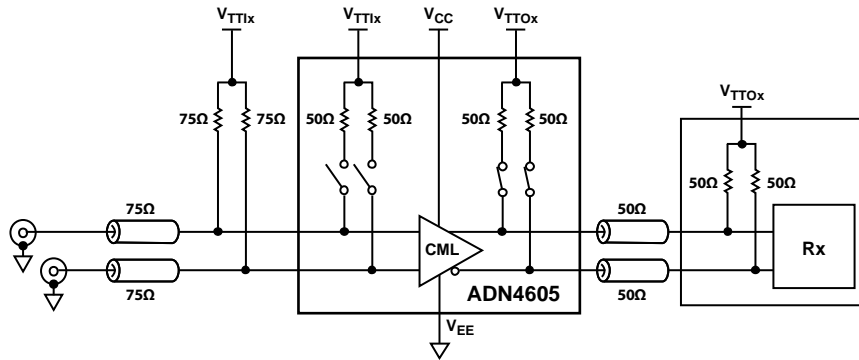


图45. 75 Ω至50 Ω阻抗转换器

表16. 端接控制寄存器

寄存器地址	默认值	寄存器名称	Bit	Bit名称	描述	功能
0xBD	0x00	Tx端接控制	4	TXB_TERM	输出[39:36](B侧)端接控制	0 = 端接使能 1 = 端接禁用
			3	TXB_TERM	输出[35:32](B侧)端接控制	
			2	TXB_TERM	输出[31:28](B侧)端接控制	
			1	TXB_TERM	输出[27:24](B侧)端接控制	
			0	TXB_TERM	输出[23:20](B侧)端接控制	
0xBC	0x00	Tx端接控制	4	TXA_TERM	输出[19:16](A侧)端接控制	
			3	TXA_TERM	输出[15:12](A侧)端接控制	
			2	TXA_TERM	输出[11:8](A侧)端接控制	
			1	TXA_TERM	输出[7:4](A侧)端接控制	
			0	TXA_TERM	输出[3:0](A侧)端接控制	
0xD1	0x00	Rx端接控制	4	RXB_TERM	输入[39:36](B侧)端接控制	
			3	RXB_TERM	输入[35:32](B侧)端接控制	
			2	RXB_TERM	输入[31:28](B侧)端接控制	
			1	RXB_TERM	输入[27:24](B侧)端接控制	
			0	RXB_TERM	输入[23:20](B侧)端接控制	
0xD0	0x00	Rx端接控制	4	RXA_TERM	输入[19:16](A侧)端接控制	
			3	RXA_TERM	输入[15:12](A侧)端接控制	
			2	RXA_TERM	输入[11:8](A侧)端接控制	
			1	RXA_TERM	输入[7:4](A侧)端接控制	
			0	RXA_TERM	输入[3:0](A侧)端接控制	

I²C串行控制接口

ADN4605的寄存器组通过双线式I²C接口来控制。要访问I²C串行接口，则SER/PA \bar{R} 线路和I²C/SPI线路必须保持逻辑高电平。ADN4605只用作一个I²C从机。因此，系统中的I²C总线需要包含一个I²C主机，用于配置ADN4605以及该总线上可能存在的其它I²C设备。

ADN4605的I²C接口支持标准(100 kHz)和快速(400 kHz)模式。只有SCL引脚处于低电平时，SDA线路才会改变值，但有两种情况除外。要指示传输开始或继续，应在SCL引脚处于高电平时将SDA引脚拉低；要指示传输结束，则应在SCL线路处于高电平时将SDA线路拉高。因此，除非指示起始、重复起始或停止条件，否则务必要控制SCL时钟仅在SDA线路保持稳定时进行切换。要与ADN4605建立I²C通信，需要将并行地址线路(ADDR[7:1])配置为用户分配的I²C器件地址，如表17中所示。

表17. I²C器件地址分配示例

A7	A6	A5	A4	A3	A2	A1	A0	I ² C器件地址
1	0	0	1	0	0	0	X	0x90
1	0	0	1	0	0	1	X	0x92
1	0	0	1	0	1	0	X	0x94
1	0	0	1	0	1	1	X	0x96

I²C数据写入

要将数据写入ADN4605的寄存器组，微控制器或任何其它I²C主机必须将适当的控制信号发送至ADN4605从机。下面列出了应遵循的步骤；除非另有说明，信号均由I²C主机来控制。图46显示的是流程图。

1. 发送起始条件(在SCL线路保持高电平期间，拉低SDA线路)。

2. 发送ADN4605器件地址(七位)，其中位由输入引脚ADDR[7:1]来控制。此传输应MSB优先。
3. 发送写指示位(0)。
4. 等待ADN4605应答该请求。
5. 发送要将数据写入至的寄存器地址(八位)。此传输应MSB优先。
6. 等待ADN4605应答该请求。
7. 将要写入的数据(八位)发送至第5步中所设地址指向的寄存器。此传输应MSB优先。
8. 等待ADN4605应答该请求。
9. 执行以下一个或多个操作：
 - a. 发送停止条件(在SCL线路保持高电平期间，将SDA线路拉高)并释放总线控制。
 - b. 发送重复起始条件(在SCL线路保持高电平期间，将SDA线路拉低)并继续执行写入程序的第2步(参见“I²C数据写入”部分)来执行写入。
 - c. 发送重复起始条件(在SCL线路保持高电平期间，将SDA线路拉低)并继续执行此程序的第2步来从其它地址执行读取。
 - d. 发送重复起始条件(在SCL线路保持高电平期间，将SDA线路拉低)并继续执行此程序的第8步来从同一地址执行读取。

ADN4605写入流程如图46所示。图中显示了SCL信号以及通用写操作和特定示例。该例子中以器件地址0x92将数据0x4B写入ADN4605器件的地址0x6D。ADN4605器件地址选择要比此处所示更为灵活。必须注意，只有SCL线路处于低电平时，SDA线路才会发生变化，不过发送起始条件、停止条件或重复起始条件等情况(本例中的第1步和第9步)除外。

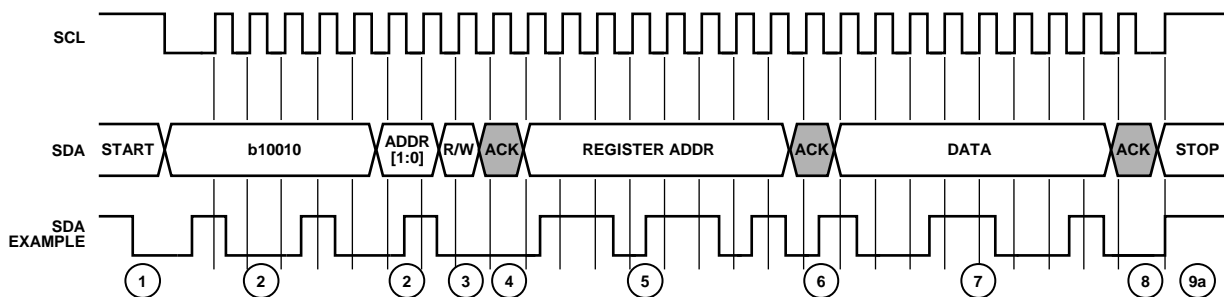


图46. I²C写入时序图

ADN4605

I²C数据读取

要从ADN4605的寄存器组读取数据，微控制器或任何其它I²C主机需要将适当的控制信号发送至ADN4605从机。下面列出了相关步骤；除非另有说明，信号均由I²C主机来控制。图47显示的是流程图。

1. 发送起始条件(在SCL线路保持高电平期间，拉低SDA线路)。
2. 发送ADN4605器件地址(七位)，其中位由输入引脚ADDR[7:1]来控制。此传输应MSB优先。
3. 发送写指示位(0)。
4. 等待ADN4605应答该请求。
5. 发送要从中读取数据的寄存器地址(八位)。此传输应MSB优先。该寄存器地址保存在ADN4605的存储器中，直到器件复位或通过同一程序覆写该寄存器地址(第1步至第6步)为止。
6. 等待ADN4605应答该请求。
7. 发送重复起始条件(在SCL线路保持高电平期间，拉低SDA线路)。
8. 发送ADN4605器件地址(七位)，其中位由输入引脚ADDR[7:1]来控制。此传输应MSB优先。
9. 发送读指示位(1)。
10. 等待ADN4605应答该请求。
11. 然后，ADN4605以串行方式传输第5步所示寄存器中保存的数据(八位)。
12. 应答该数据。

13. 执行以下一个或多个操作：

- a. 发送停止条件(在SCL线路保持高电平期间，将SDA线路拉高)并释放总线控制。
- b. 发送重复起始条件(在SCL线路保持高电平期间，将SDA线路拉低)并继续执行写入程序的第2步(参见“I²C数据写入”部分)来执行写入。
- c. 发送重复起始条件(在SCL线路保持高电平期间，将SDA线路拉低)并继续执行此程序的第2步来从其它地址执行读取。
- d. 发送重复起始条件(在SCL线路保持高电平期间，将SDA线路拉低)并继续执行此程序的第8步来从同一地址执行读取。

ADN4605读取流程如图47所示。图中显示了SCL信号以及通用读操作和特定示例。该例子中以器件地址0x92从ADN4605器件的地址0x6D读取数据0x49。器件地址为七位宽并由ADN4605 (ADDR[7:1])组成。在本例中，ADDR[1:0] bits设置为b01。

在图47中，对应的步骤编号显示在波形下的圆圈中。SCL线路由I²C主机驱动，而永远不会由ADN4605从机驱动。至于SDA线路，阴影多边形中的数据由ADN4605驱动，而非阴影多边形中的数据则由I²C主机驱动。图中显示的结束阶段情况针对的是第13a步。

注意，只有SCL线路处于低电平时，SDA线路才会发生变化，不过发送起始条件、停止条件或重复起始条件等情况(例如第1步、第7步和第13步)除外。在图47中，A等同于ACK。同样，Sr表示重复起始条件，即SDA线路在SCL上升之前被拉高。然后，在SCL仍处于高电平时，SDA变为低电平。

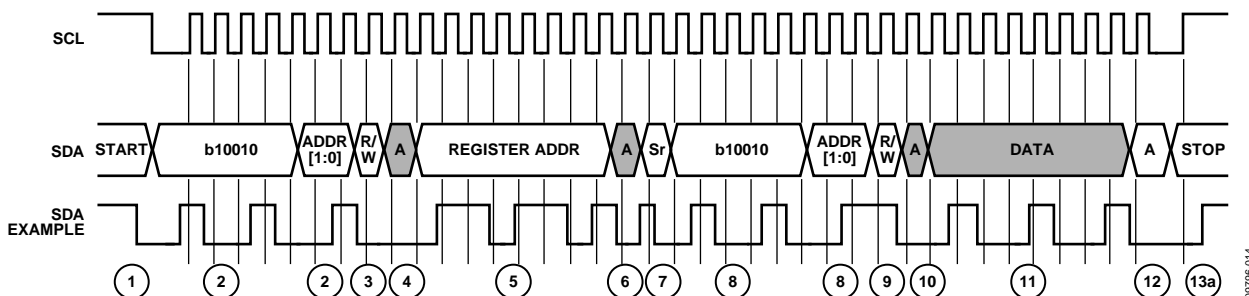


图47. I²C读取时序图

SPI串行控制接口

ADN4605的SPI串行接口由以下四条线组成： \overline{CS} 、SCK、SDI和SDO。要访问SPI接口，SER/ \overline{PAR} 线路必须保持逻辑高电平且PC/SPI线路必须保持逻辑低电平。 \overline{CS} 用于在串行时钟和数据线路上连接有多个器件时选择该器件，并且必须保持逻辑低电平，以便在SPI控制模式下使能器件的写入/读取功能。

SCK用于将数据逐个输入器件和从器件逐个输出数据。SDI线路用于写入寄存器，SDO线路则用于从寄存器回读数据。SDI线路上的数据在SCK的上升沿逐个输入。SDO上的数据在SCK的下降沿发生变化。建议的上拉电阻值介于500 Ω 和1 k Ω 之间。使用接近最大限值的串行时钟速度时或者SPI接口线路具有大容性负载时，需要使用强上拉。当串行时钟速度下降时，可使用更大阻值的上拉电阻。

器件采用从机模式工作并需要在SCK输入端施加外部串行时钟。利用该串行接口，器件可以与所提供串行时钟与串行数据同步的系统进行接口。

有两种类型的串行操作，即读取和写入。读操作和写操作利用命令字来区分，如表18中所示。

表18. SPI命令字

写命令	0x02 (0000 0010)
读命令	0x03 (0000 0011)

写操作

图48显示了对ADN4605执行的一个写操作时序图。数据在SCK的上升沿逐个输入寄存器。当 \overline{CS} 线路处于高电平时，SDI和SDO线路处于三态模式。只有 \overline{CS} 从高电平变为低电平时，器件才会接受SDI线路上的任何数据。8位写命令必须先于寄存器地址字节。寄存器地址字节之后接着是图48中所示的数据字节。为了能够连续执行写入，地址指针寄存器会自动递增1，而不必每次加载地址指针寄存器。后续数据字节将写入相继寄存器中。注意，并非256字节地址空间中的所有寄存器都存在，另外并非所有寄存器都是可写寄存器。实施连续写操作时，应针对不存在的地址字段输入0。地址空间0xE0至地址0xFF保留，不应覆写。

读操作

要回读寄存器，首先应发送读命令，后跟所需的寄存器地址。在后续时钟周期内，当 \overline{CS} 置位低电平时，以流方式从所需寄存器地址开始将数据传输至SDO且以MSB优先方式进行。SDO在SCK的下降沿发生变化。由于地址指针寄存器会自动递增，因此SPI串行模式下可以进行多数据读取。

ADN4605

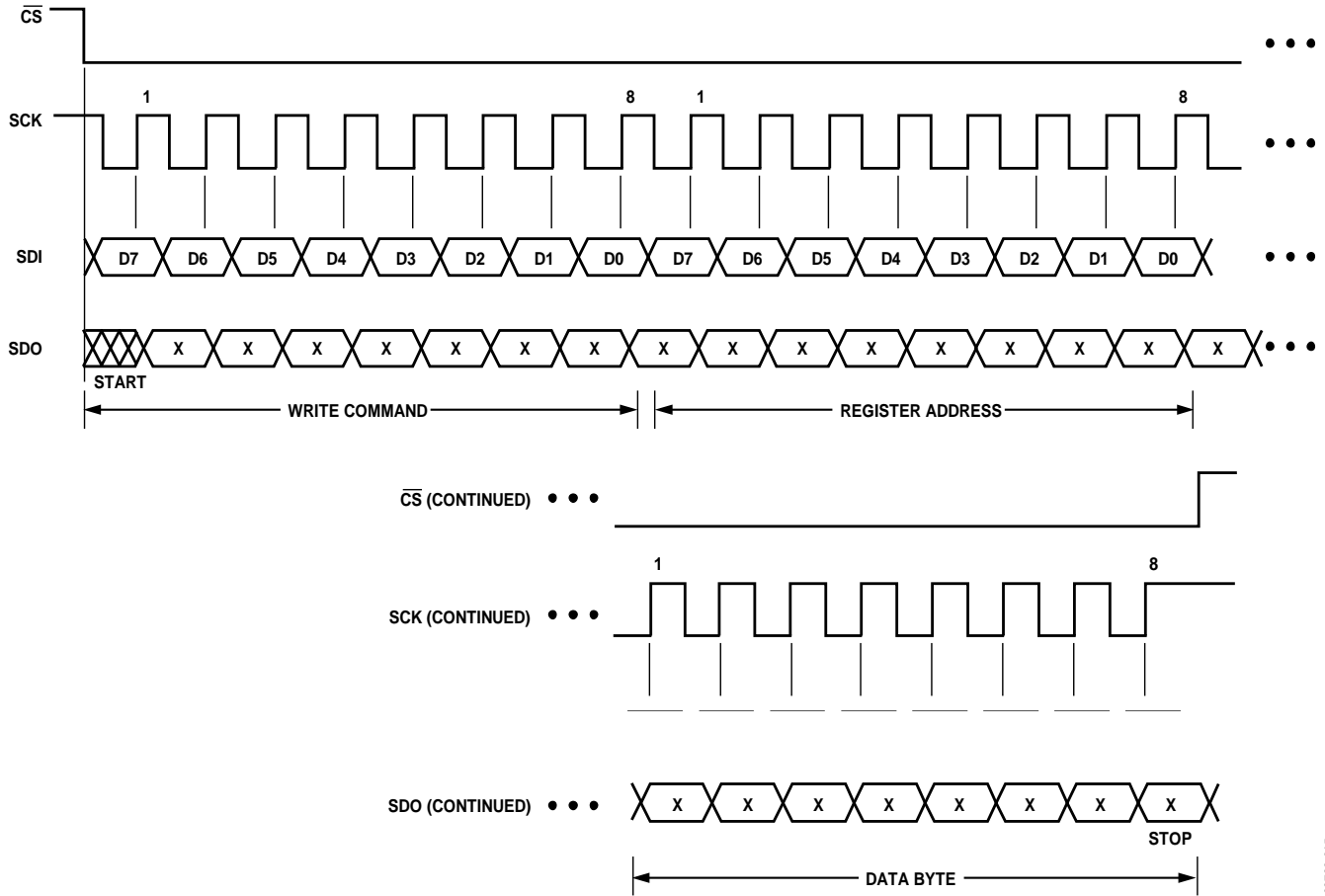


图48. SPI-写入地址指针寄存器，然后将一个单字节数据写入选定寄存器

007586-015

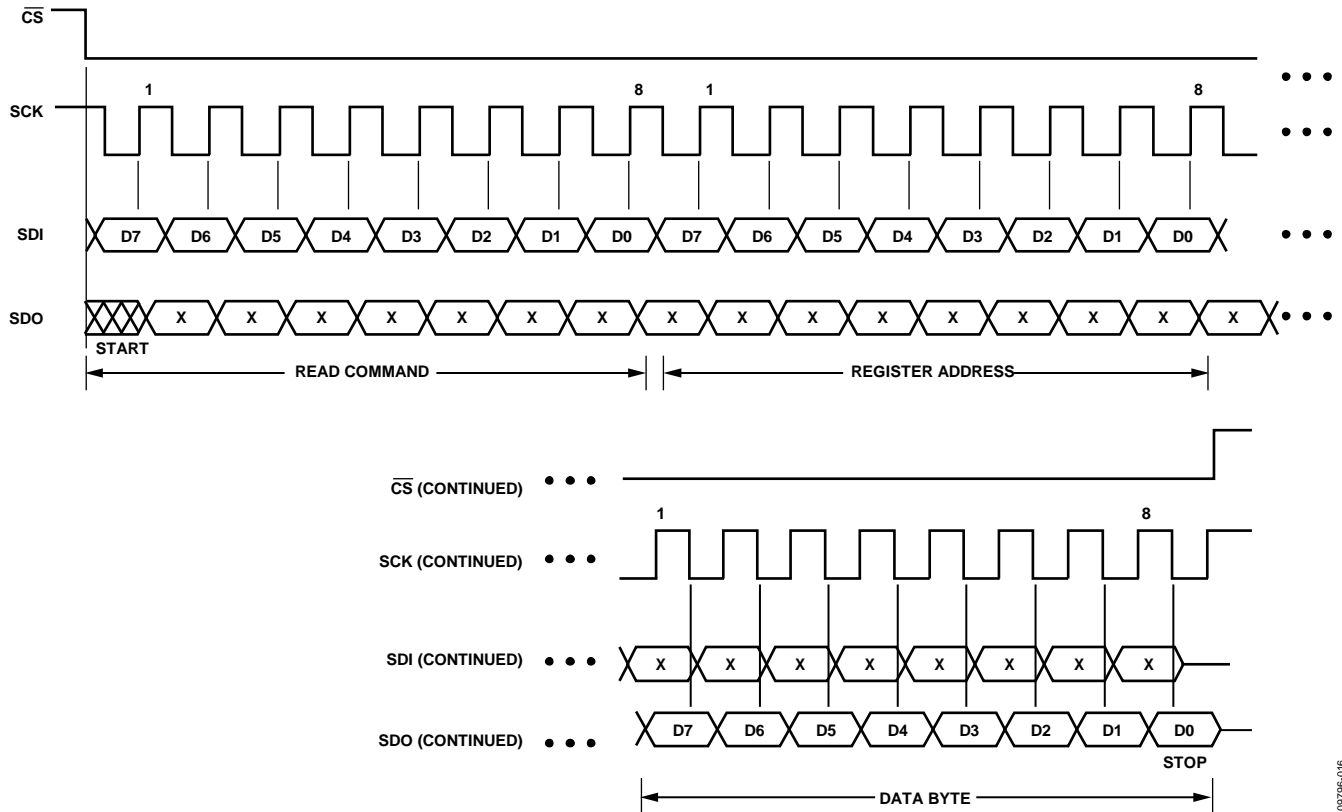


图49. SPI - 从选定寄存器读取一个单字节数据

06756-016

并行控制接口

ADN4605的并行控制接口由以下十九条线组成：ADDR[7:0]、DATA[7:0]、 \overline{WE} 、 \overline{RE} 和 \overline{CS} 。要访问并行控制接口， $\overline{SER}/\overline{PAR}$ 线路必须保持逻辑低电平。 \overline{CS} 线路在同一地址和数据线路上连接有多个器件时选择其中一个器件。 \overline{CS} 线路必须保持逻辑低电平，以便在并行控制模式下使能器件的写入/读取功能。

地址输入：ADDR[7:0]

施加于地址线路的二进制编码地址决定要编程或回读的具体器件寄存器。

数据输入/输出：DATA[7:0]

在写入模式下，施加于数据线路(DATA[7:0])的二进制编码数据决定地址线路(ADDR[7:0])所指定寄存器的配置设置。

在读取模式下，数据线路(DATA[7:0])为低阻抗输出，表示地址线路(ADDR[7:0])所指定寄存器中存储的数据字节。注意，部分寄存器为只写寄存器，可能无法从其回读数据(见表19)。回读驱动器仅用于驱动高阻抗(>1 k Ω)。

写操作

对于第一级写入使能，通过将此引脚强制为逻辑低电平，可使DATA[7:0]线路上的数据存储在地址线路(ADDR[7:0])所指定寄存器的第一级锁存器。数据在写入使能脉冲的高电平至低电平转换期间锁存。 \overline{WE} 线路必须在写入周期后返回到逻辑高电平状态，以免覆盖第一级数据。

读操作

对于第二级读取使能，通过将此引脚强制为逻辑低电平状态，可使能双向数据线路(DATA[7:0])上的输出驱动器，从而将逻辑置于回读工作模式。要回读的寄存器由地址线路(ADDR[7:0])上配置的二进制编码数据决定。当读取使能线路处于逻辑低电平时，指定寄存器中存储的数据将锁存至数据线路(DATA[7:0])。 \overline{RE} 线路的优先级高于 \overline{WE} 线路；因此，回读模式下无法进行第一级编程。注意，部分寄存器定义为只写寄存器，在回读模式下无法访问(见表19)。

寄存器映射

请注意，在“寄存器映射”中，当“描述”栏中提供的设置针对第一个bit时，这些设置适用于具有相同功能的所有bits。

表19. 寄存器映射

地址：通道	默认值	寄存器名称	Bits	Bit名称	描述
0x00	0x00 只写	软件复位	0	复位	软件复位
0x01	0x0 只写	XPT更新	0	XPT更新	更新交叉点开关内核
0x02	0x00	XPT映射表选择	0	映射表选择	0：选取映射0 1：选取映射1
0x03	只写	XPT广播	5:0	XPT BCAST [5:0]	所有输出连接分配
0x04	0x00	XPT映射0控制0	5:0	OUT 0 [5:0]	输出0连接分配
0x05	0x01	XPT映射0控制1	5:0	OUT 1 [5:0]	输出1连接分配
0x06	0x02	XPT映射0控制2	5:0	OUT 2 [5:0]	输出2连接分配
0x07	0x03	XPT映射0控制3	5:0	OUT 3 [5:0]	输出3连接分配
0x08	0x04	XPT映射0控制4	5:0	OUT 4 [5:0]	输出4连接分配
0x09	0x05	XPT映射0控制5	5:0	OUT 5 [5:0]	输出5连接分配
0x0A	0x06	XPT映射0控制6	5:0	OUT 6 [5:0]	输出6连接分配
0x0B	0x07	XPT映射0控制7	5:0	OUT 7 [5:0]	输出7连接分配
0x0C	0x08	XPT映射0控制8	5:0	OUT 8 [5:0]	输出8连接分配
0x0D	0x09	XPT映射0控制9	5:0	OUT 9 [5:0]	输出9连接分配
0x0E	0x0A	XPT映射0控制10	5:0	OUT 10 [5:0]	输出10连接分配
0x0F	0x0B	XPT映射0控制11	5:0	OUT 11 [5:0]	输出11连接分配
0x10	0x0C	XPT映射0控制12	5:0	OUT 12 [5:0]	输出12连接分配
0x11	0x0D	XPT映射0控制13	5:0	OUT 13 [5:0]	输出13连接分配
0x12	0x0E	XPT映射0控制14	5:0	OUT 14 [5:0]	输出14连接分配
0x13	0x0F	XPT映射0控制15	5:0	OUT 15 [5:0]	输出15连接分配
0x14	0x10	XPT映射0控制16	5:0	OUT 16 [5:0]	输出16连接分配
0x15	0x11	XPT映射0控制17	5:0	OUT 17 [5:0]	输出17连接分配
0x16	0x12	XPT映射0控制18	5:0	OUT 18 [5:0]	输出18连接分配
0x17	0x13	XPT映射0控制19	5:0	OUT 19 [5:0]	输出19连接分配
0x18	0x14	XPT映射0控制20	5:0	OUT 20 [5:0]	输出20连接分配
0x19	0x15	XPT映射0控制21	5:0	OUT 21 [5:0]	输出21连接分配
0x1A	0x16	XPT映射0控制22	5:0	OUT 22 [5:0]	输出22连接分配
0x1B	0x17	XPT映射0控制23	5:0	OUT 23 [5:0]	输出23连接分配
0x1C	0x18	XPT映射0控制24	5:0	OUT 24 [5:0]	输出24连接分配
0x1D	0x19	XPT映射0控制25	5:0	OUT 25 [5:0]	输出25连接分配
0x1E	0x1A	XPT映射0控制26	5:0	OUT 26 [5:0]	输出26连接分配
0x1F	0x1B	XPT映射0控制27	5:0	OUT 27 [5:0]	输出27连接分配
0x20	0x1C	XPT映射0控制28	5:0	OUT 28 [5:0]	输出28连接分配
0x21	0x1D	XPT映射0控制29	5:0	OUT 29 [5:0]	输出29连接分配
0x22	0x1E	XPT映射0控制30	5:0	OUT 30 [5:0]	输出30连接分配
0x23	0x1F	XPT映射0控制31	5:0	OUT 31 [5:0]	输出31连接分配
0x24	0x20	XPT映射0控制32	5:0	OUT 32 [5:0]	输出32连接分配
0x25	0x21	XPT映射0控制33	5:0	OUT 33 [5:0]	输出33连接分配
0x26	0x22	XPT映射0控制34	5:0	OUT 34 [5:0]	输出34连接分配
0x27	0x23	XPT映射0控制35	5:0	OUT 35 [5:0]	输出35连接分配
0x28	0x24	XPT映射0控制36	5:0	OUT 36 [5:0]	输出36连接分配
0x29	0x25	XPT映射0控制37	5:0	OUT 37 [5:0]	输出37连接分配
0x2A	0x26	XPT映射0控制38	5:0	OUT 38 [5:0]	输出38连接分配
0x2B	0x27	XPT映射0控制39	5:0	OUT 39 [5:0]	输出39连接分配

ADN4605

地址: 通道	默认值	寄存器名称	Bits	Bit名称	描述
0x2C	0x27	XPT映射1控制0	5:0	OUT 0 [5:0]	输出0连接分配
0x2D	0x26	XPT映射1控制1	5:0	OUT 1 [5:0]	输出1连接分配
0x2E	0x25	XPT映射1控制2	5:0	OUT 2 [5:0]	输出2连接分配
0x2F	0x24	XPT映射1控制3	5:0	OUT 3 [5:0]	输出3连接分配
0x30	0x23	XPT映射1控制4	5:0	OUT 4 [5:0]	输出4连接分配
0x31	0x22	XPT映射1控制5	5:0	OUT 5 [5:0]	输出5连接分配
0x32	0x21	XPT映射1控制6	5:0	OUT 6 [5:0]	输出6连接分配
0x33	0x20	XPT映射1控制7	5:0	OUT 7 [5:0]	输出7连接分配
0x34	0x1F	XPT映射1控制8	5:0	OUT 8 [5:0]	输出8连接分配
0x35	0x1E	XPT映射1控制9	5:0	OUT 9 [5:0]	输出9连接分配
0x36	0x1D	XPT映射1控制10	5:0	OUT 10 [5:0]	输出10连接分配
0x37	0x1C	XPT映射1控制11	5:0	OUT 11 [5:0]	输出11连接分配
0x38	0x1B	XPT映射1控制12	5:0	OUT 12 [5:0]	输出12连接分配
0x39	0x1A	XPT映射1控制13	5:0	OUT 13 [5:0]	输出13连接分配
0x3A	0x19	XPT映射1控制14	5:0	OUT 14 [5:0]	输出14连接分配
0x3B	0x18	XPT映射1控制15	5:0	OUT 15 [5:0]	输出15连接分配
0x3C	0x17	XPT映射1控制16	5:0	OUT 16 [5:0]	输出16连接分配
0x3D	0x16	XPT映射1控制17	5:0	OUT 17 [5:0]	输出17连接分配
0x3E	0x15	XPT映射1控制18	5:0	OUT 18 [5:0]	输出18连接分配
0x3F	0x14	XPT映射1控制19	5:0	OUT 19 [5:0]	输出19连接分配
0x40	0x13	XPT映射1控制20	5:0	OUT 20 [5:0]	输出20连接分配
0x41	0x12	XPT映射1控制21	5:0	OUT 21 [5:0]	输出21连接分配
0x42	0x11	XPT映射1控制22	5:0	OUT 22 [5:0]	输出22连接分配
0x43	0x10	XPT映射1控制23	5:0	OUT 23 [5:0]	输出23连接分配
0x44	0x0F	XPT映射1控制24	5:0	OUT 24 [5:0]	输出24连接分配
0x45	0x0E	XPT映射1控制25	5:0	OUT 25 [5:0]	输出25连接分配
0x46	0x0D	XPT映射1控制26	5:0	OUT 26 [5:0]	输出26连接分配
0x47	0x0C	XPT映射1控制27	5:0	OUT 27 [5:0]	输出27连接分配
0x48	0x0B	XPT映射1控制28	5:0	OUT 28 [5:0]	输出28连接分配
0x49	0x0A	XPT映射1控制29	5:0	OUT 29 [5:0]	输出29连接分配
0x4A	0x09	XPT映射1控制30	5:0	OUT 30 [5:0]	输出30连接分配
0x4B	0x08	XPT映射1控制31	5:0	OUT 31 [5:0]	输出31连接分配
0x4C	0x07	XPT映射1控制32	5:0	OUT 32 [5:0]	输出32连接分配
0x4D	0x06	XPT映射1控制33	5:0	OUT 33 [5:0]	输出33连接分配
0x4E	0x05	XPT映射1控制34	5:0	OUT 34 [5:0]	输出34连接分配
0x4F	0x04	XPT映射1控制35	5:0	OUT 35 [5:0]	输出35连接分配
0x50	0x03	XPT映射1控制36	5:0	OUT 36 [5:0]	输出36连接分配
0x51	0x02	XPT映射1控制37	5:0	OUT 37 [5:0]	输出37连接分配
0x52	0x01	XPT映射1控制38	5:0	OUT 38 [5:0]	输出38连接分配
0x53	0x00	XPT映射1控制39	5:0	OUT 39 [5:0]	输出39连接分配
0x54	0x00	XPT状态0	5:0	OUT 0 [5:0]	输出0连接状态
0x55	0x00	XPT状态1	5:0	OUT 1 [5:0]	输出1连接状态
0x56	0x00	XPT状态2	5:0	OUT 2 [5:0]	输出2连接状态
0x57	0x00	XPT状态3	5:0	OUT 3 [5:0]	输出3连接状态
0x58	0x00	XPT状态4	5:0	OUT 4 [5:0]	输出4连接状态
0x59	0x00	XPT状态5	5:0	OUT 5 [5:0]	输出5连接状态
0x5A	0x00	XPT状态6	5:0	OUT 6 [5:0]	输出6连接状态
0x5B	0x00	XPT状态7	5:0	OUT 7 [5:0]	输出7连接状态
0x5C	0x00	XPT状态8	5:0	OUT 8 [5:0]	输出8连接状态
0x5D	0x00	XPT状态9	5:0	OUT 9 [5:0]	输出9连接状态
0x5E	0x00	XPT状态10	5:0	OUT 10 [5:0]	输出10连接状态
0x5F	0x00	XPT状态11	5:0	OUT 11 [5:0]	输出11连接状态
0x60	0x00	XPT状态12	5:0	OUT 12 [5:0]	输出12连接状态

地址：通道	默认值	寄存器名称	Bits	Bit名称	描述
0x61	0x00	XPT状态13	5:0	OUT 13 [5:0]	输出13连接状态
0x62	0x00	XPT状态14	5:0	OUT 14 [5:0]	输出14连接状态
0x63	0x00	XPT状态15	5:0	OUT 15 [5:0]	输出15连接状态
0x64	0x00	XPT状态16	5:0	OUT 16 [5:0]	输出16连接状态
0x65	0x00	XPT状态17	5:0	OUT 17 [5:0]	输出17连接状态
0x66	0x00	XPT状态18	5:0	OUT 18 [5:0]	输出18连接状态
0x67	0x00	XPT状态19	5:0	OUT 19 [5:0]	输出19连接状态
0x68	0x00	XPT状态20	5:0	OUT 20 [5:0]	输出20连接状态
0x69	0x00	XPT状态21	5:0	OUT 21 [5:0]	输出21连接状态
0x6A	0x00	XPT状态22	5:0	OUT 22 [5:0]	输出22连接状态
0x6B	0x00	XPT状态23	5:0	OUT 23 [5:0]	输出23连接状态
0x6C	0x00	XPT状态24	5:0	OUT 24 [5:0]	输出24连接状态
0x6D	0x00	XPT状态25	5:0	OUT 25 [5:0]	输出25连接状态
0x6E	0x00	XPT状态26	5:0	OUT 26 [5:0]	输出26连接状态
0x6F	0x00	XPT状态27	5:0	OUT 27 [5:0]	输出27连接状态
0x70	0x00	XPT状态28	5:0	OUT 28 [5:0]	输出28连接状态
0x71	0x00	XPT状态29	5:0	OUT 29 [5:0]	输出29连接状态
0x72	0x00	XPT状态30	5:0	OUT 30 [5:0]	输出30连接状态
0x73	0x00	XPT状态31	5:0	OUT 31 [5:0]	输出31连接状态
0x74	0x00	XPT状态32	5:0	OUT 32 [5:0]	输出32连接状态
0x75	0x00	XPT状态33	5:0	OUT 33 [5:0]	输出33连接状态
0x76	0x00	XPT状态34	5:0	OUT 34 [5:0]	输出34连接状态
0x77	0x00	XPT状态35	5:0	OUT 35 [5:0]	输出35连接状态
0x78	0x00	XPT状态36	5:0	OUT 36 [5:0]	输出36连接状态
0x79	0x00	XPT状态37	5:0	OUT 37[5:0]	输出37连接状态
0x7A	0x00	XPT状态38	5:0	OUT 38 [5:0]	输出38连接状态
0x7B	0x00	XPT状态39	5:0	OUT 39 [5:0]	输出39连接状态
0x7D	0x00	XPT裕量	0	XPT_HDROOM	0 = 禁用, 1 = 使能(VCC > 2.7V时需要)
0x80: 输出0	0x40	Tx通道控制	7	保留	0(保留位)
0x81: 输出1	0x40	Tx通道控制	6:4	OLEV [2:0]	000: 0 mA
0x82: 输出2	0x40	Tx通道控制			001: 4 mA
0x83: 输出3	0x40	Tx通道控制			010: 8 mA
0x84: 输出4	0x40	Tx通道控制			011: 12 mA
0x85: 输出5	0x40	Tx通道控制			100: 16 mA(默认)
0x86: 输出6	0x40	Tx通道控制			101: 20 mA
0x87: 输出7	0x40	Tx通道控制			110: 24 mA
0x88: 输出8	0x40	Tx通道控制			111: (保留位)
0x89: 输出9	0x40	Tx通道控制			
0x8A: 输出10	0x40	Tx通道控制			
0x8B: 输出11	0x40	Tx通道控制	3	Overdrive	1: 过驱(使OLEV和PE电流增加25%)
0x8C: 输出12	0x40	Tx通道控制			0: 无过驱(默认)
0x8D: 输出13	0x40	Tx通道控制			
0x8E: 输出14	0x40	Tx通道控制			
0x8F: 输出15	0x40	Tx通道控制	2:0	PE [2:0]	000: 0 mA(默认)
0x90: 输出16	0x40	Tx通道控制			001: 2 mA
0x91: 输出17	0x40	Tx通道控制			010: 3 mA
0x92: 输出18	0x40	Tx通道控制			011: 4 mA
0x93: 输出19	0x40	Tx通道控制			100: 5 mA
0x94: 输出20	0x40	Tx通道控制			101: 6 mA
0x95: 输出21	0x40	Tx通道控制			110: 7 mA
0x96: 输出22	0x40	Tx通道控制			111: 8 mA
0x97: 输出23	0x40	Tx通道控制			
0x98: 输出24	0x40	Tx通道控制			

ADN4605

地址: 通道	默认值	寄存器名称	Bits	Bit名称	描述
0x99: 输出25	0x40	Tx通道控制			
0x9A: 输出26	0x40	Tx通道控制			
0x9B: 输出27	0x40	Tx通道控制			
0x9C: 输出28	0x40	Tx通道控制			
0x9D: 输出29	0x40	Tx通道控制			
0x9E: 输出30	0x40	Tx通道控制			
0x9F: 输出31	0x40	Tx通道控制			
0xA0: 输出32	0x40	Tx通道控制			
0xA1: 输出33	0x40	Tx通道控制			
0xA2: 输出34	0x40	Tx通道控制			
0xA3: 输出35	0x40	Tx通道控制			
0xA4: 输出36	0x40	Tx通道控制			
0xA5: 输出37	0x40	Tx通道控制			
0xA6: 输出38	0x40	Tx通道控制			
0xA7: 输出39	0x40	Tx通道控制			
0xA8: Tx广播	0x40	Tx通道控制			
0xA9	0x0	Tx符号控制	7 6 5 4 3 2 1 0	TXSIGN [7] TXSIGN [6] TXSIGN [5] TXSIGN [4] TXSIGN [3] TXSIGN [2] TXSIGN [1] TXSIGN [0]	信号路径极性反转输出7 0 = 不反转 1 = 反转 信号路径极性反转输出6 信号路径极性反转输出5 信号路径极性反转输出4 信号路径极性反转输出3 信号路径极性反转输出2 信号路径极性反转输出1 信号路径极性反转输出0
0xAA	0x0	Tx符号控制	7 6 5 4 3 2 1 0	TXSIGN [15] TXSIGN [14] TXSIGN [13] TXSIGN [12] TXSIGN [11] TXSIGN [10] TXSIGN [9] TXSIGN [8]	信号路径极性反转输出15 信号路径极性反转输出14 信号路径极性反转输出13 信号路径极性反转输出12 信号路径极性反转输出11 信号路径极性反转输出10 信号路径极性反转输出9 信号路径极性反转输出8
0xAB	0x0	Tx符号控制	7 6 5 4 3 2 1 0	TXSIGN [23] TXSIGN [22] TXSIGN [21] TXSIGN [20] TXSIGN [19] TXSIGN [18] TXSIGN [17] TXSIGN [16]	信号路径极性反转输出23 信号路径极性反转输出22 信号路径极性反转输出21 信号路径极性反转输出20 信号路径极性反转输出19 信号路径极性反转输出18 信号路径极性反转输出17 信号路径极性反转输出16
0xAC	0x0	Tx符号控制	7 6 5 4 3 2 1 0	TXSIGN [31] TXSIGN [30] TXSIGN [29] TXSIGN [28] TXSIGN [27] TXSIGN [26] TXSIGN [25] TXSIGN [24]	信号路径极性反转输出31 信号路径极性反转输出30 信号路径极性反转输出29 信号路径极性反转输出28 信号路径极性反转输出27 信号路径极性反转输出26 信号路径极性反转输出25 信号路径极性反转输出24

地址：通道	默认值	寄存器名称	Bits	Bit名称	描述
0xAD	0x0	Tx符号控制	7 6 5 4 3 2 1 0	TXSIGN [39] TXSIGN [38] TXSIGN [37] TXSIGN [36] TXSIGN [35] TXSIGN [34] TXSIGN [33] TXSIGN [32]	信号路径极性反转输出39 信号路径极性反转输出38 信号路径极性反转输出37 信号路径极性反转输出36 信号路径极性反转输出35 信号路径极性反转输出34 信号路径极性反转输出33 信号路径极性反转输出32
0xB0	0x0	Tx驱动控制	7:6 5:4 3:2 1:0	TXEN [3] TXEN [2] TXEN [1] TXEN [0]	Tx使能状态输出3 11 = 使能 10 = 待机 01 = 静噪 00 = 禁用 Tx使能状态输出2 Tx使能状态输出1 Tx使能状态输出0
0xB1	0x0	Tx驱动控制	7:6 5:4 3:2 1:0	TXEN [7] TXEN [6] TXEN [5] TXEN [4]	Tx使能状态输出7 11 = 使能 10 = 待机 01 = 静噪 00 = 禁用 Tx使能状态输出6 Tx使能状态输出5 Tx使能状态输出4
0xB2	0x0	Tx驱动控制	7:6 5:4 3:2 1:0	TXEN [11] TXEN [10] TXEN [9] TXEN [8]	Tx使能状态输出11 11 = 使能 10 = 待机 01 = 静噪 00 = 禁用 Tx使能状态输出10 Tx使能状态输出9 Tx使能状态输出8
0xB3	0x0	Tx驱动控制	7:6 5:4 3:2 1:0	TXEN [15] TXEN [14] TXEN [13] TXEN [12]	Tx使能状态输出15 11 = 使能 10 = 待机 01 = 静噪 00 = 禁用 Tx使能状态输出14 Tx使能状态输出13 Tx使能状态输出12
0xB4	0x0	Tx驱动控制	7:6 5:4 3:2 1:0	TXEN [19] TXEN [18] TXEN [17] TXEN [16]	Tx使能状态输出19 11 = 使能 10 = 待机 01 = 静噪 00 = 禁用 Tx使能状态输出18 Tx使能状态输出17 Tx使能状态输出16

ADN4605

地址: 通道	默认值	寄存器名称	Bits	Bit名称	描述
0xB5	0x0	Tx驱动控制	7:6	TXEN [23]	Tx使能状态输出23 11 = 使能 10 = 待机 01 = 静噪 00 = 禁用
			5:4	TXEN [22]	Tx使能状态输出22
			3:2	TXEN [21]	Tx使能状态输出21
			1:0	TXEN [20]	Tx使能状态输出20
0xB6	0x0	Tx驱动控制	7:6	TXEN [27]	Tx使能状态输出27 11 = 使能 10 = 待机 01 = 静噪 00 = 禁用
			5:4	TXEN [26]	Tx使能状态输出26
			3:2	TXEN [25]	Tx使能状态输出25
			1:0	TXEN [24]	Tx使能状态输出24
0xB7	0x0	Tx驱动控制	7:6	TXEN [31]	Tx使能状态输出31 11 = 使能 10 = 待机 01 = 静噪 00 = 禁用
			5:4	TXEN [30]	Tx使能状态输出30
			3:2	TXEN [29]	Tx使能状态输出29
			1:0	TXEN [28]	Tx使能状态输出28
0xB8	0x0	Tx驱动控制	7:6	TXEN [35]	Tx使能状态输出35 11 = 使能 10 = 待机 01 = 静噪 00 = 禁用
			5:4	TXEN [34]	Tx使能状态输出34
			3:2	TXEN [33]	Tx使能状态输出33
			1:0	TXEN [32]	Tx使能状态输出32
0xB9	0x0	Tx驱动控制	7:6	TXEN [39]	Tx使能状态输出39 11 = 使能 10 = 待机 01 = 静噪 00 = 禁用
			5:4	TXEN [38]	Tx使能状态输出38
			3:2	TXEN [37]	Tx使能状态输出37
			1:0	TXEN [36]	Tx使能状态输出36
0xBA	Write Only	Tx驱动控制	7:6	TXENBC [39]	Tx使能状态广播 11 = 使能 10 = 待机 01 = 静噪 00 = 禁用
0xBB	0x0	Tx裕量	0	TX_HDROOM	0 = 禁用, 1 = 使能(VCC > 2.7 V时需要)

地址：通道	默认值	寄存器名称	Bits	Bit名称	描述
0xBC	0x0	Tx端接控制	4	TXA_TERM [19:16]	输出[19:16](B侧)端接控制 0：端接使能 1：端接禁用
			3	TXA_TERM [15:12]	输出[15:12](B侧)端接控制
			2	TXA_TERM [11:8]	输出[11:8](B侧)端接控制
			1	TXA_TERM [7:4]	输出[7:4](B侧)端接控制
			0	TXA_TERM [3:0]	输出[3:0](B侧)端接控制
0xBD	0x0	Tx端接控制	4	TXB_TERM [39:36]	输出[39:36](B侧)端接控制 0：端接使能 1：端接禁用
			3	TXB_TERM [35:32]	输出[35:32](B侧)端接控制
			2	TXB_TERM [31:28]	输出[31:28](B侧)端接控制
			1	TXB_TERM [27:24]	输出[27:24](B侧)端接控制
			0	TXB_TERM [23:20]	输出[23:20](B侧)端接控制
0xC0	0x0	Rx EQ控制	7:6	RXEQIN [3]	输入3的均衡器增强控制 11 = 12 dB 10 = 6 dB 01 = 3 dB 00 = 禁用
			5:4	RXEQIN [2]	输入2的均衡器增强控制
			3:2	RXEQIN [1]	输入1的均衡器增强控制
			1:0	RXEQIN [0]	输入0的均衡器增强控制
			0xC1	0x0	Rx EQ控制
5:4	RXEQIN [6]	输入6的均衡器增强控制			
3:2	RXEQIN [5]	输入5的均衡器增强控制			
1:0	RXEQIN [4]	输入4的均衡器增强控制			
0xC2	0x0	Rx EQ控制			
			5:4	RXEQIN [10]	输入10的均衡器增强控制
			3:2	RXEQIN [9]	输入9的均衡器增强控制
			1:0	RXEQIN [8]	输入8的均衡器增强控制
			0xC3	0x0	Rx EQ控制
5:4	RXEQIN [14]	输入14的均衡器增强控制			
3:2	RXEQIN [13]	输入13的均衡器增强控制			
1:0	RXEQIN [12]	输入12的均衡器增强控制			

ADN4605

地址: 通道	默认值	寄存器名称	Bits	Bit名称	描述
0xC4	0x0	Rx EQ控制	7:6	RXEQIN [19]	输入19的均衡器增强控制 11 = 12 dB 10 = 6 dB 01 = 3 dB 00 = 禁用
			5:4	RXEQIN [18]	输入18的均衡器增强控制
			3:2	RXEQIN [17]	输入17的均衡器增强控制
			1:0	RXEQIN [16]	输入16的均衡器增强控制
0xC5	0x0	Rx EQ控制	7:6	RXEQIN [23]	输入23的均衡器增强控制 11 = 12 dB 10 = 6 dB 01 = 3 dB 00 = 禁用
			5:4	RXEQIN [22]	输入22的均衡器增强控制
			3:2	RXEQIN [21]	输入21的均衡器增强控制
			1:0	RXEQIN [20]	输入20的均衡器增强控制
0xC6	0x0	Rx EQ控制	7:6	RXEQIN [27]	输入27的均衡器增强控制 11 = 12 dB 10 = 6 dB 01 = 3 dB 00 = 禁用
			5:4	RXEQIN [26]	输入26的均衡器增强控制
			3:2	RXEQIN [25]	输入25的均衡器增强控制
			1:0	RXEQIN [24]	输入24的均衡器增强控制
0xC7	0x0	Rx EQ控制	7:6	RXEQIN [31]	输入31的均衡器增强控制 11 = 12 dB 10 = 6 dB 01 = 3 dB 00 = 禁用
			5:4	RXEQIN [30]	输入30的均衡器增强控制
			3:2	RXEQIN [29]	输入29的均衡器增强控制
			1:0	RXEQIN [28]	输入28的均衡器增强控制
0xC8	0x0	Rx EQ控制	7:6	RXEQIN [35]	输入35的均衡器增强控制 11 = 12 dB 10 = 6 dB 01 = 3 dB 00 = 禁用
			5:4	RXEQIN [34]	输入34的均衡器增强控制
			3:2	RXEQIN [33]	输入33的均衡器增强控制
			1:0	RXEQIN [32]	输入32的均衡器增强控制
0xC9	0x0	Rx EQ控制	7:6	RXEQIN [39]	输入39的均衡器增强控制 11 = 12 dB 10 = 6 dB 01 = 3 dB 00 = 禁用
			5:4	RXEQIN [38]	输入38的均衡器增强控制
			3:2	RXEQIN [37]	输入37的均衡器增强控制
			1:0	RXEQIN [36]	输入36的均衡器增强控制
0xCA	0x0	Rx EQ控制	1:0	RXEQIN BC	所有输入的均衡器增强控制 11 = 12 dB 10 = 6 dB 01 = 3 dB 00 = 禁用

地址：通道	默认值	寄存器名称	Bits	Bit名称	描述
0xCB	0x0	Rx符号控制	7	RXSIGN [7]	信号路径极性反转输入7
			6	RXSIGN [6]	信号路径极性反转输入6
			5	RXSIGN [5]	信号路径极性反转输入5
			4	RXSIGN [4]	信号路径极性反转输入4
			3	RXSIGN [3]	信号路径极性反转输入3
			2	RXSIGN [2]	信号路径极性反转输入2
			1	RXSIGN [1]	信号路径极性反转输入1
			0	RXSIGN [0]	信号路径极性反转输入0
0xCC	0x0	Rx符号控制	7	RXSIGN [15]	信号路径极性反转输入15
			6	RXSIGN [14]	信号路径极性反转输入14
			5	RXSIGN [13]	信号路径极性反转输入13
			4	RXSIGN [12]	信号路径极性反转输入12
			3	RXSIGN [11]	信号路径极性反转输入11
			2	RXSIGN [10]	信号路径极性反转输入10
			1	RXSIGN [9]	信号路径极性反转输入9
			0	RXSIGN [8]	信号路径极性反转输入8
0xCD	0x0	Rx符号控制	7	RXSIGN [23]	信号路径极性反转输入23
			6	RXSIGN [22]	信号路径极性反转输入22
			5	RXSIGN [21]	信号路径极性反转输入21
			4	RXSIGN [20]	信号路径极性反转输入20
			3	RXSIGN [19]	信号路径极性反转输入19
			2	RXSIGN [18]	信号路径极性反转输入18
			1	RXSIGN [17]	信号路径极性反转输入17
			0	RXSIGN [16]	信号路径极性反转输入16
0xCE	0x0	Rx符号控制	7	RXSIGN [31]	信号路径极性反转输入31
			6	RXSIGN [30]	信号路径极性反转输入30
			5	RXSIGN [29]	信号路径极性反转输入29
			4	RXSIGN [28]	信号路径极性反转输入28
			3	RXSIGN [27]	信号路径极性反转输入27
			2	RXSIGN [26]	信号路径极性反转输入26
			1	RXSIGN [25]	信号路径极性反转输入25
			0	RXSIGN [24]	信号路径极性反转输入24
0xCF	0x0	Rx符号控制	7	RXSIGN [39]	信号路径极性反转输入39
			6	RXSIGN [38]	信号路径极性反转输入38
			5	RXSIGN [37]	信号路径极性反转输入37
			4	RXSIGN [36]	信号路径极性反转输入36
			3	RXSIGN [35]	信号路径极性反转输入35
			2	RXSIGN [34]	信号路径极性反转输入34
			1	RXSIGN [33]	信号路径极性反转输入33
			0	RXSIGN [32]	信号路径极性反转输入32
0xD0	0x0	Rx端接控制	4	RXA_TERM [19:16]	输入[19:16](A侧)端接控制 0：端接控制使能 1：端接控制禁用
			3	RXA_TERM [15:12]	输入[15:12](A侧)端接控制
			2	RXA_TERM [11:8]	输入[11:8](A侧)端接控制
			1	RXA_TERM [7:4]	输入[7:4](A侧)端接控制
			0	RXA_TERM [3:0]	输入[3:0](A侧)端接控制

ADN4605

地址: 通道	默认值	寄存器名称	Bits	Bit名称	描述
0xD1	0x0	Rx端接控制	4	RXB_TERM [39:36]	输入[39:36](B侧)端接控制 0: 端接使能 1: 端接禁用
			3	RXB_TERM [35:32]	输入[35:32](B侧)端接控制
			2	RXB_TERM [31:28]	输入[31:28](B侧)端接控制
			1	RXB_TERM [27:24]	输入[27:24](B侧)端接控制
			0	RXB_TERM [23:20]	输入[23:20](B侧)端接控制

应用信息

ADN4605是一款与协议无关的异步数字开关，因此适合包括网络路由和数字视频切换在内的各种应用。ADN4605支持HDMI®、DVI®、DisplayPort以及SD、HD和3G-SDI数字视频的数据速率和信号电平。ADN4605可用于构建矩阵开关。图50给出了一个40 × 40矩阵开关框图。由于HDMI、DVI和DisplayPort为四通道协议，因此可使用四个

ADN4605来构建一个完整的40 × 40矩阵开关。10 × 10和20 × 20等较小的阵列分别需要一个和两个ADN4605器件。应采用合适的高速PCB设计技术，以保持高数据速率信号的信号完整性。必须尽可能降低这类应用中的通道间歪斜和串扰。

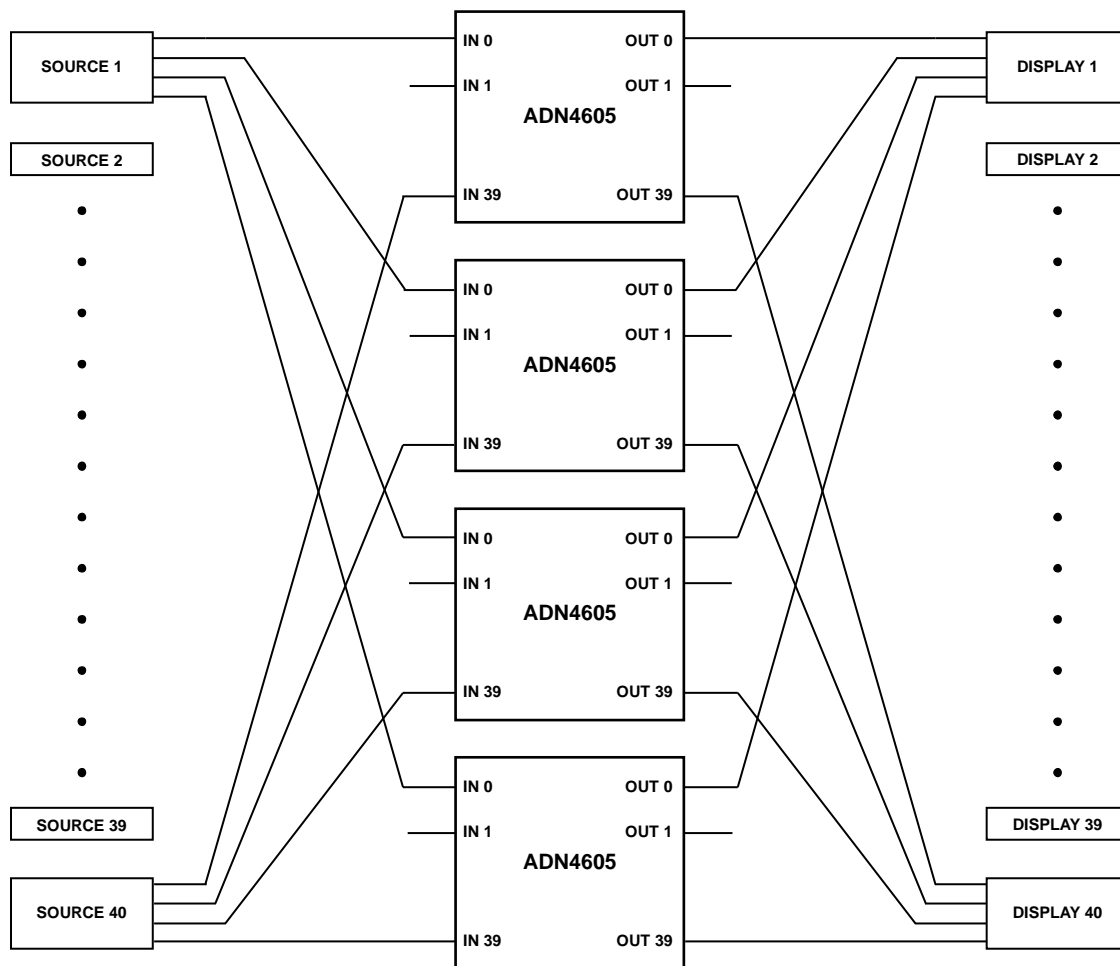
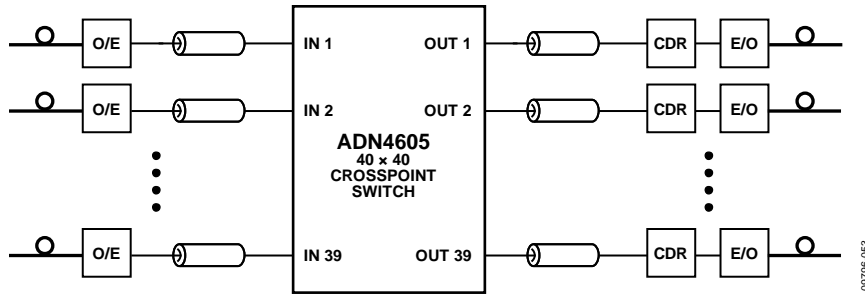


图50. ADN4605数字视频(DVI、HDMI、DisplayPort)矩阵开关框图

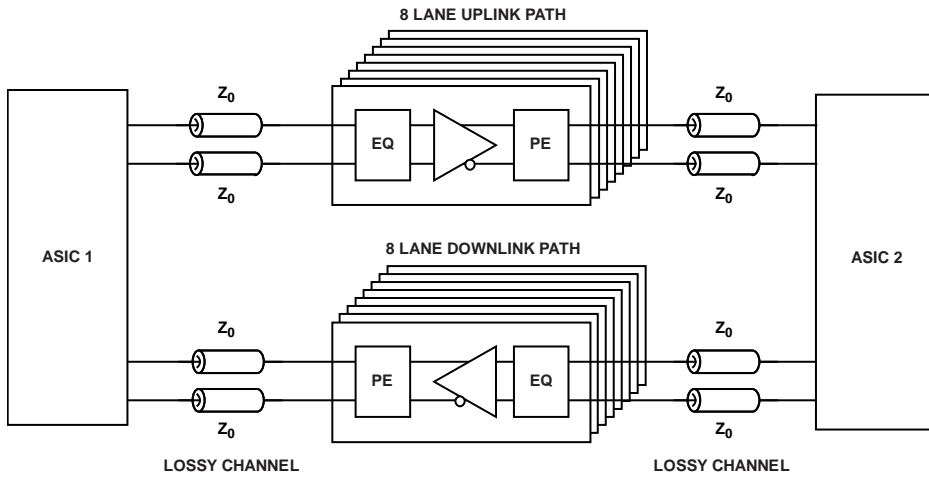
09756-052

ADN4605



08796-053

图51. ADN4605网络交换机应用框图



07934-053

图52. 多通道信号调理应用框图

电源时序控制

理想情况下，所有电源都应同时上电至合适电平(电源要求由表1中的电源限值和表6中列出的绝对最大额定值来设置)。如果ADN4605的电源是分别上电的，则电源上电序列如下： DV_{CC} 首先上电，接着是 V_{CC} ，最后是端接电源(V_{TTIA} 、 V_{TTIB} 、 V_{TTOA} 和 V_{TTOB})。

关断序列恰好相反，即端接电源首先关断。端接电源包含连至 V_{CC} 电源域的ESD保护二极管。为避免这些元件中出现持续高电流条件， V_{TTIX} 和 V_{TTOX} 电源应在 V_{CC} 之后上电并应在 V_{CC} 之前关断。

如果系统电源在关断状态下具有高阻抗，那么只有注意到以下限制，就无需遵守电源时序控制：

- 从 V_{TTIX} 或 V_{TTOX} 到 V_{CC} 的峰值电流小于200 mA
- 从 V_{TTIX} 或 V_{TTOX} 到 V_{CC} 的持续电流小于100 mA

功耗

ADN4605的功耗取决于电源电压、I/O耦合类型和器件配置。输入端接电阻会产生功耗，具体功耗取决于差分输入摆幅和共模电压。交流耦合时，共模电压等于端接电源电压(V_{TTIX} 或 V_{TTOX})。从输入端接电源汲取的电流实际上为零时，端接电阻上仍然会因为差分信号摆幅而产生功耗和热量。内核电源电流和输出端接电流很大程度上取决于器件配置，如使能的通道数量、输出电平设置以及输出预加重设置。

在环境温度较高的条件下工作时，应避免超过器件的最大结温。通过以下方式可以限制总功耗：

- 降低输出摆幅
- 降低预加重电平
- 将电源电压降至表1中定义的允许范围内
- 禁用不使用的通道

或者，可通过以下方式减少热阻：

- 添加外部散热器
- 增加空气流通

有关合适的散热模板布局和制造工艺建议，请参阅“印刷电路板(PCB)布局布线指南”部分。

输出顺从电压

在低电压应用中，用户必须注意差分 and 共模信号电平。输出电压摆幅、预加重设置、电源电压(V_{CC} 和 V_{TTOX})以及输出耦合(交流或直流)的选择会影响峰值和建立单端电压摆幅以及在输出端接电阻上测得的共模偏移。这些选择还会影响输出电流，进而会影响功耗。

表20显示了输出共模电压变化与($\Delta V_{OCM} = V_{CC} - V_{OCM}$)与输出电平和预加重设置的关系。单端输出电平是在 V_{TTOX} 电源电压等于3.3 V和2.5 V条件下计算得出的，旨在展示一些降低电源电压时面对的实际挑战。 V_L 最小值(最小 V_L)不得低于于表1中指定的绝对最低电平。

由于表1中指定的绝对最低输出电压是相对于 V_{CC} 而言的，因此需要降低 V_{CC} ，以便在需要较低输出端接电压时使输出电平保持在指定限值范围内。当输出摆幅小于或等于400 mV(单端)时， V_{TTOX} 电压可低至1.8 V。

在图53给出的应用中，ADN4605用作直流耦合电平转换器，用于将3.3 V CML驱动器与具有1.8 V I/O的ASIC进行接口。与 V_{CC} 串联的二极管可降低 V_{CC} 处的电压，从而改善输出顺从电压。

TX/XPT 裕量

Tx裕量和XPT裕量寄存器用于在内核电源电压(V_{CC})大于2.7 V时改善ADN4605的输出顺从电压范围。使能XPT裕量和Tx裕量寄存器后，发射器的输出顺从电压会额外增加300 mV。当内核电源电压(V_{CC})小于或等于2.7 V时，不应使能裕量电路。

置1时，XPT裕量寄存器(地址0x7D)和Tx裕量寄存器(地址0xBB)针对所有发射器输出使能。值为0时，禁用裕量产生电路。注意，这两个寄存器(XPT裕量和Tx裕量)必须同时置1，裕量电路才会正常工作。

ADN4605

示例: $V_{CC} = 3.3\text{ V}$, $V_{TTOX} = 2.5\text{ V}$

在典型应用中, 用户可以选择200 mV单端(400 mVp-p差分)的默认输出电平, 并可能需要0 dB和9.5 dB两种预加重设置选项。

禁用预加重时, 直流耦合发射器会在端接电阻上产生100 mV共模偏移电压, 直流耦合发射器则会导致两倍的共模偏移电压。直流耦合时, 单端输出电压摆幅为2.5 V至2.3 V; 交流耦合时, 摆幅则为2.4 V至2.2 V。这两种情况下, 这些电平平均大于 V_L 的最小值, 即1.9 V ($V_L = V_{CC} - 1.4\text{ V}$)。

当PE设置为9.5 dB时, 交流耦合发射器的单端摆幅为2.2 V至1.6 V, 直流耦合发射器的输出摆幅则为2.5 V至1.9 V。交流耦合发射器的最小单端输出电压(V_{L-PE})要比 V_L 的最小值1.9 V大300 mV, 这违反了器件的规格要求。

通过使能TX_HDROOM和XPT_HDROOM bit, 可将 V_L 最小值减少约300 mV, 使其达到1.6 V。此发射器配置现在符合输出电压范围规格。

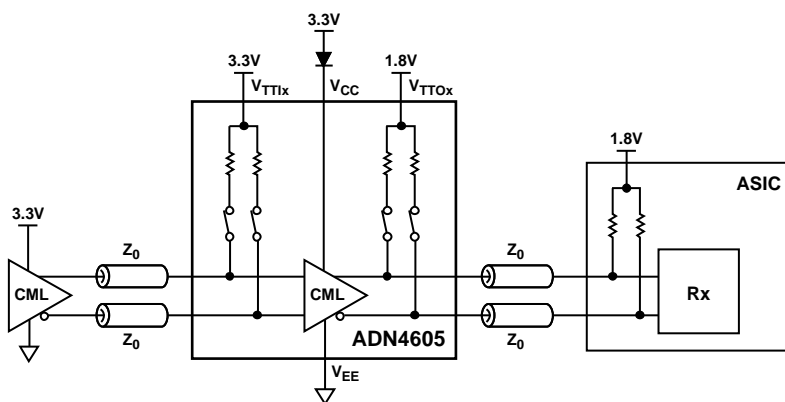


图53. 直流耦合电平转换器应用电路

表20. 输出电压范围和输出共模偏移与输出电平和PE设置的关系

单端输出电平和PE增强				Tx通道控制寄存器设置		输出电流	交流耦合输出				直流耦合输出					
							$V_{CC} = V_{TTO} = 3.3V$		$V_{CC} = V_{TTO} = 2.5V$		$V_{CC} = V_{TTO} = 3.3V$		$V_{CC} = V_{TTO} = 2.5V$			
V_{SW-DC}^1 (mV)	V_{SW-PE}^1 (mV)	PE增强百分比(%)	PE (dB)	OLEV [2:0]	PE [2:0]	I_{TTO}^1 (mA)	ΔV_{OCM}^1 (mV)	V_{H-PE}^1 (V)	V_{L-PE}^1 (V)	V_{H-PE}^1 (V)	V_{L-PE}^1 (V)	ΔV_{OCM}^1 (mV)	V_{H-PE}^1 (V)	V_{L-PE}^1 (V)	V_{H-PE}^1 (V)	V_{L-PE}^1 (V)
100	100	0.00	0.00	0x01	0x00	4	100	3.25	3.15	2.45	2.35	50	3.3	3.2	2.5	2.4
100	300	200.00	9.54	0x02	0x03	12	300	3.15	2.85	2.35	2.05	150	3.3	3.0	2.5	2.2
100	500	400.00	13.98	0x03	0x07	20	500	3.05	2.55	2.25	1.75	250	3.3	2.8	2.5	2.0
150	250	66.67	4.44	0x02	0x01	10	250	3.175	2.925	2.375	2.125	125	3.3	3.15	2.5	2.25
150	450	200.00	9.54	0x03	0x05	18	450	3.075	2.625	2.275	1.825	225	3.3	2.85	2.5	2.05
200	200	0.00	0.00	0x02	0x00	8	200	3.2	3.0	2.40	2.20	100	3.3	3.1	2.5	2.3
200	400	100.00	6.02	0x03	0x03	16	400	3.1	2.7	2.30	1.90	200	3.3	2.9	2.5	2.1
200	600	200.00	9.54	0x04	0x07	24	600	3	2.4	2.20	1.60	300	3.3	2.7	2.5	1.9
250	350	40.00	2.92	0x03	0x01	14	350	3.125	2.775	2.325	1.975	175	3.3	2.95	2.5	2.15
250	550	200.00	6.85	0x04	0x05	22	550	3.025	2.475	2.225	1.675	275	3.3	2.75	2.5	1.95
300	300	0.00	0.00	0x03	0x00	12	300	3.15	2.85	2.35	2.05	150	3.3	3.0	2.5	2.2
300	500	66.67	4.44	0x04	0x03	20	500	3.05	2.55	2.25	1.75	250	3.3	2.8	2.5	2.0
300	700	133.33	7.36	0x05	0x07	28	700	2.95	2.25	2.15	1.45	350	3.3	2.6	2.5	1.8
350	450	28.57	2.18	0x04	0x01	18	450	3.075	2.625	2.275	1.825	225	3.3	2.85	2.5	2.05
350	650	85.71	5.38	0x05	0x05	26	650	2.975	2.325	2.175	1.525	325	3.3	2.65	2.5	1.85
400	400	0.00	0.00	0x04	0x00	16	400	3.1	2.7	2.3	1.9	200	3.3	2.9	2.5	2.1
400	600	50.00	3.52	0x05	0x03	24	600	3.0	2.4	2.2	1.6	300	3.3	2.7	2.5	1.9
400	800	100.00	6.02	0x06	0x07	32	800	2.9	2.1	2.1	1.3	400	3.3	2.5	2.5	1.7
450	550	22.22	1.74	0x05	0x01	22	550	3.025	2.475	2.225	1.675	275	3.3	2.75	2.5	1.95
450	750	66.67	4.44	0x06	0x05	30	750	2.925	2.175	2.125	1.375	375	3.3	2.55	2.5	1.75
500	500	0.00	0.00	0x05	0x00	20	500	3.05	2.55	2.25	1.75	250	3.3	2.8	2.5	2.0
500	700	40.00	2.92	0x06	0x03	28	700	2.95	2.25	2.15	1.45	350	3.3	2.6	2.5	1.8
550	650	18.18	1.45	0x06	0x01	26	650	2.975	2.325	2.175	1.525	325	3.3	2.65	2.5	1.85
600	600	0.00	0.00	0x06	0x00	24	600	3.0	2.4	2.2	1.6	300	3.3	2.7	2.5	1.9

¹ 符号定义如表15所示。

印刷电路板(PCB)布局布线指南

高速差分输入和输出应通过 $100\ \Omega$ 受控阻抗差分传输线路进行布线。传输线路(微带线或带状线)应当以实心低阻抗参考层为参考。图54所示为一个PCB截面示例。走线宽度(W)、差分摆幅(S)、高出参考层的高度(H)以及PCB材料的介电常数决定特征阻抗。相邻通道的间距应大于3倍走线宽度,以便将串扰降至最低。

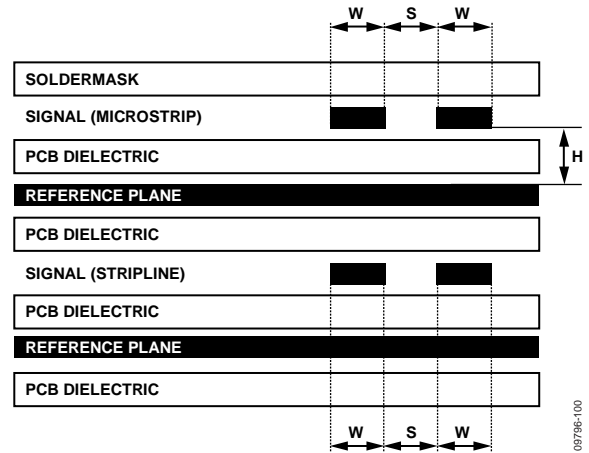
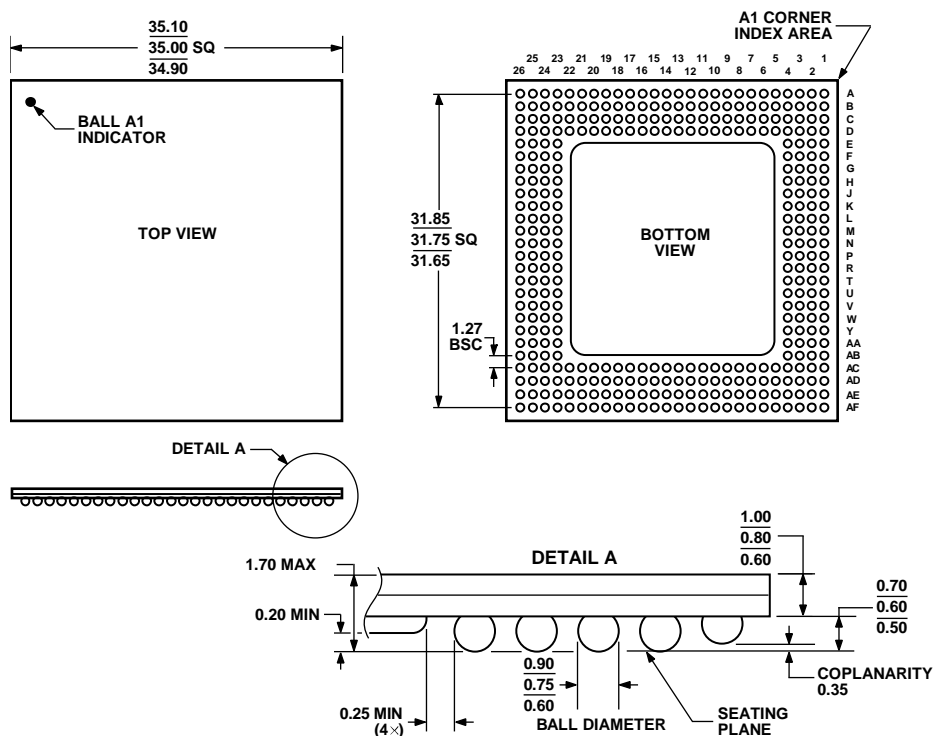


图54. PCB截面示例

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-192-BAL-2

图55. 352球栅阵列、散热增强型封装[BGA_ED]
(BP-352)

图示尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
ADN4605ABPZ	-40°C 至 +85°C	352球栅阵列、散热增强型封装[BGA_ED]	BP-352
ADN4605-EVALZ		评估板	

¹ Z = 符合RoHS标准的器件。

注释

PC指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。

HDMI、HDMI商标和High-Definition Multimedia Interface是HDMI Licensing LLC公司在美国及其他国家的商标或注册商标。