

概述

PSoC® 4 是一个可扩展和可重配置的平台架构，是一个包含 Arm® Cortex®-M0 CPU 的可编程嵌入式系统控制器。通过灵活自动布线资源，它将可编程及可重新配置的模拟模块与数字模块相结合。PSoC 4000 产品系列是 PSoC 4 平台架构的最小成员。该产品系列是下列三者的组合：拥有标准通信和时序外设的微控制器、具有一流性能的电容式触摸感应系统 (CapSense) 以及通用模拟。针对新应用和设计要求的方面来说，PSoC 4000 产品与 PSoC 4 平台系列产品向上兼容。

特性

32 位 MCU 子系统

- 16 MHz Arm Cortex-M0 CPU
- 包含读取加速器的可达 16 KB 的闪存
- SRAM 容量可达 2 KB

可编程模拟资源

- 用于通用目的或电容式感应应用场合的两个电流 DAC (IDAC)
- 拥有内部参照的低功耗比较器

低功耗操作：1.71 V 至 5.5 V

- 通过中断和 I²C 地址检测唤醒的深度睡眠模式

电容式感应

- 赛普拉斯的 CapSense Sigma-Delta (CSD) 感应技术提供了一流的信噪比 (SNR) 和防水性能
- 通过赛普拉斯提供的软件组件可以更容易地实现电容式感应设计
- 传感器的电容范围为 5 pF 到 45 pF 时，可以自动调校硬件 (SmartSense™)

串行通信

- 在深度睡眠模式下，许多主设备 I²C 模块可以进行地址匹配，并且在匹配后唤醒设备。

定时和脉冲宽度调制器

- 一个 16 位定时器 / 计数器 / 脉宽调制器 (TCPWM) 模块
- 支持中心对齐模式、边缘对齐模式和伪随机模式
- 基于比较器触发的停止 (Kill) 信号可用于电机驱动以及其它高可靠性的数字逻辑应用

多达 20 个可编程的 GPIO 引脚

- 封装类型：28-SSOP、24-QFN、16-SOIC、16-QFN、16 球 WLCSP 和 8-SOIC
- 端口 0、1 和 2 上的 GPIO 引脚具有 CapSense 功能，也具有其他功能
- 可对驱动模式、强度和转换速率进行编程

PSoC Creator 设计环境

- 集成开发环境 (IDE) 提供了原理图设计输入和编译 (包括模拟和数字自动布线)
- 所有固定功能和可编程的外设都提供应用编程接口 (API)

工业标准工具的兼容性

- 输入原理图后，可以使用基于 Arm 的标准软件开发工具进行开发

更多有关的信息

赛普拉斯的网站 www.cypress.com 上提供了大量资料，有助于正确选择您设计的 PSoC 器件，并使您能够快速和有效地将器件集成到设计中。有关使用资源的完整列表，请参考知识库文章 [KBA86521 — 如何使用 PSoC 3、PSoC 4 和 PSoC 5LP 进行设计](#)。下面是 PSoC 4 的简要列表：

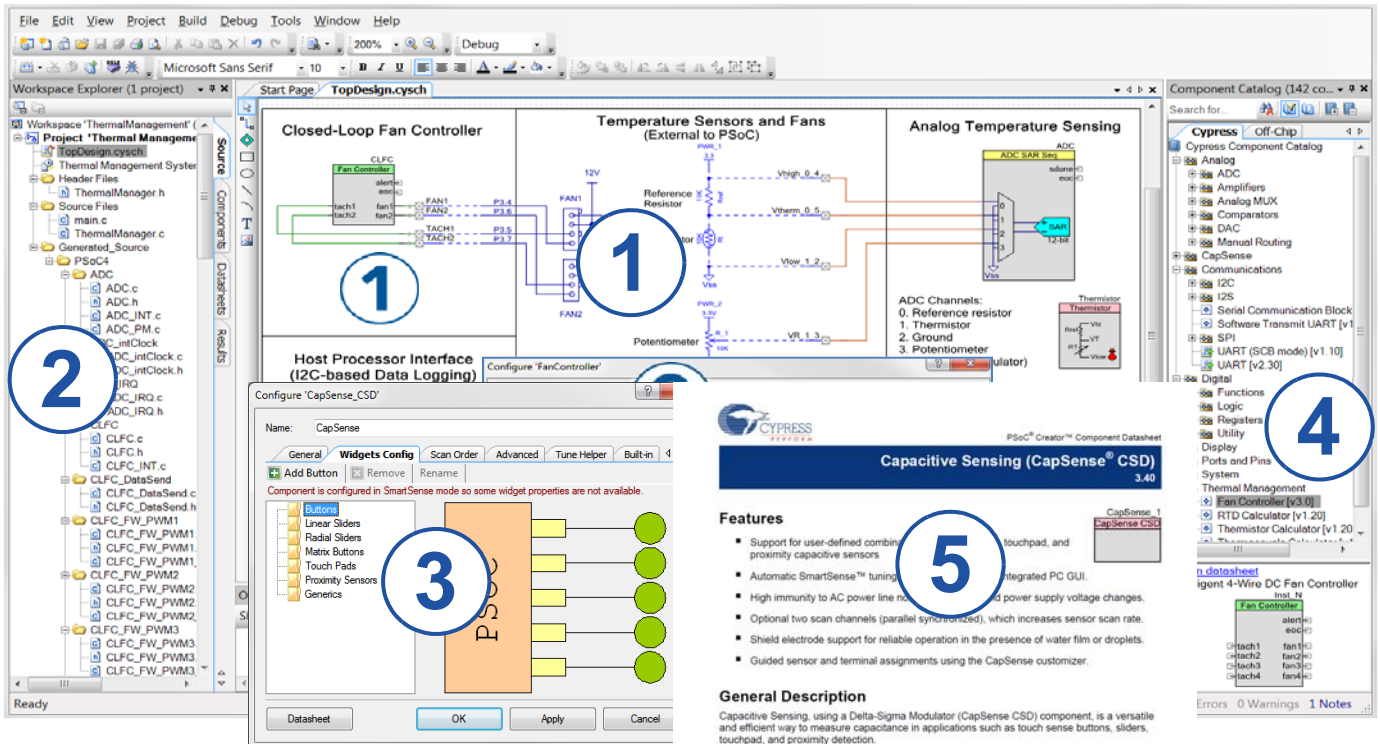
- 概况：[PSoC 产品系列](#)、[PSoC 产品路线图](#)
- 产品选择器：[PSoC 1](#)、[PSoC 3](#)、[PSoC 4](#)、[PSoC 5LP](#)。此外，PSoC Creator 还包含一个器件选择工具。
- 应用笔记：赛普拉斯提供了大量 PSoC 应用笔记，包括从基本到高级的广泛主题。下面列出了 PSoC 4 入门的应用笔记：
 - [AN79953](#): PSoC 4 入门
 - [AN88619](#): PSoC 4 硬件设计的注意事项
 - [AN86439](#): 使用 PSoC 4 GPIO 引脚
 - [AN57821](#): 混合信号电路板布局
 - [AN81623](#): 数字设计的最佳实践
 - [AN73854](#): Bootloader 的简介
- [AN89610](#): Arm Cortex 代码优化
- 技术参考手册 (TRM) 包含在两个文件：
 - [架构技术参考手册](#) 详细介绍了每个 PSoC 4 的功能模块。
 - [寄存器技术参考手册](#) 描述了每个 PSoC 4 寄存器。
- 开发套件：
 - [CY8CKIT-040 \(PSoC 4000 Pioneer 套件\)](#) 是一种易于使用且廉价低成本的开发平台。该套件包括用于 [Arduino™](#) 兼容子卡和 [Digilent® Pmod™](#) 子卡的连接器。
 - [MiniProg3](#) 编程工具可用于对 PSoC 器件的编程和调试 (PSoC1 器件仅限编程)。

PSoC Creator

PSoC Creator 是基于 Windows 的免费集成开发环境 (IDE)。通过它能同时在基于 PSoC 3、PSoC 4 和 PSoC 5LP 的系统中设计硬件和固件。PSoC Creator 通过基于原理图的经典方法设计系统架构，由上百个预验证且可用于生产的 PSoC Component 给与支持。更多信息请参考[组件数据手册名单](#)。使用 PSoC Creator，可以执行以下操作：

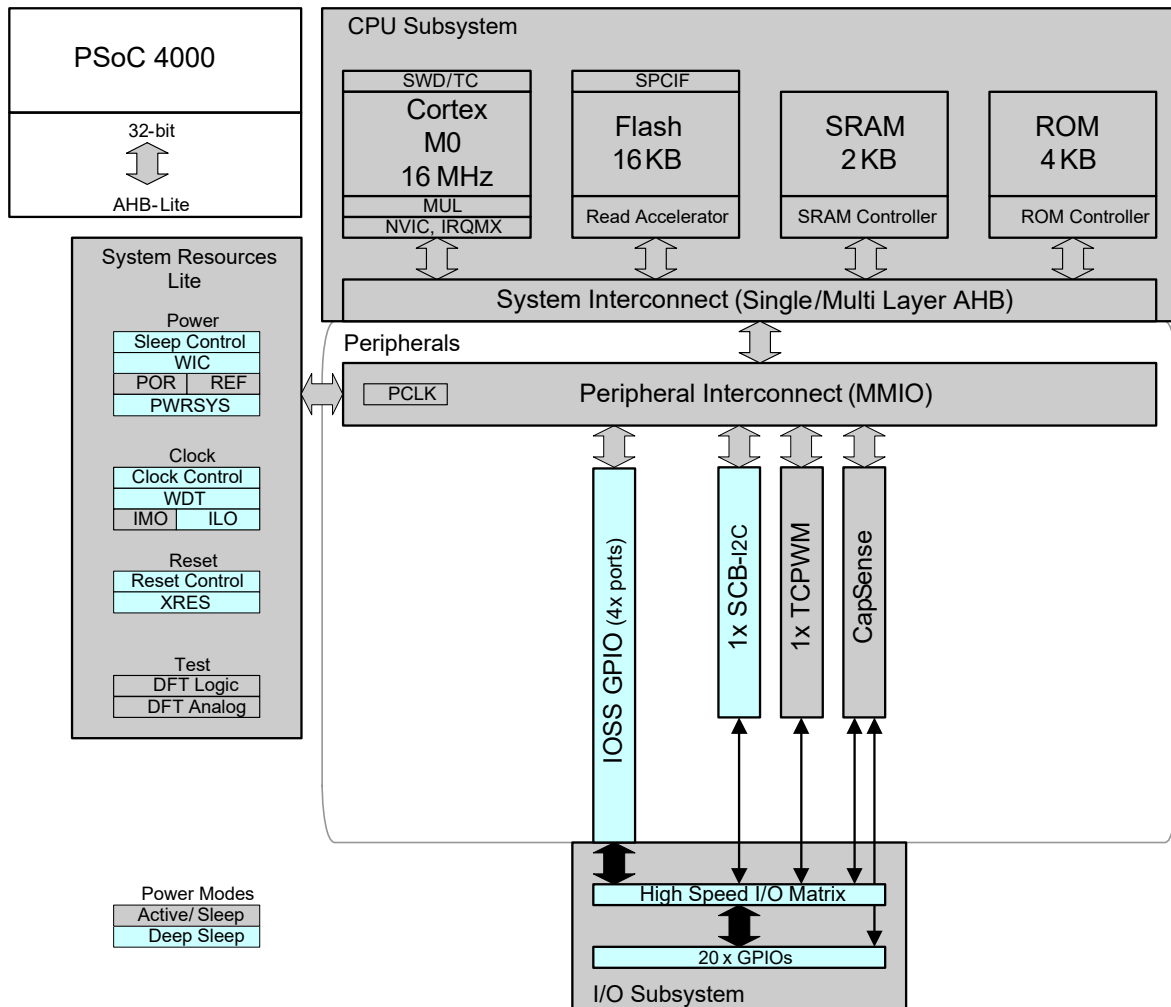
1. 将组件图标施放到主要设计工作区中，以进行您的硬件系统设计
2. 使用 PSoC Creator 集成开发环境编译器对您的应用固件和 PSoC 硬件进行协同设计
3. 使用配置工具配置各组件
4. 研究包含 100 多个组件的库
5. 查看组件数据手册

图 1. PSoC Creator 中的示例项目



目录

功能定义	5	器件级规范	14
CPU和存储器子系统	5	模拟外设	17
系统资源	5	数字外设	19
模拟模块	6	存储器	20
固定数字功能模块	6	系统资源	20
GPIO	6	订购信息	23
特殊功能外设	6	器件型号约定	23
引脚布局	7	封装	25
电源电压	12	封装外形图	26
未稳压外部供电	12	缩略语	31
稳压外部供电	12	文档规范	33
开发支持	13	测量单位	33
文档	13	修订记录	34
在线支持	13	销售、解决方案和法律信息	35
工具	13		
电气规范	14		
最大绝对额定值	14		

图 2. 框图


PSoC 4000 器件能够为硬件和固件的编程、测试、调试和跟踪提供广泛的支持。

Arm 串行线调试 (SWD) 接口支持器件的所有编程和调试功能。

借助完善的片上调试 (DoC) 功能, 可以使用标准的生产用器件在最终系统中进行全面的器件调试。它不需要特殊的接口、调试转接板、模拟器或仿真器。只需要标准的编程连接, 即可全面支持调试。

PSoC Creator IDE 软件能够为 PSoC 4000 器件提供全面集成的编程和调试支持。SWD 接口与行业标准的第三方工具完全兼容。PSoC 4000 系列提供了一个不适用于多芯片应用解决方案和微控制器的安全级别。它拥有下面优点:

- 允许禁用调试特性
- 增强闪存保护功能
- 允许在片上可编程模块上执行客户专用功能

默认情况下, 调试电路处于使能状态, 并且只能通过固件禁用。如果未使能, 唯一的使能方法是擦除整个器件, 清除闪存保护, 然后用使能调试的新固件对器件进行重新编程。

此外, 对于担心因器件恶意重新编程而造成欺诈性攻击的应用或通过启动和中断闪存编程序列来击败安全性的尝试, 可以永久禁用所有器件接口。使能器件的最大安全级别时, 将禁用所有编程、调试和测试接口。因此, 已使能器件安全性的 PSoC 4000 将不能退回进行失效分析。这是 PSoC 4000 允许客户进行的权衡。

功能定义

CPU 和存储器子系统

CPU

PSoC 4000 中的 Cortex-M0 CPU 是 32 位 MCU 子系统的部分，通过扩展的时钟门控来优化该子系统，从而降低功耗。此外，几乎所有指令的长度都为 16 位，并且 CPU 执行 Thumb-2 指令子集。这样能够将完全兼容的二进制代码导入更高性能的处理器，如 Cortex M3 和 M4。它包括一个带有 8 个中断输入的嵌套向量中断控制器（NVIC）模块和一个唤醒中断控制器（WIC）。通过 WIC 可以将处理器从深度睡眠模式唤醒，这样，当芯片处于深度睡眠模式时，可以关闭主处理器的电源。CPU 子系统还包含一个可生成中断的 24 位定时器（被称为 SYSTICK）。

此外，它还包含一个 JTAG 的 2 线式调试接口，即串行线调试（SWD）接口。PSoC 4000 的调试配置拥有四个断点（地址）比较器和两个观察点（数据）比较器。

闪存

PSoC 4000 器件包含一个闪存模块，该模块的闪存加速器与 CPU 紧密耦合，以减少闪存模块的平均访问时间。低功耗闪存模块可在工作频率为 16 MHz 的情况下提供一个零等待状态（WS）的访问时间。

SRAM

2 KB 的 SRAM 可在工作频率为 16 MHz 的情况下进行零等待的访问。

SROM

此外，还提供了包含引导和配置子程序的特权 ROM。

系统资源

电源系统

第 12 页上的电源电压一节中详细说明了有关电源系统的信息。它可确保电压电平满足每个相应模式的要求，为此需要进行以下操作：延迟进入模式（例如，上电复位（POR）直到电压电平满足要求以便能够正常工作，或者生成复位事件（例如，欠压检测）。PSoC 4000 可通过一个外部电源供电，其电压范围为 1.8 V \pm 5%（非稳压外部电压）或 1.8 V 至 5.5 V（稳压内部电压）。它拥有三种不同的电源模式，这些模式间的转换由电源系统管理。PSoC 4000 提供了活动模式以及低功耗的睡眠模式和深度睡眠模式。

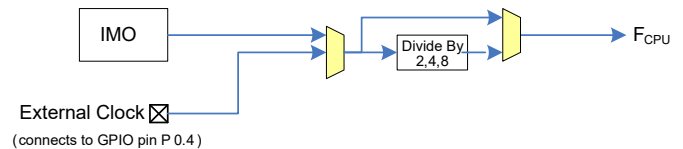
所有子系统都在活动模式下运行。CPU 子系统（CPU、闪存和 SRAM）在睡眠模式下关闭时钟信号的同时，所有外设和中断则均由唤醒事件的瞬间唤醒功能激活。在深度睡眠模式下，高速时钟和相关电路都被关闭，从该模式唤醒会需要 35 μ S。

时钟系统

PSoC 4000 的时钟系统为需要时钟的所有子系统提供时钟，并且通过该时钟系统可以在各种时钟源之间进行切换，而不造成短时脉冲。此外，该时钟系统可确保不会出现亚稳态情况。

PSoC 4000 的时钟系统既包括内部主振荡器（IMO）和内部低速振荡器（ILO），又提供外部时钟。

图 3. PSoC 4000 MCU 时钟架构



通过对 F_{CPU} 信号进行分频，可以生成用于模拟和数字外设的同步时钟。PSoC 4000 提供具有 16 位分频功能的四个时钟分频器。16 位功能允许灵活生成精细（fine-grained）的频率值并且完全受 PSoC Creator 的支持。

IMO 时钟源

在 PSoC 4000 中，IMO 是主要的内部时钟源。在测试过程中，该时钟源被调整，以达到特定的精度。IMO 的默认频率为 24 MHz 并且能以步长为 4 MHz 从 24 MHz 递增到 48 MHz。IMO 和赛普拉斯提供的校准值之间的容差为 \pm 2%（24 MHz 和 32 MHz）。

ILO 时钟源

ILO 是一个频率为 40 kHz 的极低功耗振荡器，主要用于生成在深度睡眠模式下运行的看门狗定时器（WDT）和外设的时钟。利用 IMO 校准 ILO 驱动计数器可以提高准确度。

看门狗定时器

来自 ILO 的时钟模块为看门狗定时器提供时钟；这样允许看门狗在深度睡眠模式下仍能工作。另外，在发生已设置的超时前，如果还未服务该看门狗，则将生成看门狗复位。看门狗复位在固件可读的一个复位原因寄存器内记录。

复位

可以由各种源（包括软件复位）复位 PSoC 4000。复位事件是异步的，用于确保将器件恢复到一个已知的状态。复位原因被记录在寄存器内，该寄存器在复位过程中保持不变并允许软件确定复位原因。XRES 引脚被保留，为了在 24 引脚封装上进行外部复位。16 引脚和 8 引脚封装的芯片都提供内部上电复位（POR）。XRES 引脚使用一个内部上拉电阻，保证该引脚的默认电平为高。复位引脚为低电平有效。

参考电压

PSoC 4000 参考系统生成所需要的所有内部参考电压。1.2 V 参考电压适用于比较器。IDAC 基于 \pm 5% 参考电压。

模拟模块

低功耗比较器

PSoC 4000 具有一个使用内置参考电压的低功耗比较器。16 个引脚中的任何引脚都可以作为比较器的输入使用，并且该比较器的输出会通过芯片上的一个引脚引出来。已选定的比较器输入与比较器的负输入相连，该比较器的正输入始终连接至 1.2 V 参考电压。该比较器存在于 CapSense 模块中，在 CapSense 运行期间，它处于不可用状态。

电流 DAC

PSoC 4000 拥有两个 IDAC，可以驱动芯片上的 16 个引脚。这些 IDAC 具有可编程的电流范围。

模拟复用器总线

PSoC 4000 具有两个围绕芯片边缘的同心独立总线。它们（称为 AMUX 总线）与固件可编程的模拟开关相连，通过这些开关，芯片的内部资源（IDAC、比较器）可以连接至端口 0、1 和 2 上的任何引脚。

固定数字功能模块

定时器/计数器/PWM (TCPWM) 模块

TCPWM 模块包含一个用户可编程周期长度的 16 位计数器。另外，还有一个捕获寄存器，用于记录发生事件（I/O 事件）时的计数值；一个周期寄存器，用于停止或自动重新加载计数器（如果它的计数值等于周期寄存器的值）和多个比较寄存器，用于生成可作为 PWM 占空比输出的比较值信号。在正向输出和反向输出之间，该模块还提供了可编程的偏移，使这些输出可以作为可编程死区的互补 PWM 输出使用。它还提供用于强制输出进入未确定状态的停止（Kill）输入；例如，当出现过流状态时，该输入可用于控制驱动系统中，这时需要立即关闭驱动 FET 的 PWM 而不能等待进行软件干预。

串行通信模块 (SCB)

PSoC 4000 有一个能够实现多主设备 I²C 接口的串行通信模块。

I²C 模式：硬件 I²C 模块可执行整个多主设备和从设备接口（它具有多主设备的校准功能）。该模块的工作速率可达 400 kbps（快速模块），另外它还提供各种灵活的缓冲选项，以降低 CPU 的中断开销和延迟。该模块还具有一个 EZI²C，通过它可以在 PSoC 4000 存储器中创建邮箱的地址范围，并且对存储器中的阵列进行读写操作时可以大量降低 I²C 通信。此外，该模块提供一个深度为 8 字节的 FIFO，用于接收和传送目的。该模块延长了 CPU 读取数据的时间，从而减少了时钟延展的发生（由于 CPU 没有及时读取数据，因此才导致时钟延展）。

I²C 外设与 I²C 标准模式和快速模式器件相兼容，如 NXP I²C 总线规范和用户手册（UM10204）中所定义。在开漏模式下，可以使用 GPIO 引脚实现 I²C 总线 I/O。

针对下列方面来说，PSoC 4000 不完全符合 I²C 规范：

- GPIO 单元没有过压容差功能，因此不能与其它的 I²C 系统热插拔或者单独供电。
- 快速模式的最小下降时间不符合快速强驱动模式的规范；根据总线负载，使用慢速强驱动模式可以满足该规范。

GPIO

PSoC 4000 具有多达 20 个 GPIO。GPIO 模块实现下列各项：

- 八种驱动模式：
 - 模拟输入模式（禁用了输入和输出缓冲区）
 - 仅输入模式
 - 弱上拉和强下拉模式
 - 强上拉和弱下拉模式
 - 开漏和强下拉模式
 - 开漏和强上拉模式
 - 强上拉和强下拉模式
 - 弱上拉和弱下拉模式
- 输入阈值选择（CMOS 或 LVTTTL）。
- 除了强驱动模式外，需要单独控制输入和输出缓冲区的使能/禁用
- dV/dt 相关噪声控制的可选斜率，用以降低 EMI

各个引脚被放置在逻辑实体（称为端口），每个端口的宽度为 8 位（端口 2 和 3 会更多）。上电和复位期间，各模块被强制为禁用状态，以禁止给任何输入供电和 / 或造成引脚启用时的过电流现象。称为高速度 I/O 矩阵的复用网络用于复用连接至一个 I/O 引脚的多个信号。

数据输出寄存器和引脚状态寄存器分别用于驱动和保存管脚当前的状态。

如果 I/O 引脚被使能，它将生成一个中断，并且每个 I/O 端口都有一个中断请求（IRQ）和相关的中断服务子程序（ISR）向量（对于 PSoC 4000，向量数量为 4）。

28 引脚和 24 引脚封装具有 20 个 GPIO。16-SOIC 封装具有 13 个 GPIO。16-QFN 和 16 球 WLCSP 封装具有 12 个 GPIO。8-SOIC 封装具有 5 个 GPIO。

特殊功能外设

CapSense

PSoC 4000 可通过一个 CSD 模块支持 CapSense 功能。该模块通过一个模拟复用器总线和模拟开关与 16 个引脚相连（端口 3 上的各引脚不适用于 CapSense 功能）。因此，在软件控制情况下，系统中的任何有效引脚或引脚组都可以提供 CapSense 功能。另外，为了方便用户使用，还为 CapSense 模块提供了 PSoC Creator 组件。

通过将屏蔽电压驱动到另一个模拟总线可以提供防水功能。通过在同相位中驱动屏蔽电极和感应电极，可以提供防水功能，从而可以避免屏蔽电容衰减感应输入。另外，可以实现接近感应。

CapSense 模块具有两个 IDAC。如果 CapSense 不被使用（两个 IDAC 都可用）或 CapSense 没有防水功能（一个 IDAC 有效），那么可以将这两个 IDAC 用于通用目的。

引脚布局

所有端口引脚都支持 GPIO。端口 0、1 和 2 支持 CSD CapSense 和模拟复用器总线连接。对于 5 种 PSoC 4000 封装，TCPWM 功能和备用功能将根据以下列表被复用到端口的引脚上。

表 1. 引脚说明

28-SSOP		24-QFN		16-QFN		16-SOIC		8-SOIC		TCPWM 信号	备用功能
引脚	名称	引脚	名称	引脚	名称	引脚	名称	引脚	名称		
20	VSS										
21	P0.0/TRIN0	1	P0.0/TRIN0							TRIN0: 触发输入 0	
22	P0.1/TRIN1/CMPO_0	2	P0.1/TRIN1/CMPO_0	1	P0.1/TRIN1/CMPO_0	3	P0.1/TRIN1/CMPO_0			TRIN1: 触发输入 1	CMPO_0: 感应比较器输出
23	P0.2/TRIN2	3	P0.2/TRIN2	2	P0.2/TRIN2	4	P0.2/TRIN2			TRIN2: 触发输入 2	
24	P0.3/TRIN3	4	P0.3/TRIN3							TRIN3: 触发输入 3	
25	P0.4/TRIN4/CMPO_0/ EXT_CLK	5	P0.4/TRIN4/CMPO_0/ EXT_CLK	3	P0.4/TRIN4/CMPO_0/ EXT_CLK	5	P0.4/TRIN4/CMPO_0/ EXT_CLK	2	P0.4/TRIN4/CMPO_0/ EXT_CLK	TRIN4: 触发输入 4	CMPO_0: 感 应比较器输出、 外部时钟、 CMOD 电容
26	VCC	6	VCC	4	VCC	6	VCC	3	VCC		
27	VDD	7	VDD	6	VDD	7	VDD	4	VDD		
28	VSS	8	VSS	7	VSS	8	VSS	5	VSS		
1	P0.5	9	P0.5	5	VDDIO	9	P0.5				
2	P0.6	10	P0.6	8	P0.6	10	P0.6				
3	P0.7	11	P0.7								
4	P1.0	12	P1.0								
5	P1.1/OUT0	13	P1.1/OUT0	9	P1.1/OUT0	11	P1.1/OUT0	6	P1.1/OUT0	OUT0: PWM 的输出 0	
6	P1.2/SCL	14	P1.2/SCL	10	P1.2/SCL	12	P1.2/SCL				I2C 时钟
7	P1.3/SDA	15	P1.3/SDA	11	P1.3/SDA	13	P1.3/SDA				I2C 数据
8	P1.4/UND0	16	P1.4/UND0							UND0: 下溢输出	
9	P1.5/OVF0	17	P1.5/OVF0							OVF0: 上溢输出	

注释:

1. 在 POR 期间，该引脚不被接地（它应该是一个输出）。

表 1. 引脚说明 (续)

28-SSOP		24-QFN		16-QFN		16-SOIC		8-SOIC		TCPWM 信号	备用功能
引脚	名称	引脚	名称	引脚	名称	引脚	名称	引脚	名称		
10	P1.6/OVF0/UND0/nO UT0/CMPO_0	18	P1.6/OVF0/UND0/nO UT0/CMPO_0	12	P1.6/OVF0/UND0/nO UT0/CMPO_0	14	P1.6/OVF0/UND0/nO UT0/CMPO_0	7	P1.6/OVF0/UND0/nO UT0/CMPO_0	nOUT0: 上述 的 OUT0、 UND0 和 OVF0 的补充 信号	CMPO 0: 感应比较器的输出, 具有内部复位功能 ^[1]
11	VSS										
12	无连接 (NC) ^[2]										
13	P1.7/MATCH/ EXT_CLK	19	P1.7/MATCH/ EXT_CLK	13	P1.7/MATCH/ EXT_CLK	15	P1.7/MATCH/ EXT_CLK			MATCH: 匹配输出	外部时钟
14	P2.0	20	P2.0			16	P2.0				
15	VSS										
16	P3.0/SDA/SWD_IO	21	P3.0/SDA/SWD_IO	14	P3.0/SDA/SWD_IO	1	P3.0/SDA/SWD_IO	8	P3.0/SDA/SWD_IO		I2C 数据、 SWD 的 I/O
17	P3.1/SCL/SWD_CLK	22	P3.1/SCL/SWD_CLK	15	P3.1/SCL/SWD_CLK	2	P3.1/SCL/SWD_CLK	1	P3.1/SCL/SWD_CLK		I2C 时钟、 SWD 时钟
18	P3.2	23	P3.2	16	P3.2					OUT0: PWM 的输出 0	
19	XRES	24	XRES								XRES: 外部复位

引脚功能的说明如下:

VDD: 模拟和数据部分的电源。

VDDIO: 有效时, 该引脚提供单独电压域 (有关详细内容, 请参考[电源电压](#)一节)。

VSS: 接地引脚。

VCCD: 稳压数字电源 (1.8 V ± 5%)。

端口 0、1 和 2 上的引脚均可作为 CSD 感应使用, 屏蔽引脚可以与 AMUXBUS A 或 B 相连。除了表 1 所列出的备用功能外, 它们还可以作为由固件驱动的 GPIO 引脚。

除了上面所述的备用功能之外, 端口 3 上的各引脚还可以作为 GPIO 使用。

各种封装包括: 28-SSOP、24-QFN、16-QFN、16-SOIC 和 8-SOIC。

注释:

2. 不使用该引脚, 必须将它保持为悬空状态。

图 4. 28-SSOP 引脚布局

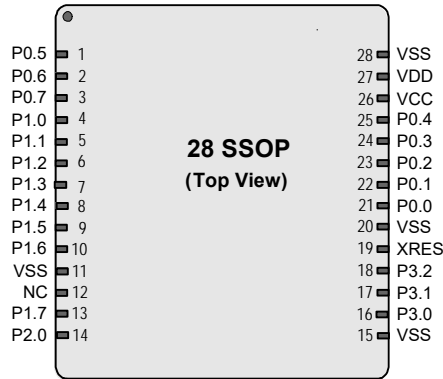


图 5. 24-QFN 引脚布局

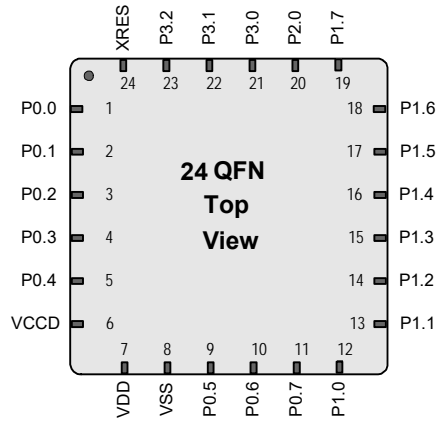


图 6. 16-QFN 引脚布局

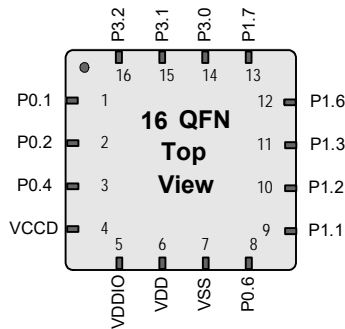


图 7. 16-SOIC 引脚布局

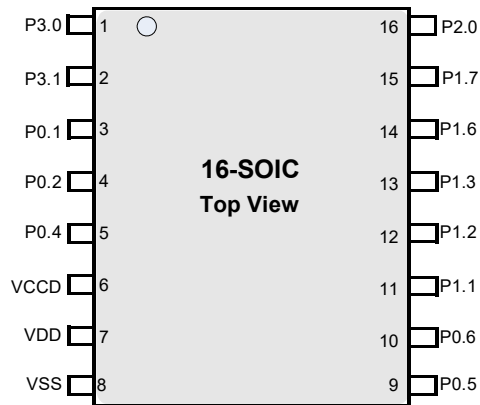


图 8. 8-SOIC 引脚布局

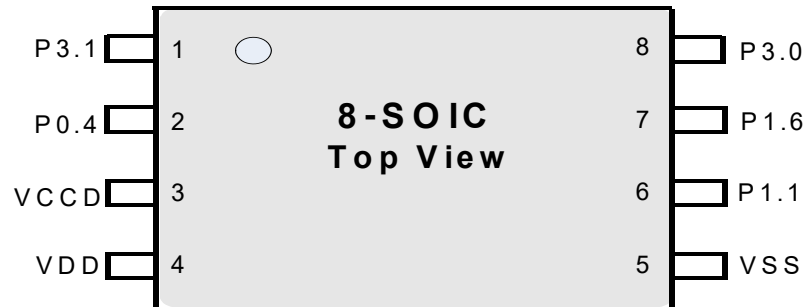
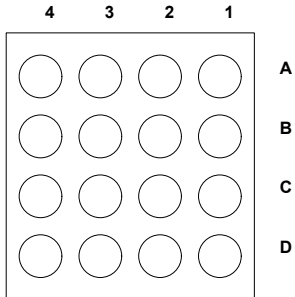
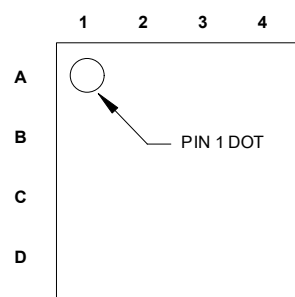


表 2. 16 球 WLCSP 封装的引脚描述和框图

引脚	名称	TCPWM 信号	备用功能	引脚图
B4	P3.2	OUT0: PWM 的输出 0	—	<div style="text-align: center;"> 底视图  </div> <div style="text-align: center; margin-top: 20px;"> 顶视图  </div>
C3	P0.2/TRIN2	TRIN2: 触发输入 2	—	
C4	P0.4/TRIN4/CMPO_0/ EXT_CLK	TRIN4: 触发输入 4	CMPO_0: 感应比较器输出、外部时钟、CMOD 电容	
D4	VCCD	—	—	
D3	VDD	—	—	
D2	VSS	—	—	
C2	VDDIO	—	—	
D1	P0.6	—	—	
C1	P1.1/OUT0	OUT0: PWM 的输出 0	—	
B1	P1.2/SCL	—	I ² C 时钟	
A1	P1.3/SDA	—	I ² C 数据	
A2	P1.6/OVF0/UND0/nO UT0/CMPO_0	nOUT0: OUT0、UND0 和 OVF0 的补充信号	CMPO_0: 感应比较器的输出，具有内部复位功能 ^[3]	
B2	P1.7/MATCH/ EXT_CLK	MATCH: 匹配输出	外部时钟	
A3	P2.0	—	—	
B3	P3.0/SDA/SWD_IO	—	I ² C 数据、SWD 的 I/O	
A4	P3.1/SCL/SWD_CLK	—	I ² C 时钟、SWD 时钟	

注释:

3. 在 POR 期间，该引脚不被接地（它应该是一个输出）。

电源电压

下面的电源系统框图(图 9 和图 10)显示了 PSoC 4000 的电源引脚设置情况。该系统具有一个处于活动模式的电压调节器,以用于数字电路。没有模拟电压调节器,模拟电路直接由 V_{DD} 输入供电。深度睡眠模式有一个独立的电压调节器。供电电压范围为 $1.8\text{ V} \pm 5\%$ (稳压外部电压)或 1.8 V 至 5.5 V (非稳压外部电压; 稳压内部电压),所有功能和电路都在该范围内运行。

16 引脚 QFN 封装中有效的 V_{DDIO} 引脚为 P3.0、P3.1 和 P3.2 引脚提供独立电压域。P3.0 和 P3.1 可以用作 I^2C 引脚,因此芯片能与以不同电压运行的 I^2C 系统通信(其中 $V_{DDIO} \leq V_{DD}$)。例如, V_{DD} 为 3.3 V 和 V_{DDIO} 为 1.8 V 。

PSoC 4000 系列提供两种不同的电源操作模式: 非稳压外部供电和稳压外部供电。

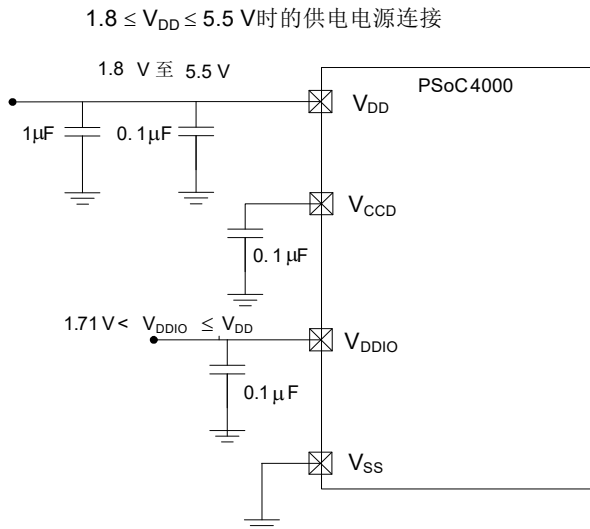
未稳压外部供电

在该模式下, PSoC 4000 由一个外部电源供电,它的电压范围为 1.8 V 至 5.5 V 。该范围还适用于电池供电的操作。例如,该芯片由一个电池系统供电,它的电压从 3.5 V 下降到 1.8 V 。在此模式下, PSoC 4000 的内部电压调节器为内部逻辑供电,并且它的 V_{CCD} 输出必须通过一个外部电容($0.1\text{ }\mu\text{F}$; X5R 陶瓷或性能更好的电容)旁路接地。

V_{DD} 必须通过旁路电容连接到地。对于属于该频率范围内的系统,建议将一个 $1\text{ }\mu\text{F}$ 以内的电容器与一个更小(如 $0.1\text{ }\mu\text{F}$)的电容器并行连接。请注意,这只是简单的经验法则。对于重要的应用,PCB 布局、走线间的电感和旁路寄生电容需要通过仿真以获得最佳的旁路。

下面是旁路方案的一个示例(V_{DDIO} 在 16-QFN 封装中有效)。

图 9. 16-QFN 的旁路方案示例 — 非稳压外部供电

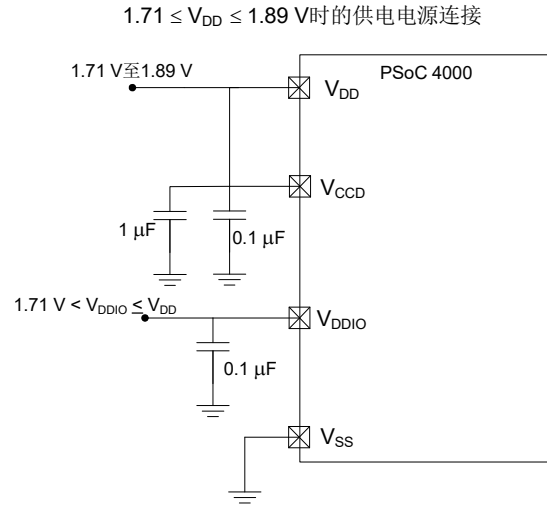


稳压外部供电

在该模式下, PSoC 4000 由一个外部电源供电,它的电压范围为 1.71 V 至 1.89 V ; 请注意,此范围必须包括了纹波。在该模式中, V_{DD} 和 V_{CCD} 引脚短接相连并被旁路。需要通过固件禁用内部电压调节器。请注意: 在该模式下,即使发生了任何条件(包括闪存编程), V_{DD} (V_{CCD}) 也不能超过 1.89 V 。

下面是旁路方案的一个示例(V_{DDIO} 在 16-QFN 封装中有效)。

图 10. 16-QFN 的旁路方案示例 — 稳压外部供电



开发支持

PSoC 4000 系列具有一系列丰富的文档、开发工具和在线资源，能够在开发过程中为您提供帮助。更多有关信息，请访问 www.cypress.com/go/psoc4 网站。

文档

通过 PSoC 4000 系列的一系列文档，您可以快速找到问题的答案。本节列出了部分关键文档。

软件用户指南：介绍了有关使用 PSoC Creator 的流程。该指南详细介绍了 PSoC Creator 的构建流程、如何将源控件与 PSoC Creator 结合使用等信息。

组件数据手册：PSoC 非常灵活，在长时间投入生产后依然可以创建新的外设（组件）。组件数据表提供了选择和使用特定组件所需的全部信息，其中包括功能说明、API 文档、示例代码以及交流 / 直流规范。

应用笔记：PSoC 应用笔记深入讨论了 PSoC 的特定应用，例如直流无刷电机控制和片上滤波。除了应用笔记文档之外，应用笔记通常还包括示例项目。

技术参考手册：技术参考手册（TRM）包含使用 PSoC 器件所需的全部技术细节，其中包括所有 PSoC 寄存器的完整说明。可

在 www.cypress.com/psoc4 网站上的文档部分获取技术参考手册（TRM）。

在线支持

除了印刷文档之外，您还可以随时通过赛普拉斯 PSoC 论坛，与世界各地的 PSoC 用户和专家进行交流。

工具

PSoC 4000 系列具备工业标准的内核、编程和调试接口，是开发工具体系的一个组成部分。有关易于使用的创新型 PSoC Creator IDE、所支持的第三方编译器、编程器、调试器和开发工具包的最新信息，请访问我们的网站 www.cypress.com/go/psoccreator。

电气规范

最大绝对额定值

表 3. 最大绝对额定值^[4]

规范 ID#	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID1	V _{DD_ABS}	相对于 V _{SS} 的数字供电电压	-0.5	-	6	V	
SID2	V _{CCD_ABS}	相对于 V _{SS} 的直接数字内核输入电压	-0.5	-	1.95	V	
SID3	V _{GPIO_ABS}	GPIO 电压	-0.5	-	V _{DD} +0.5	V	
SID4	I _{GPIO_ABS}	每个 GPIO 上的最大电流	-25	-	25	mA	
SID5	I _{GPIO_injection}	GPIO 注入电流, V _{IH} > V _{DD} 时, 该值最大; V _{IL} < V _{SS} 时, 该值最小	-0.5	-	0.5	mA	每个引脚的注入电流
BID44	ESD_HBM	人体静电放电模型	2200	-	-	V	
BID45	ESD_CDM	充电器件的静电放电模型	500	-	-	V	
BID46	LU	栓锁的引脚电流	-140	-	140	mA	

器件级规范

除非另有说明, 否则所有规范的适用条件为: -40 °C ≤ T_A ≤ 85 °C, T_J ≤ 100 °C; 且电压范围为 1.71 V ~ 5.5 V。

表 4. 直流规范

典型值的测量条件为: V_{DD} = 3.3 V, 温度 = 25 °C。

规范 ID#	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID53	V _{DD}	电源输入电压	1.8	-	5.5	V	使能了电压调节器
SID255	V _{DD}	电源输入电压 (V _{CCD} = V _{DD})	1.71	-	1.89	V	内部未调节电压
SID54	V _{DDIO}	V _{DDIO} 供电范围	1.71	-	V _{DD}	V	
SID55	C _{EFC}	外部电压调节器旁路电容	-	0.1	-	μF	绝缘介质为 X5R 的陶瓷或性能更好的电容
SID56	C _{EXC}	内部电压旁路电容	-	1	-	μF	绝缘介质为 X5R 的陶瓷或性能更好的电容
活动模式, V_{DD} = 1.8 V ~ 5.5 V.							
SID9	I _{DD5}	从闪存执行, CPU 的运行速率为 6 MHz	-	2.0	2.85	mA	
SID12	I _{DD8}	从闪存执行, CPU 的运行速率为 12 MHz	-	3.2	3.75	mA	
SID16	I _{DD11}	从闪存执行, CPU 的运行速率为 16 MHz	-	4.0	4.5	mA	
睡眠模式, V_{DD} = 1.71 V ~ 5.5 V							
SID25	I _{DD20}	I ² C 唤醒, WDT 打开。运行速率为 6 MHz	-	1.1	-	mA	
SID25A	I _{DD20A}	I ² C 唤醒, WDT 打开。运行速率为 12 MHz	-	1.4	-	mA	
深度睡眠模式, V_{DD} = 1.8 ~ 3.6 V (电压调节器已打开)							
SID31	I _{DD26}	I ² C 唤醒和 WDT 打开	-	2.5	8.2	μA	
深度睡眠模式, V_{DD} = 3.6 V ~ 5.5 V (电压调节器已打开)							
SID34	I _{DD29}	I ² C 唤醒和 WDT 打开	-	2.5	12	μA	

注释:

- 使用高于表 1 所列的最大绝对值可能会给器件造成永久性损害。长期使用最大绝对值会影响器件的可靠性。最大存放温度是 150°C, 符合 JEDEC JESD22-A103 — 高温存放使用寿命标准。如果采用的值低于最大绝对值但高于正常值, 则器件不能正常工作。

表 4. 直流规范 (续)

 典型值的测量条件为: $V_{DD} = 3.3\text{ V}$, 温度 = $25\text{ }^{\circ}\text{C}$ 。

规范 ID#	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
深度睡眠模式, $V_{DD} = V_{CCD} = 1.71\text{ V} \sim 1.89\text{ V}$ (旁路电压调节器)							
SID37	I_{DD32}	I ² C 唤醒和 WDT 打开	-	2.5	9.2	μA	
XRES 电流							
SID307	I_{DD_XR}	触发 XRES 时的供电电流	-	2	5	mA	

表 5. 交流规范

规范 ID#	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID48	F_{CPU}	CPU 频率	DC	-	16	MHz	$1.71 \leq V_{DD} \leq 5.5$
SID49 ^[5]	T_{SLEEP}	从睡眠模式唤醒的时间	-	0	-	μs	
SID50 ^[5]	$T_{\text{DEEPSLEEP}}$	从深度睡眠模式唤醒的时间	-	35	-	μs	

GPIO
表 6. GPIO 直流规范 (参照 16 引脚 QFN V_{DDIO} 引脚的 V_{DDIO})

规范 ID#	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID57	$V_{IH}^{[6]}$	输入高电平阈值	$0.7 \times V_{DD}$	-	-	V	CMOS 输入
SID58	V_{IL}	输入低电平阈值	-	-	$0.3 \times V_{DD}$	V	CMOS 输入
SID241	$V_{IH}^{[6]}$	LVTTL 输入, $V_{DD} < 2.7\text{ V}$	$0.7 \times V_{DD}$	-	-	V	
SID242	V_{IL}	LVTTL 输入, $V_{DD} < 2.7\text{ V}$	-	-	$0.3 \times V_{DD}$	V	
SID243	$V_{IH}^{[6]}$	LVTTL 输入, $V_{DD} \geq 2.7\text{ V}$	2.0	-	-	V	
SID244	V_{IL}	LVTTL 输入, $V_{DD} \geq 2.7\text{ V}$	-	-	0.8	V	
SID59	V_{OH}	输出为高电平时的输出电压	$V_{DD} - 0.6$	-	-	V	$V_{DD} = 3\text{ V}$ 时, $I_{OH} = 4\text{ mA}$
SID60	V_{OH}	输出为高电平时的输出电压	$V_{DD} - 0.5$	-	-	V	$V_{DD} = 1.8\text{ V}$ 时, $I_{OH} = 1\text{ mA}$
SID61	V_{OL}	输出为低电平时的输出电压	-	-	0.6	V	$V_{DD} = 1.8\text{ V}$ 时, $I_{OL} = 4\text{ mA}$
SID62	V_{OL}	输出为低电平时的输出电压	-	-	0.6	V	$V_{DD} = 3\text{ V}$ 时, $I_{OL} = 10\text{ mA}$
SID62A	V_{OL}	输出为低电平时的输出电压	-	-	0.4	V	$V_{DD} = 3\text{ V}$ 时, $I_{OL} = 3\text{ mA}$
SID63	R_{PULLUP}	上拉电阻	3.5	5.6	8.5	$\text{k}\Omega$	
SID64	R_{PULLDOWN}	下拉电阻	3.5	5.6	8.5	$\text{k}\Omega$	
SID65	I_{IL}	输入漏电流 (绝对值)	-	-	2	nA	$25\text{ }^{\circ}\text{C}$, $V_{DD} = 3.0\text{ V}$
SID66	C_{IN}	输入电容	-	3	7	pF	
SID67 ^[7]	V_{HYSTTL}	输入迟滞 LVTTL	15	40	-	mV	$V_{DD} \geq 2.7\text{ V}$
SID68 ^[7]	V_{HYSCMOS}	输入迟滞 CMOS 电平	$0.05 \times V_{DD}$	-	-	mV	$V_{DD} < 4.5\text{ V}$
SID68A ^[7]	$V_{\text{HYSCMOS5V5}}$	输入迟滞 CMOS 电平	200	-	-	mV	$V_{DD} > 4.5\text{ V}$
SID69 ^[7]	I_{DIODE}	通过保护二极管到达 V_{DD}/V_{SS} 的导通电流	-	-	100	μA	
SID69A ^[7]	$I_{\text{TOT_GPIO}}$	芯片的最大拉电流或灌电流总值	-	-	85	mA	

注释:

5. 由出厂校准保证。
6. V_{IH} 不能超过 $V_{DD} + 0.2\text{ V}$ 。
7. 由出厂校准保证。

表 7. GPIO 交流规范

(由出厂校准保证)

规范 ID#	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID70	T_{RISEF}	快速强驱动模式下的上升时间	2	–	12	ns	$V_{DD} = 3.3\text{ V}$, $C_{load} = 25\text{ pF}$
SID71	T_{FALLF}	快速强驱动模式下的下降时间	2	–	12	ns	$V_{DD} = 3.3\text{ V}$, $C_{load} = 25\text{ pF}$
SID72	T_{RISES}	慢速强驱动模式下的上升时间	10	–	60	–	$V_{DD} = 3.3\text{ V}$, $C_{load} = 25\text{ pF}$
SID73	T_{FALLS}	慢速强驱动模式下的下降时间	10	–	60	–	$V_{DD} = 3.3\text{ V}$, $C_{load} = 25\text{ pF}$
SID74	F_{GPIO1}	GPIO F_{OUT} : $3.3\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ 。 快速强驱动模式。	–	–	16	MHz	90/10%, $C_{load} = 25\text{ pF}$, 占空比 = 60/40
SID75	F_{GPIO2}	GPIO F_{OUT} : $1.71\text{ V} \leq V_{DD} \leq 3.3\text{ V}$ 。 快速强驱动模式。	–	–	16	MHz	90/10%, $C_{load} = 25\text{ pF}$, 占空比 = 60/40
SID76	F_{GPIO3}	GPIO F_{OUT} : $3.3\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ 。 慢速强驱动模式。	–	–	7	MHz	90/10%, $C_{load} = 25\text{ pF}$, 占空比 = 60/40
SID245	F_{GPIO4}	GPIO F_{OUT} : $1.71\text{ V} \leq V_{DD} \leq 3.3\text{ V}$ 。 慢速强驱动模式。	–	–	3.5	MHz	90/10%, $C_{load} = 25\text{ pF}$, 60/40 占空比
SID246	F_{GPIOIN}	GPIO 输入工作频率; $1.71\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	–	–	16	MHz	90/10% V_{IO}

XRES
表 8. XRES 直流规格

规范 ID#	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID77	V_{IH}	输入高电平阈值	$0.7 \times V_{DD}$	–	–	V	CMOS 输入
SID78	V_{IL}	输入低电平阈值	–	–	$0.3 \times V_{DD}$	V	CMOS 输入
SID79	R_{PULLUP}	上拉电阻	3.5	5.6	8.5	k Ω	
SID80	C_{IN}	输入电容	–	3	7	pF	
SID81 ^[8]	$V_{HYSXRES}$	输入电压迟滞	–	$0.05 \times V_{DD}$	–	mV	$V_{DD} > 4.5$ V 时, 典型迟滞为 200 mV

表 9. XRES 交流规范

规范 ID#	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID83 ^[8]	$T_{RESETWIDTH}$	复位脉冲宽度	5	–	–	μ s	
BID#194 ^[8]	$T_{RESETWAKE}$	从复位释放到唤醒的时间	–	–	3	ms	

模拟外设
比较器
表 10. 比较器直流规范

规范 ID#	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID330 ^[8]	I_{CMP1}	模块电流 — 高带宽模式	–	–	110	μ A	
SID331 ^[8]	I_{CMP2}	模块电流 — 低功耗模式	–	–	85	μ A	
SID332 ^[8]	$V_{OFFSET1}$	偏移电压 — 高带宽模式	–	10	30	mV	
SID333 ^[8]	$V_{OFFSET2}$	偏移电压 — 低功耗模式	–	10	30	mV	
SID334 ^[8]	Z_{CMP}	比较器的直流输入阻抗	35	–	–	M Ω	
SID338 ^[8]	V_{INP_COMP}	比较器的输入范围	0	–	3.6	V	最大输入电压是 3.6V 和 V_{DD} 中的更小值
SID339	V_{REF_COMP}	比较器的内部参考电压	1.188	1.2	1.212	V	

注释:

8. 由出厂校准保证。

表 11. 比较器交流规范（由出厂校准保证）

规范 ID#	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID336 ^[8]	T _{COMP1}	响应时间 - 高带宽模式 +50 mV 过比较值	-	-	90	ns	
SID337 ^[8]	T _{COMP2}	响应时间 - 低功耗模式 +50 mV 过比较值	-	-	110	ns	

CSD
表 12. CSD 和 IDAC 的模块规范

规范 ID#	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
CSD 和 IDAC 的规范							
SYS.PER#3	VDD_RIPPLE	电源的最大允许波纹，直流至 10 MHz	-	-	±50	mV	VDD > 2 V（包括波纹），T _A = 25 °C，灵敏度 = 0.1 pF
SYS.PER#16	VDD_RIPPLE_1.8	电源的最大允许波纹，直流至 10 MHz	-	-	±25	mV	VDD > 1.75 V（包括波纹），T _A = 25 °C，寄存器电容（C _P ）< 20 pF，灵敏度 ≥ 0.4 pF
SID.CSD#15	VREFHI	缓冲区的输出参考电压	1.1	1.2	1.3	V	
SID.CSD#16	IDAC1IDD	IDAC1（8 位）模块电流	-	-	1125	μA	
SID.CSD#17	IDAC2IDD	IDAC2（7 位）模块电流	-	-	1125	μA	
SID308	V _{CSD}	工作电压范围	1.71	-	5.5	V	1.8 V ±5% 或 1.8 V 到 5.5 V
SID308A	VCOMPIDAC	IDAC 的标准电压范围	0.8	-	V _{DD} -0.8	V	
SID309	IDAC1 _{DNL}	8 位分辨率的差分非线性（DNL）	-1	-	1	LSB	
SID310	IDAC1 _{INL}	8 位分辨率的积分非线性（INL）	-3	-	3	LSB	
SID311	IDAC2 _{DNL}	7 位分辨率的差分非线性（DNL）	-1	-	1	LSB	
SID312	IDAC2 _{INL}	7 位分辨率的积分非线性（INL）	-3	-	3	LSB	
SID313	SNR	手指触摸产生的信号与噪声的比率。由出厂校准保证	5	-	-	比率	电容值范围 = 9 pF ~ 35 pF，灵敏度 = 0.1 pF。
SID314	IDAC1 _{CRT1}	高范围 IDAC1（8 位）输出电流	-	612	-	μA	
SID314A	IDAC1 _{CRT2}	低范围 IDAC1（8 位）输出电流	-	306	-	μA	
SID315	IDAC2 _{CRT1}	高范围 IDAC2（7 位）输出电流	-	304.8	-	μA	
SID315A	IDAC2 _{CRT2}	低范围 IDAC2（7 位）输出电流	-	152.4	-	μA	
SID320	IDAC _{OFFSET}	所有零输入	-	-	±1	LSB	
SID321	IDAC _{GAIN}	全量程错误减去偏移	-	-	±10	%	
SID322	IDAC _{MISMATCH}	各 IDAC 之间的不一致性	-	-	7	LSB	
SID323	IDAC _{SET8}	8 位 IDAC 达到 0.5 LSB 所需的建立时间	-	-	10	μs	全标度跃变。无外部负载。
SID324	IDAC _{SET7}	7 位 IDAC 达到 0.5 LSB 所需的建立时间	-	-	10	μs	全标度跃变。无外部负载。
SID325	CMOD	外部调制器电容。	-	2.2	-	nF	5 V 的额定电压，X7R 或 NP0 电容。

数字外设

定时计数脉宽调制器 (TCPWM)

表 13. TCPWM 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID.TCPWM.1	ITCPWM1	频率为 3 MHz 时的模块电流消耗	–	–	45	μA	所有模式 (TCPWM)
SID.TCPWM.2	ITCPWM2	频率为 8 MHz 时的模块电流消耗	–	–	145	μA	所有模式 (TCPWM)
SID.TCPWM.2A	ITCPWM3	频率为 16 MHz 时的模块电流消耗	–	–	160	μA	所有模式 (TCPWM)
SID.TCPWM.3	TPWM _{FREQ}	工作频率	–	–	F _c	MHz	F _c 最大值 = CLK_SYS。 最大频率 = 16 MHz
SID.TCPWM.4	TPWM _{ENEXT}	输入触发脉冲宽度	2/F _c	–	–	ns	对于所有触发事件 ^[9]
SID.TCPWM.5	TPWM _{EXT}	输出触发脉冲宽度	2/F _c	–	–	ns	上溢、下溢和 CC (计数值等于比较值) 输出的最小宽度
SID.TCPWM.5A	TC _{RES}	计数器的分辨率	1/F _c	–	–	ns	连续计数间的最短时间
SID.TCPWM.5B	PWM _{RES}	PWM 分辨率	1/F _c	–	–	ns	PWM 输出的最小脉宽
SID.TCPWM.5C	Q _{RES}	正交输入分辨率	1/F _c	–	–	ns	正交相位输入的最小脉冲宽度。

 I^2C
表 14. 固定 I²C 的直流规范^[10]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID149	I _{I2C1}	频率为 100 KHz 时的模块电流消耗	–	–	25	μA	
SID150	I _{I2C2}	频率为 400 KHz 时的模块电流消耗	–	–	135	μA	
SID.PWR#5	ISBI2C	在深度睡眠模式下使能 I ² C	–	–	2.5	μA	

表 15. 固定 I²C 交流规范^[10]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID153	F _{I2C1}	比特率	–	–	400	Kbps	

注释:

9. 根据选择的工作模式, 触发事件可以为: Stop、Start、Reload、Count、Capture 或 Kill。

10. 由出厂校准保证。

存储器
表 16. 闪存直流规范

规格 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID173	V _{PE}	擦除和编程电压	1.71	–	5.5	V	

表 17. 闪存交流规范

规格 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID174	T _{ROWWRITE} ^[11]	行（块）编写的时间（擦除和编程）	–	–	20	ms	行（块）= 64 个字节
SID175	T _{ROWERASE} ^[11]	行擦除时间	–	–	13	ms	
SID176	T _{ROWPROGRAM} ^[11]	擦除后的行编程时间	–	–	7	ms	
SID178	T _{BULKERASE} ^[11]	批量擦除时间（16 KB）	–	–	15	ms	
SID180 ^[12]	T _{DEVPROG} ^[11]	器件总编程时间	–	–	7.5	秒	
SID181 ^[12]	F _{END}	闪存耐久性	100 K	–	–	周期	
SID182 ^[12]	F _{RET}	闪存数据保持时间。T _A ≤ 55 °C, 100 K 个编程 / 擦除周期	20	–	–	年	
SID182A ^[12]		闪存数据保持时间。T _A ≤ 85 °C, 一万个编程 / 擦除周期	10	–	–	年	

系统资源

上电复位（POR）

表 18. 上电复位（PRES）

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID.CLK#6	SR_POWER_UP	电源上升速率	1	–	67	V/ms	在加电时
SID185 ^[12]	V _{RISEIPOR}	上升触发电压	0.80	–	1.5	V	
SID186 ^[12]	V _{FALLIPOR}	下降触发电压	0.70	–	1.4	V	

表 19. V_{CCD} 的欠压检测（BOD）

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID190 ^[12]	V _{FALLPPOR}	活动模式和睡眠模式下的 BOD 触发电压	1.48	–	1.62	V	
SID192 ^[12]	V _{FALLDPSLP}	睡眠模式下的 BOD 触发电压	1.11	–	1.5	V	

注释:

- 它可能需要最多 20 毫秒来写入到闪存。在这段时间内请勿复位器件，否则会中断闪存操作并且不能保证该操作的完成。复位源包括 XRES 引脚、软件复位、CPU 锁存状态和特权冲突、不合适的电源电平以及看门狗。需要确保这些复位源不会无意被触发。
- 由出厂校准保证。

SWD 接口
表 20. SWD 接口规范

规格 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID213	F_SWDCLK1	$3.3\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	-	-	14	MHz	SWDCLK \leq CPU 时钟频率的 1/3
SID214	F_SWDCLK2	$1.71\text{ V} \leq V_{DD} \leq 3.3\text{ V}$	-	-	7	MHz	SWDCLK \leq CPU 时钟频率的 1/3
SID215 ^[13]	T_SWDI_SETUP	$T = 1/f\text{ SWDCLK}$	0.25*T	-	-	ns	
SID216 ^[13]	T_SWDI_HOLD	$T = 1/f\text{ SWDCLK}$	0.25*T	-	-	ns	
SID217 ^[13]	T_SWDO_VALID	$T = 1/f\text{ SWDCLK}$	-	-	0.5*T	ns	
SID217A ^[13]	T_SWDO_HOLD	$T = 1/f\text{ SWDCLK}$	1	-	-	ns	

内部主振荡器
表 21. IMO 直流规格

(由设计决定)

规格 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID218	I _{IMO1}	频率为 48 MHz 时的 IMO 工作电流	-	-	250	μA	
SID219	I _{IMO2}	频率为 24 MHz 时的 IMO 工作电流	-	-	180	μA	

表 22. IMO 交流规范

规格 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID223	F _{IMOTOL1}	频率为 24 或 32 MHz (出厂调整后)	-	-	±2	%	$2\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ 和 $-25\text{ °C} \leq T_A \leq 85\text{ °C}$
SID223A	F _{IMOTOLVCCD}	频率为 24 或 32 MHz (出厂调整后)	-	-	±4	%	在所有其他条件下
SID226	T _{STARTIMO}	IMO 启动时间	-	-	7	μs	
SID228	T _{JITRMSIMO2}	频率为 24 MHz 时的 RMS 抖动	-	145	-	ps	

内部低速振荡器
表 23. ILO 直流规范

(由设计决定)

规格 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID231 ^[13]	I _{ILO1}	ILO 工作电流	-	0.3	1.05	μA	
SID233 ^[13]	I _{ILOLEAK}	ILO 漏电流	-	2	15	nA	

表 24. ILO 交流规范

规格 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID234 ^[13]	T _{STARTILO1}	ILO 启动时间	-	-	2	ms	
SID236 ^[13]	T _{ILODUTY}	ILO 占空比	40	50	60	%	
SID237	F _{ILOTRIM1}	ILO 频率范围	20	40	80	kHz	

注释:

13. 由出厂校准保证。

表 25. 外部时钟规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID305 ^[14]	ExtClkFreq	外部时钟输入频率	0	–	16	MHz	
SID306 ^[14]	ExtClkDuty	占空比；在 $V_{DD/2}$ 电压下测量	45	–	55	%	

表 26. 模块规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID262 ^[14]	$T_{CLKSWITCH}$	系统时钟源的切换时间	3	–	4	周期	

注释：

14. 由出厂校准保证。

订购信息

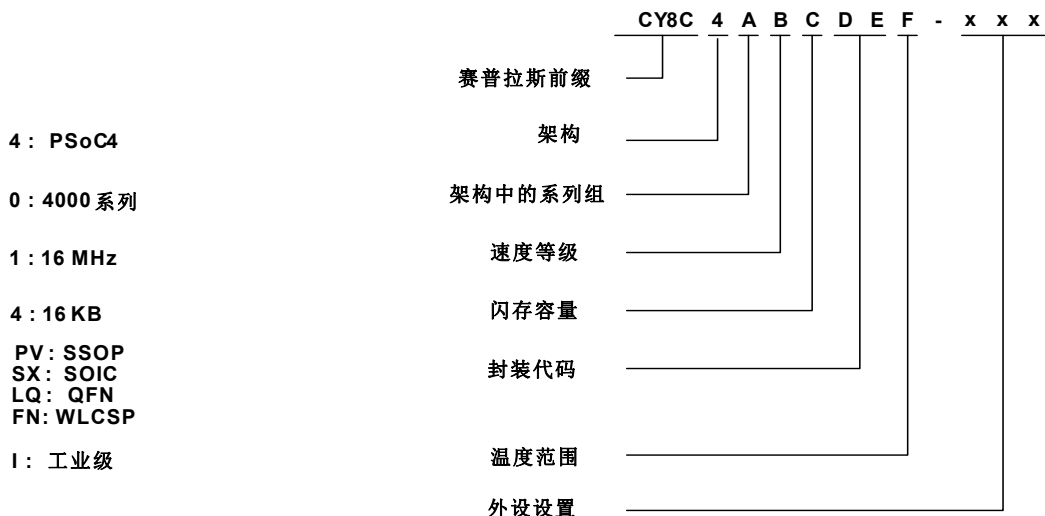
下表显示的是 PSoC 4000 系列的器件型号和各种特性。盘带封装中提供了所有封装类型。

类别	MPN	特性									封装						
		CPU 的最大速度	闪存 (KB)	SRAM (KB)	CapSense	7-bit IDAC	8-bit IDAC	比较器	TCPWM Blocks	I2C	16 -WLCSP (1.45 x 1.56mm)	16 -WLCSP (1.47 x 1.58mm)	8-SOIC	16-SOIC	16-QFN	24-QFN	28-SSOP
CY8C4013	CY8C4013SXI-400	16	8	2	-	-	-	-	1	1	-	-	✓	-	-	-	-
	CY8C4013SXI-410	16	8	2	-	1	1	1	1	1	-	-	✓	-	-	-	-
	CY8C4013SXI-411	16	8	2	-	1	1	1	1	1	-	-	-	✓	-	-	-
	CY8C4013LQI-411	16	8	2	-	1	1	1	1	1	-	-	-	-	✓	-	-
CY8C4014	CY8C4014SXI-420	16	16	2	✓	1	1	1	1	1	-	-	✓	-	-	-	-
	CY8C4014SXI-411	16	16	2	-	1	1	1	1	1	-	-	-	✓	-	-	-
	CY8C4014SXI-421	16	16	2	✓	1	1	1	1	1	-	-	-	✓	-	-	-
	CY8C4014LQI-421	16	16	2	✓	1	1	1	1	1	-	-	-	-	✓	-	-
	CY8C4014LQI-412	16	16	2	-	1	1	1	1	1	-	-	-	-	-	✓	-
	CY8C4014LQI-422	16	16	2	✓	1	1	1	1	1	-	-	-	-	-	✓	-
	CY8C4014PVI-412	16	16	2	-	1	1	1	1	1	-	-	-	-	-	-	✓
	CY8C4014PVI-422	16	16	2	✓	1	1	1	1	1	-	-	-	-	-	-	✓
	CY8C4014FNI-421	16	16	2	✓	1	1	1	1	1	✓	-	-	-	-	-	-
	CY8C4014FNI-421A	16	16	2	✓	1	1	1	1	1	-	✓	-	-	-	-	-
其它	CY8C4014LQI-SLT1	16	16	2	✓	1	1	1	1	1	-	-	-	-	✓	-	-
	CY8C4014LQI-SLT2	16	16	2	✓	1	1	1	1	1	-	-	-	-	-	✓	-

器件型号约定

PSoC 4 器件遵循下表所述的器件型号约定。除非另有声明，否则所有字段都是单字符字母数字 (0、1、2、...、9、A、B、...、Z)。器件型号的格式为 CY8C4ABCDEF-XYZ，其中各域的定义如下所示。

实例



下表列出了各域值：

字段	说明	值	含义
CY8C	赛普拉斯前缀		
4	架构	4	PSoC 4
A	系列	0	4000 系列
B	CPU 的速度	1	16 MHz
		4	48 MHz
C	闪存容量	3	8 KB
		4	16 KB
		5	32 KB
		6	64 KB
		7	128 KB
DE	封装代码	SX	SOIC
		LQ	QFN
		PV	SSOP
		FN	WLCSP
F	温度范围	I	行业级
XYZ	属性代码	000-999	设置在特殊系列中的特性代码

封装

表 27. 封装列表

规范 ID#	封装	说明
BID#47A	28-SSOP	28 引脚 SSOP (5 × 10 × 1.65mm), 间距为 0.65mm
BID#26	24-QFN	24 引脚 QFN (4 × 4 × 0.6 mm), 间距为 0.5mm
BID#33	16-QFN	16 引脚 QFN (3 × 3 × 0.6 mm), 间距为 0.5mm
BID#40	16-SOIC	16 引脚 (150 Mil) SOIC
BID#47	8-SOIC	8 引脚 (150 Mil) SOIC
BID#147A	16球 WLCSP (1.47 × 1.58mm)	16球 1.47 × 1.58 × 0.4 mm
	16球 WLCSP (1.45 × 1.56mm)	16球 1.45 × 1.56 × 0.4 mm

表 28. 封装特性

参数	说明	条件	最小值	典型值	最大值	单位
T _A	工作环境温度		-40	25	85	°C
T _J	工作结温		-40	-	100	°C
T _{JA}	封装 θ _{JA} (28-SSOP)		-	66.6	-	°C/Watt
T _{JC}	封装 θ _{JC} (28-SSOP)		-	34	-	°C/Watt
T _{JA}	封装 θ _{JA} (24-QFN)		-	38	-	°C/Watt
T _{JC}	封装 θ _{JC} (24-QFN)		-	5.6	-	°C/Watt
T _{JA}	封装 θ _{JA} (16-QFN)		-	49.6	-	°C/Watt
T _{JC}	封装 θ _{JC} (16-QFN)		-	5.9	-	°C/Watt
T _{JA}	封装 θ _{JA} (16-SOIC)		-	142	-	°C/Watt
T _{JC}	封装 θ _{JC} (16-SOIC)		-	49.8	-	°C/Watt
T _{JA}	封装 θ _{JA} (16 球 WLCSP)		-	90	-	°C/Watt
T _{JC}	封装 θ _{JC} (16 球 WLCSP)		-	0.9	-	°C/Watt
T _{JA}	封装 θ _{JA} (8-SOIC)		-	198	-	°C/Watt
T _{JC}	封装 θ _{JC} (8-SOIC)		-	56.9	-	°C/Watt

表 29. 回流焊峰值温度

封装	最高峰值温度	峰值温度下的最长时间
全部	260 °C	30 秒

表 30. 封装潮敏等级 (MSL), IPC/JEDEC J-STD-020

封装	MSL
全部	MSL 3
16- 球 WLCSP	MSL 1

封装外形图

图 11. 28-SSOP 封装外形

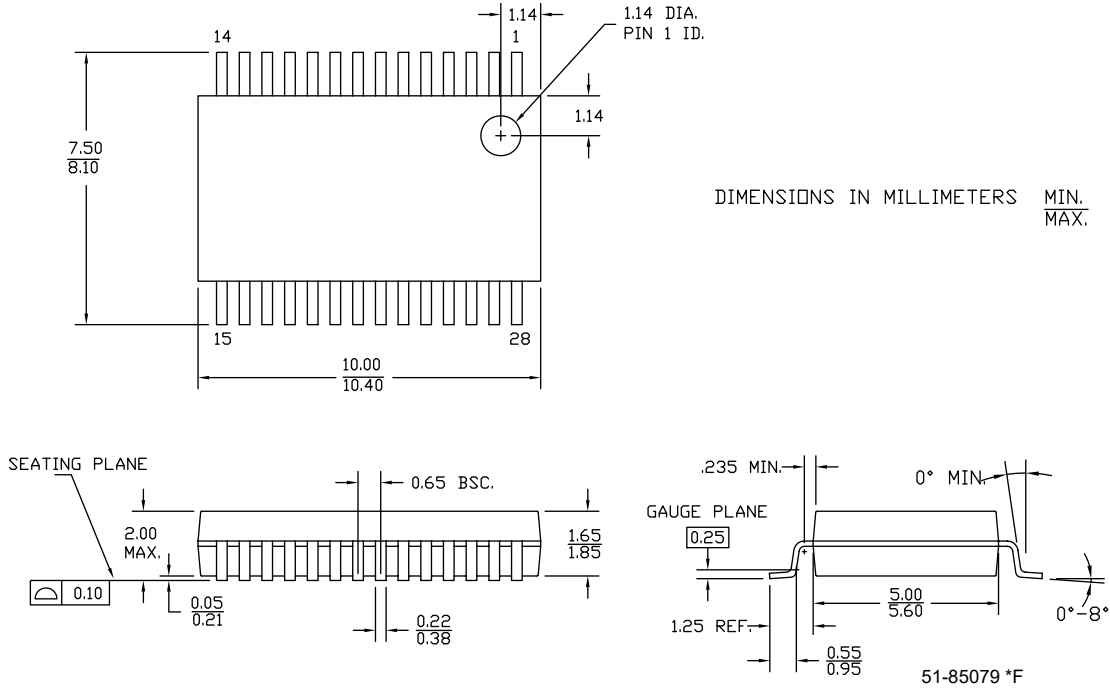
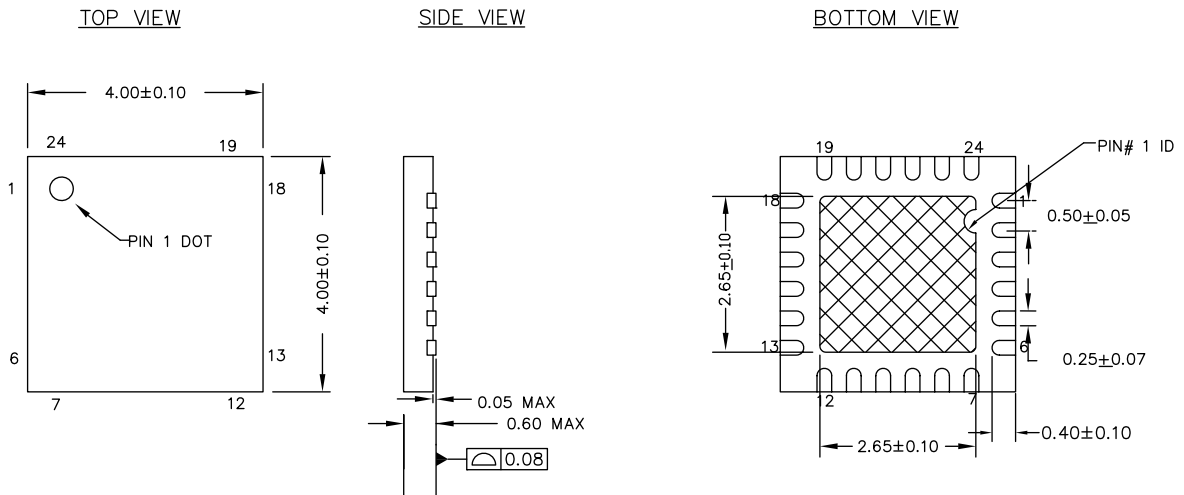


图 12. 24-QFN EPAD (Sawn) 封装外形



NOTES :

1. HATCH IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT : 29 ± 3 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

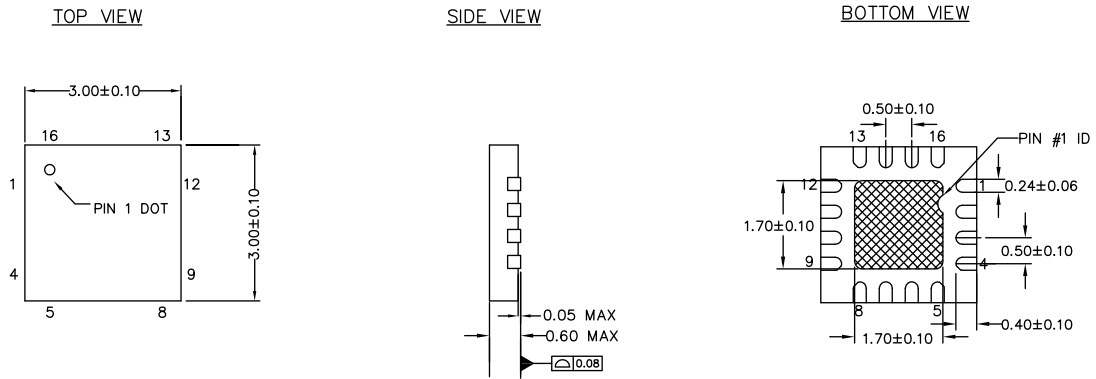
001-13937 *G

注释:


15. QFN 封装图的尺寸单位为毫米。

QFN 封装上的中心焊盘应连接到接地 (VSS)，以获得最佳机械、热学和电气性能。如果未接地，则应处于电气悬空状态，而不能连接到任何其他信号。

图 13. 16- 针 QFN (3 × 3 × 0.6 mm) 1.7 × 1.7 E-Pad (Sawn) 封装



NOTES

1.  HATCH AREA IS SOLDERABLE EXPOSED PAD
2. REFERENCE JEDEC # MO-248
3. ALL DIMENSIONS ARE IN MILLIMETERS
4. PACKAGE WEIGHT: See Cypress Package Material Declaration Datasheet (PMDD) posted on the Cypress web

001-87187 *A

图 14. 16- 针 SOIC (150 Mils) 封装外形

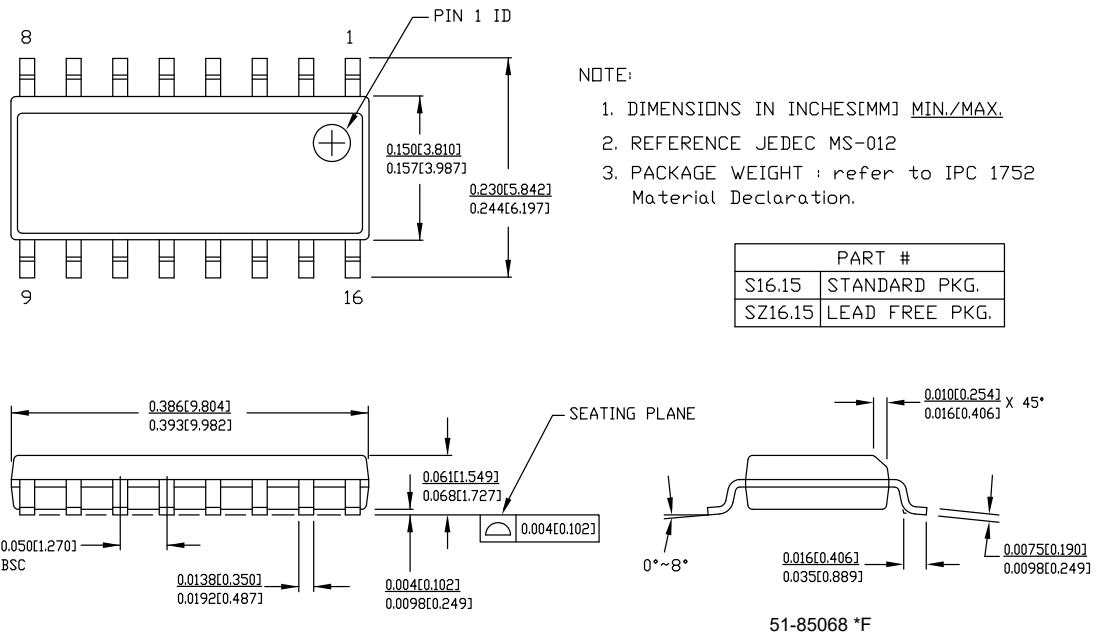


图 15. 8- 针 SOIC (150 Mils) 封装外形

8 Lead (150 Mil) SOIC – S08

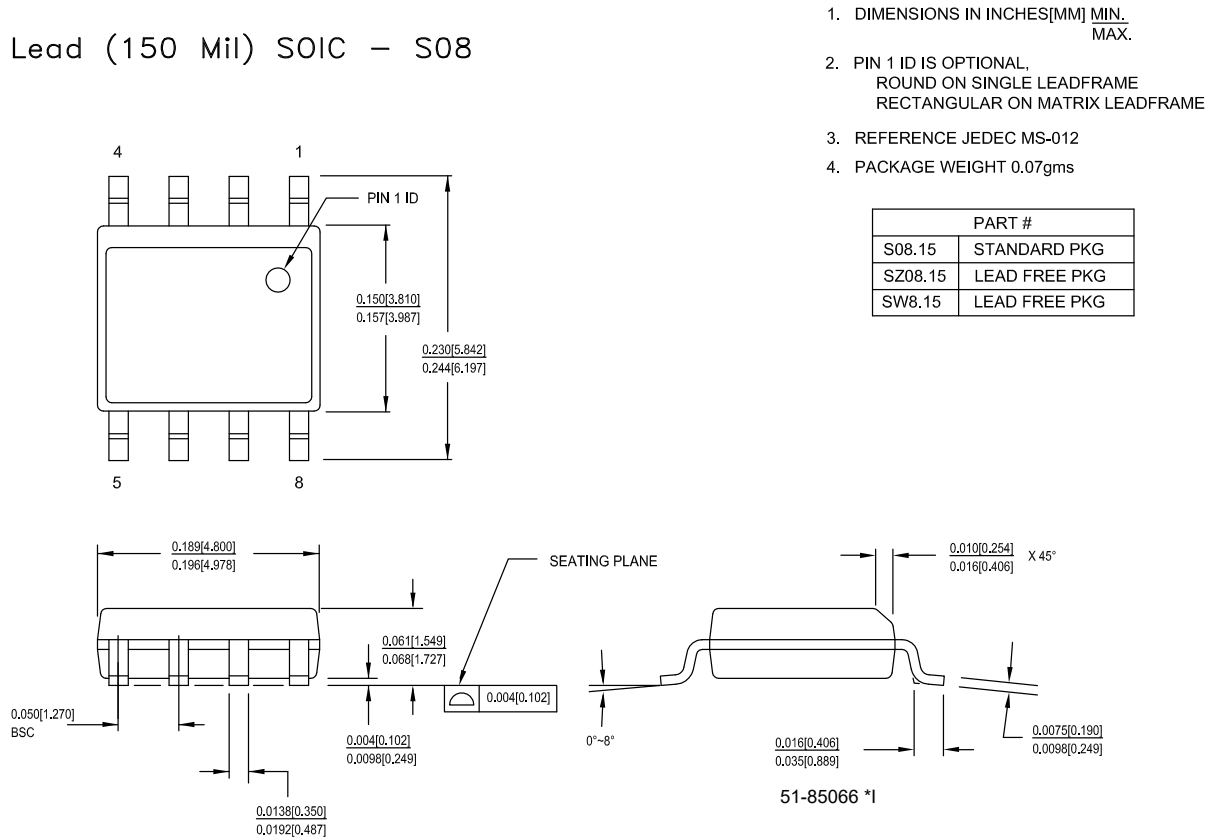
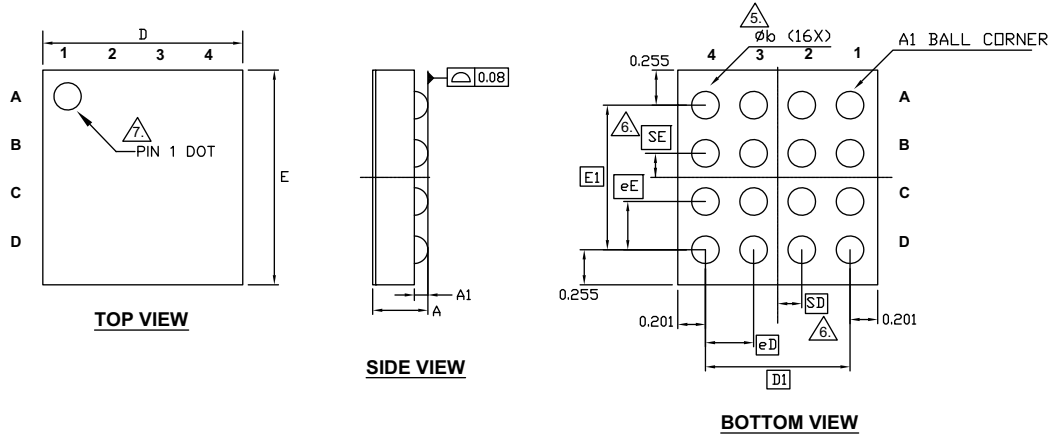


图 16. 16- 球 WLCSP (1.47 × 1.58 × 0.42 mm)



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	0.42
A1	0.089	0.099	0.109
D	1.427	1.452	1.477
E	1.534	1.559	1.584
D1	1.05 BSC		
E1	1.05 BSC		
MD	4		
ME	4		
N	16		
∅ b	0.17	0.20	0.23
eD	0.35 BSC		
eE	0.35 BSC		
SD	0.18 BSC		
SE	0.18 BSC		

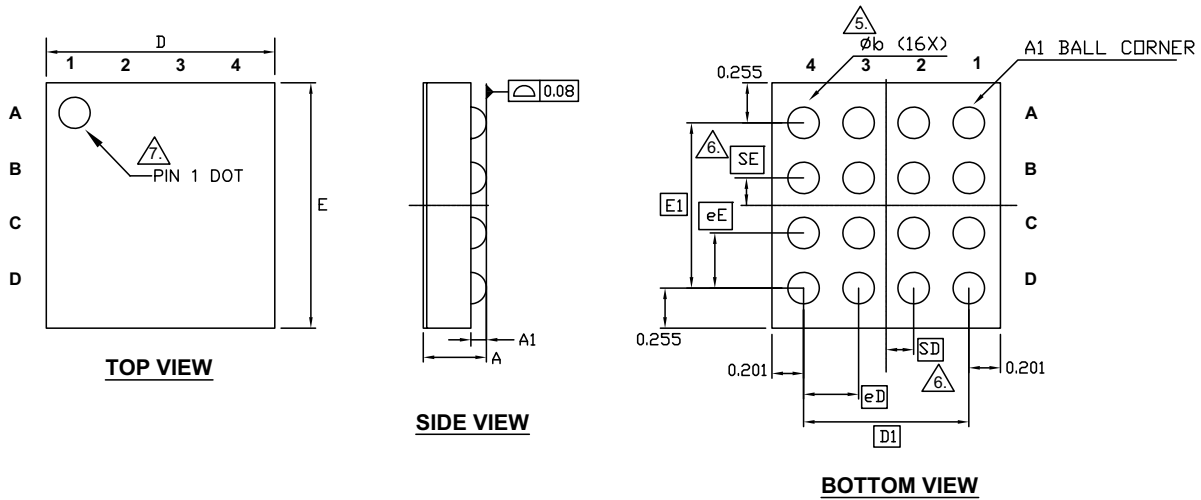
NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
- "*" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.
- JEDEC SPECIFICATION NO. REF. : N/A.

002-18598 **




注释:

16. QFN 封装图的尺寸单位为英寸 [毫米]。

图 17. 16-球 WLCSP 1.45 × 1.56 × 0.42 mm


SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	0.42
A1	0.089	0.099	0.109
D	1.427	1.452	1.477
E	1.534	1.559	1.584
D1	1.05 BSC		
E1	1.05 BSC		
MD	4		
ME	4		
N	16		
∅ b	0.17	0.20	0.23
eD	0.35 BSC		
eE	0.35 BSC		
SD	0.18 BSC		
SE	0.18 BSC		

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION.
SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION.
N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
-  DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
-  "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
-  A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.
- JEDEC SPECIFICATION NO. REF.: N/A.

001-95966 *C

缩略语

表 31. 本文中使用的缩略语

缩略语	说明
abus	模拟局部总线
ADC	模数转换器
AG	模拟全局总线
AHB	AMBA (先进微控制器总线架构) 高性能总线, 即为一种 Arm 数据传输总线
ALU	算术逻辑单元
AMUXBUS	模拟复用器总线
API	应用编程接口
APSR	应用编程状态寄存器
Arm®	高级 RISC 机器, 即为一种 CPU 架构
ATM	自动 Thump 模式
BW	带宽
CAN	控制器区域网络, 即为一种通信协议
CMRR	共模抑制比
CPU	中央处理单元
CRC	循环冗余校验, 即为一种错误校验协议
DAC	数模转换器, 另请参见 IDAC、VDAC
DFB	数字滤波器模块
DIO	数字输入 / 输出, GPIO 仅具有数字功能, 无模拟功能。请参见 GPIO。
DMIPS	Dhrystone 每秒百万条指令
DMA	直接存储器访问, 另请参见 TD
DNL	微分非线性, 另请参见 INL
DNU	请勿使用
DR	端口写入数据寄存器
DSI	数字系统互连
DWT	数据观察点和跟踪
ECC	纠错码
ECO	外部晶体振荡器
EEPROM	电可擦除可编程只读存储器
EMI	电磁干扰
EMIF	外部存储器接口
EOC	转换结束
EOF	帧结束
EPSR	执行程序状态寄存器
ESD	静电放电
ETM	嵌入式跟踪宏单元
FIR	有限脉冲响应, 另请参见 IIR

表 31. 本文中使用的缩略语 (续)

缩略语	说明
FPB	闪存修补和断点
FS	全速
GPIO	通用输入 / 输出, 适用于 PSoC 引脚
HVI	高电压中断, 另请参见 LVI、LVD
IC	集成电路
IDAC	电流 DAC, 另请参见 DAC、VDAC
IDE	集成开发环境
I ² C 或 IIC	内部集成电路, 即为一种通信协议
IIR	无限脉冲响应, 另请参见 FIR
ILO	内部低速振荡器, 另请参见 IMO
IMO	内部主振荡器, 另请参见 ILO
INL	积分非线性, 另请参见 DNL
I/O	输入 / 输出, 另请参见 GPIO、DIO、SIO、USBIO
IPOR	初次上电复位
IPSR	中断程序状态寄存器
IRQ	中断请求
ITM	仪器化跟踪宏单元
LCD	液晶显示器
LIN	本地互连网络, 即为一种通信协议
LR	链接寄存器
LUT	查询表
LVD	欠压检测, 另请参见 LVI
LVI	低压中断, 另请参见 HVI
LVTTTL	低压晶体管 - 晶体管逻辑
MAC	乘法累加器
MCU	微控制器单元
MISO	主入从出
NC	无连接
NMI	不可屏蔽的中断
NRZ	非归零
NVIC	嵌套向量中断控制器
NVL	非易失性锁存器, 另请参见 WOL
opamp	运算放大器
PAL	可编程阵列逻辑, 另请参见 PLD
PC	程序计数器
PCB	印刷电路板
PGA	可编程增益放大器
PHUB	外设集线器

表 31. 本文档中使用的缩略语 (续)

缩略语	说明
PHY	物理层
PICU	端口中断控制单元
PLA	可编程逻辑阵列
PLD	可编程逻辑器件, 另请参见 PAL
PLL	锁相环
PMDD	封装材料声明数据手册
POR	上电复位
PRES	准确上电复位
PRS	伪随机序列
PS	端口读取数据寄存器
PSoC®	可编程片上系统
PSRR	电源抑制比
PWM	脉冲宽度调制器
RAM	随机存取存储器
RISC	精简指令集计算
RMS	均方根
RTC	实时时钟
RTL	寄存器转换语言
RTR	远程传输请求
RX	接收
SAR	逐次逼近寄存器
SC/CT	开关电容 / 连续时间
SCL	I ² C 串行时钟
SDA	I ² C 串行数据
S/H	采样和保持
SINAD	信噪比和失真比
SIO	特殊输入 / 输出, 带高级功能的 GPIO。请参见 GPIO。
SOC	开始转换
SOF	帧开始
SPI	串行外设接口, 即为一种通信协议
SR	斜率
SRAM	静态随机存取存储器
SRES	软件复位
SWD	串行线调试, 即为一种测试协议
SWV	单线浏览器
TD	传输描述符, 另请参见 DMA
THD	总谐波失真
TIA	互阻放大器
TRM	技术参考手册

表 31. 本文档中使用的缩略语 (续)

缩略语	说明
TTL	晶体管 - 晶体管逻辑
TX	发送
UART	通用异步发射器接收器, 它是一种通信协议
UDB	通用数字模块
USB	通用串行总线
USBIO	USB 输入 / 输出, 用于连接至 USB 端口的 PSoC 引脚
VDAC	电压数模转换器, 另请参见 DAC、IDAC
WDT	看门狗定时器
WOL	一次性写锁存器, 另请参见 NVL
WRES	看门狗定时器复位
XRES	外部复位 I/O 引脚
XTAL	晶体

文档规范

测量单位

表 32. 测量单位

符号	测量单位
°C	摄氏度
dB	分贝
fF	飞法
Hz	赫兹
KB	1024 个字节
kbps	每秒千位数
Khr	千小时
kHz	千赫兹
kΩ	千欧
ksps	每秒千次采样
LSB	最低有效位
Mbps	每秒兆位数
MHz	兆赫兹
MΩ	兆欧
Msps	每秒兆次采样
μA	微安
μF	微法
μH	微亨
μs	微秒
μV	微伏
μW	微瓦
mA	毫安
ms	毫秒
mV	毫伏
nA	纳安
ns	纳秒
nV	纳伏
Ω	欧姆
pF	皮法
ppm	百万分率
ps	皮秒
s	秒
sps	每秒采样数
sqrtHz	赫兹平方根
V	伏特

修订记录

说明标题: PSoC® 4: PSoC 4000 系列数据手册可编程片上系统 (PSoC®) 文档编号: 001-92129			
版本	ECN	提交日期	变更说明
**	4345245	04/14/2014	本文档版本号为 Rev. **, 译自英文版 001-89638 Rev. *A。
*A	4902977	09/11/2015	本文档版本号为 Rev. *A, 译自英文版 001-89638 Rev. *E。
*B	5711722	04/28/2017	本文档版本号为 Rev. *B, 译自英文版 001-89638 Rev. *G。 更新到新模板。 完成日落评论。
*C	6809592	02/19/2020	本文档版本号为 Rev. *C, 译自英文版 001-89638 Rev. *I。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

Arm® Cortex® 微控制器	cypress.com/arm
汽车级产品	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理 IC	cypress.com/pmhc
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC® 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

赛普拉斯开发者社区

[社区](#) | [代码示例](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

赛普拉斯半导体公司，2013-2020 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC (“赛普拉斯”) 的财产。本文件，包括其包含或引用的任何软件或固件 (“软件”)，根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可 (无再许可权) (1) 在赛普拉斯特软件著作权项下的下列许可权 (一) 对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和 (二) 仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供 (无论直接提供或通过经销商和分销商间接提供)，和 (2) 在被软件 (由赛普拉斯公司提供，且未经修改) 侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权者的访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。(如果发现此类问题，赛普拉斯会提供勘误表) 赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用者应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统 (包括急救设备和手术植入物)、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途 (“非预期用途”)。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。