

### 产品特性

高相对精度(INL): 16位时最大±2 LSB  
 小型封装: 3 mm × 3 mm、16引脚LFCSP  
 总不可调整误差(TUE): ±0.1% FSR(最大值)  
 失调误差: ±1.5 mV(最大值)  
 增益误差: ±0.1% FSR(最大值)  
 高驱动能力: 20 mA, 0.5 V(供电轨)  
 用户可选增益: 1或2(GAIN引脚)  
 复位到零电平或中间电平(RSTSEL引脚)  
 1.8 V逻辑兼容  
 400 kHz I<sup>2</sup>C兼容型串行接口  
 4个可用I<sup>2</sup>C地址  
 低毛刺: 0.5 nV-s  
 鲁棒的HBM(额定值为3.5 kV)和FICDM ESD(额定值为1.5 kV)

### 性能

低功耗: 1.8 mW (3 V)  
 2.7 V至5.5 V电源供电  
 温度范围: -40°C至+105°C

### 应用

数字增益和失调电压调整  
 可编程衰减器  
 过程控制(PLC I/O卡)  
 工业自动化  
 数据采集系统

### 概述

AD5696和AD5694均属于nanoDAC+™系列，分别是低功耗、四通道、16/12位缓冲电压输出DAC，内置增益选择引脚，满量程输出为2.5 V(增益 = 1)或5 V(增益 = 2)。这些器件均采用2.7 V至5.5 V单电源供电，通过设计保证单调性，并具有小于0.1% FSR的增益误差和1.5 mV的失调误差性能。提供3 mm X 3 mm LFCSP和TSSOP封装。

AD5696/AD5694还内置上电复位电路和RSTSEL引脚，确保DAC输出上电至零电平或中间电平，直到执行一次有效的写操作为止。这些器件具有各通道独立掉电特性，在掉电模式下，器件在3 V时的功耗降至4 μA。

AD5696/AD5694采用多功能双线式串行接口，时钟速率最高达400 kHz，包含一个为1.8 V/3 V/5 V逻辑电平准备的V<sub>LOGIC</sub>引脚。

### Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

### 功能框图

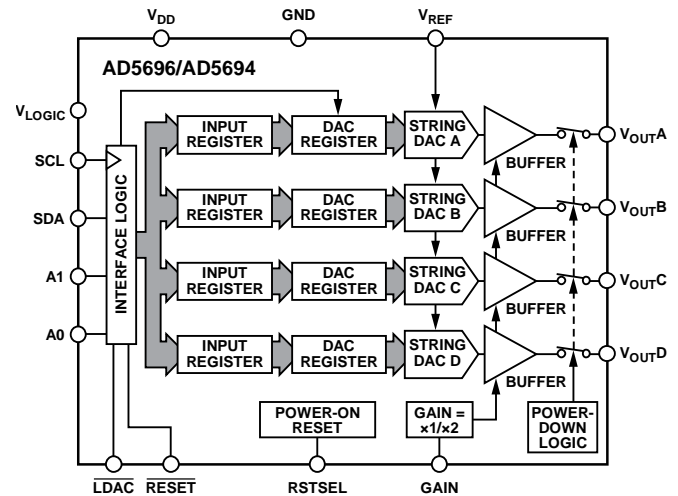


图1.

表1. 四通道nanoDAC+器件

接口	代号	16位	14位	12位
SPI	内部	AD5686R	AD5685R	AD5684R
	外部	AD5686		AD5684
I <sup>2</sup> C	内部	AD5696R	AD5695R	AD5694R
	外部	AD5696		AD5694

### 产品特色

- 高相对精度(INL)。
  - AD5696(16位): ±2 LSB(最大值)
  - AD5694(12位): ±1 LSB(最大值)
- 出色的直流性能。
  - 总不可调整误差: ±0.1% FSR(最大值)
  - 失调误差: ±1.5 mV(最大值)
  - 增益误差: ±0.1% FSR(最大值)
- 两种封装选择。
  - 3 mm × 3 mm、16引脚LFCSP
  - 16引脚TSSOP

## 目录

特性.....	1	串行接口.....	17
应用.....	1	写命令和更新命令.....	18
功能框图.....	1	I <sup>2</sup> C从机地址.....	18
概述.....	1	串行操作.....	18
产品特点.....	1	写操作.....	18
修订历史.....	2	读操作.....	19
技术规格.....	3	多DAC回读序列.....	19
交流特性.....	5	掉电工作模式.....	20
时序特性.....	6	加载DAC（硬件LDAC引脚）.....	20
绝对最大额定值.....	7	LDAC屏蔽寄存器.....	21
热阻.....	7	硬件复位引脚(RESET).....	21
ESD警告.....	7	复位选择引脚(RSTSEL).....	21
引脚配置和功能描述.....	8	应用信息.....	22
典型性能参数.....	9	微处理器接口.....	22
术语.....	14	AD5696/AD5694与ADSP-BF531的接口.....	22
工作原理.....	16	布局指南.....	22
数模转换器.....	16	电流隔离接口.....	22
传递函数.....	16	外形尺寸.....	23
DAC架构.....	16	订购指南.....	24

## 修订历史

2012年7月—修订版0：初始版

## 技术规格

除非另有说明,  $V_{DD} = 2.7\text{ V to } 5.5\text{ V}$ ;  $V_{REF} = 2.5\text{ V}$ ;  $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$ ;  $R_L = 2\text{ k}\Omega$ ;  $C_L = 200\text{ pF}$ ;  
所有规格均相对于  $T_{MIN}$  至  $T_{MAX}$  而言。

表2.

参数	A级			B级			单位	测试条件/备注 <sup>1</sup>
	最小值	典型值	最大值	最小值	典型值	最大值		
静态性能 <sup>2</sup>								
AD5696								
分辨率	16			16			位	
相对精度		$\pm 2$	$\pm 8$		$\pm 1$	$\pm 2$	LSB	增益 = 2
		$\pm 2$	$\pm 8$		$\pm 1$	$\pm 3$	LSB	增益 = 1
差分非线性			$\pm 1$			$\pm 1$	LSB	通过设计保证单调性
AD5694								
分辨率	12			12			位	
相对精度		$\pm 0.12$	$\pm 2$		$\pm 0.12$	$\pm 1$	LSB	
差分非线性			$\pm 1$			$\pm 1$	LSB	通过设计保证单调性
零代码误差		0.4	4		0.4	1.5	mV	DAC寄存器载入全0
失调误差		+0.1	$\pm 4$		+0.1	$\pm 1.5$	mV	
满量程误差		+0.01	$\pm 0.2$		+0.01	$\pm 0.1$	% of FSR	DAC寄存器载入全1
增益误差		$\pm 0.02$	$\pm 0.2$		$\pm 0.02$	$\pm 0.1$	% of FSR	
总不可调整误差		$\pm 0.01$	$\pm 0.25$		$\pm 0.01$	$\pm 0.1$	% of FSR	增益 = 2
			$\pm 0.25$			$\pm 0.2$	% of FSR	增益 = 1
失调误差漂移 <sup>3</sup>		$\pm 1$			$\pm 1$		$\mu\text{V}/^\circ\text{C}$	
增益温度系数 <sup>3</sup>		$\pm 1$			$\pm 1$		ppm	用FSR/ $^\circ\text{C}$ 表示
直流电源抑制比 <sup>3</sup>		0.15			0.15		mV/V	DAC代码 = 中间电平; $V_{DD} = 5\text{ V} \pm 10\%$
直流串扰 <sup>3</sup>		$\pm 2$			$\pm 2$		$\mu\text{V}$	单通道、满量程输出变化引起
		$\pm 3$			$\pm 3$		$\mu\text{V}/\text{mA}$	负载电流变化引起
		$\pm 2$			$\pm 2$		$\mu\text{V}$	(各通道)掉电引起
输出特性 <sup>3</sup>								
输出电压范围	0		$V_{REF}$	0		$V_{REF}$	V	增益 = 1
	0		$2 \times V_{REF}$	0		$2 \times V_{REF}$	V	增益 = 2(参见图20)
容性负载稳定性		2			2		nF	$R_L = \infty$
		10			10		nF	$R_L = 1\text{ k}\Omega$
阻性负载 <sup>4</sup>	1			1			k $\Omega$	
负载调整率		80			80		$\mu\text{V}/\text{mA}$	DAC编码 = 中间电平 $5\text{ V} \pm 10\%$ ; $-30\text{ mA} \leq I_{OUT} \leq +30\text{ mA}$
		80			80		$\mu\text{V}/\text{mA}$	$3\text{ V} \pm 10\%$ ; $-20\text{ mA} \leq I_{OUT} \leq +20\text{ mA}$
短路电流 <sup>5</sup>		40			40		mA	
供电轨上的负载阻抗 <sup>6</sup>		25			25		$\Omega$	见图20
上电时间		2.5			2.5		$\mu\text{s}$	退出掉电模式; $V_{DD} = 5\text{ V}$
基准输入								
基准电流		90			90		$\mu\text{A}$	$V_{REF} = V_{DD} = 5.5\text{ V}$ , 增益 = 1
		180			180		$\mu\text{A}$	$V_{REF} = V_{DD} = 5.5\text{ V}$ , 增益 = 2
基准输入范围	1		$V_{DD}$	1		$V_{DD}$	V	增益 = 1
	1		$V_{DD}/2$	1		$V_{DD}/2$	V	增益 = 2
基准输入阻抗		16			16		k $\Omega$	增益 = 2
		32			32		k $\Omega$	增益 = 1

# AD5696/AD5694

参数	A级			B级			单位	测试条件/备注 <sup>1</sup>
	最小值	典型值	最大值	最小值	典型值	最大值		
逻辑输入 <sup>3</sup>								
输入电流			±2			±2	μA	每引脚
输入低电压V <sub>INL</sub>			0.3 × V <sub>LOGIC</sub>			0.3 × V <sub>LOGIC</sub>	V	
输入高电压V <sub>INH</sub>	0.7 × V <sub>LOGIC</sub>			0.7 × V <sub>LOGIC</sub>			V	
引脚电容		2			2		pF	
逻辑输出(SDA) <sup>3</sup>								
输出低电压V <sub>OL</sub>			0.4			0.4	V	I <sub>SINK</sub> = 3 mA I <sub>SOURCE</sub> = 3 mA
输出高电压V <sub>OH</sub>	V <sub>LOGIC</sub> - 0.4			V <sub>LOGIC</sub> - 0.4			V	
悬空态输出电容		4			4		pF	
电源要求								
V <sub>LOGIC</sub>	1.8		5.5	1.8		5.5	V	增益 = 1 增益 = 2 V <sub>IH</sub> = V <sub>DD</sub> , V <sub>IL</sub> = GND, V <sub>DD</sub> = 2.7 V 至 5.5 V
I <sub>LOGIC</sub>			3			3	μA	
V <sub>DD</sub>	2.7		5.5	2.7		5.5	V	
I <sub>DD</sub>	V <sub>REF</sub> + 1.5		5.5	V <sub>REF</sub> + 1.5		5.5	V	
正常模式 <sup>7</sup>		0.59	0.7		0.59	0.7	mA	
全掉电模式 <sup>8</sup>		1	4		1	4	μA	-40°C 至 +85°C
			6			6	μA	-40°C 至 +105°C

<sup>1</sup> 温度范围：-40°C至+105°C。

<sup>2</sup> 除非另有说明，直流规格均在输出端无负载的情况下测得。上行死区(10 mV)仅存在于V<sub>REF</sub> = V<sub>DD</sub>且增益 = 1时或V<sub>REF</sub>/2 = V<sub>DD</sub>且增益 = 2时。线性度计算使用缩减的代码范围：256至65,280 (AD5696)或12至4080 (AD5694)。

<sup>3</sup> 通过设计和特性保证，但未经生产测试。

<sup>4</sup> 通道A和通道B的合并输出电流最高达30 mA。类似地，在结温高达110°C下，通道C和通道D的合并输出电流最高达30 mA。

<sup>5</sup> V<sub>DD</sub> = 5 V。器件包含限流功能，旨在保护器件免受暂时性过载条件影响。限流期间可能会超过结温。在规定的最大结温以上工作可能会影响器件的可靠性。

<sup>6</sup> 从任一供电轨吸取负载电流时，相对于该供电轨的输出电压裕量受输出器件的25 Ω典型通道电阻限制。例如，当吸电流为1 mA时，最小输出电压 = 25 Ω × 1 mA = 25 mV(见图20)。

<sup>7</sup> 接口未启用。所有DAC启用。DAC输出端无负载。

<sup>8</sup> 所有DAC掉电。

## 交流特性

除非另有说明,  $V_{DD} = 2.7\text{ V to } 5.5\text{ V}$ ;  $V_{REF} = 2.5\text{ V}$ ;  $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$ ;  $R_L = 2\text{ k}\Omega$ ;  $C_L = 200\text{ pF}$ ;  
所有规格均相对于  $T_{MIN}$  至  $T_{MAX}$  而言。

表3.

参数 <sup>1,2</sup>	最小值	典型值	最大值	单位	测试条件/注释 <sup>3</sup>
输出电压建立时间					1/4到3/4量程建立到±2 LSB
AD5696		5	8	μs	
AD5694		5	7	μs	
压摆率		0.8		V/μs	
数模转换毛刺脉冲		0.5		nV-sec	主进位跃迁1 LSB变化
数字馈通		0.13		nV-sec	
乘法带宽		500		kHz	
数字串扰		0.1		nV-sec	
模拟串扰		0.2		nV-sec	
DAC间串扰		0.3		nV-sec	
总谐波失真 <sup>4</sup>		-80		dB	At $T_A$ , BW = 20 kHz, $V_{DD} = 5\text{ V}$ , $f_{OUT} = 1\text{ kHz}$
输出噪声频谱密度		100		nV/√Hz	DAC代码 = 中间电平, 10 kHz, 增益 = 2
输出噪声		6		μV p-p	0.1 Hz 至 10 Hz
信噪比(SNR)		90		dB	At $T_A$ , BW = 20 kHz, $V_{DD} = 5\text{ V}$ , $f_{OUT} = 1\text{ kHz}$
无杂散动态范围(SFDR)		83		dB	At $T_A$ , BW = 20 kHz, $V_{DD} = 5\text{ V}$ , $f_{OUT} = 1\text{ kHz}$
信纳比(SINAD)		80		dB	At $T_A$ , BW = 20 kHz, $V_{DD} = 5\text{ V}$ , $f_{OUT} = 1\text{ kHz}$

<sup>1</sup> 通过设计和特性保证, 但未经生产测试。

<sup>2</sup> 参见术语部分。

<sup>3</sup> 温度范围: -40°C至+105°C; 典型值25°C。

<sup>4</sup> 以数字方式生成频率为1 kHz的正弦波。

# AD5696/AD5694

## 时序特性

除非另有说明,  $V_{DD} = 2.7\text{ V}$ 至 $5.5\text{ V}$ ;  $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$ ; 所有规格均相对于 $T_{MIN}$ 至 $T_{MAX}$ 而言。

表4.

参数 <sup>1,2</sup>	最小值	最大值	单位	描述
$t_1$	2.5		$\mu\text{s}$	SCL周期时间
$t_2$	0.6		$\mu\text{s}$	$t_{HIGH}$ , SCL高电平时间
$t_3$	1.3		$\mu\text{s}$	$t_{LOW}$ , SCL低电平时间
$t_4$	0.6		$\mu\text{s}$	$t_{HD,STA}$ , 起始/重复起始保持时间
$t_5$	100		ns	$t_{SU,DAT}$ , 数据建立时间
$t_6^3$	0	0.9	$\mu\text{s}$	$t_{HD,DAT}$ , 数据保持时间
$t_7$	0.6		$\mu\text{s}$	$t_{SU,STA}$ , 重复起始建立时间
$t_8$	0.6		$\mu\text{s}$	$t_{SU,STO}$ , 停止条件建立时间
$t_9$	1.3		$\mu\text{s}$	$t_{BUF}$ , 一个结束条件和起始条件之间的总线空闲时间
$t_{10}^4$	0	300	ns	$t_R$ , 接收时SCL和SDA的上升时间
$t_{11}^{4,5}$	$20 + 0.1C_B$	300	ns	$t_F$ , 发送/接收时SCL和SDA的下降时间
$t_{12}$	20		ns	$\overline{LDAC}$ 脉冲宽度
$t_{13}$	400		ns	SCL上升沿到LDAC上升沿
$t_{SP}^6$	0	50	ns	抑制尖峰的脉冲宽度
$C_B^5$		400	pF	各条总线的容性负载

<sup>1</sup> 参见图2。

<sup>2</sup> 通过设计和特性保证, 但未经生产测试。

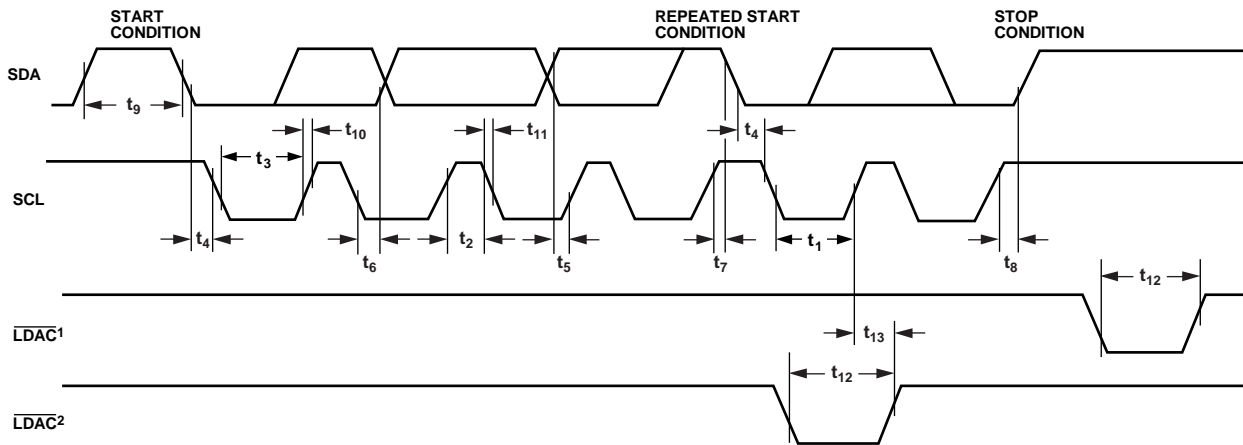
<sup>3</sup> 主器件必须为SDA信号(参考SCL信号的 $V_{OH}$ 最小值)提供至少300 ns的保持时间, 以便桥接SCL下降沿的未定义区域。

<sup>4</sup>  $t_R$ 和 $t_F$ 是在 $0.3 \times V_{DD}$ 至 $0.7 \times V_{DD}$ 范围内测得。

<sup>5</sup>  $C_B$ 是一条总线的总电容(单位: pF)。

<sup>6</sup> SCL和SDA输入的输入滤波可抑制小于50 ns的噪声尖峰。

## 时序图



### NOTES

<sup>1</sup>ASYNCHRONOUS  $\overline{LDAC}$  UPDATE MODE.

<sup>2</sup>SYNCHRONOUS  $\overline{LDAC}$  UPDATE MODE.

图2. 双线式串行接口时序图

110799-002

## 绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表5.

参数	额定值
$V_{DD}$ 至 GND	-0.3V 至 +7V
$V_{LOGIC}$ 至 GND	-0.3V 至 +7V
$V_{OUT}$ 至 GND	-0.3V 至 $V_{DD} + 0.3\text{V}$
$V_{REF}$ 至 GND	-0.3V 至 $V_{DD} + 0.3\text{V}$
数字输入电压至GND <sup>1</sup>	-0.3V 至 $V_{LOGIC} + 0.3\text{V}$
SDA和SCL至GND	-0.3V 至 +7V
工作温度范围	-40°C 至 +105°C
存储温度范围	-65°C 至 +150°C
结温	125°C
回流焊峰值温度，无铅(J-STD-020)	260°C
ESD	
人体模型(HBM)	3.5 kV
场感应充电器件模型(FICDM)	1.5 kV

<sup>1</sup>不含SDA和SCL。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

## 热阻

$\theta_{JA}$  针对最差条件；即器件焊接在电路板上以实现表贴封装。此值采用密封型JEDEC标准4层电路板测得。对于LFCSP封装，裸露焊盘必须连接到GND。

表6. 热阻

封装类型	$\theta_{JA}$	单位
16 引脚LFCSP	70	°C/W
16 引脚TSSOP	112.6	°C/W

## ESD警告

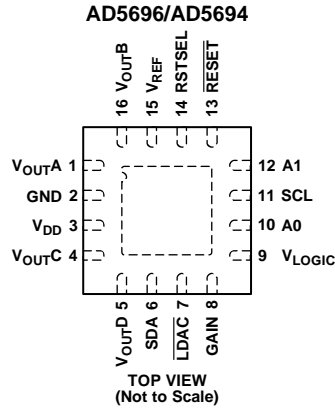


### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

# AD5696/AD5694

## 引脚配置和功能描述



NOTES  
1. THE EXPOSED PAD MUST BE TIED TO GND.

图3. 引脚配置(16引脚LFCSP)

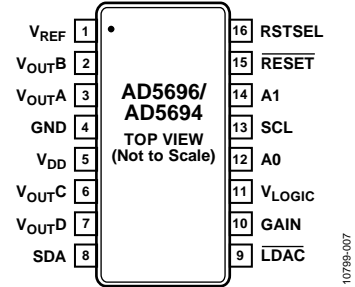


图4. 引脚配置(16引脚TSSOP)

表7. 引脚功能描述

引脚编号		引脚名称	描述
LFCSP	TSSOP		
1	3	$V_{OUTA}$	DAC A的模拟输出电压。输出放大器能以轨到轨方式工作。
2	4	GND	器件上所有电路的接地基准点。
3	5	$V_{DD}$	电源输入引脚。这些器件可以采用2.7V至5.5V电源供电，电源应通过并联的10 $\mu$ F电容和0.1 $\mu$ F电容去耦至GND。
4	6	$V_{OUTC}$	DAC C的模拟输出电压。输出放大器能以轨到轨方式工作。
5	7	$V_{OUTD}$	DAC D的模拟输出电压。输出放大器能以轨到轨方式工作。
6	8	SDA	串行数据输入。该引脚与SCL线配合使用，将数据输入或输出24位输入移位寄存器。SDA是一种双向开漏数据线，应通过一个外部上拉电阻上拉至电源。
7	9	LDAC	LDAC支持两种工作模式：异步更新模式和同步更新模式。发送脉冲使该引脚变为低电平后，当输入寄存器有新数据时，可以更新任意或全部DAC寄存器；所有DAC输出均同时更新。也可以将该引脚永久接为低电平。
8	10	GAIN	增益选择引脚。当该引脚与GND相连时，所有四个DAC的输出范围均为0V至 $V_{REF}$ 。当该引脚与 $V_{DD}$ 相连时，所有四个DAC的输出范围均为0V至 $2 \times V_{REF}$ 。
9	11	$V_{LOGIC}$	数字电源。电压范围为1.8V至5.5V。
10	12	A0	地址输入引脚。设置7位从机地址的第一个LSB。
11	13	SCL	串行时钟线。该引脚与SDA线配合使用，将数据输入或输出24位输入移位寄存器。
12	14	A1	地址输入引脚。设置7位从机地址的第二个LSB。
13	15	RESET	异步复位输入。RESET输入下降沿触发。当RESET有效时(低电平)，输入寄存器和DAC寄存器更新为零电平或中间电平，具体取决于RSTSEL引脚的状态。当RESET为低电平时，所有LDAC脉冲都被忽略。
14	16	RSTSEL	上电复位引脚。将该引脚连接至GND时，可将所有四个DAC上电至零电平。将该引脚连接至 $V_{DD}$ 时，可将所有四个DAC上电至中间电平。
15	1	$V_{REF}$	基准输入电压。
16	2	$V_{OUTB}$	DAC B的模拟输出电压。输出放大器能以轨到轨方式工作。
17	N/A	EPAD	裸露焊盘。裸露焊盘必须连接到GND。



### 典型性能参数

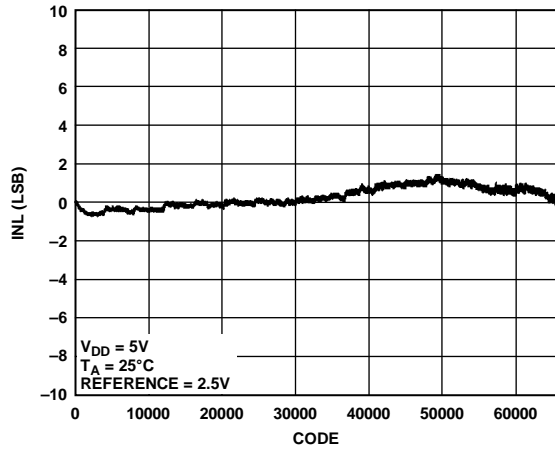


图5. AD5696 INL

10799-118

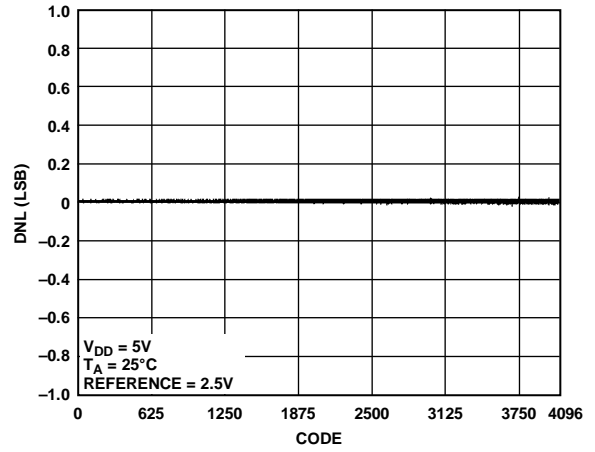


图8. AD5694 DNL

10799-123

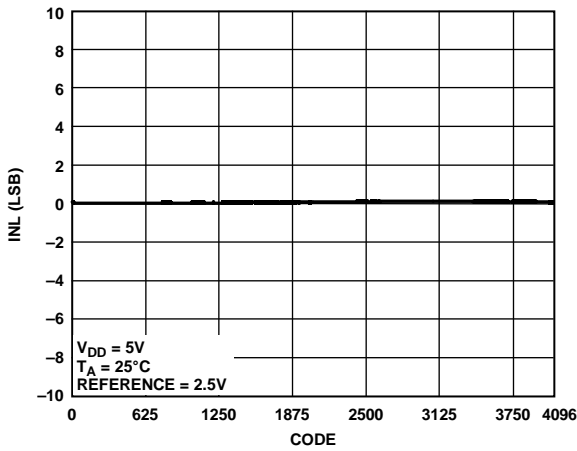


图6. AD5694 INL

10799-120

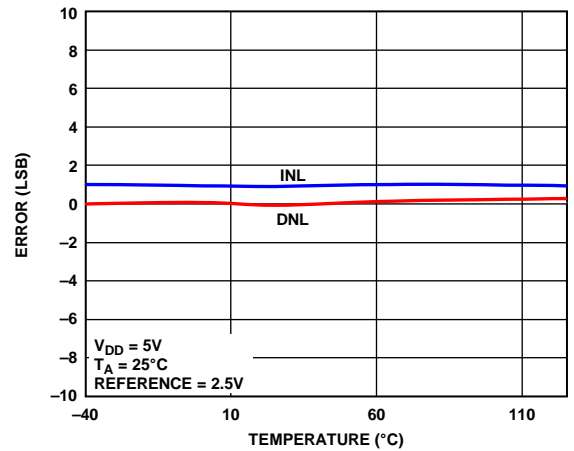


图9. INL误差和DNL误差与温度的关系

10799-124

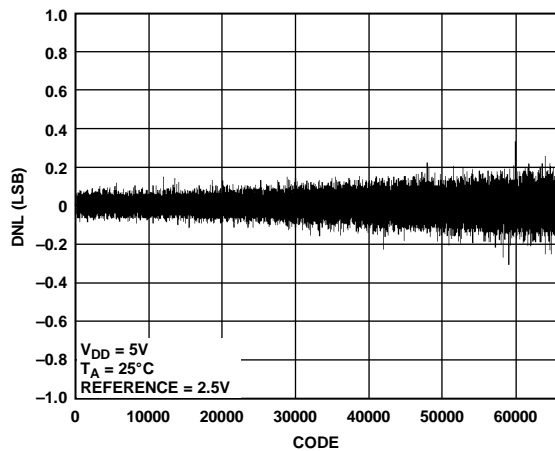


图7. AD5696 DNL

10799-121

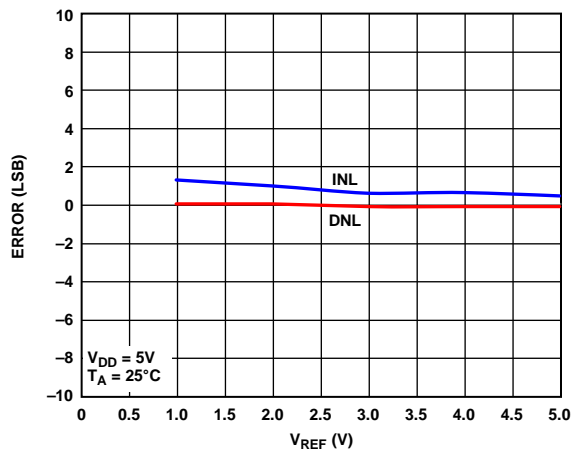


图10. INL误差和DNL误差与 $V_{REF}$ 的关系

10799-125

# AD5696/AD5694

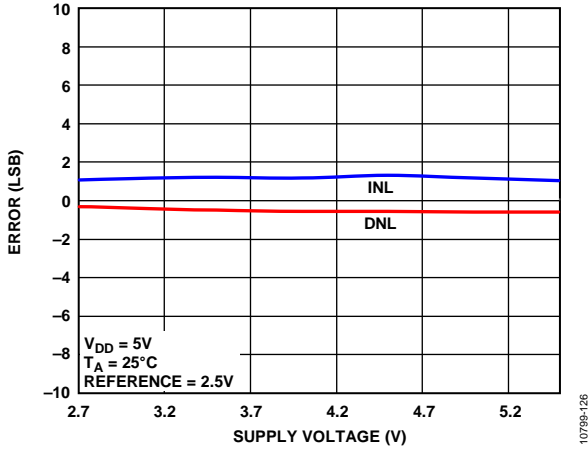


图11. INL误差和DNL误差与电源电压的关系

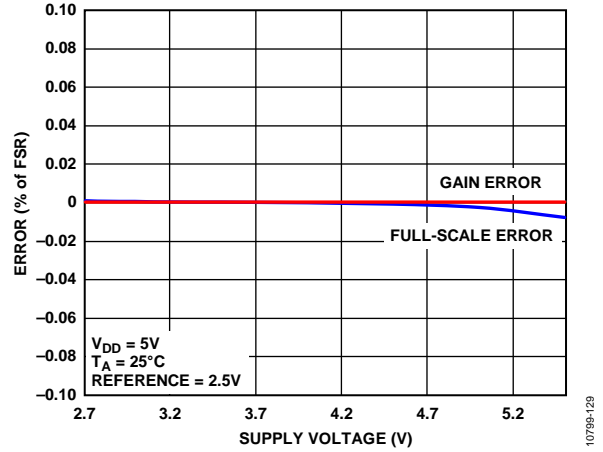


图14. 增益误差和满量程误差与电源电压的关系

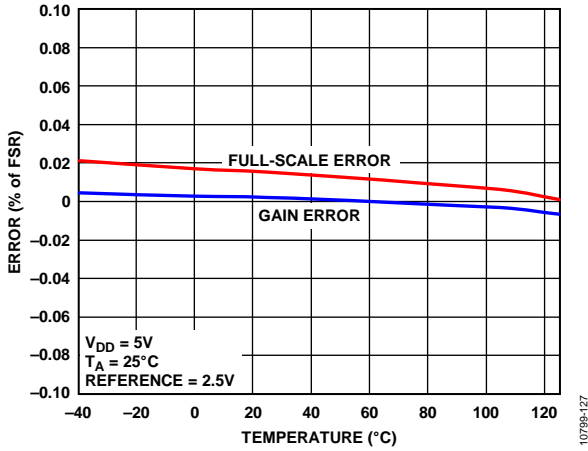


图12. 增益误差和满量程误差与温度的关系

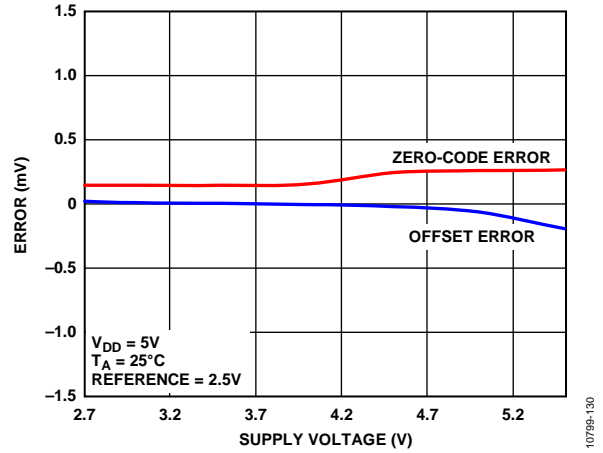


图15. 零编码误差和失调误差与电源电压的关系

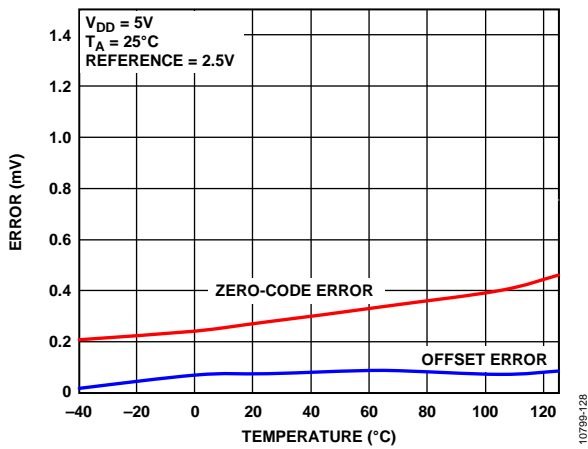


图13. 零代码误差和失调误差与温度的关系

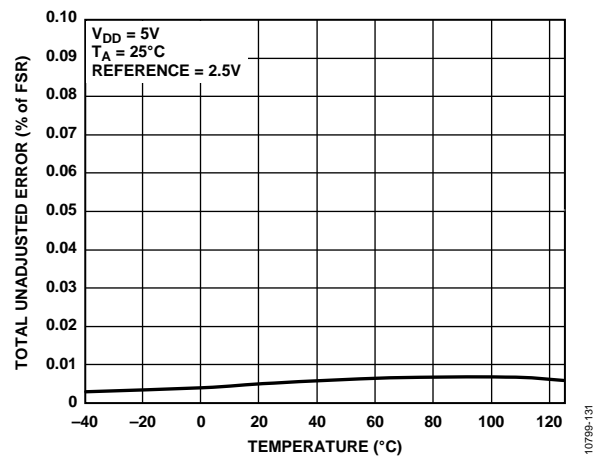


图16. TUE与温度的关系

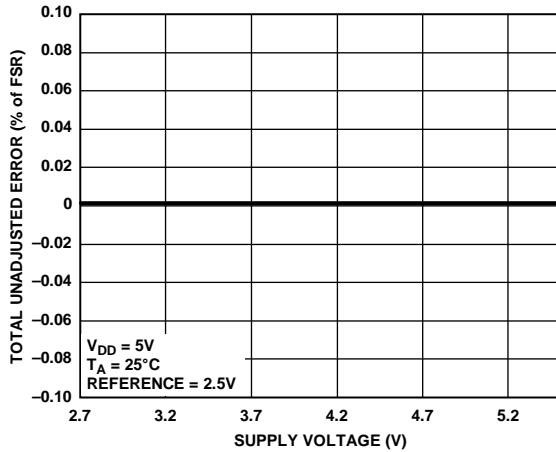


图17. TUE与电源电压的关系(增益=1)

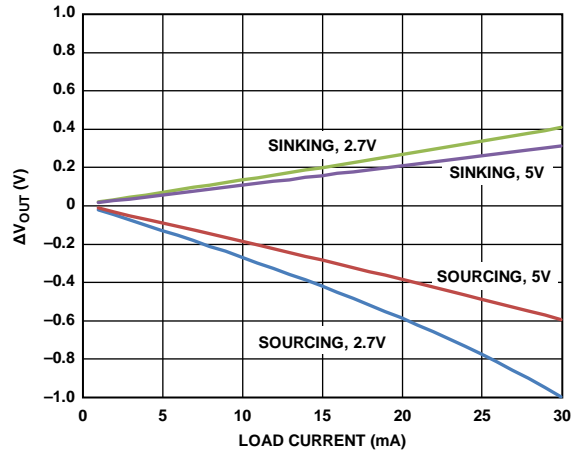


图20. 上裕量/下裕量与负载电流的关系

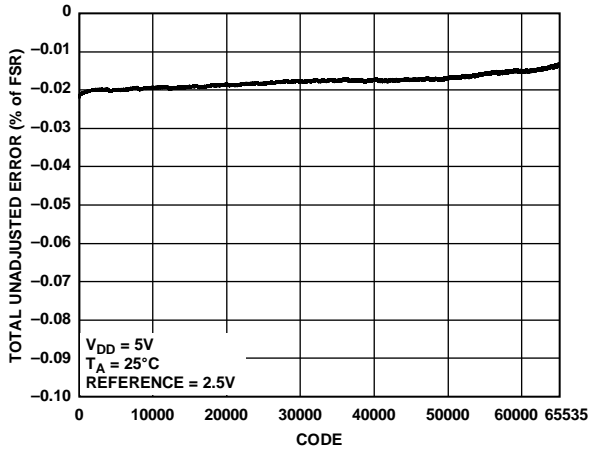


图18. TUE与代码的关系AD5696

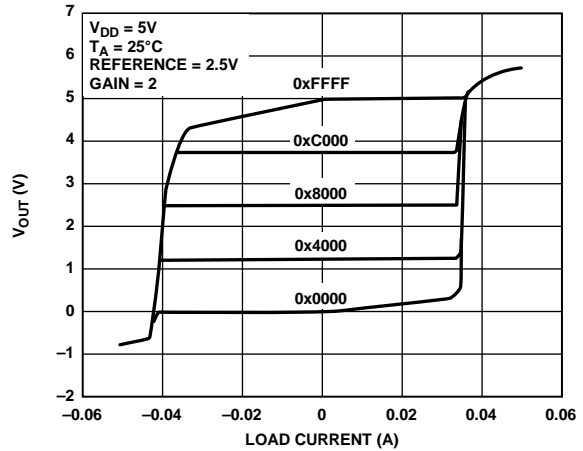


图21. 5V时的源电流和吸电流能力

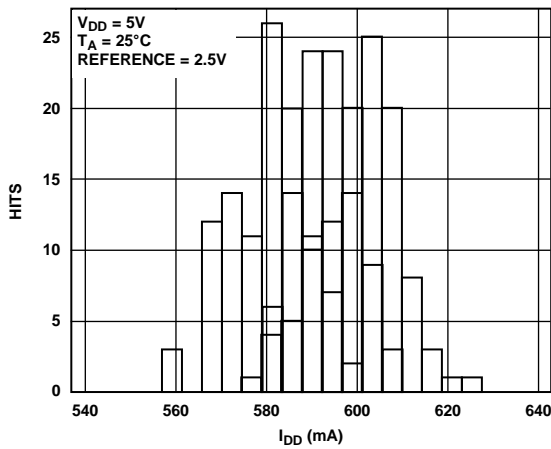


图19.  $I_{DD}$ 直方图(5V)

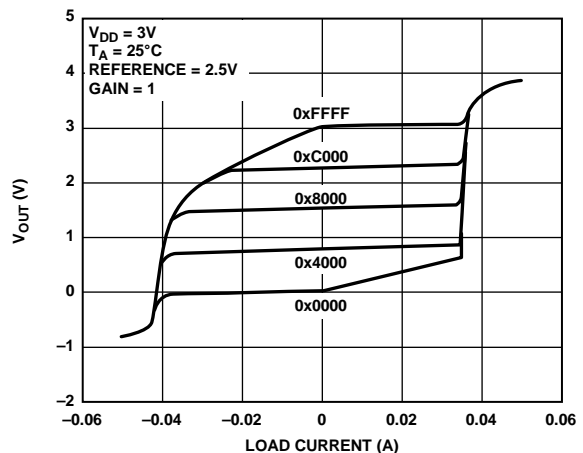


图22. 3V时的源电流和吸电流能力

# AD5696/AD5694

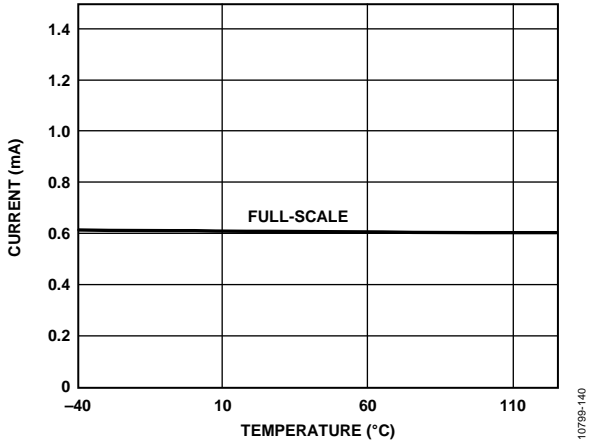


图23. 电源电流与温度的关系

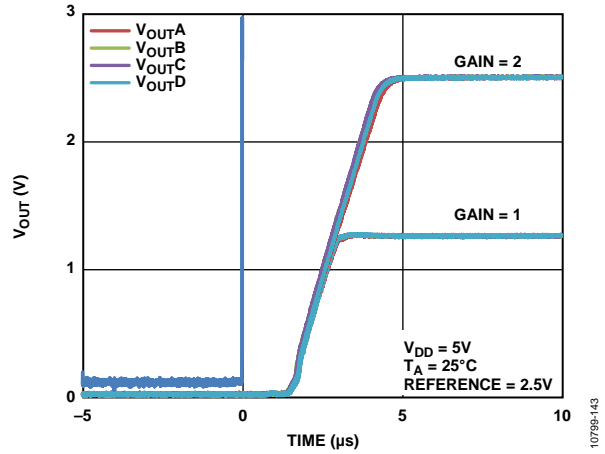


图26. 退出掉电模式进入中间电平

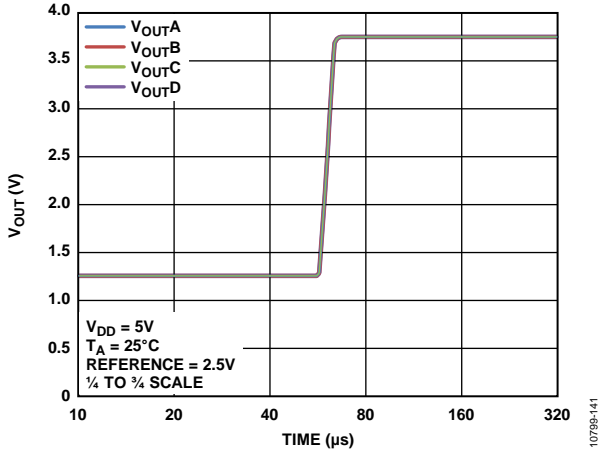


图24. 建立时间

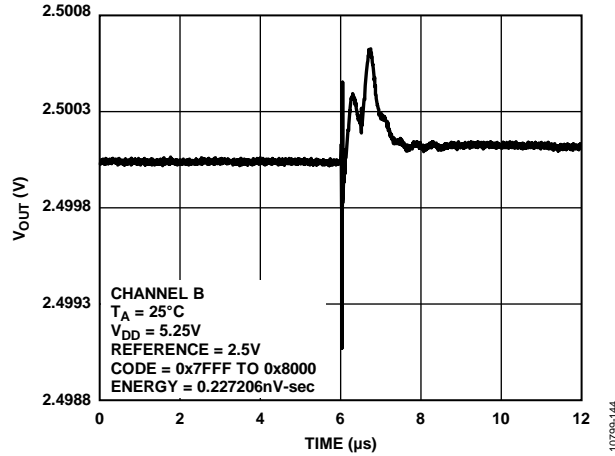


图27. 数模转换毛刺脉冲

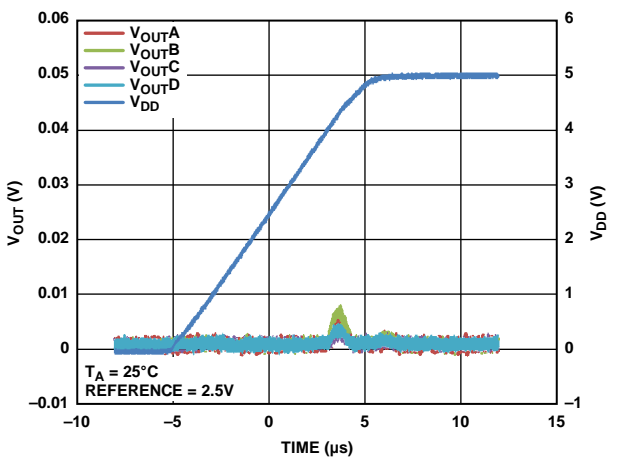


图25. 上电复位至0V

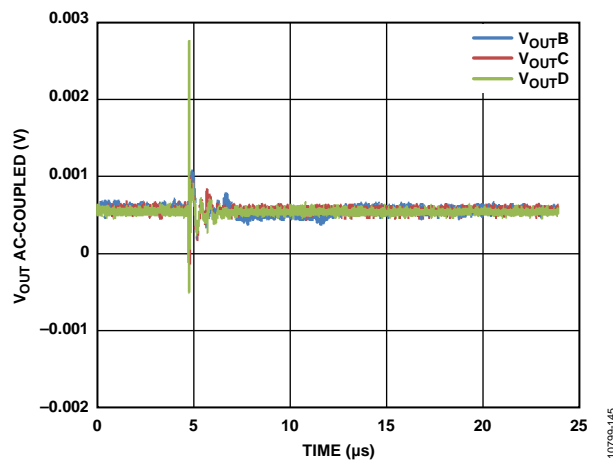


图28. 模拟串扰 ( $V_{outA}$ )

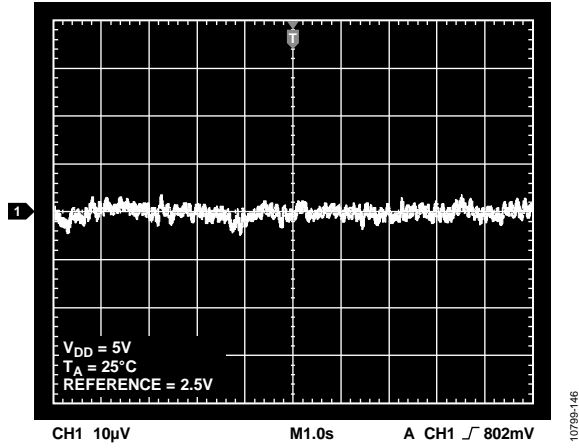


图29. 0.1 Hz至10 Hz输出噪声曲线

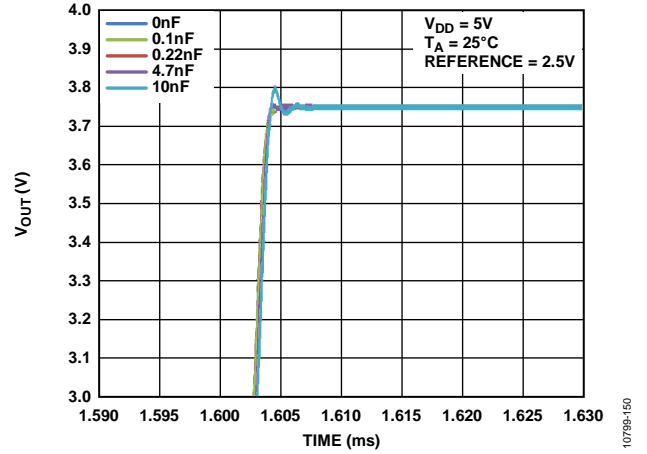


图31. 建立时间与容性负载的关系

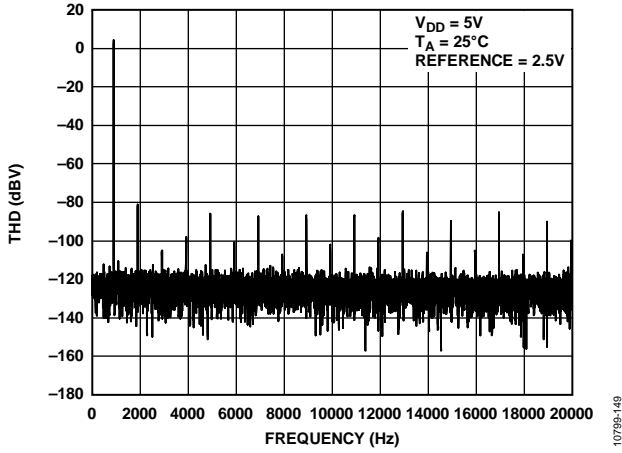


图30. 1 kHz时的总谐波失真

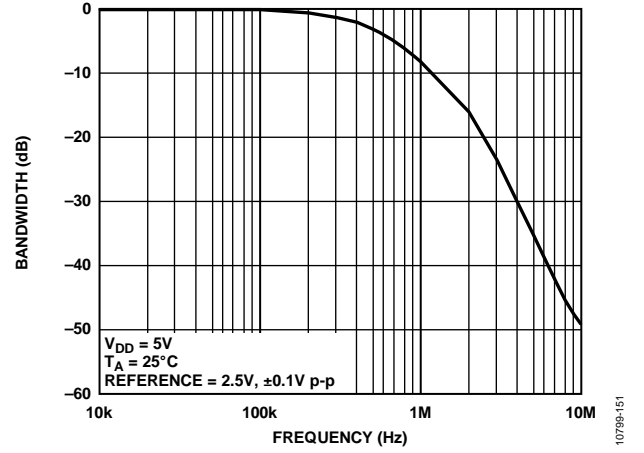


图32. 乘法带宽

## 术语

### 相对精度或积分非线性(INL)

相对精度或积分非线性(INL)是指DAC输出与通过DAC端点的传递函数直线之间的最大偏差，单位为LSB。图5和图6为典型INL与编码的关系曲线图。

### 差分非线性(DNL)

微分非线性是指任意两个相邻编码之间所测得变化值与理想的1 LSB变化值之间的差异。最大±1 LSB的额定差分非线性可确保单调性。AD5696/AD5694通过设计保证单调性。图7和图8为典型DNL与编码的关系曲线图。

### 零代码误差

零代码误差衡量将零电平码(0x0000)载入DAC寄存器时的输出误差。理想情况下，输出应为0 V。在AD5696/AD5694中，零代码误差始终为正值，因为在DAC和输出放大器中的失调误差的共同作用下，DAC输出不能低于0 V。零代码误差用mV表示。图13所示为零编码误差与温度的关系图。

### 满量程误差

满量程误差衡量将满量程代码(0xFFFF)载入DAC寄存器时的输出误差。理想情况下，输出应为 $V_{DD} - 1$  LSB。该误差表示为满量程范围的百分比(% FSR)。图12所示为满量程误差与温度的关系图。

### 增益误差

增益误差衡量DAC的满量程误差，它是指DAC传递特性的斜率与理想值之间的偏差，用满量程范围的百分比表示(% FSR)。

### 增益温度系数

增益温度系数用来衡量增益误差随温度的变化，用ppm FSR/°C表示。

### 失调误差

失调误差是指传递函数线性区内 $V_{OUT}$ (实际)和 $V_{OUT}$ (理想)之间的差值，用mV表示。该值可以为正，也可为负。

### 失调误差漂移

失调误差漂移衡量失调误差随温度的变化，用 $\mu V/°C$ 表示。

### 直流电源抑制比(PSRR)

DC PSRR表示电源电压变化对DAC输出的影响大小，PSRR是指DAC在中间电平输出的条件下 $V_{OUT}$ 变化量与 $V_{DD}$ 变化量之比，用mV/V表示。 $V_{REF}$ 保持在2.5 V，而 $V_{DD}$ 的变化范围为±10%。

### 输出电压建立时间

输出电压建立时间是指对于一个 $\frac{1}{4}$ 至 $\frac{3}{4}$ 满量程输入变化，DAC输出建立为指定电平所需的时间量。

### 数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的输入代码变化时注入

到模拟输出的脉冲。在数字输入代码主进位发生1LSB转换(0x7FFF到0x8000)时测量，它一般定义为以nV-sec为单位的毛刺面积(见图27)。

### 数字馈通

数字馈通衡量从DAC的数字输入注入到DAC的模拟输出的脉冲，但在DAC输出未更新时进行测量。单位为nV-秒，测量数据总线上发生满量程编码变化时的情况，即全0至全1，反之亦然。

### 噪声谱密度(NSD)

噪声频谱密度衡量内部产生的随机噪音。随机噪声表示为频谱密度(nV/ $\sqrt{Hz}$ )，通过将DAC加载到中间电平然后测量输出端噪声测得。单位为nV/ $\sqrt{Hz}$ 。

### 直流串扰

直流串扰是一个DAC输出电平因响应另一个DAC输出变化而发生的直流变化。其测量方法是让一个DAC发生满量程输出变化(或软件关断并上电)，同时监控另一个保持中间电平的DAC。单位为 $\mu V$ 。

负载电流变化引起的直流串扰用来衡量一个DAC的负载电流变化对另一个保持中间电平的DAC的影响。单位为 $\mu V/mA$ 。

### 数字串扰

数字串扰是指一个输出为中间电平的DAC，其输出因响应另一个DAC的输入寄存器的满量程编码变化(全0至全1或相反)而引起的毛刺脉冲，以nV-sec表示。

### 模拟串扰

模拟串扰是指一个DAC的输出因响应另一个DAC输出的变化引起毛刺脉冲，若要测量模拟串扰，其方法是向一个输入寄存器加载满量程编码变化(全0至全1，或相反)，然后执行软件LDAC并监控数字编码未改变的DAC的输出。毛刺面积用nV-sec表示。

### DAC间串扰

DAC间串扰是指一个DAC的输出因响应另一个DAC的数字编码变化和后续的模拟输出变化，而引起的毛刺脉冲，其测量方法是使用写入和更新命令让一个通道发生满量程编码变化(全0到全1，或相反)，同时监控处于中间电平的另一个通道的输出。毛刺的能量用nV-sec表示。

### 乘法带宽

DAC内部的放大器具有有限的带宽，乘法带宽即是衡量该带宽。参考端的正弦波(DAC加载满量程编码)出现在输出端。乘法带宽指输出幅度降至输入幅度以下3 dB时的频率。

### 总谐波失真(THD)

总谐波失真(THD)是指理想正弦波与使用DAC时其衰减形式的差别。正弦波用作DAC的参考，而THD用来衡量DAC输出端存在的谐波。单位为dB。

**DAC间串扰**

DAC间串扰是指一个DAC的输出因响应另一个DAC的数字编码变化和后续的模拟输出变化，而引起的毛刺脉冲，其测量方法是使用写入和更新命令让一个通道发生满量程编码变化(全0到全1，或相反)，同时监控处于中间电平的另一通道的输出。毛刺的能量用nV-sec表示。

**乘法带宽**

DAC内部的放大器具有有限的带宽，乘法带宽即是衡量该带宽。参考端的正弦波(DAC加载满量程编码)出现在输出端。乘法带宽指输出幅度降至输入幅度以下3 dB时的频率。

**总谐波失真(THD)**

总谐波失真(THD)是指理想正弦波与使用DAC时其衰减形式的差别。正弦波用作DAC的参考，而THD用来衡量DAC输出端存在的谐波。单位为dB。

## 工作原理

### 数模转换器

AD5696/AD5694是四通道、16/12位、串行输入、电压输出DAC，工作电压为2.7 V至5.5 V。数据通过双线式串行接口以24位字格式写入AD5696/AD5694。AD5696/AD5694内置一个上电复位电路，确保DAC输出上电至已知的输出状态。它们也有软件掉电模式，可以将功耗降至4 μA。

### 传递函数

DAC的输入编码为直接二进制，理想输出电压为：

$$V_{OUT} = V_{REF} \times Gain \left[ \frac{D}{2^N} \right]$$

其中：

$V_{REF}$  为外部基准电压的值。

$Gain$ 是输出放大器的增益，默认设置为1。可使用增益选择引脚将其设置为1或2。当GAIN引脚与GND相连时，所有四个DAC的输出范围均为0 V至 $V_{REF}$ 。当该引脚与 $V_{DD}$ 相连时，所有四个DAC的输出范围均为0 V至 $2 \times V_{REF}$ 。

$D$ 是载入DAC寄存器的二进制编码的十进制等效值：0至4095(12位AD5694)；0至65,535(16位AD5696)。

$N$ 是DAC的分辨率(12位或16位)。

### DAC架构

DAC架构由一个电阻串DAC和其之后的一个输出放大器构成。图33为DAC架构框图。

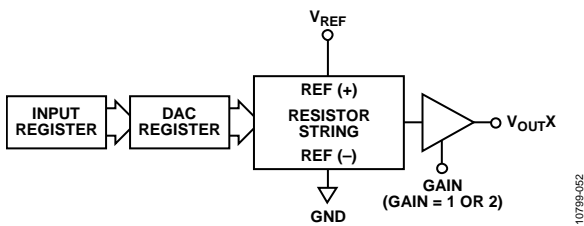


图33. DAC单通道架构框图

电阻串结构如图34所示。电阻串上的每个电阻的值均为 $R$ 。载入DAC寄存器的代码决定抽取电阻串上哪一个节点的电压，以馈入输出放大器。通过闭合连接电阻串和放大器之间众多开关中的一个，来抽头出一个电压。由于AD5696/AD5694是一串电阻，因此可以保证单调性。

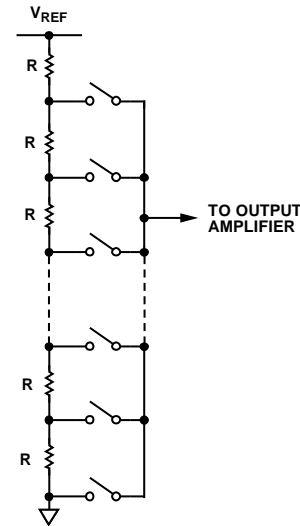


图34. 电阻串结构

### 输出放大器

输出缓冲放大器可以在其输出端产生轨到轨电压，输出范围为0 V至 $V_{DD}$ 。实际范围取决于 $V_{REF}$ 的值、GAIN引脚、失调误差和增益误差。GAIN引脚选择输出的增益。

- 如果此引脚连接到GND，所有四个输出的增益均为1，且输出范围为0 V至 $V_{REF}$ 。
- 如果此引脚连接到 $V_{DD}$ ，所有四个输出的增益均为2，且输出范围为0 V至 $2 \times V_{REF}$ 。

输出放大器能驱动连接至GND的一个与2 nF电容并联的1 kΩ负载。压摆率为0.8 V/μs， $1/4$ 到 $3/4$ 量程建立时间为5 μs。



## 串行接口

AD5696/AD5694采用双线式I<sup>2</sup>C兼容型串行接口(参见Philips Semiconductor于2000年1月发布的《I<sup>2</sup>C总线规范》2.1版)。典型写序列的时序图参见图2。AD5696/AD5694可作为从器件连接到I<sup>2</sup>C总线,受主器件的控制。AD5696/AD5694支持标准(100 kHz)和快速(400 kHz)数据传输模式。不支持10位寻址或广播寻址。

## 输入移位寄存器

AD5696/AD5694的输入移位寄存器为24位宽。数据在串行时钟输入SCL的控制下首先作为24-bit字载入器件MSB中。前八个MSB构成命令字节(参见图35和图36)。

- 前四位命令字节为命令位(C3、C2、C1和C0),控制器件的工作模式(见表8)。
- 后四位命令字节为地址位(DAC D、DAC C、DAC B和DAC A),通过命令选择工作的DAC(见表9)。

8位命令字节后跟两位数字字节,包含数据字。AD5696数据字由16位输入编码(参见图35)组成;AD5694数据字则有12位输入编码和4个无关位组成(参见图36)。这些数据位在24个SCL下降沿被送入输入移位寄存器。

命令可以在单个DAC通道、任意两个或三个DAC通道或全部四个DAC通道上执行,具体取决于所选的地址位(参见表9)。

表8. 命令定义

命令位				命令
C3	C2	C1	C0	
0	0	0	0	无操作
0	0	0	1	写入输入寄存器n (取决于LDAC)
0	0	1	0	以输入寄存器n的内容更新DAC寄存器n
0	0	1	1	写入并更新DAC通道n
0	1	0	0	DAC掉电/上电
0	1	0	1	硬件LDAC屏蔽寄存器
0	1	1	0	软件复位(上电复位)
0	1	1	1	保留
1	X <sup>1</sup>	X <sup>1</sup>	X <sup>1</sup>	保留

<sup>1</sup>X = 无关位。

表9. 地址位和选定的DAC

地址位				选定的DAC通道 <sup>1</sup>
DAC D	DAC C	DAC B	DAC A	
0	0	0	1	DAC A
0	0	1	0	DAC B
0	0	1	1	DAC A和DAC B
0	1	0	0	DAC C
0	1	0	1	DAC A和DAC C
0	1	1	0	DAC B和DAC C
0	1	1	1	DAC A、DAC B和DAC C
1	0	0	0	DAC D
1	0	0	1	DAC A和DAC D
...	...	...	...	...
1	1	1	1	所有DAC

<sup>1</sup>可使用地址位来选择任意组合的DAC通道。

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
C3	C2	C1	C0	DAC D	DAC C	DAC B	DAC A	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
COMMAND				DAC ADDRESS				DAC DATA								DAC DATA							
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE							

图35. 输入移位寄存器内容(AD5696)

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
C3	C2	C1	C0	DAC D	DAC C	DAC B	DAC A	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X	X	X
COMMAND				DAC ADDRESS				DAC DATA								DAC DATA							
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE							

图36. 输入移位寄存器内容(AD5694)

# AD5696/AD5694

## 写命令和更新命令

有关LDAC功能的详情，请参见加载DAC(硬件LDAC引脚)部分。

## 写入输入寄存器n(取决于LDAC)

命令0001允许用户逐个写入各个DAC的专用输入寄存器。当LDAC为低电平时，输入寄存器是透明的(如果不由LDAC屏蔽寄存器控制)。

## 以输入寄存器n的内容更新DAC寄存器n

命令0010会在DAC寄存器/输出中加载由地址位(参见表9)选定的输入寄存器内容并直接更新DAC输出。

## 写入和更新DAC通道n(与LDAC无关)

命令0011允许用户写入DAC寄存器并直接更新DAC输出，与LDAC引脚状态无关。

## I<sup>2</sup>C从机地址

AD5696/AD5694有一个7位I<sup>2</sup>C从机地址。五个MSB为00011，两个LSB(A1和A0)则由A1和A0地址引脚的状态设定。通过更改A1和A0硬连线，用户可以将多达四个AD5696/AD5694器件集成到一条总线上(参见表10)。

表10. 器件地址选择

A1引脚连接	A0引脚连接	A1位	A0位
GND	GND	0	0
GND	V <sub>LOGIC</sub>	0	1
V <sub>LOGIC</sub>	GND	1	0
V <sub>LOGIC</sub>	V <sub>LOGIC</sub>	1	1

## 串行操作

I<sup>2</sup>C兼容型两线式串行总线协议按如下方式工作：

1. 当SDA线上发生高低转换而SCL处于高电平时，主机通过建立起始条件而启动数据传输。之后的字节是地址字节，由7位从机地址组成。
2. 与发送地址对应的从机通过在第9个时钟脉冲期间拉低SDA来做出响应(这称为应答位)。在这个阶段，在选定器件等待从输入移位寄存器读写数据期间，总线上的所有其它器件保持空闲状态。
3. 数据按9个时钟脉冲(8个数据位和1个应答位)的顺序通过串行总线发送。SDA线上的数据转换必须发生在SCL低电平期间，并且在SCL高电平期间保持稳定。
4. 读取或写入所有数据位之后，停止条件随即建立。在写入模式下，主器件在第10个时钟脉冲期间拉高SDA线，以建立停止条件。在读取模式下，主机会向第9个时钟脉冲发送不应答(即SDA线保持高电平)。主机在第10个时钟脉冲前将SDA线拉低，然后在第10个时钟脉冲期间再次拉高，以建立停止条件。

## 写操作

写入AD5696 /AD5694时，用户必须先写入启动命令和地址字节(R/W = 0)，接着DAC通过拉低SDA做出应答，表示其已做好接收数据准备。AD5696 /AD5694需要用于DAC的两字节数据，以及控制各种DAC功能的一个命令字节。因此，必须有三个字节的数据写入DAC，即命令字节、最高有效数据字节和最低有效数据字节，如图37所示。所有这些数据字节得到AD5696 /AD5694应答后，随即出现停止条件。

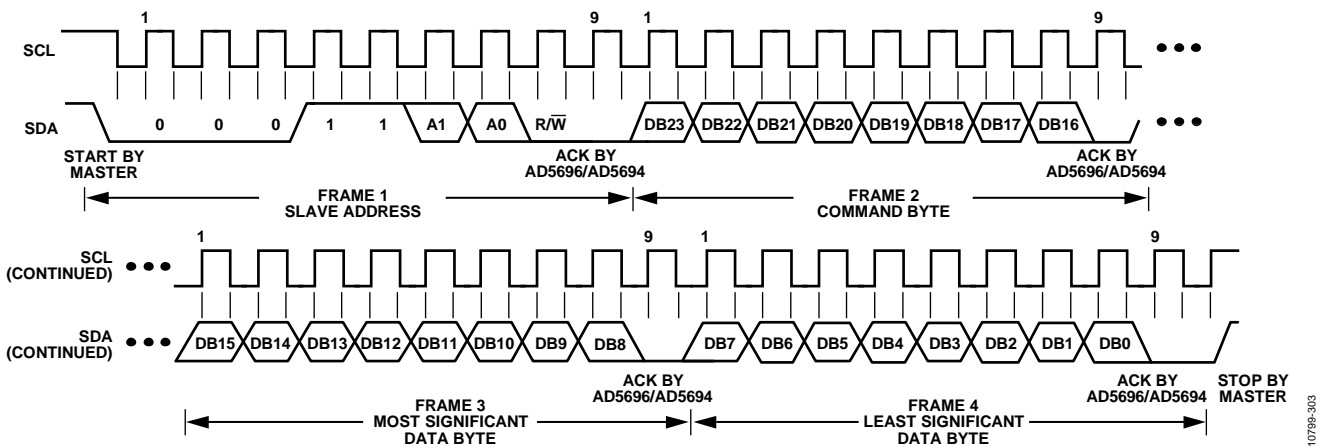


图37. I<sup>2</sup>C写操作

## 读操作

从AD5696/AD5694回读数据时，用户必须先写入启动命令和地址字节( $R/\overline{W} = 0$ )，接着DAC通过拉低SDA做出应答，表示其已做好接收数据准备。该地址字节之后必须是命令字节，命令字节决定后跟的读命令和要读取的指针地址，并同样由DAC做出应答。用户可以利用命令字节配置通道以便回读一个或多个DAC寄存器的内容，并设置要激活的回读命令。

然后，主机发出重复起始条件并利用 $R/\overline{W} = 1$ 重新发送地址。此操作由DAC做出应答，表示其已做好数据发送准备。然后，器件从DAC读取两个字节的的数据，如图38所示。主机发出NACK条件，后跟STOP条件，以完成读取序列。如果选择了多个DAC，则默认回读通道A。

## 多DAC回读序列

从多个AD5696/AD5694 DAC回读数据时，用户必须先写入地址字节( $R/\overline{W} = 0$ )，接着DAC通过拉低SDA做出应答，表示其已做好数据接收准备。该地址字节之后必须是命令字节，后者同样由DAC做出应答。用户选择第一条通道以便使用命令字节来回读。

然后，主机发出重复起始条件并利用 $R/\overline{W} = 1$ 重新发送地址。此操作由DAC做出应答，表示其已做好数据发送准备。然后，器件以MSB优先方式从DAC输入寄存器n(通过命令字节选定)读取前两个字节的的数据，如图38所示。接着回读的两个字节是DAC输入寄存器n + 1的内容，再接着回读的字节是DAC输入寄存器n + 2的内容。器件会以这种自动递增的方式从DAC输入寄存器读取数据，直到NACK之后出现停止条件。如果读取的是DAC输入寄存器D的内容，则接着读取的两个字节数据是DAC输入寄存器A的内容。

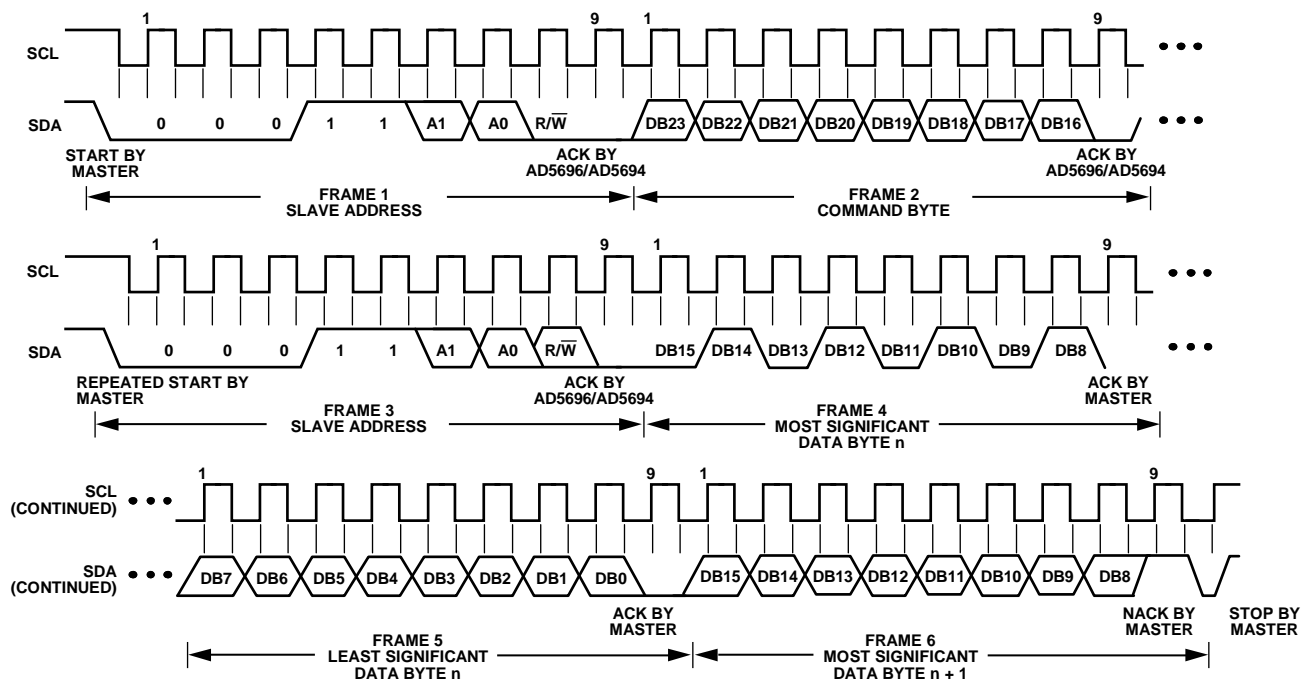


图38. PC读操作

# AD5696/AD5694

## 掉电工作模式

命令0100用于掉电功能。AD5696/AD5694支持三种独立的掉电模式(参见表11)。这些掉电模式可通过软件编程,方法是设置输入移位寄存器中的位DB7至位DB0(参见表12)。每个DAC通道对应两个位。表11列出了这两个位的状态与器件工作模式的对应关系。

表11. 工作模式

工作模式	PDx1	PDx0
正常工作	0	0
关断模式		
1 kΩ接GND	0	1
100 kΩ接GND	1	0
三态	1	1

通过在输入移位寄存器中设置相应位,可以关断任意或所有DAC(DAC A至DAC D),使其进入选定模式。表12列出了掉电/上电期间输入移位寄存器的内容。

当输入移位寄存器中的位PDx1和位PDx0(其中x为选定的DAC)均设为0时,器件正常工作,5 V时正常模式功耗为0.59 mA。当位PDx1、位PDx0的任意位,或两位均设置为1时,器件进入关断模式。在关断模式下,5 V时电源电流降至4 μA。

该模式下输出级从放大器输出切换为已知值的电阻网络,此时器件的输出阻抗是已知的。

表11列出了三种关断选项。输出通过内部的1 kΩ电阻或100 kΩ电阻连接到GND,或者保持开路状态(三态)。图39显示了此输出级。

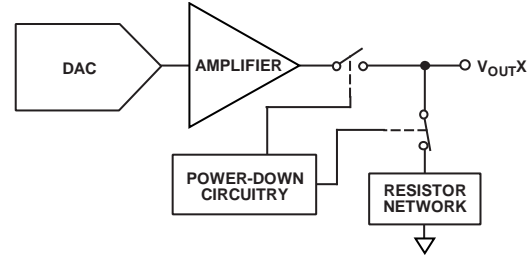


图39. 关断模式下的输出级

在关断模式有效时,偏置发生器、输出放大器、电阻串以及其它相关线性电路全部关断。然而,DAC寄存器的内容不受关断模式的影响,且该模式下可更新DAC寄存器。当 $V_{DD} = 5\text{ V}$ 时,退出掉电模式所需时间通常为2.5 μs。

## 加载DAC(硬件LDAC引脚)

AD5696/AD5694 DAC具有由两个寄存器库组成的双缓冲接口:输入寄存器和DAC寄存器。用户可以写入任意组合的输入寄存器(参见表9)。DAC寄存器更新由LDAC引脚控制。

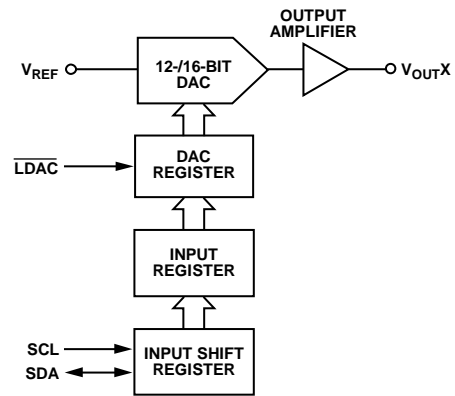


图40. 单个DAC的输入加载电路示意图

表12. 关断/上电操作的24位输入移位寄存器内容<sup>1</sup>

DB23 (MSB)	DB22	DB21	DB20	DB19至DB16	DB15至DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0 (LSB)
0	1	0	0	X	X	PDD1	PDD0	PDC1	PDC0	PDB1	PDB0	PDA1	PDA0
命令位(C3至C0)				地址位(无关位)	无关	掉电选择, DAC D		掉电选择, DAC C		掉电选择, DAC B		掉电选择, DAC A	

<sup>1</sup>X = 无关位。

**DAC同步更新(LDAC保持低电平)**

若需即时更新DAC，则利用命令0001将数据输入输入寄存器时LDAC保持低电平。被寻址的输入寄存器和DAC寄存器均会在第24个时钟周期上更新，并且输出开始发生变化(见表14)。

**DAC延迟更新(LDAC变为低电平)**

若需延迟更新DAC，则利用命令0001将数据输入输入寄存器时LDAC保持高电平。在第24个时钟周期后通过拉低LDAC，异步更新所有DAC输出。此时在LDAC的下降沿进行更新。

**LDAC屏蔽寄存器**

命令0101用于该软件LDAC功能。若执行此命令，则地址位将被忽略。当使用命令0101写入DAC时，将加载4位LDAC寄存器(DB3至DB0)。LDAC屏蔽寄存器的位DB3对应于DAC D；位DB2对应于DAC C；位DB1对应于DAC B；位DB0对应于DAC A。

这些位的默认值为0，即LDAC引脚正常工作。将这些位中的任意位设为1时，可强制选定的DAC通道忽略LDAC引脚上发生的高低跃迁，不管硬件LDAC引脚的状态如何。在用户希望选择由哪个通道来响应LDAC引脚的应用中，这种灵活性非常有用。

利用LDAC屏蔽寄存器，用户可以更加灵活地控制硬件LDAC引脚(参见表13)。如果将某一DAC通道的LDAC位(DB3至DB0)设为0，则意味着允许硬件LDAC引脚控制该通道的更新。

**表14. 写命令和LDAC引脚真值表<sup>1</sup>**

命令	描述	硬件LDAC引脚状态	输入寄存器内容	DAC寄存器内容
0001	写入输入寄存器n(取决于LDAC)	V <sub>LOGIC</sub>	数据更新	无变化(无更新)
		GND <sup>2</sup>	数据更新	数据更新
0010	以输入寄存器n的内容更新DAC寄存器n	V <sub>LOGIC</sub>	无变化	用输入寄存器内容更新
		GND	无变化	用输入寄存器内容更新
0011	写入并更新DAC通道n	V <sub>LOGIC</sub>	数据更新	数据更新
		GND	数据更新	数据更新

<sup>1</sup> 当硬件LDAC引脚上发生高电平至低电平转换时，始终会以LDAC屏蔽寄存器未屏蔽(阻止)的通道上输入寄存器的内容来更新DAC寄存器的内容。

<sup>2</sup> 当LDAC引脚永久接为低电平时，LDAC屏蔽位会被忽略。

**表13. LDAC覆写定义**

加载LDAC寄存器		LDAC操作
LDAC位(DB3至DB0)	LDAC引脚	
0	1或0	由LDAC引脚决定。
1	X <sup>1</sup>	DAC通道已更新。 (DAC通道视LDAC引脚为1)

<sup>1</sup> X = 无关位。

**硬件复位引脚(RESET)**

RESET 是低电平有效复位引脚，可用于将输出清零至零电平或中间电平。用户可通过复位选择引脚(RSTSEL)来选择清零代码值。RESET必须至少保持30 ns的低电平才能完成该操作。

当RESET信号变回高电平后，输出会保持为清零值，直到设置新值。当RESET引脚为低电平时，无法用新值更新输出。

还有一个软件可执行的复位功能，它可将DAC复位至上电复位代码。命令0110用于该软件复位功能(见表8)。上电复位期间，LDAC或RESET上的所有事件都会被忽略。

**复位选择引脚(RSTSEL)**

AD5696/AD5694具有上电复位电路，可以在上电时控制输出电压。当RSTSEL引脚连接到GND，则输出上电至零电平(注意这在DAC的线性区域之外)。当RSTSEL引脚连接到V<sub>DD</sub>，则输出上电至中间电平。输出一直保持在RSTSEL引脚设置的电平，直到对DAC执行有效的写序列。

## 应用信息

### 微处理器接口

AD5696/AD5694的微处理器接口是通过串行总线，使用与DSP处理器和微控制器兼容的标准协议。通信通道需要一个双线式接口，由一个时钟信号和一个数据信号组成。

### AD5696/AD5694与ADSP-BF531的接口

AD5696/AD5694的I<sup>2</sup>C接口用于轻松连接符合工业标准的DSP和微控制器。图41显示AD5696/AD5694连接到ADI公司的Blackfin®处理器。Blackfin处理器集成一个I<sup>2</sup>C端口，可直接连接到AD5696/AD5694的I<sup>2</sup>C引脚。

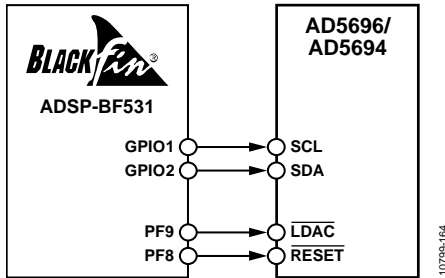


图41. AD5696/AD5694与ADSP-BF531的接口

### 布局布线指南

在任何注重精度的电路中，精心考虑电源和接地回路布局都有助于确保达到规定的性能。安装AD5696/AD5694所用的PCB应经过专门设计，使AD5696/AD5694位于模拟平面。

AD5696/AD5694应当具有足够大的10 μF电源旁路电容，与每个电源上的0.1 μF电容并联，并且尽可能靠近封装，最好是正对着该器件。10 μF电容应为钽珠型电容。0.1 μF电容应具有低有效串联电阻(ESR)和低有效串联电感(ESL)，如高频时提供低阻抗接地路径的普通陶瓷型电容，以便处理内部逻辑开关所引起的瞬态电流。

在一个电路板上使用多个器件的系统中，提供一定的散热能力通常有助于功率耗散。

AD5696/AD5694 LFCSP型在器件底部具有裸露焊盘，该焊盘与器件的GND电源相连。为了获得最佳性能，在设计母板和安装器件封装时需要有一些特殊考虑。

为了改善散热、电气和板级性能，需将LFCSP封装底部的裸露焊盘焊接到PCB上相应的散热焊盘上。为进一步改善散热性能，PCB焊盘区可以设计一些散热通孔。

可以扩大器件上的GND平面（如图42所示），以提供自然散热效应。

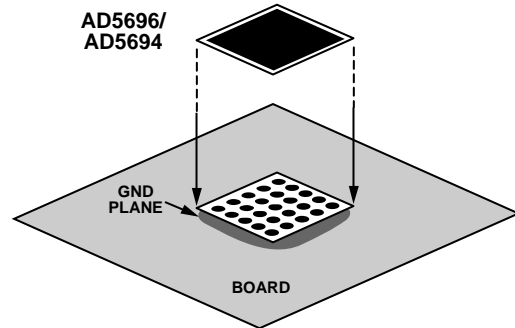


图42. 焊盘与电路板的连接

### 电流隔离接口

在许多过程控制应用中，需要在控制器与受控单元之间提供一个隔离栅，以保护和隔离控制电路遭受可能发生的任何危险的共模电压。

ADI公司iCoupler®产品可提供超过2.5 kV的电压隔离。AD5696/AD5694采用串行加载结构，使接口线路数量保持在最小值，因此成为隔离接口的理想选择。图43显示使用ADuM1400时与AD5696/AD5694的4通道隔离接口。欲了解更多信息，请访问<http://www.analog.com/zh/icouplers>

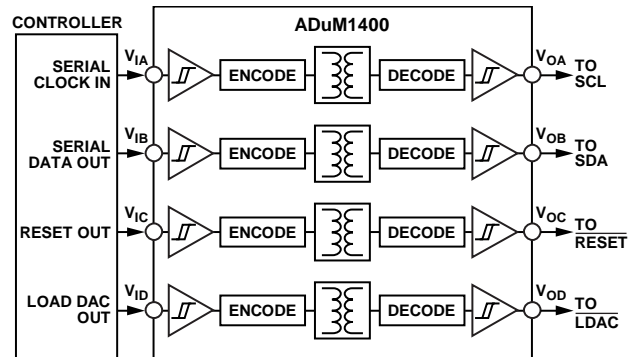
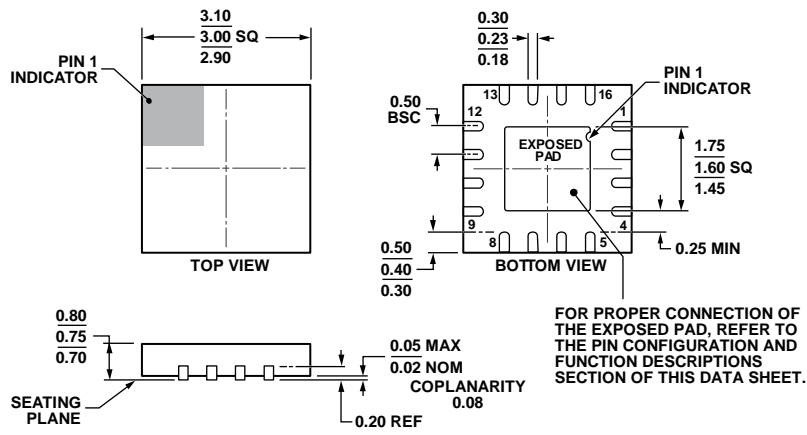


图43. 隔离接口

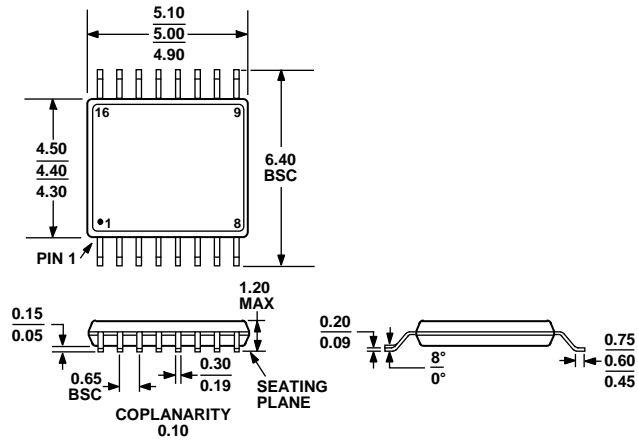
外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WEED-6.

图44. 16引脚引脚架构芯片级封装[LFCSP\_WQ]  
3 mm x 3 mm, 超薄体  
(CP-16-22)  
尺寸单位: mm

08-16-2010E



COMPLIANT TO JEDEC STANDARDS MO-153-AB

图45. 16引脚超薄紧缩小型封装[TSSOP]  
(RU-16)  
尺寸单位: mm

# AD5696/AD5694

## 订购指南

型号 <sup>1</sup>	分辨率	温度范围	精度(INL)	封装描述	封装选项	标识
AD5696ACPZ-RL7	16位	-40°C至+105°C	±8 LSB	16 引脚LFCSP_WQ	CP-16-22	DJ8
AD5696BCPZ-RL7	16位	-40°C至+105°C	±2 LSB	16 引脚LFCSP_WQ	CP-16-22	DJ9
AD5696ARUZ	16位	-40°C至+105°C	±8 LSB	16 引脚TSSOP	RU-16	
AD5696ARUZ-RL7	16位	-40°C至+105°C	±8 LSB	16 引脚TSSOP	RU-16	
AD5696BRUZ	16位	-40°C至+105°C	±2 LSB	16 引脚TSSOP	RU-16	
AD5696BRUZ-RL7	16位	-40°C至+105°C	±2 LSB	16 引脚TSSOP	RU-16	
AD5694BCPZ-RL7	12位	-40°C至+105°C	±1 LSB	16 引脚LFCSP_WQ	CP-16-22	DJQ
AD5694ARUZ	12位	-40°C至+105°C	±2 LSB	16 引脚TSSOP	RU-16	
AD5694ARUZ-RL7	12位	-40°C至+105°C	±2 LSB	16 引脚TSSOP	RU-16	
AD5694BRUZ	12位	-40°C至+105°C	±1 LSB	16 引脚TSSOP	RU-16	
AD5694BRUZ-RL7	12位	-40°C至+105°C	±1 LSB	16 引脚TSSOP	RU-16	
EVAL-AD5696RSDZ				AD5696 TSSOP评估板		
EVAL-AD5694RSDZ				AD5694 TSSOP评估板		

<sup>1</sup> Z = 符合RoHS标准的器件。

I<sup>2</sup>C refers to a communications protocol originally developed by Philips Semiconductors (now NXP Semiconductors).