

产品特性

在保持模式下稳定性支持GR-1244 Stratum 3
支持平稳的参考切换，几乎不会干扰输出相位
支持Telcordia GR-253抖动产生、转换和容差，适用于SONET/
SDH至OC-192系统
支持ITU-T G.8262同步以太网从时钟
支持ITU-T G.823、G.824、G.825和G.8261
自动/手动保持和参考切换
2种参考输入方式(单端或差分)
输入参考频率：2 kHz至1,250 MHz
参考验证和频率监控(1 ppm)
可编程设置输入参考的切换优先级
20位可编程输入参考分频器
2对时钟输出引脚，每对引脚均可配置为1单路差分LVDS/HSTL
输出或2路单端CMOS输出
输出频率：360 kHz至1,250 MHz
数字PLL集成可编程17位整数和24位小数反馈分频器
可编程数字环路滤波器涵盖0.1 Hz至5 kHz的环路带宽(对于
<0.1dB的峰值，最大值为2 kHz)
低噪声系统时钟倍频器
支持帧同步
自适应时钟
可选择晶体谐振器来提供系统时钟输入
片内EEPROM可存储多种上电Profile

引脚编程功能支持轻松配置频率转换
软件控制关断功能
40引脚、6 mm × 6 mm LFCSP封装

应用

网络同步，包括同步以太网和SDH至OTN映射/解映射
清除基准时钟抖动
最高达到OC-192的SONET/SDH时钟，包括FEC
Stratum 3保持、抖动清除及相位瞬态控制
无线基站控制器
有线基础设施
数据通信

概述

AD9557是一款低环路带宽时钟倍频器，可针对包括同步光纤网络(SONET/SDH)的许多系统提供抖动清除和同步功能。AD9557产生的输出时钟可以与多达四路外部输入参考时钟同步。DPLL可以降低与外部参考时钟相关的输入时间抖动或相位噪声。借助数字控制环路和保持电路，即使所有参考输入都失效，AD9557也能持续产生低抖动输出时钟。

AD9557的工作温度范围为-40°C至+85°C工业温度范围。如果需要更多输入/输出，请参考该器件的4路输入/6路输出版本AD9558。

功能框图

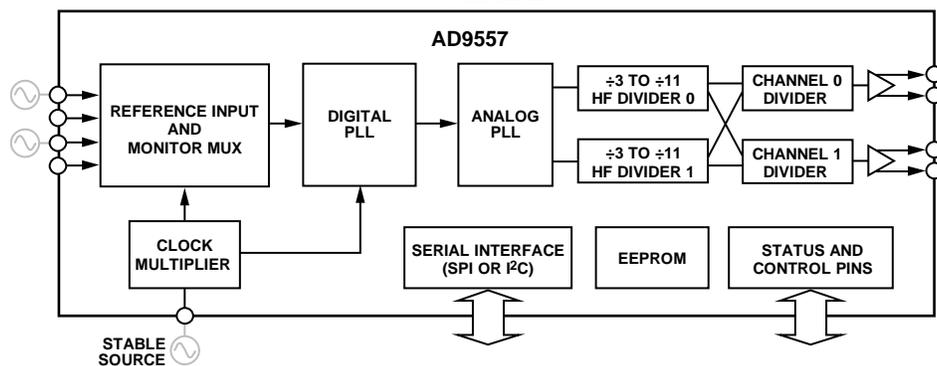


图1.

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2011 Analog Devices, Inc. All rights reserved.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

产品特性	1	环路控制状态机	32
应用	1	系统时钟(SYSCLK)	33
概述	1	系统时钟输入	33
功能框图	1	系统时钟倍频器	33
修订历史	3	输出PLL (APLL)	35
技术规格	4	时钟分配	36
电源电压	4	时钟分频器	36
电源电流	4	输出关断	36
功耗	5	输出使能	36
逻辑输入(RESET、 $\overline{\text{SYNC}}$ 、PINCONTROL、 M3至M0)	5	输出模式	36
逻辑输出(M3至M0、IRQ)	6	时钟分配同步	36
系统时钟输入(XOA、XOB)	6	状态和控制	37
参考输入	7	多功能引脚(M3至M0)	37
参考监控器	8	IRQ引脚	37
参考切换规格	8	看门狗定时器	38
分配时钟输出	9	EEPROM	38
数字功能的持续时间	10	串行控制端口	44
数字PLL	11	SPI/I ² C端口选择	44
数字PLL锁定检测	11	SPI串行端口操作	44
保持规格	11	I ² C串行端口操作	48
串行端口规格—SPI模式	12	I/O寄存器编程	51
串行端口规格—I ² C模式	13	缓冲/有效寄存器	51
抖动产生	13	自清零寄存器	51
绝对最大额定值	16	寄存器访问限制	51
ESD警告	16	热性能	52
引脚配置和功能描述	17	电源分组	53
典型性能参数	19	3.3 V开关电源的推荐配置	53
输入/输出端接建议	24	1.8 V电源配置	53
开始使用	25	引脚编程功能描述	54
芯片电源监控器和启动	25	片内ROM特性概述	54
复位/上电时的多功能引脚	25	硬引脚编程模式	55
使用寄存器设置文件对器件寄存器进行编程	25	软引脚编程模式概述	55
寄存器编程概述	25	寄存器映射	56
工作原理	28	寄存器映射位功能描述	65
概述	28	串行端口配置(寄存器0x0000至寄存器0x0005)	65
参考时钟输入	29	芯片版本(寄存器0x000A)	65
参考监控器	29	时钟器件系列ID(寄存器0x000C至寄存器0x000D)	65
参考Profile	29	系统时钟(寄存器0x0100至寄存器0x0108)	66
参考切换	29		
数字PLL (DPLL)内核	30		

通用配置(寄存器0x0200至寄存器0x0214)	67	操作控制(寄存器0x0A00至寄存器0x0A0D).....	79
IRQ屏蔽(寄存器0x020A至寄存器0x020F)	68	快速输入/输出频率软引脚配置	
DPLL配置(寄存器0x0300至寄存器0x032E)	69	(寄存器0x0C00至0x0C08).....	82
输出PLL配置(寄存器0x0400至寄存器0x0408).....	72	状态回读(寄存器0x0D00至寄存器0x0D14).....	83
输出时钟分配(寄存器0x0500至寄存器0x0515)	74	EEPROM控制(寄存器0x0E00至寄存器0x0E3C).....	86
参考输入(寄存器0x0600至寄存器0x0602)	76	EEPROM存储序列(寄存器0x0E10至寄存器0x0E3C).....	86
DPLL Profile寄存器(寄存器0x0700至寄存器0x0766)	77	外形尺寸	92
		订购指南.....	92

修订历史

2012年3月—修订版0至修订版A

更改表6的输出频率范围参数	6	更改表35的寄存器0x0304	57
更改表9的测试条件/注释栏	8	更改寄存器0x0400和寄存器0x0403的默认值；	
更改图2中引脚21的名称	17	更改表35的寄存器0x0405	58
更改表20	18	更改表35的寄存器0x070E的Bit 0	59
更改“芯片电源监控器和启动”、“使用寄存器设置文件		更改表35的寄存器0x0D01的Bit 6	63
对器件寄存器进行编程”和“使用非默认值以实现最佳		表35增加地址0x0E3D至地址0xE45	64
性能的寄存器”部分	25	更改表38寄存器0x0005的描述；增加表40，重新排序；	
更改“初始化和校准输出PLL (APLL)”部分	26	更改表41寄存器0x000C和寄存器0x000D的描述	65
更改“参考Profile编程”部分；“锁定数字PLL”部分的		更改表46和表47的寄存器0x0200至	
名称更改为“产生参考采集”；更改“产生参考采集”		寄存器0x0209的小结	67
部分	27	更改表54的寄存器0x0304；更改表55的Bits[7:6]	69
更改图35；“概述”部分中的225 MHz改为200 MHz，		更改表63的标题；更改表64的寄存器0x0400和	
3.45 GHz改为3.35 GHz	28	寄存器0x0403的描述	72
“DPLL概述”部分中的180 MHz改为175 MHz	30	更改表64的寄存器0x0405	73
“DPLL输出频率”全部改为“DCO频率”；更改		更改表67寄存器0x0500的描述栏；更改表68寄存器	
“可编程数字环路滤波器”部分	31	0x0501 Bits[6:4]和Bit 0的描述栏	74
更改“系统时钟输入”部分	33	更改表70寄存器0x0505 Bits[6:4]的描述栏	75
图39中的VCO2频率下限改为3.35 GHz；更改		更改表72的寄存器0x0600 Bits[7:2]	76
“输出PLL (APLL)”部分	35	更改寄存器0x0707；	
“时钟分频器”部分中的1024变为1023；更改		更改表76的寄存器0x070A Bits[3:0]	77
“分频器同步”部分	36	更改表87的寄存器0x0A01	79
更改“多功能引脚(M0至M3)”部分	37	更改表96	81
增加“设置EEPROM以配置一个M引脚来控制时钟		更改表99的寄存器0x0D01的Bit 6和Bit 1	83
分配的同步”部分	42	增加表123	89
更改“电源分组”部分	53	更改表124	90
“DPLL相位裕量”部分中的89.5°改为88.5°	54	更改表125	91
更改表35的寄存器0x000A	56		

2011年10月—修订版0：初始版

技术规格

最小值和最大值的测量条件为整个电源电压和工作温度范围。除非另有说明，典型值的测量条件为：

AVDD3 = DVDD_I/O = 3.3 V； AVDD = DVDD = 1.8 V； $T_A = 25^\circ\text{C}$ 。

电源电压

表1.

参数	最小值	典型值	最大值	单位	测试条件/注释
电源电压					
DVDD3	3.135	3.30	3.465	V	
DVDD	1.71	1.80	1.89	V	
AVDD3	3.135	3.30	3.465	V	
AVDD	1.71	1.80	1.89	V	

电源电流

电源电流最大值的测试条件与表3“所有模块都运行”参数的测试条件相同。电源电流典型值的测试条件与表3“典型配置”参数的测试条件相同。

表2.

参数	最小值	典型值	最大值	单位	测试条件/注释
典型配置的电源电流					典型值是在表3所列典型配置下测量
I_{DVDD3}	12	18	26	mA	引脚30、引脚31、引脚40
I_{DVDD}	13	20	28	mA	引脚6、引脚34、引脚35
I_{AVDD3}	35	49	63	mA	引脚14、引脚19
I_{AVDD}	112	162	215	mA	引脚7、引脚10、引脚11、引脚17、引脚18、 引脚22、引脚23、引脚24
所有模块都运行配置的电源电流					最大值是在表3所列“所有模块都运行”配置下测量
I_{DVDD3}	12	18	33	mA	引脚30、引脚31、引脚40
I_{DVDD}	10	19	30	mA	引脚6、引脚34、引脚35
I_{AVDD3}	47	68	89	mA	引脚14、引脚19
I_{AVDD}	113	163	215	mA	引脚7、引脚10、引脚11、引脚17、引脚18、 引脚22、引脚23、引脚24

功耗

表3.

参数	最小值	典型值	最大值	单位	测试条件/注释
功耗					
典型配置	0.36	0.55	0.76	W	系统时钟：49.152 MHz晶振；DPLL有效；两路19.44 MHz输入参考均为差分模式 一个HSTL驱动器，频率644.53125 MHz；一个3.3 V CMOS驱动器，频率161.1328125 MHz；CMOS输出端有80 pF容性负载
所有模块都运行	0.39	0.61	0.85	W	系统时钟：49.152 MHz晶振；DPLL有效；两路输入参考均为差分模式 一个HSTL驱动器，频率750 MHz；；两个3.3 V CMOS驱动器，频率250 MHz；CMOS输出端有80 pF容性负载
完全关断		44	125	mW	无外部上拉或下拉电阻的典型配置；AVDD3占用大约2/3的功耗
增量功耗					条件 = 典型配置；表中的值显示了所示工作条件引起的功耗变化
输入参考开/关					
差分(无2分频)	20	25	32	mW	额外功耗仅在DVDD3域中
差分(有2分频)	26	32	40	mW	额外功耗仅在DVDD3域中
单端(无2分频)	5	7	9	mW	额外功耗仅在DVDD3域中
输出分配驱动器开/关					
LVDS(750 MHz时)	12	17	22	mW	额外功耗仅在AVDD域中
HSTL(750 MHz时)	14	21	28	mW	额外功耗仅在AVDD域中
1.8 V CMOS(250 MHz时)	14	21	28	mW	单路1.8 V CMOS输出，带80 pF负载
3.3 V CMOS(250 MHz时)	18	27	36	mW	单路3.3 V CMOS输出，带80 pF负载
其它模块开/关					
第二RF分频器	36	51	64	mW	额外功耗仅在AVDD域中
旁路通道分频器	10	17	23	mW	额外功耗仅在AVDD域中

逻辑输入(RESET、SYNC、PINCONTROL、M3至M0)

表4.

参数	最小值	典型值	最大值	单位	测试条件/注释
逻辑输入(RESET、SYNC、PINCONTROL)					
输入高电压(V_{IH})	2.1			V	
输入低电压(V_{IL})			0.8	V	
输入电流(I_{INH} 、 I_{INL})		±50	±100	µA	
输入电容(C_{IN})		3		pF	
逻辑输入(M3至M0)					
输入高电压(V_{IH})	2.5			V	
输入½电平电压(V_{IM})	1.0		2.2	V	
输入低电压(V_{IL})			0.6	V	
输入电流(I_{INH} 、 I_{INL})		±60	±100	µA	
输入电容(C_{IN})		3		pF	

AD9557

逻辑输出(M3至M0、IRQ)

表5.

参数	最小值	典型值	最大值	单位	测试条件/注释
逻辑输出(M3至M0、IRQ)					
输出高电压(V_{OH})	DVDD3 - 0.4			V	$I_{OH} = 1\text{ mA}$
输出低电压(V_{OL})			0.4	V	$I_{OL} = 1\text{ mA}$
IRQ漏电流					开漏模式
低电平输出有效模式			-200	μA	$V_{OH} = 3.3\text{ V}$
高电平输出有效模式			100	μA	$V_{OL} = 0\text{ V}$

系统时钟输入(XOA、XOB)

表6.

参数	最小值	典型值	最大值	单位	测试条件/注释
系统时钟倍频器					
输出频率范围	750		805	MHz	对于非标准系统时钟输入频率, VCO范围可能会有所限制
鉴频鉴相器(PFD)速率倍频范围	2		150 255	MHz	假定系统时钟和PFD速率有效
系统时钟参考输入路径					
输入频率范围	10		400	MHz	保证抖动性能的最低限值 内部产生 确保逻辑状态切换所需的最小引脚电压; 任一引脚的瞬时电压不得超过供电轨; 可以将负输入交流接地, 从而支持单端输入; 为获得最佳抖动性能, 推荐值为1 V p-p。 这是使用倍频器时, 系统时钟输入可以承受的占空比变化量
最小输入压摆率	20			V/ μs	
共模电压	1.05	1.16	1.25	V	
差分输入电压灵敏度	250			mV p-p	
系统时钟输入倍频器占空比					
系统时钟输入 = 50 MHz	45	50	55	%	单端, 各引脚
系统时钟输入 = 20 MHz	46	50	54	%	
系统时钟输入 = 16 MHz至20 MHz	47	50	53	%	
输入电容		3		pF	单端, 各引脚
输入电阻		4.2		k Ω	
晶体谐振器路径					
晶振频率范围	10		50	MHz	基频模式, AT切割晶体
最大晶体动态电阻			100	Ω	

参考输入

表7.

参数	最小值	典型值	最大值	单位	测试条件/注释
差分操作					
频率范围					
正弦输入	10		750	MHz	
LVPECL输入	0.002		1250	MHz	$f_{IN} > 705$ MHz时, 必须启用参考输入2分频模块
LVDS输入	0.002		750	MHz	$f_{IN} > 705$ MHz时, 必须启用参考输入2分频模块
最小输入压摆率	40			V/ μ s	保证抖动性能的最低限值
共模输入电压					
交流耦合	1.9	2	2.1	V	内部产生
直流耦合	1.0		2.4	V	
差分输入电压灵敏度				mV	确保逻辑电平切换所需的最小引脚差分电压; 任一引脚的瞬时电压不得超过供电轨
$f_{IN} < 800$ MHz	240			mV	
$f_{IN} < 800 - 1050$ MHz	320			mV	
$f_{IN} < 800 - 1250$ MHz	400			mV	
差分输入电压迟滞		58	100	mV	
输入电阻		21		k Ω	
输入电容		3		pF	
高电平最小脉冲宽度					
LVPECL	390			ps	
LVDS	640			ps	
低电平最小脉冲宽度					
LVPECL	390			ps	
LVDS	640			ps	
单端操作					
频率范围(CMOS)	0.002		300	MHz	
最小输入压摆率	40			V/ μ s	保证抖动性能的最低限值
输入高电平(V_{IH})					
1.2 V至1.5 V阈值设置	1.0			V	
1.8 V至2.5 V阈值设置	1.4			V	
3.0 V至3.3 V阈值设置	2.0			V	
输入低电平(V_{IL})					
1.2 V至1.5 V阈值设置			0.35	V	
1.8 V至2.5 V阈值设置			0.5	V	
3.0 V至3.3 V阈值设置			1.0	V	
输入电阻		47		k Ω	
输入电容		3		pF	
高电平最小脉冲宽度	1.5			ns	
低电平最小脉冲宽度	1.5			ns	

AD9557

参考监控器

表8.

参数	最小值	典型值	最大值	单位	测试条件/注释
参考监控器 参考监控器 参考丢失检测时间			1.1	DPLL PFD 周期	标称鉴相器周期 = R/f_{REF}^{-1}
频率超范围限值	<2		10^5	$\Delta f/f_{REF}$ (ppm)	可编程(下限取决于系统时钟SYSCLK的质量); SYSCLK精度必须优于下限
验证定时器	0.001		65.535	秒	以1 ms增量可编程

f_{REF} 为所用参考的频率; R为R分频器决定的分频系数。

参考切换规格

表9.

参数	最小值	典型值	最大值	单位	测试条件/注释
参考切换规格 最大输出相位扰动 (相位补偿切换)					假设参考无抖动; 满足Telcordia GR-1244-CORE要求; 对于所有有效参考, 选择高相位裕量基本环路滤波器位(寄存器0x070E的Bit 0)设为1
50 Hz DPLL环路带宽 峰值		0	± 100	ps	对自动和手动参考切换有效
稳态		0	± 100	ps	
2 kHz DPLL环路带宽 峰值		0	± 250	ps	对自动和手动参考切换有效
稳态		0	± 100	ps	
切换到新参考所需的时间 相位补偿切换			1.1	DPLL PFD 周期	使用标称鉴相器周期计算($NPDP = R/f_{REF}$); 所需的总时间等于该时间加上参认证时间和锁定新参考所需的时间

分配时钟输出

表10.

参数	最小值	典型值	最大值	单位	测试条件/注释
HSTL模式					
输出频率	0.36		1250	MHz	
上升/下降时间(20%至80%) ¹		140	250	ps	输出引脚上接100 Ω端接电阻
占空比					
最高 f_{OUT} = 700 MHz	45	48	52	%	
最高 f_{OUT} = 750 MHz	42	48	53	%	
最高 f_{OUT} = 1250 MHz		43		%	
差分输出电压摆幅	700	950	1200	mV	引脚上的电压幅度；输出驱动器为静态
共模输出电压	700	870	960	mV	输出驱动器为静态
LVDS模式					
输出频率	0.36		1250	MHz	
上升/下降时间(20%至80%) ¹		185	280	ps	输出对上接100 Ω端接电阻
占空比					
最高 f_{OUT} = 750 MHz	44	48	53	%	
最高 f_{OUT} = 800 MHz	43	47	53	%	
最高 f_{OUT} = 1250 MHz		43		%	
差分输出电压摆幅					
平衡, V_{OD}	247		454	mV	输出引脚之间的电压摆幅；输出驱动器为静态
未平衡, ΔV_{OD}			50	mV	正常引脚与反相引脚的电压摆幅之间的绝对差；输出驱动器为静态
失调电压					
共模, V_{OS}	1.125	1.26	1.375	V	输出驱动器为静态
共模差, ΔV_{OS}			50	mV	引脚之间的电压差；输出驱动器为静态
短路输出电流		13	24	mA	输出驱动器为静态
CMOS模式					
输出频率					
1.8 V电源	0.36		150	MHz	10 pF负载
3.3 V电源(OUT0)					
强驱动强度设置	0.36		250	MHz	10 pF负载
弱驱动强度设置	0.36		25	MHz	10 pF负载
上升/下降时间(20%至80%) ¹					
1.8 V电源		1.5	3	ns	10 pF负载
3.3 V电源					
强驱动强度设置		0.4	0.6	ns	10 pF负载
弱驱动强度设置		8		ns	10 pF负载
占空比					
1.8 V模式		50		%	10 pF负载
3.3 V强模式		47		%	10 pF负载
3.3 V弱模式		51		%	10 pF负载
输出高电平(V_{OH})					输出驱动器为静态；强驱动强度
AVDD3 = 3.3 V, I_{OH} = 10 mA	AVDD3 - 0.3			V	
AVDD3 = 3.3 V, I_{OH} = 1 mA	AVDD3 - 0.1			V	
AVDD3 = 1.8 V, I_{OH} = 1 mA	AVDD - 0.2			V	
输出低电平(V_{OL})					输出驱动器为静态；强驱动强度
AVDD3 = 3.3 V, I_{OL} = 10 mA			0.3	V	
AVDD3 = 3.3 V, I_{OL} = 1 mA			0.1	V	
AVDD3 = 3.3 V, I_{OL} = 1 mA			0.1	V	

AD9557

参数	最小值	典型值	最大值	单位	测试条件/注释
输出时序偏斜 OUT0与OUT1之间		10	70	ps	10 pF负载 两个驱动器均为HSTL模式；仅上升沿； 任意分频值
改变一个驱动器的逻辑类型 时，该驱动器上的额外延迟					
HSTL至LVDS	-5	+1	+5	ps	正值表示LVDS边沿相对于HSTL延迟
HSTL至1.8 V CMOS	-5	0	+5	ps	正值表示CMOS边沿相对于HSTL延迟
OUT1 HSTL至OUT0 3.3 V CMOS， 强模式		3.53	3.59	ns	CMOS边沿相对于HSTL延迟

¹ 所列值是相对于较慢的边沿(上升或下降)而言。

数字功能的持续时间

表11.

参数	最小值	典型值	最大值	单位	测试条件/注释
数字功能的持续时间					
EEPROM至寄存器下载时间		13	20	ms	使用默认EEPROM存储序列 (参见寄存器0x0E10至寄存器0x0E3F)
寄存器至EEPROM上传时间		138	145	ms	使用默认EEPROM存储序列 (参见寄存器0x0E10至寄存器0x0E3F)
最短关断退出时间		1		ms	从关断退出到系统时钟锁定检测的时间

数字PLL

表12.

参数	最小值	典型值	最大值	单位	测试条件/注释
数字PLL					
鉴频鉴相器(PFD)输入频率范围	2		100	kHz	
环路带宽	0.1		2000	Hz	可编程设计参数
相位裕量	30		89	度	可编程设计参数
闭环峰化	<0.1			dB	可编程设计参数；可以对器件进行编程以实现小于0.1 dB的峰化，达到Telcordia GR-253抖动传递要求
参考输入(R)分频系数	1		2 ²⁰		1, 2, ..., 1,048,576
整数反馈(N1)分频系数	180		2 ¹⁷		180, 181, ..., 131,072
小数反馈分频比	0		0.999		最大值：16,777,215/16,777,216

数字PLL锁定检测

表13.

参数	最小值	典型值	最大值	单位	测试条件/注释
锁相检测器					
阈值编程范围	0.001		65.5	ns	
阈值分辨率		1		ps	
锁频检测器					
阈值编程范围	0.001		16,700	ns	参考与反馈周期差
阈值分辨率		1		ps	

保持规格

表14.

参数	最小值	典型值	最大值	单位	测试条件/注释
保持规格					
初始频率精度		<0.01		ppm	不包括SYSCLK源的频率漂移；不包括进入保持模式前输入参考的频率漂移；符合GR-1244 Stratum 3标准

AD9557

串行端口规格—SPI模式

表 15.

参数	最小值	典型值	最大值	单位	测试条件/注释
\overline{CS}					
输入逻辑1电压	2.2			V	
输入逻辑0电压			1.2	V	
输入逻辑1电流		44		μA	
输入逻辑0电流		88		μA	
输入电容		2		pF	
SCLK					
输入逻辑1电压	2.2			V	内置30 k Ω 下拉电阻。
输入逻辑0电压		0.8	1.2	V	
输入逻辑1电流		200		μA	
输入逻辑0电流		1		μA	
输入电容		2		pF	
SDIO					
用作输入					
输入逻辑1电压	2.2			V	
输入逻辑0电压			1.2	V	
输入逻辑1电流		1		μA	
输入逻辑0电流		1		μA	
输入电容		2		pF	
用作输出					
输出逻辑1电压	DVDD3 – 0.6			V	1 mA 负载电流
输出逻辑0电压			0.4	V	1 mA 负载电流
SDO					
输出逻辑1电压	DVDD3 – 0.6			V	1 mA 负载电流
输出逻辑0电压			0.4	V	1 mA 负载电流
定时					
SCLK					
时钟速率, $1/t_{\text{CLK}}$			40	MHz	
高电平脉冲宽度, t_{HIGH}	10			ns	
低电平脉冲宽度, t_{LOW}	13			ns	
SDIO至SCLK建立时间, t_{DS}	3			ns	
SCLK至SDIO保持时间, t_{DH}	6			ns	
SCLK至有效SDIO和SDO时间, t_{DV}			10	ns	
\overline{CS} 至SCLK建立时间, t_{S}	10			ns	
\overline{CS} 至SCLK保持时间, t_{C}	0			ns	
\overline{CS} 高电平最小脉冲宽度	6			ns	

串行端口规格—I²C模式

表16.

参数	最小值	典型值	最大值	单位	测试条件/注释
SDA、SCL(用作输入)					
输入逻辑1电压	0.7 × DVDD3			V	
输入逻辑0电压			0.3 × DVDD3	V	
输入电流	-10		+10	μA	V _{IN} = 10%至90% DVDD3
施密特触发器输入的迟滞	0.015 × DVDD3				
输入滤波器必须抑制的尖峰的脉冲宽度, t _{SP}			50	ns	
SDA(用作输出)					
输出逻辑0电压			0.4	V	I _O = 3 mA
从V _{IHmin} 至V _{ILmax} 的输出下降时间	20 + 0.1 C _b ¹		250	ns	10 pF ≤ C _b ≤ 400 pF ¹
定时					
SCL时钟速率			400	kHz	
停止条件和起始条件之间的总线空闲时间, t _{BUF}	1.3			μs	
重复起始条件建立时间, t _{SU, STA}	0.6			μs	
重复起始条件保持时间, t _{HD, STA}	0.6			μs	此周期结束后, 产生第一个时钟脉冲
停止条件建立时间, t _{SU, STO}	0.6			μs	
SCL时钟的低电平周期, t _{LOW}	1.3			μs	
SCL时钟的高电平周期, t _{HIGH}	0.6			μs	
SCL/SDA上升时间, t _R	20 + 0.1 C _b ¹		300	ns	
SCL/SDA下降时间, t _F	20 + 0.1 C _b ¹		300	ns	
数据建立时间, t _{SU, DAT}	100			ns	
数据保持时间, t _{HD, DAT}	100			ns	
各条总线的容性负载, C _b ¹			400	pF	

¹ C_b是一条总线的电容(单位: pF)。

抖动产生

抖动产生(随机抖动)使用49.152 MHz晶振作为系统时钟输入。

表17.

参数	最小值	典型值	最大值	单位	测试条件/注释
抖动产生					系统时钟倍频器使能; 高相位裕量模式使能; 寄存器0x0405 = 0x20; 寄存器0x0403 = 0x07; 寄存器0x0400 = 0x81; 如果列出多种驱动器类型, 所有驱动器类型均在相同条件下测试, 列出的值是抖动较高的值, 不过不同驱动器类型的抖动差通常并不明显
f _{REF} = 19.44 MHz; f _{OUT} = 622.08 MHz; f _{LOOP} = 50 Hz					
HSTL驱动器					
带宽: 5 kHz至20 MHz		304		fs rms	
带宽: 12 kHz至20 MHz		296		fs rms	
带宽: 12 kHz至20 MHz		300		fs rms	
带宽: 50 kHz至80 MHz		266		fs rms	
带宽: 16 MHz至320 MHz		185		fs rms	

AD9557

参数	最小值	典型值	最大值	单位	测试条件/注释
$f_{REF} = 19.44 \text{ MHz}; f_{OUT} = 644.53 \text{ MHz}; f_{LOOP} = 50 \text{ Hz}$ HSTL和/或LVDS驱动器					
带宽: 5 kHz至20 MHz		334		fs rms	
带宽: 12 kHz至20 MHz		321		fs rms	
带宽: 20 kHz至80 MHz		319		fs rms	
带宽: 50 kHz至80 MHz		277		fs rms	
带宽: 16 MHz至320 MHz		185		fs rms	
$f_{REF} = 19.44 \text{ MHz}; f_{OUT} = 693.48 \text{ MHz}; f_{LOOP} = 50 \text{ Hz}$ HSTL驱动器					
带宽: 5 kHz至20 MHz		298		fs rms	
带宽: 12 kHz至20 MHz		285		fs rms	
带宽: 20 kHz至80 MHz		286		fs rms	
带宽: 50 kHz至80 MHz		252		fs rms	
带宽: 16 MHz至320 MHz		183		fs rms	
$f_{REF} = 19.44 \text{ MHz}; f_{OUT} = 174.703 \text{ MHz}; f_{LOOP} = 1 \text{ kHz}$ HSTL驱动器					
带宽: 5 kHz至20 MHz		354		fs rms	
带宽: 12 kHz至20 MHz		301		fs rms	
带宽: 20 kHz至80 MHz		321		fs rms	
带宽: 50 kHz至80 MHz		290		fs rms	
带宽: 4 MHz至80 MHz		177		fs rms	
$f_{REF} = 19.44 \text{ MHz}; f_{OUT} = 174.703 \text{ MHz}; f_{LOOP} = 100 \text{ Hz}$ LVDS和/或3.3 V CMOS驱动器					
带宽: 5 kHz至20 MHz		306		fs rms	
带宽: 12 kHz至20 MHz		293		fs rms	
带宽: 20 kHz至80 MHz		313		fs rms	
带宽: 50 kHz至80 MHz		283		fs rms	
带宽: 4 MHz至80 MHz		166		fs rms	
$f_{REF} = 25 \text{ MHz}; f_{OUT} = 161.1328 \text{ MHz}; f_{LOOP} = 100 \text{ Hz}$ HSTL驱动器					
带宽: 5 kHz至20 MHz		316		fs rms	
带宽: 5 kHz至20 MHz		302		fs rms	
带宽: 20 kHz至80 MHz		324		fs rms	
带宽: 50 kHz至80 MHz		292		fs rms	
带宽: 4 MHz至80 MHz		171		fs rms	
$f_{REF} = 2 \text{ kHz}; f_{OUT} = 70.656 \text{ MHz}; f_{LOOP} = 100 \text{ Hz};$ HSTL和/或3.3 V CMOS驱动器					
带宽: 10 Hz至30 MHz		3.22		ps rms	
带宽: 5 kHz至20 MHz		338		fs rms	
带宽: 12 kHz至20 MHz		324		fs rms	
带宽: 10 kHz至400 kHz		278		fs rms	
带宽: 100 kHz至10 MHz		210		fs rms	
$f_{REF} = 25 \text{ MHz}; f_{OUT} = 1 \text{ GHz}; f_{LOOP} = 500 \text{ Hz}$ HSTL驱动器					
带宽: 100 Hz至500 MHz(宽带)		1.71		ps rms	
带宽: 12 kHz至20 MHz		343		fs rms	
带宽: 20 kHz至80 MHz		338		fs rms	

抖动产生(随机抖动)使用19.2 MHz TCXO作为系统时钟输入。

表18.

参数	最小值	典型值	最大值	单位	测试条件/注释
抖动产生					系统时钟倍频器使能；高相位裕量模式使能；寄存器0x0405 = 0x20；寄存器0x0403 = 0x07；寄存器0x0400 = 0x81；如果列出多种驱动器类型，所有驱动器类型均在相同条件下测试，列出的值是抖动较高的值，不过不同驱动器类型的抖动差通常并不明显
$f_{REF} = 19.44 \text{ MHz}$; $f_{OUT} = 644.53 \text{ MHz}$; $f_{LOOP} = 0.1 \text{ Hz}$ HSTL驱动器					
带宽：5 kHz至20 MHz		402		fs rms	
带宽：12 kHz至20 MHz		393		fs rms	
带宽：20 kHz至80 MHz		391		fs rms	
带宽：50 kHz至80 MHz		347		fs rms	
带宽：16 MHz至320 MHz		179		fs rms	
$f_{REF} = 19.44 \text{ MHz}$; $f_{OUT} = 693.48 \text{ MHz}$; $f_{LOOP} = 0.1 \text{ Hz}$ HSTL驱动器					
带宽：5 kHz至20 MHz		379		fs rms	
带宽：12 kHz至20 MHz		371		fs rms	
带宽：20 kHz至80 MHz		371		fs rms	
带宽：50 kHz至80 MHz		335		fs rms	
带宽：16 MHz至320 MHz		175		fs rms	
$f_{REF} = 19.44 \text{ MHz}$; $f_{OUT} = 312.5 \text{ MHz}$; $f_{LOOP} = 0.1 \text{ Hz}$ HSTL驱动器					
带宽：5 kHz至20 MHz		413		fs rms	
带宽：12 kHz至20 MHz		404		fs rms	
带宽：20 kHz至80 MHz		407		fs rms	
带宽：50 kHz至80 MHz		358		fs rms	
带宽：4 MHz至80 MHz		142		fs rms	
$f_{REF} = 25 \text{ MHz}$; $f_{OUT} = 161.1328 \text{ MHz}$; $f_{LOOP} = 0.1 \text{ Hz}$ HSTL驱动器					
带宽：5 kHz至20 MHz		399		fs rms	
带宽：12 kHz至20 MHz		391		fs rms	
带宽：20 kHz至80 MHz		414		fs rms	
带宽：50 kHz至80 MHz		376		fs rms	
带宽：4 MHz至80 MHz		190		fs rms	
$f_{REF} = 2 \text{ kHz}$; $f_{OUT} = 70.656 \text{ MHz}$; $f_{LOOP} = 0.1 \text{ Hz}$ HSTL和/或3.3 V CMOS驱动器					
带宽：10 Hz至30 MHz		970		fs rms	
带宽：12 kHz至20 MHz		404		fs rms	
带宽：10 kHz至400 kHz		374		fs rms	
带宽：100 kHz至10 MHz		281		fs rms	

绝对最大额定值

表19.

参数	额定值
模拟电源电压(AVDD)	2 V
数字电源电压(DVDD)	2 V
数字I/O电源电压(DVDD3)	3.6 V
模拟电源电压(AVDD3)	3.6 V
最大数字输入电压	-0.5 V至DVDD3 + 0.5 V
存储温度范围	-65°C 至+150°C
工作温度范围	-40°C至+85°C
引脚温度(焊接10秒)	300°C
结温	150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

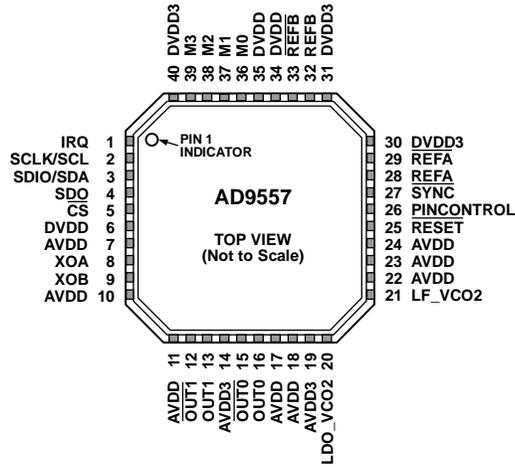
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
1. THE EXPOSED PAD MUST BE CONNECTED TO GROUND (VSS).

09187-002

图2. 引脚配置

表20. 引脚功能描述

引脚编号	引脚名称	输入/输出	引脚类型	描述
1	IRQ	O	3.3 V CMOS	中断请求线。
2	SCLK/SCL	I	3.3 V CMOS	SPI模式下为串行编程时钟(SCLK)。用于串行编程的数据时钟。I ² C模式下为串行时钟引脚(SCL)。
3	SDIO/SDA	I/O	3.3 V CMOS	SPI模式下为串行数据输入/输出(SDIO)。4线SPI模式下，数据通过此引脚写入。3线模式下，数据读取和写入均通过此引脚进行。此引脚没有内置上拉/下拉电阻。I ² C模式下为串行数据引脚(SDA)。
4	SDO	O	3.3 V CMOS	串行数据输出。4线模式下利用此引脚读取数据。此引脚没有内置上拉/下拉电阻。默认3线模式下，此引脚为高阻态。
5	\overline{CS}	I	3.3 V CMOS	片选(SPI)，低电平有效。对器件进行编程时，此引脚必须保持低电平。在含有多个AD9557的系统中，利用此引脚可以对各AD9557进行编程。此引脚内置一个10 k Ω 上拉电阻。
6, 34, 35	DVDD	I	电源	1.8 V数字电源。
7, 10, 22, 23, 24	AVDD	I	电源	1.8 V模拟电源。
8	XOA	I	差分输入	系统时钟输入。XOA内置直流偏置，应通过0.01 μ F电容交流耦合，使用晶振时除外，这种情况下应在XOA和XOB上连接晶振。单端1.8 V CMOS也是一个选项，但如果占空比不是50%，可能会引入杂散。XOA用作单端输入时，应将一个0.01 μ F电容从XOB连接到地。
9	XOB	I	差分输入	互补系统时钟输入。XOB的互补信号。XOB内置直流偏置，应通过0.01 μ F电容交流耦合，使用晶振时除外，这种情况下应在XOA和XOB上连接晶振。
11, 17, 18	AVDD	I	电源	1.8 V模拟(输出分频器和驱动器)电源。
12	$\overline{OUT1}$	O	HSTL、LVDS或1.8 V CMOS	互补输出1。该输出可以配置为HSTL、LVDS或单端1.8 V CMOS。
13	OUT1	O	HSTL、LVDS或1.8 V CMOS	输出1。该输出可以配置为HSTL、LVDS或单端1.8 V CMOS。LVPECL电平可以通过交流耦合和利用戴维宁等效端接实现，如“输入/输出端接建议”部分所述。
14, 19	AVDD3	I	电源	3.3 V模拟电源。

AD9557

引脚编号	引脚名称	输入/输出	引脚类型	描述
15	$\overline{\text{OUT0}}$	O	HSTL, LVDS, 1.8 V CMOS, 3.3 V CMOS	互补输出0。该输出可以配置为HSTL、LVDS、单端1.8 V或3.3 V CMOS。
16	OUT0	O	HSTL, LVDS, 1.8 V CMOS, 3.3 V CMOS	输出0。该输出可以配置为HSTL、LVDS、单端1.8 V或3.3 V CMOS。LVPECL电平可以通过交流耦合和利用戴维宁等效端接实现，如“输入/输出端接建议”部分所述。
20	LDO_VCO2	I	LDO旁路	输出PLL环路滤波器的电压调节器。应将一个0.47 μF 电容连接在此引脚与地之间。该引脚还是集成输出PLL外部环路滤波器的交流接地基准。
21	LF_VCO2	I/O	环路滤波器	输出PLL的环路滤波器节点。应将一个外部6.8 nF电容连接在此引脚与引脚20 (LDO_VCO2)之间。
25	$\overline{\text{复位}}$	I	3.3 V CMOS	芯片复位。当该低电平有效引脚置位时，芯片进入复位模式。此引脚内置一个50 k Ω 上拉电阻。
26	PINCONTROL	I	3.3 V CMOS	引脚编程模式使能引脚。启动期间拉高时，此引脚使能启动期间AD9557配置的引脚编程。如果此引脚在启动期间为低电平，用户必须通过串行端口对器件进行编程，或者使用EEPROM中存储的值。
27	$\overline{\text{SYNC}}$	I	3.3 V CMOS	时钟分配同步引脚。此引脚被激活时，输出驱动器保持静态，并且在此引脚发生低电平到高电平转换时同步。此引脚内置一个60 k Ω 上拉电阻。
28	REFA	I	差分输入	参考A输入。该内部偏置输入通常为交流耦合，如此配置时，它可以接受单端摆幅高达3.3 V的任何差分信号。直流耦合时，输入可以是LVPECL、LVDS或单端CMOS。
29	$\overline{\text{REFA}}$	I	差分输入	互补参考A输入。此引脚是引脚28的互补输入。
30, 31, 40	DVDD3	I	电源	3.3 V数字电源。
32	REFB	I	差分输入	参考B输入。该内部偏置输入通常为交流耦合，如此配置时，它可以接受单端摆幅高达3.3 V的任何差分信号。直流耦合时，输入可以是LVPECL、LVDS或单端CMOS。
33	$\overline{\text{REFB}}$	I	差分输入	互补参考B输入。此引脚是引脚32的互补输入。
36, 37, 38, 39	M0, M1, M2, M3	I/O	3.3 V CMOS (启动时为三电平逻辑)	可配置I/O引脚。这些引脚在启动时为三电平逻辑，用于在启动时通过引脚绑定输入和输出频率配置。设置寄存器0x0200[0] = 1时，这些引脚变为二电平逻辑，可以用于实现AD9557的状态和控制功能。这些引脚内置一个30 k Ω 上拉电阻和一个30 k Ω 下拉电阻。
EP	VSS	O	裸露焊盘	裸露焊盘必须连接到地(VSS)。

典型性能参数

f_R = 输入参考时钟频率; f_O = 输出时钟频率; f_{SYS} = SYSCLK输入频率; f_S = 内部系统时钟频率; LF = 所用的SYSCLK PLL内部环路滤波器。除非另有说明, AVDD、AVDD3和DVDD为标称电源电压, f_S = 786.432 MHz。

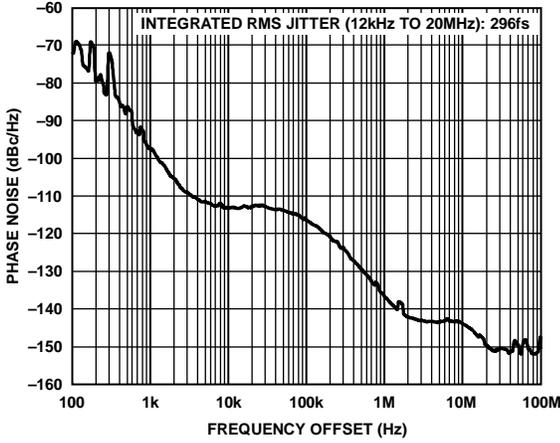


图3. 绝对相位噪声(输出驱动器 = HSTL),
 $f_R = 19.44$ MHz, $f_O = 622.08$ MHz,
 DPLL环路带宽 = 50 Hz, $f_{SYS} = 49.152$ MHz晶体

09197-003

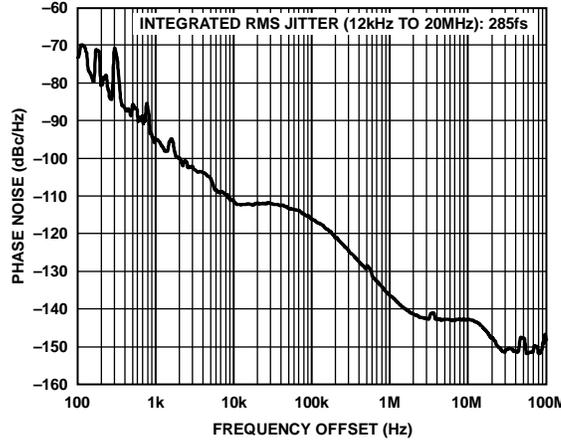


图5. 绝对相位噪声(输出驱动器 = HSTL),
 $f_R = 19.44$ MHz, $f_O = 693.482991$ MHz,
 DPLL环路带宽 = 50 Hz, $f_{SYS} = 49.152$ MHz晶体

09197-005

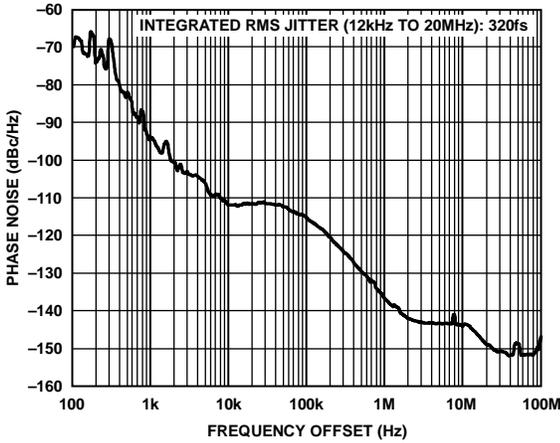


图4. 绝对相位噪声(输出驱动器 = HSTL),
 $f_R = 19.44$ MHz, $f_O = 644.53125$ MHz,
 DPLL环路带宽 = 50 Hz, $f_{SYS} = 49.152$ MHz晶体

09197-004

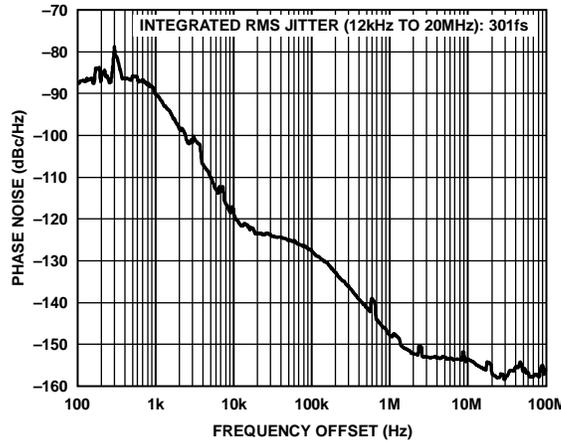


图6. 绝对相位噪声(输出驱动器 = HSTL),
 $f_R = 19.44$ MHz, $f_O = 174.703$ MHz,
 DPLL环路带宽 = 1 kHz, $f_{SYS} = 49.152$ MHz晶体

09197-006

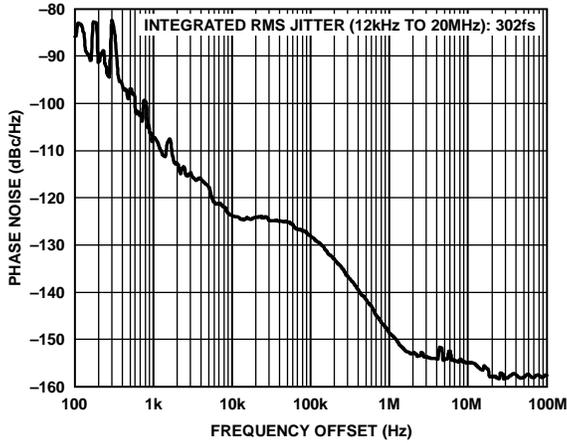


图7. 绝对相位噪声(输出驱动器 = 3.3 V CMOS),
 $f_r = 19.44$ MHz, $f_o = 161.1328125$ MHz,
 DPLL环路带宽 = 100 Hz, $f_{sys} = 49.152$ MHz晶体

08197-007

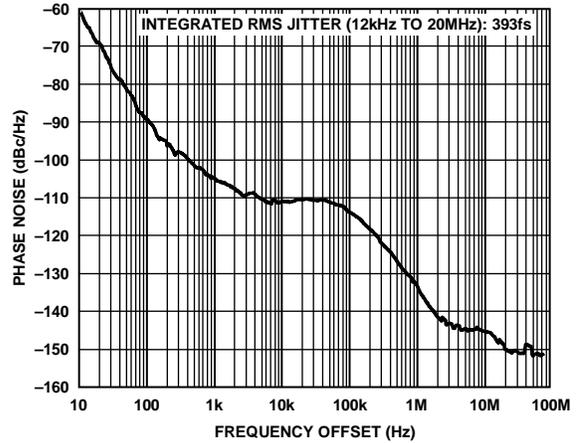


图10. 绝对相位噪声(输出驱动器 = HSTL),
 $f_r = 19.44$ MHz, $f_o = 644.53$ MHz,
 DPLL环路带宽 = 0.1 Hz, $f_{sys} = 19.2$ MHz TCXO

08197-010

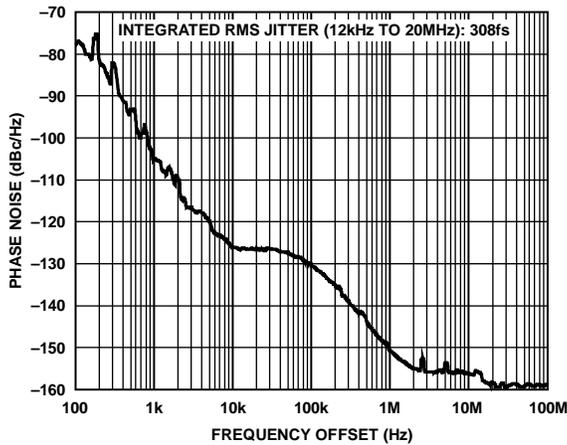


图8. 绝对相位噪声(输出驱动器 = HSTL),
 $f_r = 2$ kHz, $f_o = 125$ MHz,
 DPLL环路带宽 = 100 Hz, $f_{sys} = 49.152$ MHz晶体

08197-008

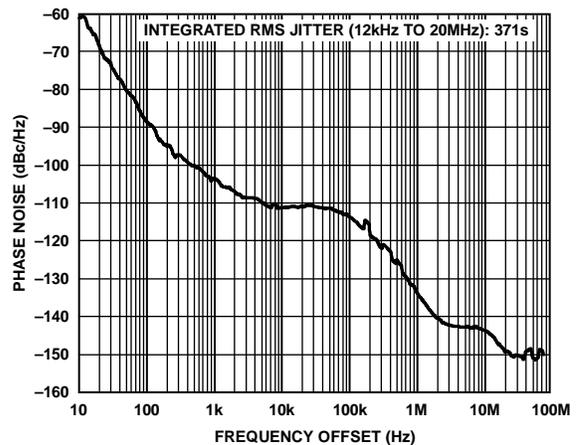


图11. 绝对相位噪声(输出驱动器 = HSTL),
 $f_r = 19.44$ MHz, $f_o = 693.482991$ MHz,
 DPLL环路带宽 = 0.1 Hz, $f_{sys} = 19.2$ MHz TCXO

08197-011

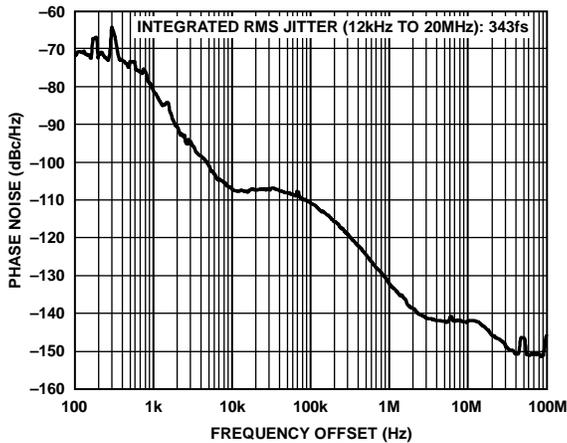


图9. 绝对相位噪声(输出驱动器 = HSTL),
 $f_r = 25$ MHz, $f_o = 1$ GHz,
 DPLL环路带宽 = 500 Hz, $f_{sys} = 49.152$ MHz晶体

08197-009

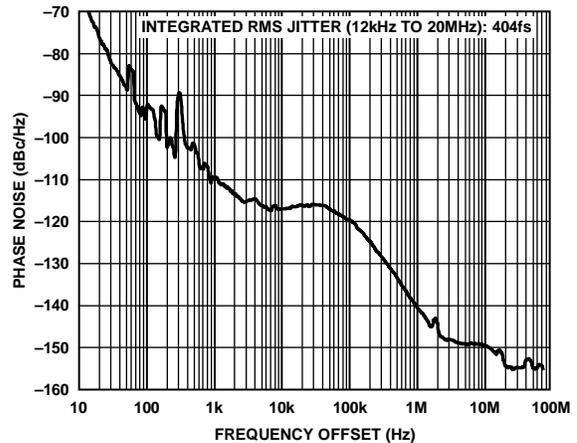
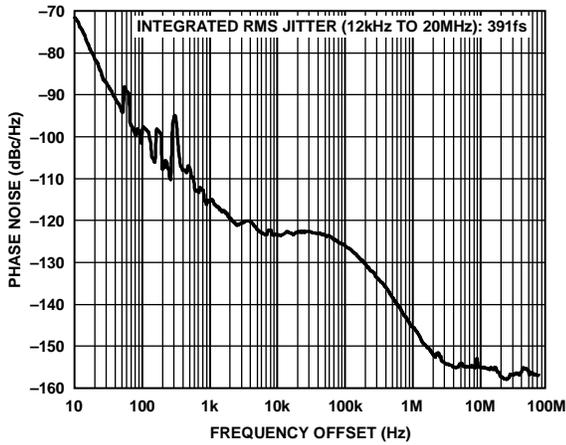


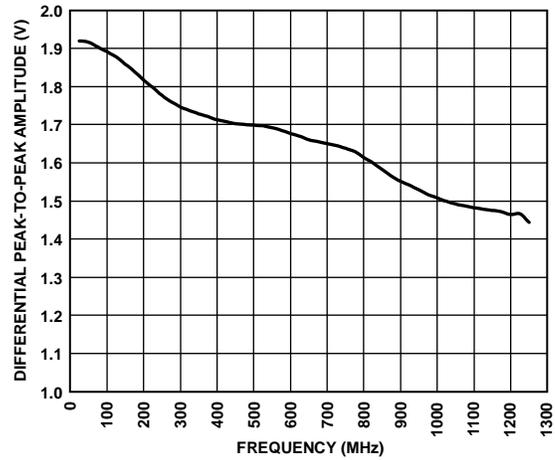
图12. 绝对相位噪声(输出驱动器 = HSTL),
 $f_r = 19.44$ MHz, $f_o = 312.5$ MHz,
 DPLL环路带宽 = 0.1 Hz, $f_{sys} = 19.2$ MHz TCXO

08197-012



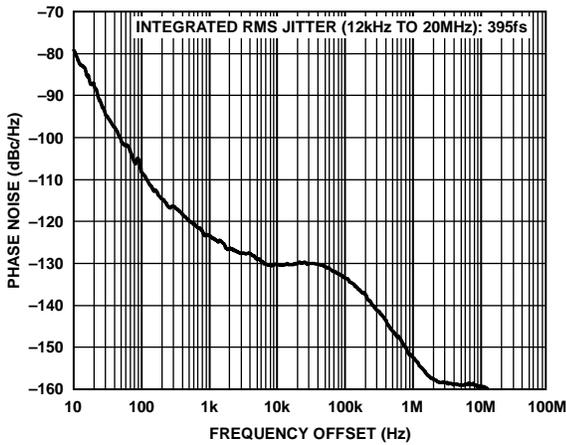
09197-013

图13. 绝对相位噪声(输出驱动器 = 3.3 V CMOS),
 $f_R = 19.44$ MHz, $f_O = 161.1328125$ MHz,
 DPLL环路带宽 = 0.1 Hz, $f_{SYS} = 19.2$ MHz TCXO



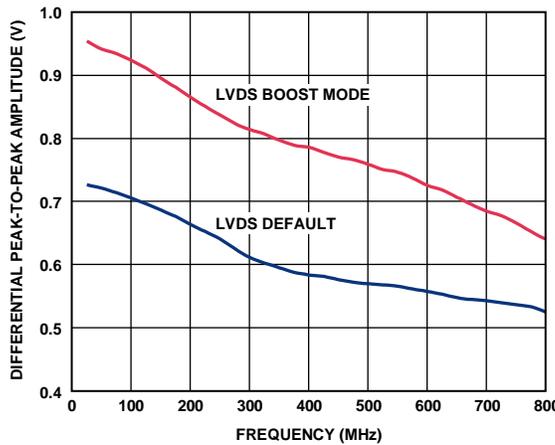
09197-116

图16. 幅度与反转率的关系, HSTL模式(LVPECL兼容模式)



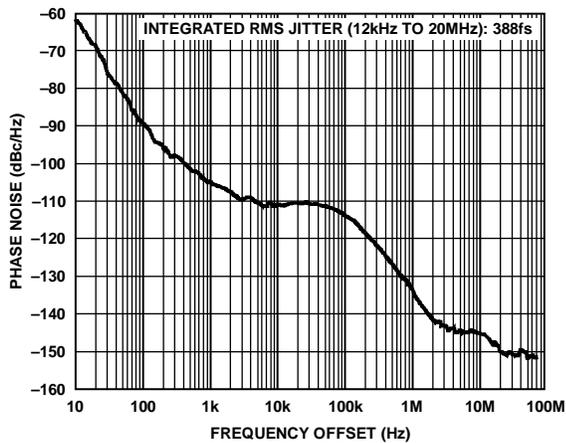
09197-014

图14. 绝对相位噪声(输出驱动器 = 1.8 V CMOS),
 $f_R = 2$ kHz, $f_O = 70.656$ MHz,
 DPLL环路带宽 = 0.1 Hz, $f_{SYS} = 19.2$ MHz TCXO



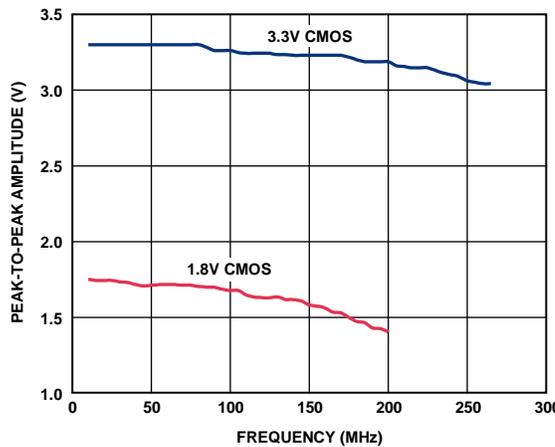
09197-117

图17. 幅度与反转率的关系, LVDS



09197-016

图15. 绝对相位噪声(输出驱动器 = HSTL),
 $f_R = 19.44$ MHz, $f_O = 644.53$ MHz,
 $f_{SYS} = 19.2$ MHz TCXO保持模式



09197-118

图18. 幅度与反转率的关系, 10 pF负载,
 3.3 V(强模式)和1.8 V CMOS

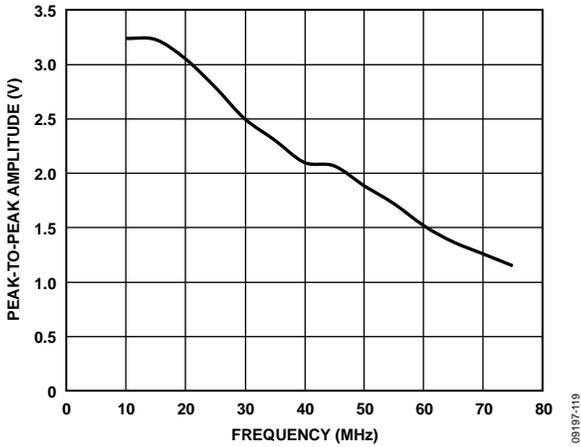


图19. 幅度与反转率的关系, 10 pF负载, 3.3 V(弱模式)CMOS

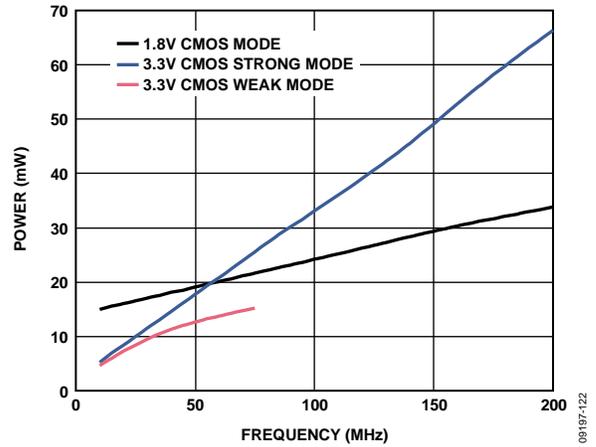


图22. 功耗与频率的关系, CMOS模式, 仅输出驱动器电源(引脚11和引脚17—1.8 V CMOS模式, 或引脚19—3.3 V CMOS模式), 一个CMOS驱动器

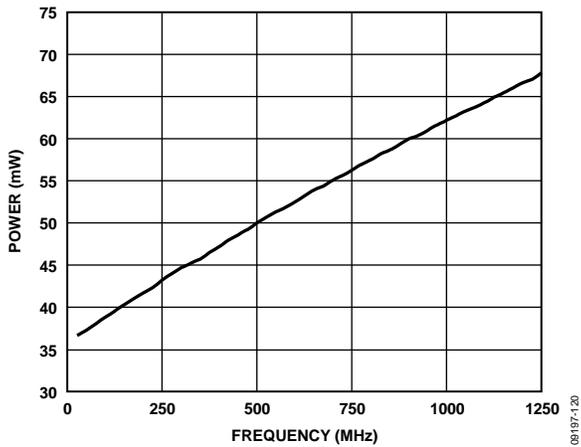


图21. 功耗与频率的关系, LVDS模式, 仅输出驱动器电源(引脚11和引脚17)

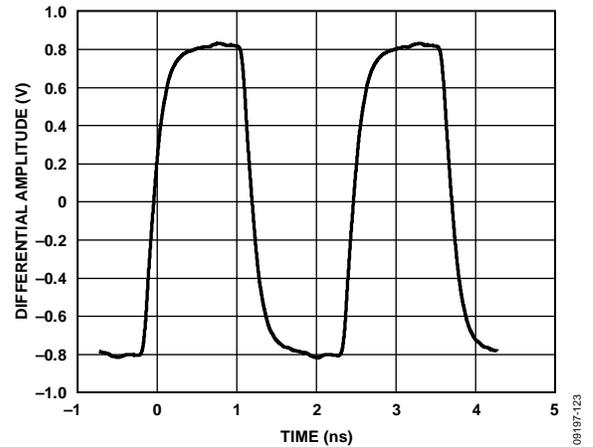


图23. 输出波形, HSTL (400 MHz)

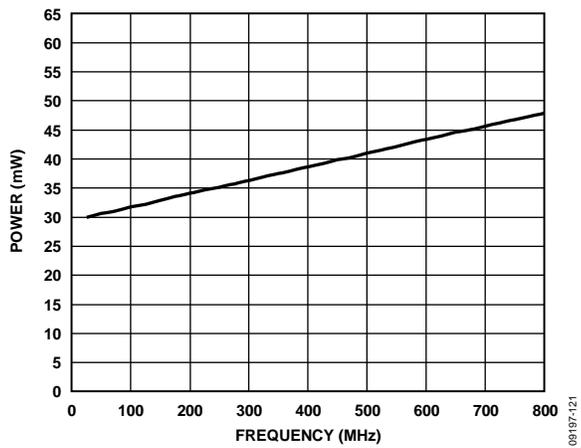


图20. 功耗与频率的关系, HSTL模式, 仅输出驱动器电源(引脚11和引脚17)

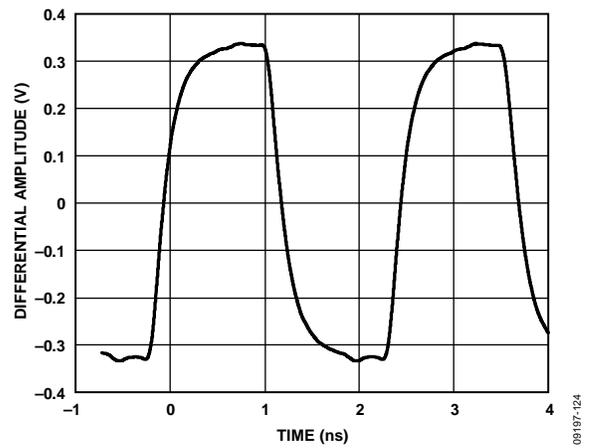


图24. 输出波形, LVDS (400 MHz)

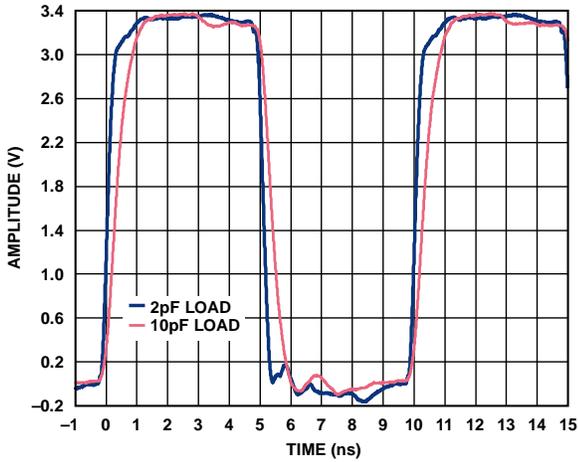


图25. 输出波形, 3.3 V CMOS(100 MHz, 强模式)

09197-126

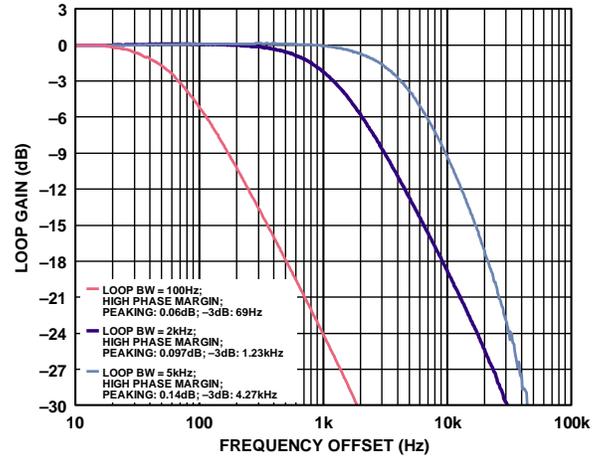


图28. 100 Hz、2 kHz和5 kHz环路带宽设置的闭环传递函数，高相位裕量环路滤波器设置(当环路带宽小于2 kHz时，符合Telcordia GR-253抖动传递测试要求)

09197-125

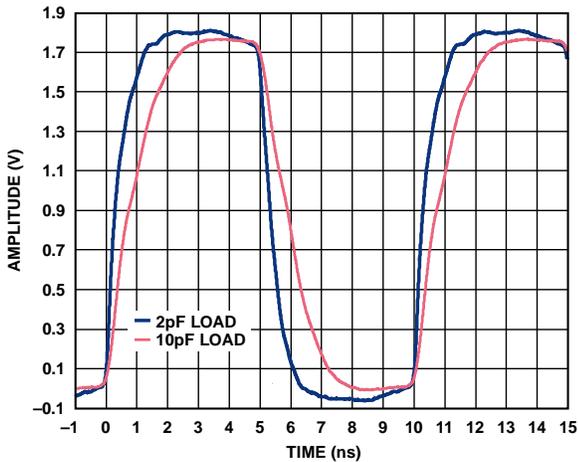


图26. 输出波形, 1.8 V CMOS (100 MHz)

09197-127

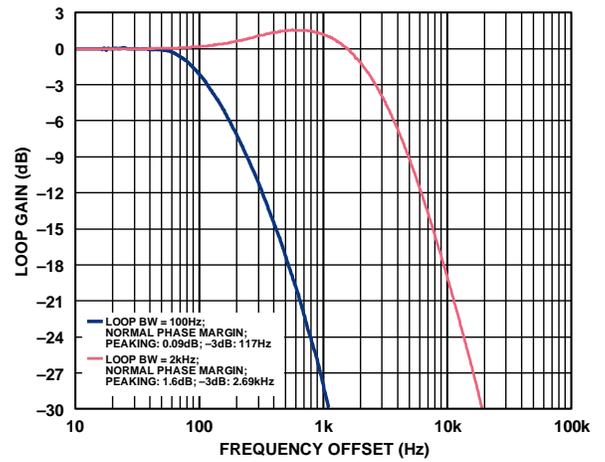


图29. 100 Hz和2 kHz环路带宽设置的闭环传递函数，正常相位裕量环路滤波器设置

09197-230

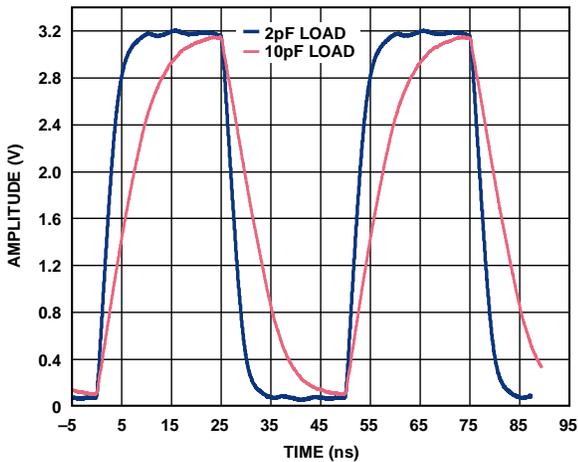


图27. 输出波形, 3.3 V CMOS(20 MHz, 弱模式)

09197-128

输入/输出端接建议

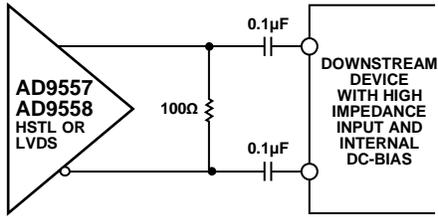


图30. 交流耦合LVDS或HSTL输出驱动器
(100 Ω电阻可以位于去耦电容的任一端，
应尽可能靠近目标接收器)

09197-130

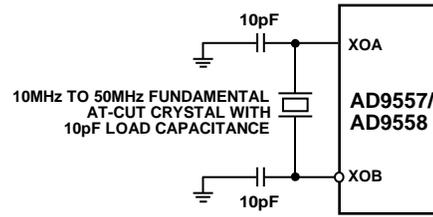


图33. 晶振模式下的系统时钟输入(XOA、XOB)
(显示建议 $C_{LOAD} = 10\text{ pF}$ 。
这里所示的10 pF并联电容的值应等于晶体的 C_{LOAD} 。)

09197-133

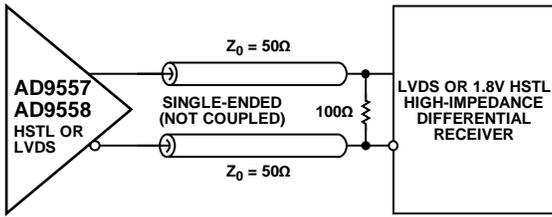


图31. 直流耦合LVDS或HSTL输出驱动器

09197-131

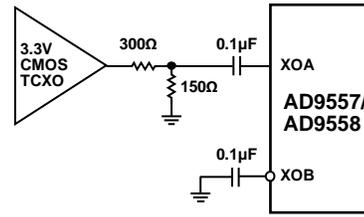


图34. 使用TCXO/OCXO时的系统时钟输入
(XOA、XOB)，3.3 V CMOS输出

09197-134

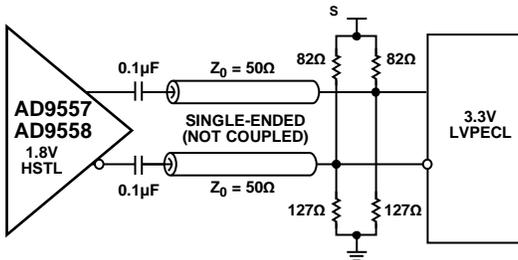


图32. HSTL驱动器与3.3 V LVPECL输入的接口
(这种方法整合了针对双极性LVPECL接收器的
阻抗匹配和直流偏置。

如果接收器为自偏置，建议使用图30所示的端接方案。)

09197-132

开始使用

芯片电源监控器和启动

AD9557在上电时监控电源电压。当DVDD3大于 $2.35\text{ V} \pm 0.1\text{ V}$ 且DVDD和AVDD大于 $1.4\text{ V} \pm 0.05\text{ V}$ 时，器件产生一个20 ms复位脉冲。上电复位脉冲为内部脉冲，与RESET引脚无关。有了该内部上电复位序列，用户无需提供外部电源时序控制。在该内部复位脉冲的上升沿后45 ns内，M3至M0多功能引脚用作高阻抗数字输入，并且保持这种状态，直到将其编程为其它功能。

器件复位期间(通过上电复位脉冲或RESET引脚)，多功能引脚(M3至M0)用作高阻抗输入，但移除复位条件后，电平敏感的锁存器就会捕获多功能引脚上存在的逻辑模式。

复位/上电时的多功能引脚

AD9557要求用户为PINCONTROL引脚和M3至M0引脚提供所需的逻辑状态。如果PINCONTROL为高电平，则器件处于硬引脚编程模式。有关硬引脚编程的详细信息，请参阅“引脚编程功能描述”部分。

启动时，M3至M0引脚有三种选择：上拉、下拉和悬空。如果PINCONTROL引脚为低电平，则M3至M0引脚决定下述配置：

- 复位之后，M1和M0引脚决定串行端口接口是否根据SPI或I²C协议工作。具体来说，0x00选择SPI接口，任何其它值选择I²C端口。M1和M0的三电平逻辑允许用户选择8个可能的I²C地址，详情见表24。
- M3和M2引脚选择加载8个可能的EEPROM Profile中的哪一个，或者决定是否旁路EEPROM加载。如果启动时M3和M2悬空，则旁路EEPROM加载，转而使用出厂默认设置(详情见表22)。

使用寄存器设置文件对器件寄存器进行编程

评估软件提供一个编程向导和易用的图形用户界面，帮助用户根据所需的输入和输出频率确定DPLL、APLL和SYSCLK的最佳配置。它产生扩展名为.STP的寄存器设置文件，可以利用文本编辑器轻松查看。

利用评估软件创建设置文件后，按照以下序列对AD9557编程一次：

1. 寄存器0x0A01 = 0x20(设置用户自由振荡模式)。
2. 寄存器0x0A02 = 0x02(使输出保持静态同步)。(如果使用DPLL锁相时同步或DPLL锁频时同步，应跳过此步。参见寄存器0x0500[1:0]。)
3. 寄存器0x0405 = 0x20(清除APLL VCO校准)。
4. 写入STP文件中地址0x0000到地址0x032E的寄存器值。
5. 寄存器0x0005 = 0x01(更新所有寄存器)。
6. 写入STP文件中的其余寄存器，从地址0x0400开始。
7. 寄存器0x0405 = 0x21(下次I/O更新时校准APLL)。
8. 寄存器0x0403 = 0x07(配置APLL)。
9. 寄存器0x0400 = 0x81(配置APLL)。
10. 寄存器0x0005 = 0x01(更新所有寄存器)。
11. 寄存器0x0A01[5] = 0b(清除用户自由振荡模式)。
12. 寄存器0x0005 = 0x01(更新所有寄存器)。

寄存器编程概述

本部分概要说明AD9557中的各种寄存器模块，介绍这些模块的作用及重要性。

使用非默认值以实现最佳性能的寄存器

为实现最佳性能，应将下列寄存器设置为以下所示值：

- 寄存器0x0405[7:4] = 0x2
- 寄存器0x0403 = 0x07
- 寄存器0x0400 = 0x81

如果芯片版本(寄存器0x000A)等于0x21或更高的值，则此处所示值已是默认值。

设置系统时钟和自由振荡调谐字

系统时钟倍频器(SYSCLK)参数位于寄存器0x0100至寄存器0x0108，自由振荡调谐字位于寄存器0x0300至寄存器0x0303。执行下列步骤以实现最佳性能：

1. 设置系统时钟PLL输入类型和分频器值。
2. 设置系统时钟周期。系统时钟周期的设置非常重要，AD9557的许多子系统都依赖于此值。
3. 设置系统时钟稳定性定时器。强烈建议用户设置系统时钟稳定性定时器，它在使用系统时钟倍频器的时候特别重要，而且也适合使用外部系统时钟源的情况，特别是将电源施加于AD9557后外部时钟源尚未完全稳定的时候。系统时钟稳定性定时器指定器件认定系统时钟稳定之前，系统时钟PLL必须保持锁定的时间量。默认值为50 ms。
4. 写入自由振荡调谐字。数字PLL (DPLL)的自由振荡频率决定选择自由振荡模式时出现在APLL输入的频率。自由振荡调谐字位于寄存器0x0300至寄存器0x0303。为使APLL正确校准和锁定，自由振荡频率必须正确。
5. 设置用户自由振荡模式(寄存器0x0A01[5] = 1b)。

初始化和校准输出PLL (APLL)

控制APLL的寄存器是寄存器0x0400至寄存器0x0408。它是一个低噪声、整数N分频PLL，将DPLL输出(通常为175 MHz至200 MHz)倍频至3.35 GHz至4.05 GHz范围内的频率。配置系统时钟并在寄存器0x0300至寄存器0x0303中设置自由振荡调谐字后，用户可以将手动APLL VCO校准位(寄存器0x0405[0])置1，并执行I/O更新(寄存器0x0005[0])，这样就能执行APLL VCO校准。VCO校准能够确保校准时，APLL VCO的控制电压位于其工作范围的中心。校准APLL VCO时，必须注意以下几点：

- 系统时钟必须稳定。
- 校准期间，30位DCO(数字控制振荡器)必须为APLL VCO提供正确的频率。
- 只要APLL频率改变，APLL VCO就必须重新校准。
- APLL VCO校准发生在手动APLL VCO校准位从低电平变为高电平时，此位不是自清零位。因此，启动下一次APLL校准之前，必须将此位清零(并执行I/O更新)。
- 监视APLL校准是否成功的最佳方法是监视寄存器0x0D01的Bit2(APLL锁定)。

时钟分配输出编程

APLL输出进入时钟分配模块。时钟分配参数位于寄存器0x0500至寄存器0x0509，包括如下内容：

- 输出关断控制
- 输出使能(默认禁用)
- 输出同步
- 输出模式控制
- 输出分频器功能

更多信息参见“时钟分配”部分。

产生输出时钟

如果寄存器0x0500[1:0]配置为通过DPLL相位或频率锁定实现自动时钟分配同步，时钟分配输出端将出现同步输出信号。否则，应将软同步时钟分配位(寄存器0x0A02的位1)置1再清0，或者使用多功能引脚输入(如果设置为可用)产生时钟分配同步脉冲，从而使时钟分配输出端出现同步输出信号。

多功能引脚编程(可选)

仅当用户打算使用多功能引脚来指示状态或进行控制时，才需要执行这一步。多功能引脚参数位于寄存器0x0200至寄存器0x0208中。

IRQ功能编程(可选)

仅当用户打算使用IRQ功能时，才需要执行这一步。IRQ监控寄存器位于寄存器0x0D02至寄存器0x0D09中。如果IRQ屏蔽寄存器(寄存器0x020A至寄存器0x020F)中的目标位设为1，当指示的事件发生时，寄存器0x0D02至寄存器0x0D07中的相应IRQ监控位就会设为1。

使用IRQ清零寄存器(寄存器0x0A04至寄存器0x0A09)，或者将“清除所有IRQ”位(寄存器0x0A03[1])设为1b，可以清除各IRQ事件。

IRQ屏蔽寄存器为默认值时，不产生任何中断。IRQ默认引脚模式为开漏NMOS。

看门狗定时器编程(可选)

仅当用户打算使用看门狗定时器时，才需要执行这一步。看门狗定时器控制位于寄存器0x0210和寄存器0x0211，默认禁用。

看门狗定时器可用于在固定的时间后产生IRQ。将“清除看门狗定时器”位(寄存器0x0A03[0])设为1b时，该定时器复位。

数字锁相环(DPLL)编程

DPLL参数位于寄存器0x0300至寄存器0x032E中，包括如下内容：

- 自由振荡频率
- DPLL捕捉范围限值
- DPLL闭环相位偏移
- 相位压摆率控制(用于无中断参考切换)
- 调谐字历史控制(用于保持操作)

参考输入编程

参考输入参数位于寄存器0x0600至寄存器0x0602中。有关设置这些功能的详细信息，请参阅“参考时钟输入”部分。包括如下内容：

- 参考关断
- 参考逻辑系列
- 参考优先级

参考Profile编程

参考Profile参数位于寄存器0x0700至寄存器0x0766中。[AD9557](#)评估软件包含一个向导，后者可以根据用户的输入频率计算这些值。有关设置这些功能的详细信息，请参阅“参考Profile”部分。包括如下内容：

- 参考周期
- 参考周期容差
- 参考验证定时器
- 高相位裕量环路滤波器系数的选择
- DPLL环路带宽
- 参考预分频器(R分频器)
- 反馈分频器(N1、N2、N3、FRAC1和MOD1)
- 锁相和锁频检测器控制

产生参考采集

完成寄存器编程后，用户可以将“用户自由振荡位”(寄存器0x0A01[5])清零，并执行I/O更新，利用寄存器0x0005[0]调用此前编程的所有寄存器设置。

设置这些寄存器后，DPLL锁定第一个可用且优先级最高的参考。

工作原理

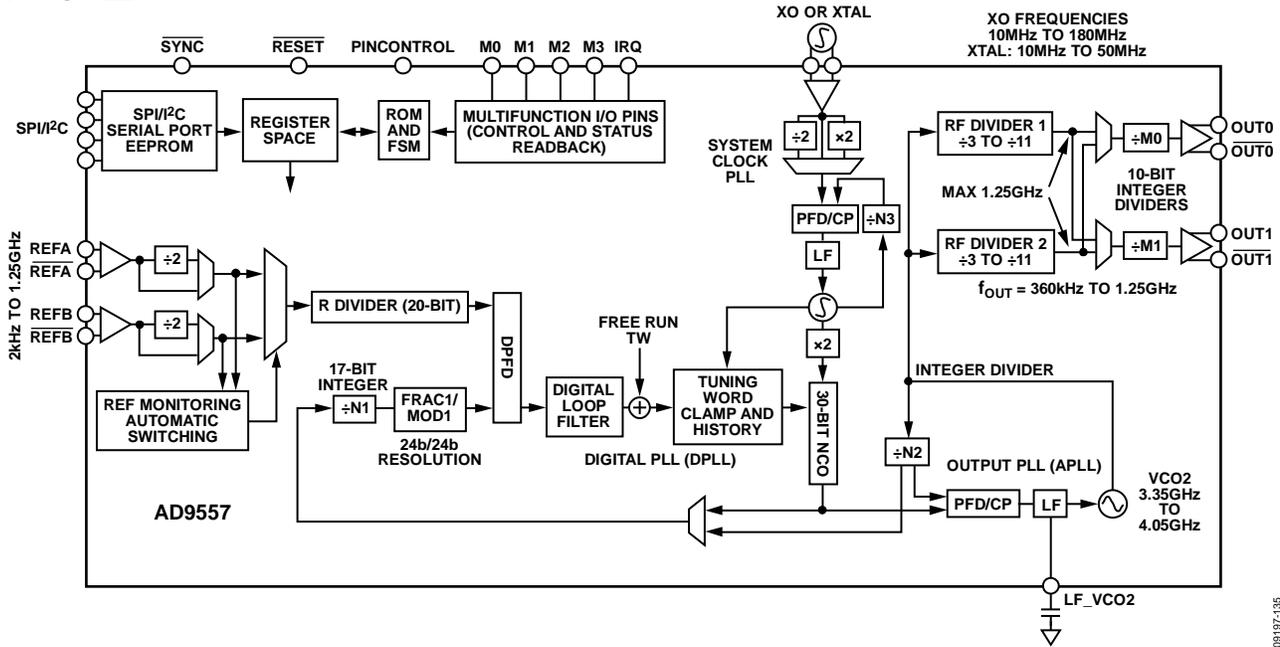


图35. 详细框图

概述

AD9557提供相位和频率与所选(活动)参考直接相关的时钟输出,但抖动特性由系统时钟、DCO和输出PLL (APLL)共同决定。AD9557可支持两路参考输入,输入频率范围为2 kHz至1250 MHz。该产品的内核是一个数字锁相环(DPLL)。DPLL内置一个可编程数字环路滤波器,可以大大降低从所选参考传递到输出端的抖动。AD9557支持手动和自动两种保持模式。在保持模式下,只要系统时钟存在,AD9557就会持续提供输出。保持输出频率是转变为保持状态之前的输出频率历史的时间平均值。如果活动参考性能下降或者完全失效,器件可提供手动和自动参考切换功能。AD9557还具有自适应时钟功能,允许在DPLL锁定期间改变DPLL分频比。

AD9557内置系统时钟乘法器、数字PLL (DPLL)和模拟PLL (APLL)。输入信号首先进入DPLL, DPLL执行抖动清除和大部分频率转换工作。DPLL提供一路30位数字控制振荡器(DCO)输出,该输出产生175 MHz至200 MHz范围内的信号。

DPLL输出进入模拟整数N分频PLL (APLL),后者将该信号倍频至3.35 GHz至4.05 GHz范围内。然后,该信号进入时钟分配部分,其中有两个3分频至11分频的RF分频器与10位整数(1分频至1024分频)通道分频器级联。

XOA和XOB输入为系统时钟提供输入。这些引脚接受10 MHz至600 MHz范围内的参考时钟,或者可以将10 MHz至50 MHz晶振直接连在XOA和XOB输入上。系统时钟为频率监控器、DPLL和内部开关逻辑提供时钟。

AD9557具有两个差分输出驱动器,每个驱动器都有一个专用10位可编程前置分频器。每个差分驱动器都可以编程为单路差分CMOS输出或双路单端CMOS输出。时钟分配部分的工作速率最高达1250 MHz。

差分模式下,输出驱动器采用1.8 V电源供电,性能卓越,且功耗非常低。差分模式有两种:LVDS和1.8 V HSTL。在1.8 V HSTL模式下,电压摆幅兼容LVPECL。如果需要LVPECL信号电平,设计师可以对AD9557进行交流耦合输出,并在目标处使用戴维宁等效端接以驱动LVPECL输入。

在单端模式下,各差分输出驱动器可以提供两路单端CMOS输出:OUT0支持1.8 V或3.3 V CMOS操作;OUT1仅支持1.8 V操作。

参考时钟输入

可以通过两对引脚访问参考时钟接收器。为了支持上升沿和下降沿缓慢的输入信号，差分和单端输入接收器均采用迟滞。迟滞还能确保断开或悬空的输入端不会引起接收器振荡。

配置为差分工作模式时，输入接收器支持交流或直流耦合的输入信号。输入接收器能够接受直流耦合的LVDS信号和2.5 V、3.3 V LVPECL信号。接收器内部直流偏置以处理交流耦合操作，但无内置50 Ω或100 Ω端接电阻。

配置为单端工作模式时，输入接收器具有45 kΩ(典型值)的下拉电阻。每个单端接收器有三种用户可编程的阈值电压范围可用。

参考监控器

输入参考监控器的精度取决于已知且精确的系统时钟周期。因此，只有系统时钟稳定以后，参考监控器才能正常工作。

参考周期监控器

各路参考输入都有一个专用监控器，用来不断地测量参考周期。AD9557利用参考周期测量结果并根据寄存器映射的Profile寄存器区域中一组用户提供的参数，确定参考是否有效。

监控器的工作方式是比较特定参考输入的实测周期与指定给该参考输入的Profile寄存器中存储的参数。这些参数包括参考周期、内容差和外容差。参考周期由一个40位数值定义，单位为飞秒(fs)。该40位范围允许输入最长1.1 ms的参考周期。内容差和外容差由一个20位数值定义。寄存器中存储的值是容差规格的倒数。例如，如果容差规格为50 ppm，则寄存器值为 $1/(50 \text{ ppm}) = 1/0.000050 = 20,000$ (0x04E20)。

两个容差值用于为监控器判断逻辑提供迟滞。内容差适用于先前有故障的参考，指定该参考能表现出的最大周期容差，只有不超过该容差，它才能被认定为无故障。外容差适用于已经无故障的参考，指定该参考能表现出的最大周期容差，只有超过该容差，它才能被认定为有故障。

为产生判断迟滞，内容差必须小于外容差。也就是说，相比于无故障参考被认定为有故障，先前有故障的参考必须达到更为严格的要求，才会被认定为无故障。

参考验证定时器

每路参考输入都有一个专用验证定时器。验证定时器决定先前有故障的参考必须保持无故障状态多长时间，才能被AD9557认定为有效。验证定时器的超时时间可通过一个16位寄存器编程。验证寄存器中存储的16位数代表毫秒(ms)时间，因而最长超时时间为65,535 ms。

将验证定时器设为0b可以禁用它。验证定时器禁用后，用户必须通过手动参考验证覆盖控制寄存器(地址0x0A0B)手动验证参考的有效性。

推翻参考验证的控制

用户还能够参考验证逻辑，并可以迫使器件将无效参考视为有效参考，或者将有效参考视为无效参考。这些控制位于寄存器0x0A0B至寄存器0x0A0D。

参考PROFILE

AD9557的各路参考输入都有一个独立的Profile。Profile由一组器件参数组成，如R分频器和N分频器等。利用Profile，用户可以指定当某个输入参考变为选用参考时应当发挥作用的具体器件功能。

AD9557评估软件包含一个频率规划向导，可根据给定的输入和输出频率配置Profile参数。

用户不应更改当前正在使用的Profile，否则可能会引起无法预测的后果。更改Profile之前，用户可以选择自由振荡或保持模式，或者使参考输入无效。

参考切换

AD9557的一个颇具吸引力的特性是其巧妙的参考切换功能。参考切换功能的灵活性源于可用寄存器控制的精致的优先级算法。这种方案使得用户能够最大限度地控制状态机以处理参考切换。

主要参考切换控制位于环路模式寄存器(地址0x0A01)中。通过REF切换模式位(寄存器0x0A01的位[4:2])，用户可以选择参考切换状态机的五种工作模式之一，如下所示：

- 自动恢复模式
- 自动非恢复模式
- 带自动回退的手动模式
- 带保持的手动模式
- 全手动模式(无自动保持)

在自动模式下，一个基于优先级的全自动化算法选择哪一个参考是所用参考。当设置为自动模式时，器件选择优先级最高的有效参考。如果两个参考的优先级相同，则REFA优先于REFB。然而，参考位置只是用来决定何者优先，并不启动参考切换。

下面概要说明这五种工作模式：

- 自动恢复模式。器件选择优先级最高的有效参考，当有优先级更高的参考可用时，即使当前使用的参考仍然有效，器件也会切换到优先级更高的参考。这种模式会忽略用户参考。
- 自动非恢复模式。只要当前选定的参考有效，即使有优先级更高的参考可用，器件也会一直使用当前参考。这种模式会忽略用户参考。
- 带自动回退的手动模式。只要用户参考有效，器件就会一直使用它。如果用户参考变为无效，器件将根据优先级算法选择优先级最高的参考输入。
- 带保持的手动模式。用户参考一直是活动参考，直到变为无效。此时，器件自动进入保持模式。
- 无保持的手动模式。无论有效与否，用户参考都一直是活动参考。

用户也可以通过用户保持和用户自由振荡寄存器控制位，迫使器件直接进入保持或自由振荡工作模式。在自由振荡模式下，自由振荡频率调谐寄存器决定自由振荡输出频率。在保持模式下，输出频率取决于保持控制设置(参见“保持”部分)。

相位补偿参考切换

AD9557支持相位补偿参考切换，该术语是指这样一种参考切换：原参考与新参考的相位差异被完全屏蔽。也就是说，发生相位补偿切换时，输出端几乎检测不到相位变化。

数字PLL (DPLL)内核

DPLL概述

AD9557的DPLL内核如图36所示。这款第二代DPLL中的鉴频鉴相器、反馈路径、锁定检测器、相位偏移和相位压摆率限制均以数字方式实现。

DPLL信号链的起点是参考信号 f_R ，即参考输入的频率。一个参考预分频器将该信号的频率降低 $R + 1$ 整数倍，其中 R 是相应Profile寄存器中存储的20位值，并且 $0 \leq R \leq 1,048,575$ 。因此， R 分频器的输出频率(或时间数字转换器TDC的输入频率)为：

$$f_{TDC} = \frac{f_R}{R + 1}$$

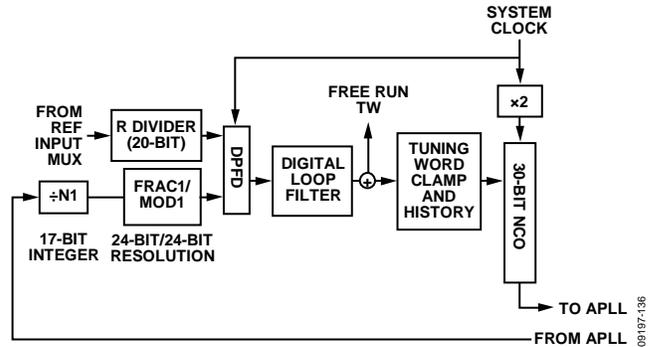


图36. 数字PLL内核

TDC对 R 分频器的输出进行采样。TDC/PFD产生一个时间序列的数字字，并将其提供给数字环路滤波器。数字环路滤波器具备下列优势：

- 根据数值系数而非分立器件值确定滤波器响应
- 无模拟器件(R/L/C)，不存在老化引起的容差变化
- 没有与模拟器件相关的热噪声
- 没有与模拟器件相关的控制节点漏电流(传统模拟PLL的输出频谱中的参考馈通杂散源之一)

数字环路滤波器在输出端产生一个时间序列的数字字，并将其提供给一个 Σ - Δ 调制器(SDM)的频率调谐输入端。来自环路滤波器的数字字引导DCO频率在频率和相位上锁定输入信号(f_{TDC})。

DPLL内置一个反馈分频器，后者使数字环路以整数加小数的倍数方式工作。DPLL的输出为：

$$f_{OUT_DPLL} = f_{TDC} \times \left[(N1 + 1) + \frac{FRAC1}{MOD1} \right]$$

其中， $N1$ 是相应Profile寄存器(REFA的寄存器0x0715至寄存器0x0717)中存储的17位值，FRAC1和MOD1分别是小数反馈分频器模块的24位分子和分母。反馈分频器的小数部分可以通过设置FRAC1 = 0而旁路，但MOD1不得为0。

为获得最佳性能，DPLL输出频率通常为175 MHz至200 MHz。

TDC/PFD

鉴频鉴相器(PFD)是一个全数字模块，它比较TDC的数字输出(与活动参考沿有关)与反馈模块输出的数字字。PFD利用数字代码泵和数字积分器(而不是传统的电荷泵和电容)产生误差信号，以引导DCO频率达到相位锁定状态。

可编程数字环路滤波器

AD9557环路滤波器是一个三阶数字IIR滤波器，与图37所示的三阶模拟环路相似。

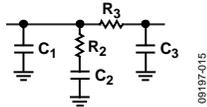


图37. 三阶模拟环路滤波器

AD9557环路滤波器模块采用简化的架构，用户将所需的环路特性直接输入Profile寄存器。这种架构使得大多数情况下没有必要计算单个系数，同时仍然具有充分的灵活性。

AD9557具有两个预设数字环路滤波器：高(88.5°)相位裕量和正常(70°)相位裕量。高相位裕量的环路滤波器系数存储在寄存器0x0317至寄存器0x0322中，正常相位裕量的环路滤波器系数存储在寄存器0x0323到寄存器~0x032E中。高相位裕量环路滤波器设计用于闭环传递函数不得有0.1 dB以上峰化的应用。

寄存器0x070E的位0选择Profile A使用哪个滤波器，寄存器0x074E的位0选择Profile B使用哪个滤波器。

Profile A的环路带宽在寄存器0x070F到寄存器0x0711中设置，Profile B的环路带宽在寄存器0x074F到寄存器0x0751中设置。

这两种预设条件应当涵盖了AD9557的所有目标应用。遇到必须修改这些条件的特殊情况时，可直接联系ADI公司以获得计算这些参数的工具。

DPLL数字控制振荡器自由振荡频率

AD9557使用一个Σ-Δ调制器(SDM)作为数字控制振荡器(DCO)。DCO自由振荡频率可通过下式计算：

$$f_{dco_freerun} = f_{sys} \times \frac{2}{8 + \frac{FTW0}{2^{30}}}$$

其中，FTW0为寄存器0x0300至寄存器0x0303中的值，而f_{sys}为系统时钟频率。有关计算系统时钟频率的信息，请参见“系统时钟”部分。

自适应时钟

AD9557可以支持异步映射和解映射等自适应时钟应用。在这类应用中，输出频率可以在标称输出频率的±100 ppm范围内动态调整，而不需要手动中断DPLL环路并对器件重新编程。仅REFA支持此功能，REFB则不支持。

该功能使用下列寄存器：

- 寄存器0x0717(DPLL N1分频器)
- 寄存器0x0718至寄存器0x071A(DPLL FRAC1分频器)
- 寄存器0x071B至寄存器0x071D(DPLL MOD1分频器)

写入这些寄存器后，要使新值生效，必须将0x01写入寄存器0x0005以执行I/O更新。

要对输出频率进行微调，用户可以改变FRAC1，然后执行I/O更新。仅使用FRAC1调整输出频率的好处是DPLL不会短暂进入保持模式。因此，FRAC1位的更新速度可以像DPLL的鉴相器频率一样快。

写入N1和MOD1分频器可以大幅度改变输出频率。检测到N1或MOD1值发生变化时，AD9557会自动短暂进入保持模式，然后退出，对输出频率无干扰。这会限制输出频率的更改速度。

必须注意，频率调整量以±100 ppm为限，如果超出该范围，输出PLL(APLL)需要重新校准。变化幅度可以大于±100 ppm，不过AD9557在极端温度下保持锁定的能力可能会受到影响。

还必须记住的是，输出频率的更改速率取决于DPLL环路带宽。

DPLL锁相检测器

DPLL内置一个全数字锁相检测器。用户通过Profile寄存器控制该鉴相器的阈值灵敏度和迟滞。

锁相检测器的工作原理与浴盆添排水相似(参见图38)。浴盆的总容量为4096单位，-2048表示无水，0表示50%加满，+2048表示全满。浴盆还有一个保护机制以防溢流。此外，浴盆在-1024处有一个低水位标志，在+1024处有一个高水位标志。要改变水位，用户可以用添水桶加水或用排水桶排水。用户通过Profile寄存器中的8位填充速率值和流失速率值指定添水桶和排水桶的大小。

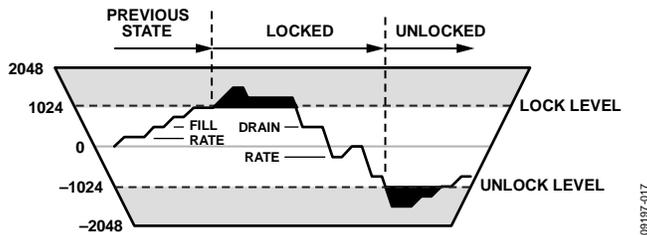


图38. 锁定检测器框图

浴盆中的水位就是锁定检测器用来确定锁定和失锁条件的标准。当水位低于低水位标志(-1024)时，检测器就会指示失锁条件。相反，只要水位高于高水位标志(+1024)，检测器就会指示锁定条件。如果水位介于高低标志之间，检测器将保持最后的条件。图38形象地显示了这一概念，同时以一个例子说明了瞬时水位(垂直)与时间(水平)的关系以及相应的锁定/失锁状态。

在任何给定的PFD周期，检测器要么用添水桶加水，要么用排水桶排水(二者必居其一，但不可能同时发生)。是添水还是排水，取决于用户指定的阈值。锁相阈值为Profile寄存器中存储的16位值，单位为皮秒(ps)。因此，锁相阈值范围为0 ns至±65.535 ns，代表PFD输出端的相位误差幅度。

锁相检测器比较PFD输出端的各相位误差样本与设定的相位阈值。如果相位误差样本的绝对值小于或等于设定的相位阈值，则检测器控制逻辑命令向浴盆添一桶水。反之，则从浴盆舀出一桶水。注意，决定添水还是排水的不是相位误差样本的极性，而是其相对于相位阈值的幅度。如果添水次数多于排水次数，浴盆中的水位最终会上升到高水位标志(+1024)以上，从而导致锁相检测器指示锁定。如果排水次数多于添水次数，浴盆中的水位最终会下降到低水位标志(-1024)以下，从而导致锁相检测器指示失锁。阈值、添水速率和排水速率由用户指定，因此用户可以根据与输入参考信号相关的时序抖动统计特性定制锁相检测器的操作。

注意，只要AD9557进入自由振荡或保持模式，DPLL锁相检测器就会指示失锁状态。然而，当AD9557执行参考切换时，转换期间会保留切换前锁定检测器的状态。

DPLL锁频检测器

锁频检测器的工作原理与锁相检测器的工作原理相同，唯一的区别是添水或排水判断取决于DPLL的参考与反馈信号之间的周期偏差，而不是PFD输出端的相位误差。

锁频检测器使用一个24位频率阈值寄存器，单位为皮秒(ps)。因此，频率阈值的范围是从0 μs到±16.777215 μs，它代表DPLL输入端的参考与反馈信号之间的周期相差幅度。例如，如果参考信号为1.25 MHz，反馈信号为1.38 MHz，则周期差异约为75.36 ns ($|1/1,250,000 - 1/1,380,000| \approx 75.36$ ns)。

频率箝位

AD9557 DPLL具有数字调谐字箝位功能，确保DPLL输出频率一直处于指定范围内。该功能非常有用，在参考输入时钟无法预测的情况下，它可以防止器件发生不良行为。调谐字箝位功能还能确保APLL VCO频率始终处于调谐范围内，从而保证APLL永不失锁。

频率调谐字历史

AD9557能够记录DPLL数字环路滤波器输出产生的调谐字样本的历史，方法是定期计算用户指定时间间隔内的平均调谐字值。保持模式期间会使用该平均调谐字，以便在没有输入参考的情况下维持平均频率。

环路控制状态机

切换

当环路控制器从一个输入参考直接切换到另一个输入参考时，即发生切换。AD9557处理参考切换的过程如下：短暂进入保持模式，加载新DPLL参数，然后立即恢复。但在切换期间，AD9557会保留锁定检测器的状态，以免出现虚假失锁指示。

保持

DPLL的保持状态通常用在没有任何输入参考的时候，不过用户也可以手动启用保持模式。在保持模式下，输出频率保持恒定。AD9557在保持模式下的精度取决于器件编程和是否有调谐字历史可用。

从保持状态恢复

在保持模式下，当有效参考可用时，器件退出保持工作模式。环路状态机将DPLL恢复为闭环操作，锁定选定的参考，并根据活动参考的Profile设置安排所有环路参数的恢复。

注意，如果用户保持位设为1，则当有效参考可用时，器件不会自动退出保持模式。不过，用户保持位(寄存器0x0A01的位6)清0后，器件就可以自动恢复。

系统时钟(SYSCLK)

系统时钟输入

功能描述

SYSCLK电路提供一个低抖动、稳定的高频时钟，供芯片其余部分使用。XOA和XOB引脚连接到SYSCLK内部倍频器。SYSCLK倍频器可以通过连接XOA和XOB输入引脚上的晶体谐振器，或者连接一个低频时钟源来合成系统时钟。系统时钟输入的最佳信号是50 MHz范围内的晶振，或者幅度为1 V p-p的交流耦合方波。

系统时钟周期

为使AD9557能够精确测量输入参考信号的频率，用户必须将系统时钟周期输入系统时钟周期寄存器(寄存器0x0103至寄存器0x0105)，单位为纳秒(ns)。

系统时钟详解

SYSCLK输入信号有两条内部路径：低频非晶体(LF)和晶体谐振器(XTAL)。

系统时钟使用TCXO对于LF路径很常见。要求50 Hz以下DPLL环路带宽或保持模式下具有高稳定性的应用需要TCXO。作为这些应用的49.152 MHz晶振的备选方案，AD9557参考设计采用19.2 MHz TCXO，它提供出色的保持稳定性以及低抖动与低杂散成分的良好特性组合。

连接到XOA和XOB引脚的1.8 V差分接收器自偏置约1 V的直流电平，强烈建议使用交流耦合。使用3.3 V CMOS振荡器时，必须利用一个分压器将输入高电压降至1.8 V或以下。3.3 V CMOS TCXO连接到系统时钟输入的详情参见图34。

通过非晶体输入路径，用户可以提供LVPECL、LVDS、1.8 V CMOS或正弦波低频时钟，然后由集成的SYSCLK PLL升频。LF路径处理3.5 MHz至100 MHz的输入频率。然而，当使用正弦波输入信号时，最好使用20 MHz以上的频率。否则，因此出现的低压摆率可能会导致噪声性能不达标。注意，非晶体路径包括一个可选的2倍频率乘法器，可使SYSCLK PLL的输入频率加倍，并降低PLL带内噪声。然而，为了避免超过150 MHz的最大PFD速率，2倍频率乘法器仅在输入频率低于75 MHz时才有效。

非晶体路径还包括一个输入分频器(M)，其分频比可设置为1、2、4或8。分频器的作用是将PLL的输入频率限制在150 MHz(最大PFD速率)以下。

XTAL路径用于连接XOA和XOB引脚上的晶体谐振器(通常为10 MHz到50 MHz)。一个内部放大器提供感应振荡所需的负电阻。内部放大器要求一个最大动态电阻为100 Ω的AT切割基频模式晶振。以下晶振(按字母顺序列出)可以满足这些标准。ADI公司并不保证它们能够配合AD9557工作，也不偏向任何一家晶振供应商。AD9557参考设计使用49.152 MHz晶振，它是一种高性能、低杂散成分、易于获得的晶振。

- AVX/Kyocera CX3225SB
- ECS ECX-32
- Epson/Toyocom TSX-3225
- Fox FX3225BS
- NDK NX3225SA
- Siward SX-3225
- Suntu SCM10B48-49.152 MHz

系统时钟倍频器

SYSCLK PLL倍频器采用整数N分频设计，集成VCO。借助该倍频器，可以将低频时钟输入转换为所需的系统时钟频率 f_{sys} (750 MHz至805 MHz)。SYSCLK PLL倍频器接受3.5 MHz至600 MHz的输入信号，但超过150 MHz的频率需要使用系统时钟P分频器，以确保符合最大PFD速率(150 MHz)限制。PLL内置一个反馈分频器(N)，其分频值可以在4到255的范围内设置。

$$f_{sys} = f_{osc} \times \frac{sysclk_Ndiv}{sysclk_Pdiv}$$

其中：

f_{osc} 是XOA和XOB引脚处的频率。

$sysclk_Ndiv$ 是寄存器0x0100中存储的值。

$sysclk_Pdiv$ 是寄存器0x0101[2:1]的设置所决定的系统时钟P分频器。

如果使用系统时钟乘法器， $sysclk_Ndiv$ 的值应为原始值的一半。

系统时钟乘法器具有一个简单的锁定检测器，后者可以比较参考沿与反馈沿之间的时间差。SYSCLK乘法器未锁定的最常见原因是SYSCLK输入的占空比不是50%，与此同时启用了系统时钟倍频器。

系统时钟稳定性定时器

参考监控器能否正常工作取决于系统时钟是否处于已知频率，因此激活监控器之前，系统时钟必须保持稳定。初始上电时，系统时钟状态未知，因此视为不稳定。器件经过编程后，系统时钟PLL(如已使能)最终锁定。

检测到稳定的工作条件时，定时器就会在系统时钟稳定性周期寄存器中存储的持续时间内运行。在此等待期间的任何时候，如果条件遭到破坏，定时器就会复位并中止，直到稳定条件重新建立。指定的时间结束后，[AD9557](#)报告系统时钟状态稳定。

输出PLL (APLL)

输出PLL (APLL)的框图如图39所示。

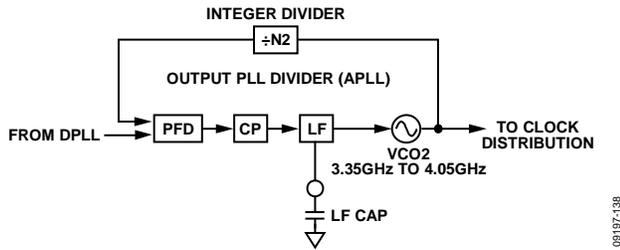


图39. 输出PLL功能框图

APLL将DPLL的输出上变频至3.35 GHz到4.05 GHz范围，同时还对DPLL输出进行噪声滤波。APLL参考输入为DPLL的输出。反馈分频器为整数分频器。环路滤波器与一个外部6.8 nF电容部分集成。此PLL的标称环路带宽为250 kHz，相位裕量为68度。

评估软件中包括的频率向导配置APLL，用户无需更改APLL设置。然而，可能存在这样的特殊情况，即用户希望调整APLL环路带宽以满足特定相位噪声要求。更改APLL环路带宽的最简单方法是调整寄存器0x0400中的APLL电荷泵电流。APLL默认设置足够稳定(680的相位裕量)，运行进行大范围调整而不会引起APLL变得不稳定。如需了解更多信息，用户应直接联系ADI公司。

启动时以及只要APLL的标称输入频率变化幅度超过 ± 100 ppm，就必须对APLL执行校准，不过APLL能够在极端电压和温度下保持锁定而无需重新校准。校准将APLL VCO输入端的直流工作电压设定为中间值。

启动时的APLL校准可以按照“使用寄存器设置文件对器件寄存器进行编程”部分的说明，在初始寄存器加载期间完成。

芯片运行后，要重新校准APLL VCO，用户首先应输入新的设置(如有)。确保系统时钟仍然锁定并且稳定，DPLL处于自由振荡模式，并且自由振荡调谐字设置为DPLL锁定时所用的同一输出频率。

执行下列步骤以校准APLL VCO：

1. 确保系统时钟锁定且稳定。
2. 确保DPLL处于用户自由振荡模式(寄存器0x0A01[5] = 1b)，且已设置自由振荡调谐字。
3. 写入寄存器0x0405 = 0x20。
4. 写入寄存器0x0005 = 0x01。
5. 写入寄存器0x0405 = 0x21。
6. 写入寄存器0x0005 = 0x01。
7. 使用寄存器0x0D01的位2监控APLL状态。

时钟分配

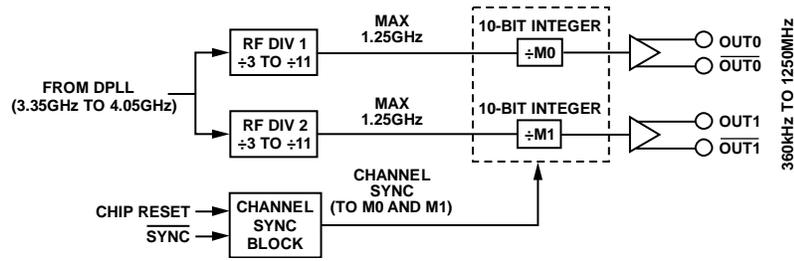


图40. 时钟分配功能框图

时钟分配模块的框图如图40所示。

时钟分频器

通道分频器模块M0和M1为10位整数分频器，分频范围为1至1023。通道分频器模块包含占空比校正功能，可保证偶数和奇数分频比下器件均能实现50%的占空比。

输出关断

各输出驱动器可以独立关断。

输出使能

各输出通道通过分配使能寄存器独立控制使能/禁用功能。分配输出使用同步逻辑控制使能/禁用活动，以免产生不良脉冲，并且确保分频比相同的输出统一变为有效或无效。

输出模式

用户可以通过输出时钟分配寄存器(地址0x0500至地址0x0509)独立控制每个输出通道(共4个)的工作模式。工作模式控制包括如下内容：

- 逻辑系列和引脚功能
- 输出驱动强度
- 输出极性
- 分频比
- 各输出通道的相位

OUT0提供3.3 V CMOS和1.8 V CMOS模式。OUT1提供1.8 V CMOS、LVDS和HSTL模式。

所有CMOS驱动器都有一个CMOS驱动强度参数，后者允许用户在强驱动、高性能设置与低功耗、低电磁辐射、低串扰设置之间选择。最佳设置视应用而定。

对于需要LVPECL电平的应用，用户应选择HSTL模式，并对输出信号进行交流耦合。有关建议的端接方案，请参见“输入/输出端接建议”部分。

时钟分配同步

分频器同步

时钟分配通道中的分频器可以彼此同步。

上电时，时钟分频器保持静态，直到通道SYNC模块启动一个同步信号。下面是SYNC信号的可能来源，这些设置位于寄存器0x0500：

- 通过寄存器0x0500的位2直接同步
- 通过EEPROM加载期间EEPROM存储序列中的同步操作代码(0xA1)直接同步
- DPLL相位或频率锁定
- 选定参考输入的上升沿
- SYNC引脚
- 一个多功能引脚被配置为提供同步信号

APLL锁定检测信号选通道SYNC模块发出的SYNC信号，如图40所示。只有APLL已校准并锁定时，通道分频器才会从通道SYNC模块接收SYNC信号，除非APLL锁定控制同步位(寄存器0x0405[3])已置1。

设置寄存器0x0500中的屏蔽通道1同步和屏蔽通道0同步位(Bits[5:4])，就可以让通道忽略同步功能。设置为忽略同步时，通道会忽略用户启动的同步信号和零延迟启动的同步信号，通道分频器开始切换，前提是APLL已校准并锁定，或者寄存器0x0405的位3(APLL锁定控制同步位)已置1。

若要通过M引脚控制输出SYNC功能，应执行以下步骤：

1. 首先，写入寄存器0x0200 = 0x01以使能M引脚。
2. 执行I/O更新(寄存器0x0005 = 0x01)。
3. 设置适当的M引脚功能。

如果不执行此过程，SYNC脉冲会自动发出。

状态和控制

多功能引脚(M3至M0)

AD9557具有四个数字CMOS I/O引脚(M3至M0)，这些引脚可针对多种用途进行配置。要使用这些功能，用户必须将0x01写入寄存器0x0200以使能这些功能。这些引脚的功能可通过寄存器映射进行编程。根据寄存器0x0201至寄存器0x0204的内容，各引脚可以控制或监控多种内部功能。

要利用一个多功能引脚监控一个内部功能，应将逻辑1写入该多功能引脚相关寄存器的最高有效位。寄存器的7个最低有效位的值定义控制功能，如表124所示。

要利用一个多功能引脚控制一个内部功能，应将逻辑0写入该多功能引脚相关寄存器的最高有效位。寄存器的7个最低有效位的值决定受监控的功能，如表125所示。

如果多个多功能引脚处理同一控制信号，内部优先级逻辑将确保只有一个多功能引脚用作信号源，所选引脚为后缀最小的引脚。例如，如果M0和M3均处理同一控制信号，则M0将用作信号源，多余的引脚则被忽略。

上电时，多功能引脚可以迫使器件采用某些配置，详见“初始引脚编程”部分的说明。然而，此功能仅在上电期间或复位后有效，这之后可以通过串行编程端口或EEPROM重新配置引脚。

若要通过M引脚控制输出SYNC功能，应执行以下步骤：

1. 首先，写入寄存器0x0200 = 0x01以使能M引脚。
2. 执行I/O更新(寄存器0x0005 = 0x01)。
3. 设置适当的M引脚功能。

如果不执行此过程，SYNC脉冲会自动发出。

IRQ引脚

AD9557具有一个专用中断请求(IRQ)引脚。IRQ引脚输出模式寄存器(寄存器0x0209)的位[1:0]控制IRQ引脚如何根据这两个位的值置位中断，如下所述：

- 00—IRQ引脚解除置位时为高阻态，置位时为低电平有效，需要一个外部上拉电阻。
- 01—IRQ引脚解除置位时为高阻态，置位时为高电平有效，需要一个外部下拉电阻。
- 10—IRQ引脚解除置位时为逻辑0，置位时为逻辑1。
- 11—IRQ引脚解除置位时为逻辑1，置位时为逻辑0。(这是默认工作模式)

只要IRQ监控寄存器(地址0x0D02至地址0x0D07)中的任何位为逻辑1，AD9557就会置位IRQ引脚。此寄存器中的各位均与一个能够产生中断的内部功能相关。此外，IRQ监控寄存器的各位是相关内部中断信号与IRQ屏蔽寄存器(地址0x020A至地址0x020E)中对应位的逻辑“和”运算的结果。也就是说，IRQ屏蔽寄存器中的各位与IRQ监控寄存器中的各个位一一对应。当一个内部功能产生一个中断信号，并且相关的IRQ屏蔽位设为1，IRQ监控寄存器中的对应位就会置1。用户应注意，将IRQ屏蔽寄存器中的某一位清零只会移除与内部中断信号相关的屏蔽，而不会将IRQ监控寄存器中的对应位清零。

IRQ引脚是IRQ监控寄存器中所有位的逻辑“或”运算的结果，因此，只要IRQ监控寄存器中有任何位为逻辑1，AD9557就会置位IRQ引脚。注意，可以将IRQ监控寄存器中的多个位置1。因此，当AD9557置位IRQ引脚时，可能有多于一个不同的内部功能中断。IRQ监控寄存器为用户提供查询AD9557以确定哪个内部功能产生中断的途径。

通常而言，当IRQ引脚置位时，用户可以查询IRQ监控寄存器以确定中断请求的来源。处理完所指示的中断后，用户应通过IRQ清零寄存器(地址0x0A04至地址0x0A09)将IRQ监控寄存器中的相关位清零。IRQ清零寄存器中的各位与IRQ监控寄存器中的各个位一一对应。注意，IRQ清零寄存器为自清零寄存器。在用户将IRQ监控寄存器中所有指示中断的位清零之前，IRQ引脚将一直保持置位状态。

也可以将复位功能寄存器的清除所有IRQ位(寄存器0x0A03的位1)置1，从而将IRQ监控寄存器的所有位统一清零。注意，该位是一个自清零位。该位置1会导致IRQ引脚解除置位。或者，用户可以对任一多功能引脚进行编程，利用它来清除所有IRQ。这样，用户不必使用串行I/O端口操作，而是通过硬件引脚来清除所有IRQ。

看门狗定时器

看门狗定时器是一个通用可编程定时器。要设置超时周期，用户应写入16位看门狗定时器寄存器(地址0x0x0210和地址0x0211)。写入0b值将禁用定时器，非0值设置超时周期，单位为毫秒(ms)，因而看门狗定时器范围为1 ms至65.535 s。此定时器的相对精度约为0.1%，不确定性为0.5 ms。

使能时，定时器持续运行，超时周期届满时即产生一个超时事件。用户可以通过IRQ机制和多功能引脚(M0至M3)访问看门狗定时器的状态。使用多功能引脚时，看门狗定时器的超时事件是一个持续32个系统时钟周期的脉冲。

复位看门狗定时器(从而阻止它引起超时事件)的方法有两种。第一种是向复位功能寄存器的自清零清除看门狗位(寄存器0x0A03的位0)写入逻辑1。第二种是用户可以对任一多功能引脚进行编程，利用它来复位看门狗定时器。这样，用户不必使用串行I/O端口操作，而是通过硬件引脚来复位定时器。

EEPROM

EEPROM概述

AD9557集成一个2048字节、电可擦除、可编程只读存储器(EEPROM)。可以将AD9557配置为上电时通过多功能引脚(M2至M3)执行下载，不过也可以根据需要通过EEPROM控制寄存器(地址0x0E00至地址0x0E03)执行上传和下载。

利用EEPROM可以将配置设置上传到寄存器映射，或者从寄存器映射下载配置设置。图41显示了EEPROM的功能框图。

寄存器0x0E10至寄存器0x0E3F代表一个53字节的EEPROM存储序列区(本部分称之为“暂存区”)，它允许用户存储一系列指令，用以将数据从寄存器映射的器件设置部分传输到EEPROM。注意，这些寄存器的默认值提供了一个指令序列样例，用于保存和检索AD9557的所有EEPROM可访问寄存器。一个控制器管理EEPROM与寄存器映射之间的数据传输，图41显示了EEPROM与该控制器之间的连接。

控制器监管EEPROM与寄存器映射之间的数据传输过程。控制器处理两种工作模式：保存数据到EEPROM(上传模式)和从EEPROM检索数据(下载模式)。无论何种模式，控制器均要依赖特定的指令集。

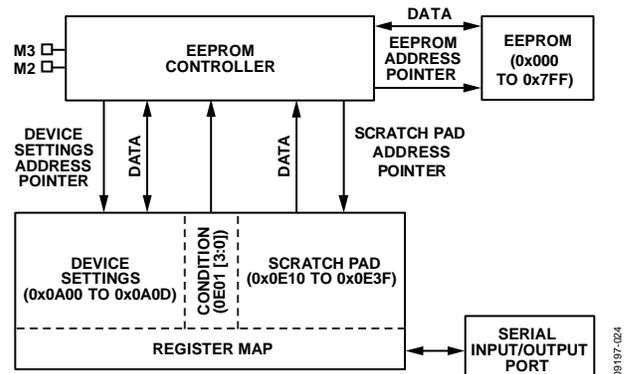


表21. EEPROM控制器指令集

指令值 (十六进制)	指令类型	所需字节	描述
0x00至0x7F	数据	3	数据指令告诉控制器：将数据传输到寄存器映射的器件设置部分，或从该部分传出数据。数据指令需要两个附加字节，共同表示寄存器映射的起始地址。数据指令的编码内容为要传输的字节数，它等于指令值加1。
0x80	I/O更新	1	从EEPROM下载数据时，如果控制器遇到此指令，它将执行软I/O更新。
0xA0	校准	1	从EEPROM下载数据时，如果控制器遇到此指令，它将启动系统时钟校准序列。
0xA1	分配同步	1	从EEPROM下载数据时，如果控制器遇到此指令，它将向输出分配同步部分发出一个同步脉冲。
0xB0至0xCF	条件	1	B1至CF是条件指令，分别对应条件1到条件31。B0是空条件指令。详情请参见“EEPROM条件处理”部分。
0xFE	暂停	1	上传数据到EEPROM时，如果控制器在EEPROM存储序列区中遇到此指令，它将把寄存器区地址指针和EEPROM地址指针保持在最后的值，这样就可以在EEPROM中存储一个以上的指令序列。注意，在上传期间，控制器并不会将此指令复制到EEPROM。
0xFF	结束	1	上传数据到EEPROM时，如果控制器在EEPROM存储序列区中遇到此指令，它将复位寄存器区地址指针和EEPROM地址指针，然后进入空闲状态。从EEPROM下载数据时，如果控制器遇到此指令，它将复位EEPROM地址指针，然后进入空闲状态。

EEPROM指令

表21列出了EEPROM控制器指令集。控制器能够在上传或下载模式下识别除暂停指令以外的所有指令类型，而暂停指令只能在上传模式下被识别。

I/O更新、校准、分配同步和结束指令大多不言自明，无需解释，其它指令则需要详细说明。

数据指令是指值为0x000到0x7FF的指令。数据指令告诉控制器在EEPROM与寄存器映射之间传输数据。控制器需要下列两个参数来执行数据传输：

- 要传输的字节数
- 寄存器映射目标地址

控制器直接从数据指令本身解读要传输的字节数，它等于指令值加1。例如，数据指令1A的十进制值为26，控制器由此即知道要传输27个字节(指令值加1)。当控制器遇到数据指令时，它会读取暂存区中的后续两个字节，因为其中包含寄存器映射目标地址。

注意，在EEPROM暂存区中，地址的MSB为构成数据指令地址部分的两个寄存器中低位寄存器的D7位。位的权重从左至右、从低位寄存器到高位寄存器增加。此外，起始地址始终表示要传输的字节范围中编号最低的寄存器映射地址。也就是说，无论串行I/O端口是处于I²C、SPI LSB优先还是SPI MSB优先模式，控制器始终从寄存器映射目标地址开始并依次递增。

在EEPROM上传期间的数据传输过程中，控制器会计算1字节校验和，并将其存储为数据传输的最后一个字节。在EEPROM下载期间的数据传输过程中，控制器同样会计算1字节校验和值，并将新计算的校验和与上传过程中存储的校验和进行比较。如果上传校验和与下载校验和不一致，控制器就会将EEPROM故障状态位设为1。对于下载序列中遇到的所有数据指令，如果上传校验和与下载校验和均一致，控制器就会将EEPROM完成状态位设为1。

条件指令是指值为B0到CF的指令。条件指令B1至CF分别代表条件1到条件31。B0条件指令比较特殊，代表的是空条件(参见“EEPROM条件处理”部分)。

暂停指令像结束指令一样，存储在暂存区中一系列指令的末尾。当控制器在上传序列中遇到暂停指令时，它会将EEPROM地址指针保持在最后的值。这样，用户就可以在暂存区中存储一个新的指令序列，并将新序列上传到EEPROM。新序列存储在EEPROM的地址位置紧随先前保存的序列之后。该过程可以重复，直到上传序列包含一个结束指令。暂停指令也可以与条件处理一起使用，发挥重要作用。它允许相同的寄存器在EEPROM中多次出现，每次出现均与一组条件相关联(参见“EEPROM条件处理”部分)。

EEPROM上传

要将数据上传到EEPROM，用户首先必须确保写入使能位(寄存器0x0E00的位0)置1。然后，一旦将自清零保存到EEPROM位(寄存器0x0E02的位0)置1，控制器就会启动EEPROM数据存储过程。

上传EEPROM数据要求用户首先将指令序列写入暂存区寄存器。上传过程中，控制器逐字节读取暂存区数据，从寄存器0x0E10开始，然后依次递增暂存区地址指针，直至达到暂停或结束指令。

当控制器读取暂存区数据时，它将数据逐字节从暂存区传输到EEPROM，并且相应地递增EEPROM地址指针，除非遇到数据指令。数据指令告诉控制器：将数据从寄存器映射的器件设置部分传输到EEPROM。要传输的字节数编码在数据指令中，传输的起始地址由暂存区中的后续两个字节表示。

当控制器遇到数据指令时，它将该指令存储在EEPROM中，递增EEPROM地址指针，解码要传输的字节数，并且递增暂存区地址指针。然后，它检索暂存区中的后续两个字节(目标地址)，并将暂存区地址指针增加2。接下来，控制器将寄存器映射中的指定数量字节(从目标地址开始)传输到EEPROM。

数据传输完成后，控制器在EEPROM中存储一个额外的字节，将其当作所传输数据块的校验和。为了容纳校验和字节，控制器递增EEPROM地址指针，使它比已传输的字节数大1。注意，当控制器传输有效寄存器相关的数据时，它实际上是传输该寄存器的缓冲内容(有关缓冲寄存器与有效寄存器的区别，请参见“缓冲/有效寄存器”部分)。因此，控制器可以传输非零自清零寄存器内容。

注意，在上传序列中，不会发生条件处理(参见“EEPROM条件处理”部分)。

EEPROM下载

EEPROM下载是指数据从EEPROM传输到器件寄存器映射。要下载数据，(寄存器0x0E03的位1)置1，控制器随即启动EEPROM下载过程。下载过程中，控制器逐字节读取EEPROM数据，依次递增EEPROM地址指针，直至达到结束指令。当控制器读取EEPROM数据时，它执行存储的指令，包括在遇到数据指令时，将存储的数据传输到寄存器映射的器件设置部分。

注意，条件处理(参见“EEPROM条件处理”部分)仅适用于下载过程。

EEPROM自动下载

上电、 $\overline{\text{RESET}}$ 引脚置位或软复位(寄存器0x0000的位5 = 1)之后，如果PINCONTROL引脚为低电平，M3和M2为高电平或低电平(参见表22)，则EEPROM中存储的指令序列会在8个条件之一下自动执行。如果M3和M2悬空，PINCONTROL引脚为低电平，则旁路EEPROM，采用出厂默认值。这样，先前存储的一组寄存器值将在上电或硬/软复位时自动下载。有关条件处理的详情及其修改下载过程的方式，请参见“EEPROM条件处理”部分。

表22. EEPROM设置

M3	M2	ID	EEPROM下载?
低电平	低电平	1	是，EEPROM条件1
低电平	开路	2	是，EEPROM条件2
低电平	高电平	3	是，EEPROM条件3
开路	低电平	4	是，EEPROM条件4
开路	开路	0	无
开路	高电平	5	是，EEPROM条件5
高电平	低电平	6	是，EEPROM条件6
高电平	开路	7	是，EEPROM条件7
高电平	高电平	8	是，EEPROM条件8

EEPROM条件处理

利用条件指令，可以在下载序列中有条件地执行EEPROM指令。但在上传序列中，条件指令按原样存储，对上传过程无影响。

注意，在EEPROM下载过程中，条件指令本身和结束指令总是会无条件执行。

条件处理依赖两个因素：条件(从条件1到条件8)和条件标签板。图42说明了条件、条件标签板与EEPROM控制器之间的关系。

条件是一个5位值，具有32种可能性。条件=0为空条件。当空条件有效时，EEPROM控制器无条件地执行所有指令。其余8种可能性(即条件=1至条件=8)可以更改EEPROM控制器对下载序列的处理。条件的来源有两个(见图42)，如下所示：

- FncInit的位[7:3]，反映上电时多功能引脚M2至M3的状态(见表22)
- 寄存器0x0E01的位[3:0]

如果寄存器0x0E01的位[4:0] ≠ 0，则条件为寄存器0x0E01的位[4:0]中存储的值，否则条件为FncInit的位[7:3]。注意，寄存器0x0E01的位[4:0]中的非零条件优先于FncInit的位[7:3]。

条件标签板是一张表，由EEPROM控制器维护。当控制器遇到条件指令时，它将B1至CF指令分别解码为条件=1至条件=8，并且在条件标签板中标记该特定条件。然而，B0条件指令代表空条件，遇到它时，控制器会清除条件标签板，随后的下载指令无条件执行(直到控制器遇到一个新的条件指令)。

下载期间，根据条件的值和条件标签板的内容，EEPROM控制器执行或跳过指令。但应注意，条件指令本身和结束指令总是会在下载过程中无条件执行。如果条件=0，则下载过程中的所有指令无条件执行。如果条件≠0，并且条件标签板上有标记的条件，则控制器仅在条件被标记时才执行指令。如果条件未被标记，控制器将跳过指令，直至遇到一个解码结果为已标记条件的条件指令。注意，任何时候都可以在条件标签板上标记多个条件。这种条件处理机制使得用户的一个下载指令序列可以具有多种可能的结果，具体结果取决于条件的值和控制器遇到条件指令的顺序。

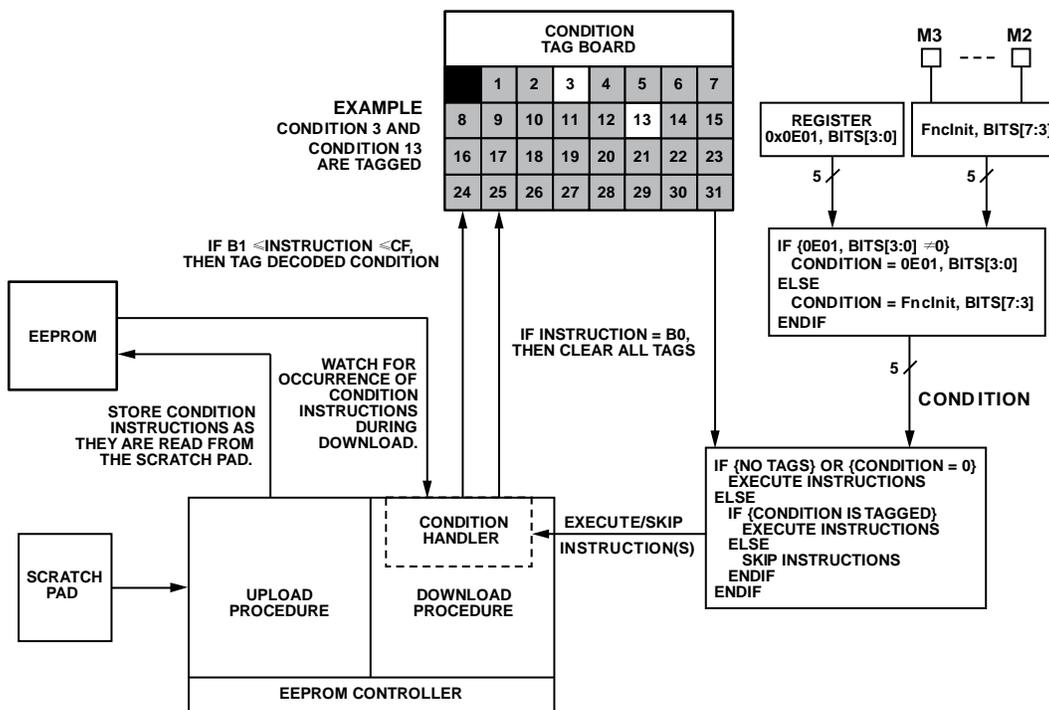


图42. EEPROM条件处理

00197-025

表23给出了一个EEPROM下载指令序列示例，它说明了条件指令的使用以及条件指令如何更改下载序列。该表假设开始时没有任何条件有效，也就是说，最近执行的条件指令是B0或者尚未处理任何条件指令。

表23. EEPROM条件处理示例

指令	操作
0x08 0x01 0x00	无论当前条件如何，传输系统时钟寄存器内容。
0xB1	标记条件1。
0x19 0x04 0x00	只有标签条件= 1才传输时钟分配寄存器内容。
0xB2	标记条件2。
0xB3	标记条件3。
0x07 0x05 0x00	只有标签条件= 1、2或3才传输参考输入寄存器内容。
0x0A	只有标签条件= 1、2或3才校准系统时钟。
0xB0	清除标签条件板。
0x80	无论标签条件为何值，执行I/O更新。
0x0A	无论标签条件为何值，校准系统时钟。

在EEPROM中存储多种器件设置

条件处理支持下述操作：创建多种不同的器件设置，将其存储在EEPROM中，然后根据需要下载特定的设置。为此，首先应针对特定设置对器件控制寄存器进行编程，然后将下述一般形式的上传序列存储在EEPROM暂存区中：

1. 条件指令(B1至CF)，以便利用特定条件(1至31)确定设置。
2. 数据指令(用以保存寄存器内容)以及所需的任何校准和/或I/O更新指令。
3. 暂停指令(FE)

将上传序列写入暂存区后，执行EEPROM上传(寄存器0x0E02的位0)。

针对所需的下一个设置对器件控制寄存器重新编程，然后将下述一般形式的新上传序列存储在EEPROM暂存区中：

1. 条件指令(B0)
2. 所需的下一个条件指令(B1至CF，但不同于上一上传序列使用的指令，用以识别新的设置)
3. 数据指令(用以保存寄存器内容)以及所需的任何校准和/或I/O更新指令。
4. 暂停指令(FE)

将上传序列写入暂存区后，执行EEPROM上传(寄存器0x0E02的位0)。

重复针对新设置对器件控制寄存器进行编程的过程，将新上传序列存储在EEPROM暂存区(步骤1至步骤4)，执行EEPROM上传(寄存器0x0E02的位0)，直到所需的全部设置均已上传到EEPROM。

注意，将最后一个上传序列存储在暂存区时，应当用结束指令(FE)代替暂停指令(FE)。

需要下载一种特定设置时，首先应将所需设置相关的条件存储在寄存器0x0E01的位[4:0]，然后执行EEPROM下载(寄存器0x0E03的位1)。或者，要在上电时下载一种特定设置，首先应施加所需的逻辑电平，以便将所需的条件编码在M2至M3多功能引脚上，然后让器件上电，此时将自动执行EEPROM下载。多功能引脚M2至M3所确定的条件决定特定设置的下载序列和结果。

应当注意，EEPROM可以存储的设置数量是有限的。EEPROM的总容量为2048字节。每个非数据指令需要一个字节的存储空间。每个数据指令需要N + 4个字节的存储空间，其中N是传输的寄存器字节数，其余4个字节分别是数据指令本身(1个字节)、目标地址(2个字节)和EEPROM控制器在上传序列中计算的校验和(1个字节)。

设置EEPROM以配置一个M引脚来控制时钟分配的同步

要利用EEPROM加载寄存器并利用一个M引脚使能/禁用输出，需要使用一个特殊EEPROM加载序列。

若要通过M引脚控制输出同步功能，应执行以下步骤：

1. 写入寄存器0x0200 = 0x01以启用M引脚。
2. 执行I/O更新(寄存器0x0005 = 0x01)。
3. 设置适当的M引脚功能(详情参见“时钟分配同步”部分)。

如果不执行此序列，SYNC脉冲会自动发出。

下列变更首先写入寄存器0x0200，然后执行I/O更新，最后写入其余的M引脚配置寄存器0x0201至0x0208。

从寄存器0x0E10到寄存器0x0E16的默认EEPROM机组序列不变。须将下列步骤插入EEPROM存储序列中：

1. R0x0E17 = 0x00 #写入一个字节
2. R0x0E18 = 0x02 #寄存器0x0200
3. R0x0E19 = 0x00 #
4. R0x0E1A = 0x80 #I/O更新的操作代码R0x0E1B = 0x10 # 传输17而不是18个字节
5. R0x0E1C = 0x02 #传输起始寄存器地址
6. R0x0E1D = 0x01 # 0x0201而不是0x0200

其余的EEPROM加载序列与默认EEPROM加载序列相同，不过EEPROM存储序列的寄存器地址从默认值下移4个字节。例如：

- 0x0E1E = 寄存器0x0E1A的默认值 = 0x2E
- 0x0E1F = 寄存器0x0E1B的默认值 = 0x03
- 0x0E20 = 寄存器0x0E1C的默认值 = 0x00
- ...
- R0x0E40 = 寄存器0x0E1C的默认值 = 0x3C = 0xFF
- (数据结束)

串行控制端口

AD9557 串行控制端口是一种灵活的同步串行通信端口，可以很方便地与多种工业标准微控制器和微处理器接口。该端口兼容大多数同步传输格式，包括 I²C、Motorola SPI 和 Intel SSR 协议。通过此串行控制端口，可以对 AD9557 的寄存器映射进行读/写操作。

SPI 模式支持单字节和多字节传输。SPI 端口配置可通过寄存器 0x0000 进行编程，此寄存器集成于 SPI 控制逻辑中，而不是寄存器映射中，不同于 I²C 寄存器 0x0000。EEPROM 控制器无法访问该寄存器。

虽然 AD9557 支持 SPI 和 I²C 两种串行端口协议，但上电后只有一种有效（由启动序列中的多功能引脚 M0 和 M1 决定）。因此，更改串行端口协议的方法只有一种，那就是复位器件（或者让器件断电后再上电）。

SPI/I²C 端口选择

AD9557 支持 SPI 和 I²C 两种协议，何种串行端口协议有效取决于 PINCONTROL、M1 和 M0 引脚的逻辑状态。PINCONTROL 引脚必须为低电平，M0 和 M1 引脚的状态决定 I²C 地址或是否使能 SPI 模式。I²C 地址分配参见表 24。

表 24. SPI/I²C 串行端口设置

M1	M0	SPI/I ² C
低电平	低电平	SPI
低电平	开路	I ² C, 1101000
低电平	高电平	I ² C, 1101001
开路	低电平	I ² C, 1101010
开路	开路	I ² C, 1101011
开路	高电平	I ² C, 1101100
高电平	低电平	I ² C, 1101101
高电平	开路	I ² C, 1101110
高电平	高电平	I ² C, 1101111

SPI 串行端口操作

引脚描述

SCLK(串行时钟)引脚用作串行移位时钟，此引脚为输入。SCLK 同步串行控制端口的读写操作。上升沿 SCLK 寄存器写入数据位，下降沿寄存器读取数据位。SCLK 引脚支持最高 40 MHz 的时钟速率。

SDIO(串行数据输入/输出)是一个两用引脚，既可以仅用作输入(单向模式)，也可以同时用作输入和输出(双向模式)。AD9557 默认 SPI 模式为双向。

SDO(串行数据输出)引脚仅在单向 I/O 模式下有用，它用作读操作的数据输出引脚。

$\overline{\text{CS}}$ (片选)引脚是低电平有效控制，用来选通读写操作。此引脚内部连接一个 30 k Ω 上拉电阻。当 $\overline{\text{CS}}$ 为高电平时，SDO 和 SDIO 引脚处于高阻态。

SPI 工作模式

SPI 端口支持 3 线(双向)和 4 线(单向)两种硬件配置以及 MSB 优先和 LSB 优先两种数据格式。硬件配置和数据格式均可编程。AD9557 默认采用双向 MSB 优先模式。之所以将双向模式确定为默认模式，是因为在这种模式下，如果器件连线为单向操作，用户仍然可以写入器件以切换到单向模式。

$\overline{\text{CS}}$ 引脚置位(低电平有效)启动对 AD9557 SPI 端口的读或写操作。对于三字节或更少的数据传输(不包括指令字)，器件支持 $\overline{\text{CS}}$ 空闲高电平模式(见表 25)。在此模式中， $\overline{\text{CS}}$ 引脚可以在任何字节边界上暂时解除置位，使系统控制器有时间处理下一个字节。然而， $\overline{\text{CS}}$ 只能在字节边界上解除置位，传输的指令部分和数据部分均适用这一规则。

在空闲高电平期间，串行控制端口状态机进入等待状态，直到所有数据发送完毕。如果系统控制器中途决定停止传输，必须完成剩余传输，或者将 $\overline{\text{CS}}$ 引脚置位并至少保持一个完整的 SCLK 周期(但少于 8 个 SCLK 周期)，使状态机复位。在非字节边界上解除 $\overline{\text{CS}}$ 引脚置位将终止串行传输并刷新缓冲器。

在流模式中(见表 25)，可以连续流形式传输任意数量的数据字节，寄存器地址自动递增或递减。在最后一个字节传输完毕时， $\overline{\text{CS}}$ 必须解除置位，从而结束流模式。

表 25. 字节传输计数

W1	W0	传输字节数
0	0	1
0	1	2
1	0	3
1	1	流模式

通信周期—指令加数据

SPI协议由一个可分为两部分的通信周期组成。第一部分是一个16位指令字，它与前16个SCLK上升沿重合；第二部分是有有效载荷。指令字向AD9557串行控制端口提供有关有效载荷的信息。指令字包括R/ \overline{W} 位，用以表示有效载荷传输的方向(即是读操作还是写操作)。指令字还会指示有效载荷的字节数，以及有效载荷第一个字节的起始寄存器地址。

写入

如果指令字指示一个写操作，则有效载荷将被写入AD9557的串行控制端口缓冲器。数据位在SCLK的上升沿记录。传输长度(1/2/3字节或流模式)由指令字节中的W0和W1位决定(见表25)。当不是流模式时，在每个8位序列之后可以解除 \overline{CS} 置位，以使总线空闲，但最后一个字节之后除外，此时会结束通信周期。当总线空闲时，如果 \overline{CS} 置位，就会恢复串行传输。在非字节边界上解除 \overline{CS} 引脚置位将复位串行控制端口。写序列期间不会自动跳过保留或空白寄存器；因此，用户必须知道要向保留寄存器写入何种位模式，以确保器件正常工作。对于空白寄存器，写入何种数据一般无关紧要，但通常上写入0。

大多数串行端口寄存器都是缓冲式(有关缓冲寄存器与有效寄存器之间区别的详细信息，请参见“缓冲/有效寄存器”部分)。因此，写入缓冲寄存器的数据不会立即生效，需要额外的操作来将串行控制端口缓冲内容传输到器件的实际控制寄存器。这是通过I/O更新操作来完成的，该操作有两种执行方式。一种是将逻辑1写入寄存器0x0005的位0(这是一个自清零位)，另一种是通过适当编程的多功能引脚使用外部信号。执行I/O更新之前，用户可以更改任意数量的寄存器位。I/O更新操作将缓冲寄存器内容传输到相应的有效寄存器。

读取

AD9557仅支持长指令模式。如果指令字指示一个读操作，在接下来的 $N \times 8$ 个SCLK周期，数据从指令字所规定的地址逐个输出。N为要读取的数据字节数，由指令字的W0和W1位确定。回读数据在SCLK的下降沿有效。回读期间不会跳过空白寄存器。

表27. 串行控制端口，16位指令字，MSB优先

MSB													LSB			
I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0	
R/ \overline{W}	W1	W0	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	

回读操作从串行控制端口缓冲寄存器或有效寄存器获得数据，具体取决于寄存器0x0004的位0。

SPI指令字(16位)

16位指令字的MSB为R/ \overline{W} ，表示该指令是读操作还是写操作。接下来的两位(W1和W0)表示传输字节数(见表25)。最后13位是寄存器地址(A12至A0)，表示读或写操作的起始寄存器地址(见表27)。

SPI MSB/LSB优先传输

AD9557指令字和有效载荷可以是MSB优先或LSB优先。默认设置为MSB优先。将1写入寄存器0x0000的位6可以设置LSB优先模式。LSB优先位置1后，后续串行控制端口操作立即变为LSB优先。

当MSB优先模式有效时，指令和数据字节必须按照从MSB到LSB的顺序写入。采用MSB优先格式的多字节数据传输由一个包括有效载荷最高有效字节的寄存器地址的指令字节开始。后续数据字节必须按照从高地址到低地址的顺序传输。在MSB优先模式下，多字节传输周期每传输一个数据字节，串行控制端口的内部地址产生器便递减1。

当寄存器0x0000的位6 = 1(LSB优先)时，指令和数据字节必须按照从LSB到MSB的顺序写入。采用LSB优先格式的多字节数据传输由一个包括有效载荷最低有效字节的寄存器地址的指令字节开始，其后是多个数据字节。多字节传输周期每传输一个字节，串行控制端口的内部字节地址产生器便递增1。

对于多字节MSB优先(默认)I/O操作，串行控制端口寄存器地址从指定的起始地址向地址0x0000递减。对于多字节LSB优先I/O操作，串行控制端口寄存器地址从起始地址向地址0x1FFF递增。多字节I/O操作期间不会跳过保留的地址；因此，用户应向保留寄存器写入默认值，向未映射的寄存器写入0。注意，发出新的写命令比向两个以上的连续保留(或未映射)寄存器写入默认值更有效率。

表26. 流模式(不跳过任何地址)

写入模式	地址方向	停止序列
LSB优先	递增	0x0000 ... 0x1FFF
MSB优先	递减	0x1FFF ... 0x0000

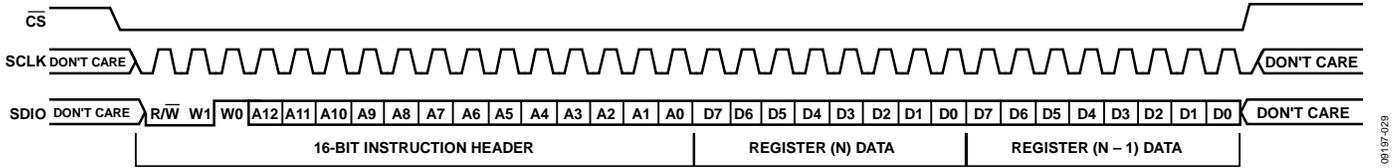


图43. 串行控制端口写入：MSB优先，16位指令，双字节数据

08197-029

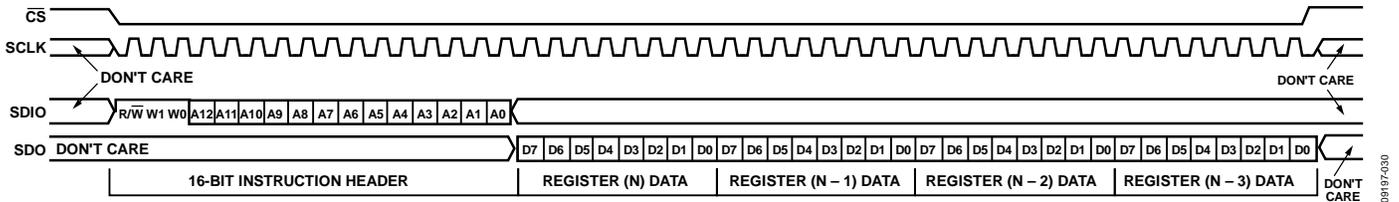


图44. 串行控制端口读取：MSB优先，16位指令，4字节数据

08197-030

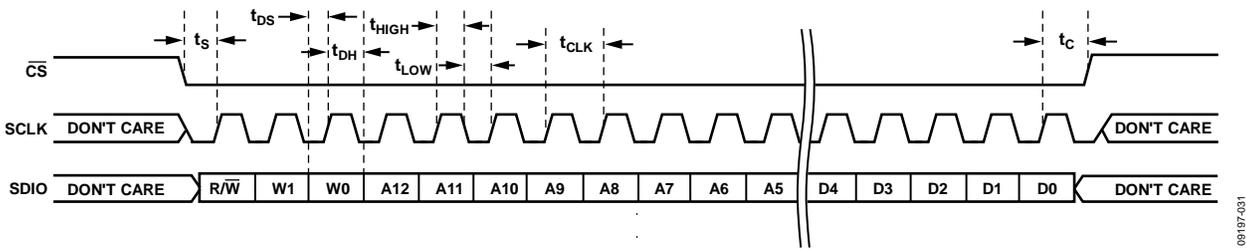


图45. 串行控制端口写入：MSB优先，16位指令，时序测量

08197-031

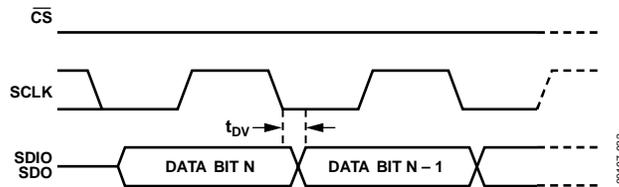


图46. 串行控制端口寄存器读取时序图

08197-032

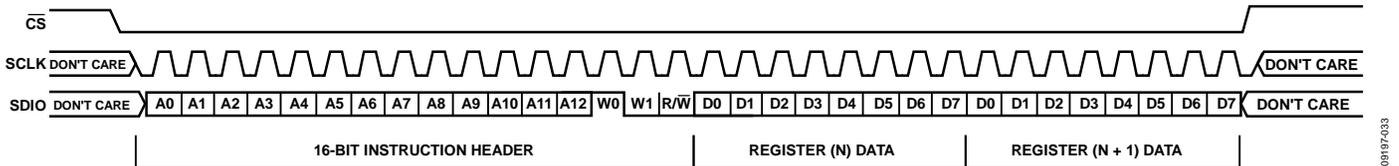


图47. 串行控制端口写入：LSB优先，16位指令，双字节数据

08197-033

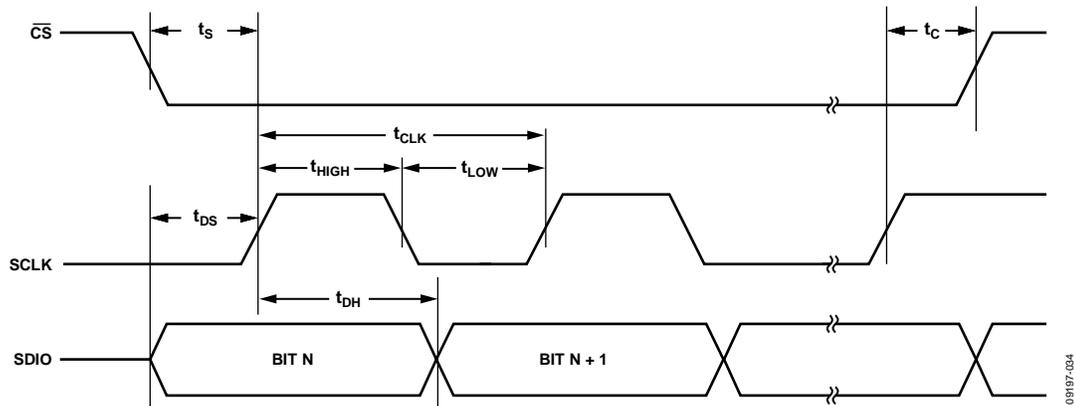


图48. 串行控制端口写操作时序

表28. 串行控制端口时序

参数	描述
t_{DS}	数据与SCLK上升沿之间的建立时间
t_{DH}	数据与SCLK上升沿之间的保持时间
t_{CLK}	时钟周期
t_s	\overline{CS} 下降沿与SCLK上升沿之间的建立时间(通信周期开始)
t_c	SCLK上升沿与 \overline{CS} 上升沿之间的建立时间(通信周期结束)
t_{HIGH}	SCLK应处于逻辑高电平状态的最短时间
t_{LOW}	SCLK应处于逻辑低电平状态的最短时间
t_{DV}	SCLK至有效SDIO和SDO(见图46)

AD9557

I²C 串行端口操作

I²C接口的优势是仅需要两个控制引脚，而且是整个I²C行业事实上的标准。不过，缺点是编程速度有限，最高为400 kbps。AD9557 I²C端口设计基于I²C快速模式标准，因此支持100 kHz标准模式和400 kHz快速模式。快速模式对控制信号有毛刺容差要求，也就是说，输入接收器会忽略持续时间短于50 ns的脉冲。

AD9557 I²C端口由一条串行数据线(SDA)和一条串行时钟线(SCL)构成。在I²C总线系统中，AD9557作为从机连接到串行总线(数据总线SDA和时钟总线SCL)，这意味着AD9557不产生时钟。AD9557采用16位直接存储器寻址，而不是传统的8位存储器寻址。

AD9557最多支持7个不同的从机占用I²C总线，这些从机可以通过一个7位从机地址(作为I²C数据包的一部分传输)访问，只有从机地址匹配的器件才会响应随后的I²C命令。表24列出了支持的器件从机地址。

I²C 总线特性

表29总结了I²C协议的各种元素。

表29. I²C总线缩略语定义

缩写	定义
S	起始
Sr	重复起始
P	停止
A	应答
\bar{A}	不应答
\bar{W}	写入
R	读取

数据传输如图49所示。对于所传输的每个数据位，都会产生一个时钟脉冲。SDA线上的数据在时钟的高电平期间必须保持不变。只有当SCL线上的时钟信号为低电平时，数据线的高低电平状态才能改变。

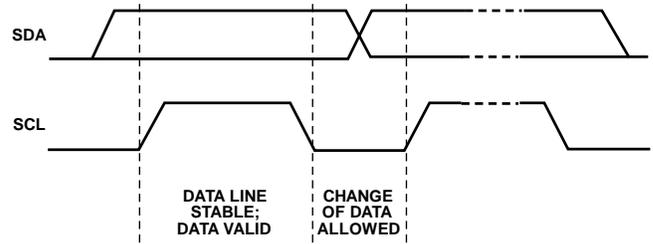


图49. 有效位传输

起始/停止功能如图50所示。起始条件是SCL处于高电平时，SDA线上发生从高电平至低电平转换。起始条件始终由主机产生，用于启动数据传输。停止条件是SCL处于高电平时，SDA线上发生低-高跃迁。停止条件始终由主机产生，用于终止数据传输。SDA线上的每个字节必须为8位长。每个字节之后必须跟随一个应答位。字节以MSB优先方式发送。

应答位(A)是附加到任何8位数据字节的第九个位。应答位始终由接收器件(接收方)产生，用于通知发送方已收到该字节。其实现方法是在每8位数据字节后的第9个时钟脉冲期间拉低SDA线。

不应答位(A)是附加到任何8位数据字节的第九个位。不应答位始终由接收器件(接收方)产生，用于通知发送方未收到该字节。其实现方法是在每8位数据字节后的第9个时钟脉冲期间保持SDA线为高电平状态不变。

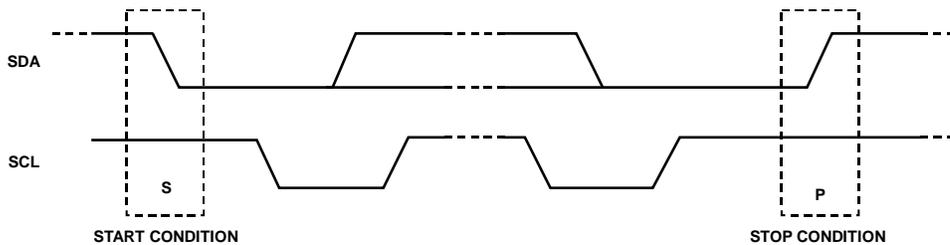


图50. 起始条件和停止条件

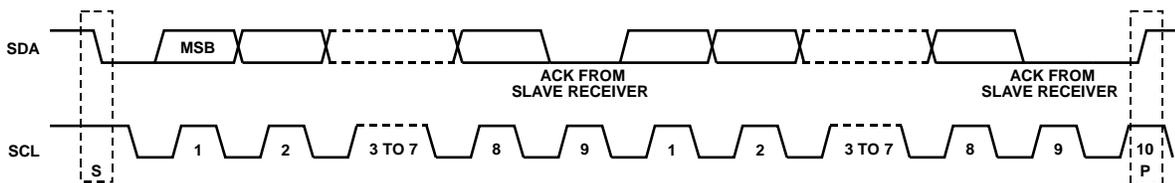


图51. 应答位

数据传输过程

主机通过置位起始条件来发起数据传输。这样，随后就会发生数据流。连接到串行总线的所有I²C从机都会响应起始条件。

然后，主机通过SDA线发送一个8位地址字节，它由7位从机地址(MSB优先)和一个读写(R/W)位组成。读写位决定数据传输的方向，即数据写入还是读取从机(0 = 写, 1 = 读)。

地址与所发送地址对应的外设以一个应答位响应。在选定器件等待读写数据期间，总线上的所有其它器件保持空闲状态。如果R/W位为0，则主机(发送方)写入从机(接收方)。如果R/W位为1，则主机(接收方)读取从机(发送方)。

这些命令的格式如“数据传输格式”部分所述。

然后，主机(写入模式)或从机(读取模式)以9个时钟脉冲(8位数据字节后跟1个来自接收器件的应答位)的格式通过串行总线发送数据。每次传输能够发送的字节数不受限制。在写入模式下，紧随从机地址字节之后的前两个数据字节

是内部存储器(控制寄存器)地址字节，高位地址字节优先。这种寻址方案的存储器地址数量最多为 $2^{16} - 1 = 65,535$ 。两个存储器地址字节之后的数据字节是写入或读出控制寄存器的寄存器数据。在读取模式下，从机地址字节之后的数据字节是写入或读出控制寄存器的寄存器数据。

读取或写入所有数据字节之后，停止条件随即建立。在写入模式下，主机(发送方)在从机(接收方)最后一个数据字节的应答位之后的第10个时钟脉冲期间置位停止条件以结束数据传输。在读取模式下，主机(接收方)接收从机(发送方)最后一个数据字节，但在第9个时钟脉冲期间不拉低SDA，这称为不应答位。接收到不应答位时，从机得知数据传输已结束，因而进入空闲模式。主机随后在第10个时钟脉冲前的低电平期间拉低数据线，然后在第10个时钟脉冲期间拉高数据线，以置位停止条件。

起始条件可以代替停止条件。此外，起始或停止条件可以随时发生，未完整传输的字节会被丢弃。

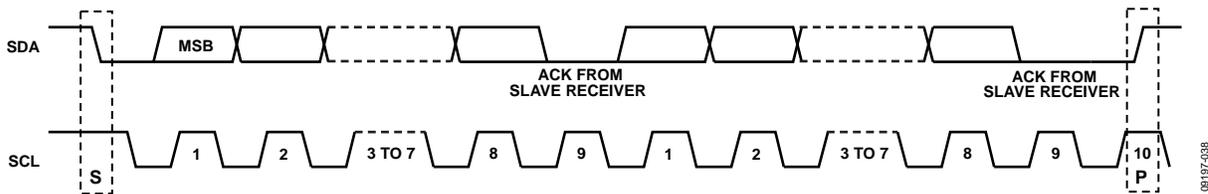


图52. 数据传输过程(主机写模式, 2字节传输)

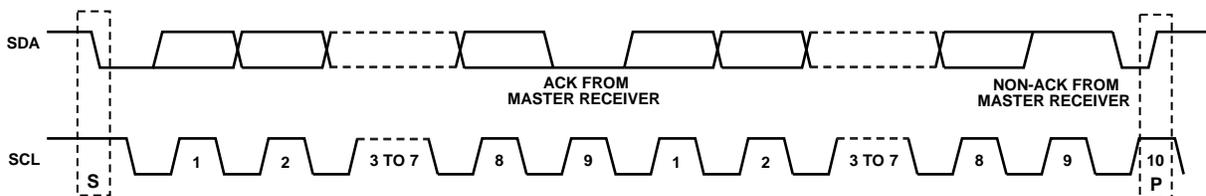


图53. 数据传输过程(主机读模式, 2字节传输)

AD9557

数据传输格式

写入字节格式——写入字节协议用于将寄存器地址写入RAM，从指定RAM地址开始。

S	从机地址	\overline{W}	A	RAM地址高位字节	A	RAM地址低位字节	A	RAM数据0	A	RAM数据1	A	RAM数据2	A	P
---	------	----------------	---	-----------	---	-----------	---	--------	---	--------	---	--------	---	---

发送字节格式——发送字节协议用于设置后续读操作的寄存器地址。

S	从机地址	\overline{W}	A	RAM地址高位字节	A	RAM地址低位字节	A	P
---	------	----------------	---	-----------	---	-----------	---	---

接收字节格式——接收字节协议用于从RAM读取数据字节，从当前地址开始。

S	从机地址	R	A	RAM数据0	A	RAM数据1	A	RAM数据2	\overline{A}	P
---	------	---	---	--------	---	--------	---	--------	----------------	---

读取字节格式——发送字节和接收字节的合并格式。

S	从机地址	\overline{W}	A	RAM地址高位字节	A	RAM地址低位字节	A	Sr	从机地址	R	A	RAM数据0	A	RAM数据1	A	RAM数据2	\overline{A}	P
---	------	----------------	---	-----------	---	-----------	---	----	------	---	---	--------	---	--------	---	--------	----------------	---

I²C串行端口时序

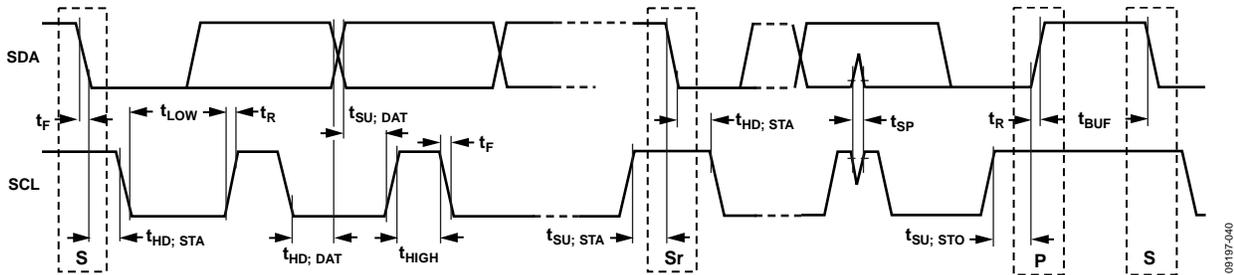


图54. I²C串行端口时序

表30. I²C时序定义

参数	描述
f_{SCL}	串行时钟
t_{BUF}	停止与起始条件之间的总线空闲时间
$t_{HD; STA}$	重复起始条件的保持时间
$t_{SU; STA}$	重复起始条件的建立时间
$t_{SU; STO}$	停止条件的建立时间
$t_{HD; DAT}$	数据保持时间
$t_{SU; DAT}$	数据建立时间
t_{LOW}	SCL时钟低电平周期
t_{HIGH}	SCL时钟高电平周期
t_R	最短/最长接收SCL和SDA上升时间
t_F	最短/最长接收SCL和SDA下降时间
t_{SP}	输入滤波器必须抑制的电压尖峰脉冲宽度

I/O寄存器编程

寄存器映射的地址范围是0x0000至0x0E3C。通过每个地址可以访问1字节(8位)的数据。每个寄存器通过4位十六进制地址识别(例如寄存器0x0A10)。某些情况下,一组地址共同定义一个寄存器。

一般而言,当一组寄存器定义一个控制参数时,参数值的LSB为地址最低的寄存器的D0位。位的权重从右至左、从低位寄存器地址到高位寄存器地址依次增加。

注意,EEPROM存储序列寄存器(地址0x0E10至地址0x0E3C)是上述规则的一个例外(参见“EEPROM指令”部分)。

缓冲/有效寄存器

大多数寄存器都有两个副本:缓冲寄存器和有效寄存器。有效寄存器中的值是正在使用的值。缓冲寄存器是下次用户将0x01写入I/O更新寄存器(寄存器0x0005)时生效的寄存器。通过缓冲寄存器,用户可以同时更新一组寄存器(例如数字环路滤波器系数),从而避免器件发生不可预测的行为。选项栏中含L的寄存器是实时寄存器,它们会在串行端口传输该数据字节时立即生效。

自清零寄存器

在寄存器映射中,选项栏含A的寄存器是自清零寄存器。通常,自清零寄存器的有效值在I/O更新后生效。完成规定的操作后,器件内部逻辑将其清零。

寄存器访问限制

对寄存器映射的读写访问可能会受限,具体取决于要访问的寄存器、访问来源和方向以及器件的当前状态。每个寄存器都可以归为一种或多种访问类型。对于多类型寄存器,应适用限制最为严格的条件。

当寄存器拒绝访问时,对该寄存器的所有读操作都会返回一个0字节,所有写操作都会被忽略。访问不存在寄存器时,处理方式与访问拒绝访问的寄存器相同。

常规访问

常规访问寄存器不属于任何其它类别。对此类寄存器的读和写访问既可以来自串行端口,也可以来自EEPROM控制器。但是,任何时候只能有一个来源可以访问寄存器(访问是互相排斥的)。当EEPROM控制器有效时,无论是在加载模式还是存储模式,它都对这些寄存器均具有排他访问权。

只读访问

在寄存器映射中,选项栏含R的寄存器是只读寄存器。任何时候都可以访问这类寄存器,包括EEPROM控制器有效时。注意,EEPROM也无法访问只读寄存器(R)。

排除EEPROM访问

在寄存器映射中,选项栏含E的寄存器表示EEPROM无法访问其中的内容。也就是说,此类寄存器与EEPROM之间无法直接进行数据传输。注意,EEPROM也无法访问只读寄存器(R)。

热性能

表31.40引脚LFCSP封装的热参数

符号	使用JEDEC51-7加JEDEC51-5 2S2P测试板测得的热特性 ¹	值 ²	单位
θ_{JA}	结至环境热阻, 0.0 m/s气流, 依据JEDEC JESD51-2(静止空气)	30.2	°C/W
θ_{JMA}	结至环境热阻, 1.0 m/s气流, 依据JEDEC JESD51-6(运动空气)	26.4	°C/W
θ_{JMA}	结至环境热阻, 2.5 m/s气流, 依据JEDEC JESD51-6(运动空气)	23.6	°C/W
θ_{JB}	结至板热阻, 0.0 m/s气流, 依据JEDEC JESD51-8(静止空气)	16.3	°C/W
θ_{JC}	结至壳热阻(芯片至散热器), 依据MIL-Std 883的方法1012.1	2.2	°C/W
Ψ_{JT}	结至封装顶部特征参数, 0 m/s气流, 依据JEDEC JESD51-2(静止空气)	0.2	°C/W

¹ 要实现额定热性能, 必须将封装底部的裸露焊盘焊接到地。

² 结果源于仿真。采用JEDEC多层PCB。在确定实际应用的热性能时, 要求仔细检查应用的条件, 以确定这些条件是否与计算的假设条件相符。

AD9557对壳温(T_{CASE})做了规定。为确保 T_{CASE} 不超过范围, 可使用气流源。通过下式可确定应用PCB上的结温:

$$T_J = T_{CASE} + (\Psi_{JT} \times PD)$$

其中:

T_J 为结温(°C)。

T_{CASE} 为壳温(°C), 由客户在封装的顶部中央测得。

Ψ_{JT} 的值见表31。

PD 为功耗(见表3)。

θ_{JA} 值供封装比较和PCB设计考虑时使用。 θ_{JA} 可用于计算 T_J 的一阶近似值, 计算公式如下:

$$T_J = T_A + (\theta_{JA} \times PD)$$

其中, T_A 为环境温度(°C)。

θ_{JC} 值是在需要外部散热器时, 供封装比较和PCB设计考虑时使用。

θ_{JB} 值供封装比较和PCB设计考虑时使用。

电源分组

AD9557的电源分为四组：DVDD3、DVDD、AVDD3和AVDD。所有电源和接地引脚都应当连接，即使芯片的某些模块被关断。

3.3 V开关电源的推荐配置

常见的电源配置是利用一个3.3 V开关电源的输出为AD9557供电。

当AD9557采用3.3 V开关电源供电时，所有3.3 V电源都可以连接到3.3 V开关电源输出，每个3.3 V电源引脚附近应放置一个0.1 μ F旁路电容。

1.8 V电源配置

若使用1.8 V电源，建立利用ADP222等LDO调节器从3.3 V电源产生1.8 V电源。

ADP222具有出色的电源抑制性能，采用小型(2 mm \times 2 mm)封装。它有两路1.8 V输出，一路可用于DVDD引脚(引脚6、引脚34和引脚35)，另一路可用于驱动AVDD引脚。

ADP7104是3.3 V转1.8 V电源的另一个不错的选择。ADP7104的近载波噪声低于ADP222，因此，它可能更适合近载波噪声特性重要且AD9557 DPLL环路带宽小于50 Hz的应用。这种情况下，所有1.8 V电缆都可以连接到一个ADP7104。

1.8 V电源上使用铁氧体磁珠

为实现最佳输出间隔离，以下每个AVDD引脚应使用一个铁氧体磁珠，而非旁路电容：引脚11、引脚17和引脚18。铁氧体磁珠应放置在1.8 V LDO输出与以上各引脚之间。最好使用低($< 0.7 \Omega$)直流电阻、100 MHz时阻抗约为600 Ω 的氧化铁磁珠。

每组的功耗见表2。功耗与输出频率的关系见图20、图21和图22。

引脚编程功能描述

AD9557支持硬引脚和软引脚两种编程功能，片内ROM存储预定义的配置。使能并启动一项引脚编程功能时，所选的预定义配置就会从ROM传输到相应的寄存器，以将器件配置为所需的状态。

片内ROM特性概述

输入/输出频率转换配置

AD9557的片内ROM包含共计256种不同的输入/输出频率转换配置，用户可以独立选择16种输入频率和16种输出频率。每种输入/输出频率转换配置都假设所有输入频率都相同，并且所有输出频率都相同。每种配置均会对下列寄存器/参数进行重新编程：

- 参考输入周期寄存器
- 参考分频器R寄存器
- 数字PLL反馈分频器寄存器(小数部分FRAC1、模数部分MOD1和整数部分N1)自由振荡
- 调谐字寄存器
- 输出PLL反馈分频器N2寄存器
- RF分频器寄存器
- 时钟分配通道分频器寄存器

所有配置都支持一个系统时钟频率786.432 MHz(16乘以49.152 MHz默认系统时钟参考频率)。

四种不同的系统时钟PLL配置

- REF = 49.152 MHz XO(×2开, N = 8)
- REF = 49.152 MHz XTAL(×2开, N = 8)
- REF = 24.756 MHz XTAL(×2开, N = 16)
- REF = 98.304 MHz XO(×2关, N = 8)

四种不同的DPLL环路带宽

- 1 Hz、10 Hz、50 Hz、100 Hz

DPLL相位裕量

- 正常相位裕量(70°)
- 高相位裕量(88.5°)

ROM还包含一个APLL VCO校准位。此位用于将寄存器0x0405[0]从0编程为1以产生一个低高转换，从而自动启动APLL VCO校准。

表32. 硬引脚和软引脚编程的预设输入频率

频率ID	频率(MHz)	频率描述	硬引脚编程	软引脚编程			
			PINCONTROL = 高电平	PINCONTROL = 低电平 寄存器0x0C01[3:0]			
			M0引脚	B3	B2	B1	B0
0	0.008	8 kHz	0	0	0	0	0
1	19.44	19.44 MHz	½	0	0	0	1
2	25	25 MHz	1	0	0	1	0

表33. 硬引脚和软引脚编程的预设输出频率

频率ID	频率(MHz)	频率描述	硬引脚编程			软引脚编程			
			PINCONTROL = 高电平			PINCONTROL = 低电平 寄存器0x0C01[7:4]			
			M3引脚	M2引脚	M1引脚	B7	B6	B5	B4
0	19.44	19.44 MHz	0	0	0	0	0	0	0
1	25	25 MHz	0	0	½	0	0	0	1
2	125	125 MHz	0	0	1	0	0	1	0
3	156.7071	156.25 MHz × 1027/1024	0	½	0	0	0	1	1
4	622.08	622.08 MHz	0	½	½	0	1	0	0
5	625	625 MHz	0	½	1	0	1	0	1
6	644.53125	625 MHz × 33/32	0	1	0	0	1	1	0
7	657.421875	657.421875 MHz	0	1	½		1	1	1
8	660.184152	657.421875 MHz × 239/238	0	1	1	1	0	0	0
9	666.5143	622.08 MHz × 255/238	½	0	0	1	0	0	1
10	669.3266	622.08 MHz × 255/237	½	0	½	1	0	1	0
11	672.1627	622.08 MHz × 255/236	½	0	1	1	0	1	1
12	690.5692	644.53125 MHz × 255/238	½	½	0	1	1	0	0

频率ID	频率(MHz)	频率描述	硬引脚编程 PINCONTROL = 高电平			软引脚编程 PINCONTROL = 低电平 寄存器0x0C01[7:4]			
			M3引脚	M2引脚	M1引脚	B7	B6	B5	B4
13	693.4830	644.53125 MHz × 255/237	½	½	½	1	1	0	1
14	698.8124	622.08 MHz × 255/237	½	½	1	1	1	1	0
15	704.380580	657.421875 MHz × 255/238	½	1	0	1	1	1	1

表34. 硬引脚和软引脚编程模式的系统时钟配置

频率ID	频率(MHz)	系统时钟配置	硬引脚编程 PINCONTROL = 高电平 IRQ引脚	软引脚编程 PINCONTROL = 低电平 寄存器0x0C02[1:0]		等效系统时钟 PLL寄存器设置
			IRQ引脚	Bit 1	Bit 0	
0	49.152	XTAL模式, 倍频器开启, N = 8	0	0	0	0001, 0000, 1000
1	49.152	XTAL模式关闭, 倍频器开启, N = 8	½	0	1	
2	24.576	XTAL模式, 倍频器开启, N = 16	1	1	0	
3	98.304	XTAL模式关闭, 倍频器关闭, N = 8	不适用	1	1	

硬引脚编程模式

上电时PINCONTROL引脚的状态控制芯片是否处于硬引脚编程模式。将PINCONTROL引脚设为高电平会禁用I²C协议, 不过可以通过SPI协议访问寄存器映射。

M0引脚选择三种输入频率之一, 而M3至M1引脚选择16种可能的输出频率之一。详情参见表32和表33。

系统时钟配置由启动时IRQ引脚的状态控制(见表34)。在硬引脚编程模式下, 数字PLL环路带宽、参考输入频率精度容差范围和DPLL相位裕量选择不可用, 除非用户通过串行端口更改其默认值。

在硬引脚编程模式下, 用户必须设置寄存器0x0200[0] = 1, 以激活多功能引脚的IRQ、REF状态和PLL锁定状态信号。

软引脚编程模式概述

软引脚编程功能由专用寄存器部分(地址0x0C00至0x0C08)控制。软引脚编程的目的是利用寄存器位模仿配置部分的硬引脚。在软引脚编程模式下, SPI和I²C端口均可用。

- 地址0x0C00[0]支持访问地址0x0C01和地址0x0C02(软引脚部分1)。在软引脚模式下, 此位必须置1。
- 地址0x0C03[0]支持访问地址0x0C04至地址0x0C06(软引脚部分2)。在软引脚模式下, 此位必须置1。
- 地址0x0C01[3:0]选择16种输入频率之一。
- 地址0x0C01[7:4]选择16种输出频率之一。
- 地址0x0C02[1:0]选择系统时钟配置。
- 地址0x0C06[1:0]选择4种输入频率容差范围之一。
- 地址0x0C06[3:2]选择4种DPLL环路带宽之一。
- 地址0x0C06[4]选择DPLL相位裕量。
- 地址0x0C04[3:0]选择通过1分频、4分频、8分频或16分频单独降低REFA和REFB输入频率。例如, 当地址0x0C01[3:0] = 0101时, REFA和REFB的输入频率均为622.08 MHz; 如果设置地址0x0C04[1:0] = 0x01, REFA输入频率将降低至155.52 MHz (= 622.08 MHz/4)。内部实现方法是将REFA的R分频器和REFA周期均提高4倍。
- 地址0x0C05[3:0]选择通过1分频、4分频、8分频或16分频降低通道0和通道1输出频率。

寄存器映射

不能用表35中未列出的寄存器地址，写入这些寄存器不起作用。对于标示为“保留”的寄存器，用户应写入默认值。

R = 只读，A = 自清零，E = 不包括EEPROM加载，L = 实时(寄存器生效或只读寄存器更新不需要I/O更新)。

表35. 寄存器映射

寄存器地址(十六进制)	选项	名称	D7	D6	D5	D4	D3	D2	D1	D0	默认值	
串行控制端口配置和器件标识												
0x0000	L, E	SPI控制	SDO使能	LSB优先/ 地址递增	软复位	保留					00	
0x0000	L	I ² C控制	保留		软复位	保留					00	
0x0004		回读控制	保留								读取缓冲寄存器	00
0x0005	A, L	I/O更新	保留								I/O更新	00
0x0006	L	用户暂存区	用户暂存区[7:0]									00
0x0007	L		用户暂存区[15:8]									00
0x000A	R, L		芯片版本	芯片版本[7:0]								
0x000B	R, L	保留	保留									0D
0x000C	R, L	器件ID	时钟器件系列ID[7:0]									01
0x000D	R, L		时钟器件系列ID[15:8]									00
系统时钟												
0x0100		SYSCLK配置	系统时钟N分频器[7:0]									08
0x0101		PLL反馈分频器	保留			从ROM加载 (保留)	SYSCLK XTAL 使能	SYSCLK P分频器[1:0]	SYSCLK 倍频器使能			09 或 19
0x0102		保留	保留									00
0x0103		SYSCLK周期	标称系统时钟周期(fs) [7:0](1 ns、1 ppm精度)									0E
0x0104			标称系统时钟周期(fs) [15:8](1 ns、1 ppm精度)									67
0x0105			保留			标称系统时钟周期[20:16]						13
0x0106		SYSCLK 稳定性	系统时钟稳定性周期(ms)[7:0]									32
0x0107			系统时钟稳定性周期(ms)[15:8]									00
0x0108	A		保留			复位SYSCLK 稳定性定时器 (自清零)	系统时钟稳定性周期(ms) [19:16] (非自清零)					00
通用配置												
0x0200		EN_MPIN	保留								使能M 引脚和 IRQ引脚功能	00
0x0201		M0FUNC	M0 output/ input	功能[6:0]							B0	
0x0202		M1FUNC	M1 output/ input	功能[6:0]							B1	
0x0203		M2FUNC	M2 output/ input	功能[6:0]							C0	
0x0204		M3FUNC	M3 output/ input	功能[6:0]							C1	
0x0205			保留									B2
0x0206			保留									B3
0x0207			保留									C2
0x0208			保留									C3

寄存器地址(十六进制)	选项	名称	D7	D6	D5	D4	D3	D2	D1	D0	默认值	
0x0209		IRQ引脚输出模式	保留			IRQ引脚处的状态信号[1:0]		使用IRQ引脚监控状态信号	IRQ引脚驱动器类型[1:0]		1F	
0x020A		IRQ屏蔽	保留		SYSCLK失锁	SYSCLK锁定	APLL失锁	APLL锁定	APLL校准完成	APLL校准开始	00	
0x020B			保留			引脚编程结束	同步分配	看门狗定时器	EEPROM故障	EEPROM完成	00	
0x020C			切换	闭环	自由振荡	保持	频率失锁	频率锁定	相位失锁	相位锁定	00	
0x020D			保留			历史已更新	频率未箝位	频率已箝位	相位压摆率不受限	相位压摆率受限	00	
0x020E			保留	REFB已验证	REFB故障已清除	REFB故障	保留	REFA已验证	REFA故障已清除	REFA故障	00	
0x020F			保留	保留								00
0x0210		看门狗定时器1	看门狗定时器(ms)[7:0]								00	
0x0211			看门狗定时器(ms)[15:8]								00	
0x0300		自由振荡频率调谐字	30位自由振荡频率调谐字[7:0]								11	
0x0301			30位自由振荡频率调谐字[15:8]								15	
0x0302			30位自由振荡频率调谐字[23:16]								64	
0x0303			保留	30位自由振荡频率调谐字[29:24]								1B
0x0304		数字振荡器控制	保留		DCO 4电平输出	保留(必须设为1b)	保留				10	
0x0305		保留	保留								00	
0x0306		DPLL频率箝位	捕捉范围下限[7:0]								51	
0x0307			捕捉范围下限[15:8]								B8	
0x0308			保留				捕捉范围下限[19:16]				02	
0x0309			捕捉范围上限[7:0]								3E	
0x030A			捕捉范围上限[15:8]								0A	
0x030B			保留				捕捉范围上限[19:16]				0B	
0x030C			闭环锁相偏移(±0.5 ms)	固定锁相偏移(带符号; ps)[7:0]								00
0x030D		固定锁相偏移(带符号; ps)[15:8]								00		
0x030E		固定锁相偏移(带符号; ps)[23:16]								00		
0x030F		保留		固定锁相偏移(带符号; ps)[29:24]								00
0x0310		增量锁相偏移步进大小(ps/步)[7:0](最多65.5 ns/步)								00		
0x0311		增量锁相偏移步进大小(ps/步)[15:8](最多65.5 ns/步)								00		
0x0312		相位压摆率限制	相位压摆率限制(μs/s)[7:0](315 μs/s至65.536 ms/s)								00	
0x0313			相位压摆率限制(μs/s)[15:8](315 μs/s至65.536 ms/s)								00	
0x0314		保持历史	历史累计定时器(ms) [7:0](最多65秒)								0A	
0x0315			历史累计定时器(ms) [15:8](最多65秒)								00	
0x0316		历史模式	保留			单样本回退	永久历史	增量平均值			00	
0x0317	L	基本环路滤波器A系数设置(高相位裕量)	HPM Alpha-0[7:0]								8C	
0x0318	L		HPM Alpha-0[15:8]								AD	
0x0319	L		保留	HPM Alpha-1[6:0]								4C
0x031A	L		HPM Beta-0[7:0]								F5	
0x031B	L		HPM Beta-0[15:8]								CB	
0x031C	L		保留	HPM Beta-1[6:0]								73
0x031D	L		HPM Gamma-0[7:0]								24	
0x031E	L		HPM Gamma-0[15:8]								D8	
0x031F	L		保留	HPM Gamma-1[6:0]								59
0x0320	L		HPM Delta-0[7:0]								D2	
0x0321	L		HPM Delta-0[15:8]								8D	
0x0322	L		保留	HPM Delta-1[6:0]								5A

AD9557

寄存器地址(十六进制)	选项	名称	D7	D6	D5	D4	D3	D2	D1	D0	默认值		
0x0323	L	基本环路滤波器A系数设置(正常相位裕量70°)	NPM Alpha-0[7:0]									24	
0x0324	L		NPM Alpha-0[15:8]									8C	
0x0325	L		保留	NPM Alpha-1[6:0]									49
0x0326	L		NPM Beta-0[7:0]									55	
0x0327	L		NPM Beta-0[15:8]									C9	
0x0328	L		保留	NPM Beta-1[6:0]									7B
0x0329	L		NPM Gamma-0[7:0]									9C	
0x032A	L		NPM Gamma-0[15:8]									FA	
0x032B	L		保留	NPM Gamma-1[6:0]									55
0x032C	L		NPM Delta-0[7:0]									EA	
0x032D	L		NPM Delta-0[15:8]									E2	
0x032E	L		保留	NPM Delta-1[6:0]									57
输出PLL (APLL)													
0x0400		APLL电荷泵	输出PLL (APLL)电荷泵[7:0]									81	
0x0401		APLL N分频器	输出PLL (APLL)反馈N分频器[7:0]									14	
0x0402		保留	保留									00	
0x0403		APLL环路滤波器控制	APLL环路滤波器控制[7:0]									07	
0x0404		滤波器控制	保留									旁路内部RZERO 00	
0x0405		APLL VCO控制	保留(默认值: 0x2)				APLL锁定控制同步禁用		保留		手动APLL VCO校准(非自清零)	20	
0x0406		保留	保留									00	
0x0407		RF分频器	RF分频器2[3:0]				RF分频器1[3:0]				44		
0x0408			保留		RF分频器启动模式		保留		PD RF分频器2	PD RF分频器1	02		
输出时钟分配													
0x0500		分配输出同步	保留		屏蔽通道1同步	屏蔽通道0同步	保留	同步源选择	自动同步模式		02		
0x0501		通道0	使能3.3 V CMOS驱动器	OUT0格式[2:0]			OUT0极性[1:0]		OUT0驱动强度	使能OUT0	10		
0x0502			通道0分频器[7:0]									00	
0x0503			保留				通道0关断	选择RF分频器2	通道0分频器[9:8]			00	
0x0504			保留		通道0分频器相位[5:0]						00		
0x0505		通道1	保留	OUT1格式[2:0]			OUT1极性[1:0]		OUT1驱动强度	使能OUT1	10		
0x0506			保留									10	
0x0507			通道1分频器[7:0]									03	
0x0508			保留				通道1关断	选择RF分频器2	通道1分频器[9:8]			00	
0x0509			保留		通道1分频器相位[5:0]						00		
0x050A			保留									10	
0x050B			保留									10	
0x050C			保留									00	
0x050D			保留									00	
0x050E			保留									00	
0x050F			保留									10	
0x0510			保留									03	
0x0511		保留									00		
0x0512		保留									00		
0x0513		保留									00		
0x0514		保留									00		
0x0515		保留									00		

寄存器地址(十六进制)	选项	名称	D7	D6	D5	D4	D3	D2	D1	D0	默认值	
参考输入												
0x0600		参考关断	保留			保留			REFB关断	REFA关断	00	
0x0601		参考逻辑类型	保留			REFB逻辑类型[1:0]			REFA逻辑类型[1:0]		00	
0x0602		参考优先级	保留			REFB优先级[1:0]			REFA优先级[1:0]		00	
0x0603		保留	保留									00
Profile A(用于REFA)												
0x0700	L	标称周期(fs), Bits[39:32]	标称参考周期(fs), Bits[7:0](默认值: 51.44 ns = 1/(19.44 MHz), 针对默认系统时钟设置)									C9
0x0701	L		标称周期(fs), Bits[15:8]									EA
0x0702	L		标称周期(fs), Bits[23:16]									10
0x0703	L		标称周期(fs), Bits[31:24]									03
0x0704	L		标称周期(fs), Bits[39:32]									00
0x0705	L	频率容差	内容差(1 ppm), Bits[7:0](针对参考无效到有效; 50%至1 ppm)(默认值: 5%)									14
0x0706	L		内容差(1 ppm), Bits[15:8](针对参考无效到有效; 50%至1 ppm)									00
0x0707	L		保留			内容差, Bits[19:16]						00
0x0708	L		外容差(1 ppm), Bits[7:0](针对参考有效到无效; 50%至1 ppm)(默认值: 10%)									0A
0x0709	L		外容差(1 ppm), Bits[15:8](针对参考有效到无效; 50%至1 ppm)									00
0x070A	L		保留			外容差, Bits[19:16]						00
0x070B	L	验证	验证定时器(ms), Bits[7:0](最多65.5秒)									0A
0x070C	L		验证定时器(ms), Bits[15:8](最多65.5秒)									00
0x070D	L	保留	保留									00
0x070E	L	选择基本环路滤波器	保留								选择高相位裕量基本环路滤波器	00
0x070F	L	DPLL环路带宽	数字PLL环路带宽比例因子[7:0](默认值: 0x01F4 = 50 Hz)									F4
0x0710	L		数字PLL环路带宽比例因子[15:8]									01
0x0711	L		保留								带宽比例因子[16]	00
0x0712	L	DPLL R分频器(20位)	R分频器[7:0]									C5
0x0713	L		R分频器[15:8]									00
0x0714	L		保留			使能REFA 2分频		R分频器[19:16]				00
0x0715		DPLL N分频器(17位)	数字PLL反馈分频器—整数部分N1[7:0]									6B
0x0716			数字PLL反馈分频器—整数部分N1[15:8]									07
0x0717			保留								数字PLL反馈分频器—整数部分	00
0x0718		DPLL小数反馈分频器(24位)	数字PLL小数反馈分频器—FRAC1[7:0]									04
0x0719			数字PLL小数反馈分频器—FRAC1[15:8]									00
0x071A			数字PLL小数反馈分频器—FRAC1[23:16]									00
0x071B		DPLL小数反馈分频器模数(24位)	数字PLL反馈分频器模数—MOD1[7:0]									05
0x071C			数字PLL反馈分频器模数—MOD1[15:8]									00
0x071D			数字PLL反馈分频器模数—MOD1[23:16]									00
0x071E	L		锁定检测器	锁相阈值[7:0] (ps)								
0x071F	L	锁相阈值[15:8] (ps)									02	
0x0720	L	锁相填充速率[7:0]									0A	
0x0721	L	锁相流失速率[7:0]									0A	
0x0722	L	锁频阈值[7:0]									BC	
0x0723	L	锁频阈值[15:8]									02	
0x0724	L	锁频阈值[23:16]									00	
0x0725	L	锁频填充速率[7:0]									0A	
0x0726	L	锁频流失速率[7:0]									0A	

AD9557

寄存器地址(十六进制)	选项	名称	D7	D6	D5	D4	D3	D2	D1	D0	默认值		
Profile B(用于REFB)													
0x0740	L	参考周期 (最长 1.1 ms)	标称周期(fs), Bits[7:0](默认值: 125 μs = 1/(8 kHz), 针对默认系统时钟设置)									00	
0x0741	L		标称周期(fs), Bits[15:8]									A2	
0x0742	L		标称周期(fs), Bits[23:16]									94	
0x0743	L		标称周期(fs), Bits[31:24]									1A	
0x0744	L		标称周期(fs), Bits[39:32]									1D	
0x0745	L	频率容差	内容差(1 ppm), Bits[7:0](针对参考无效到有效; 50%至1 ppm)(默认值: 5%)									14	
0x0746	L		内容差(1 ppm), Bits[15:8](针对参考无效到有效; 50%至1 ppm)									00	
0x0747	L		保留					内容差, Bits[19:16]				00	
0x0748	L		外容差(1 ppm), Bits[7:0](针对参考有效到无效; 50%至1 ppm)(默认值: 10%)									0A	
0x0749	L		外容差(1 ppm), Bits[15:8](针对参考有效到无效; 50%至1 ppm)									00	
0x074A	L		保留					外容差, Bits[19:16]				00	
0x074B	L	验证	验证定时器(ms), Bits[7:0](最多65.5秒)									0A	
0x074C	L		验证定时器(ms), Bits[15:8](最多65.5秒)									00	
0x074D	L		保留									00	
0x074E	L	选择基本 环路滤波器	保留									选择高相位 裕量基本环 路滤波器	00
0x074F	L	DPLL环路 带宽	数字PLL环路带宽比例因子[7:0](默认值: 0x01F4 = 50 Hz)									F4	
0x0750	L		数字PLL环路带宽比例因子[15:8]									01	
0x0751	L		保留									带宽比例 因子[16]	00
0x0752	L	DPLL R 分频器 (20位)	R分频器[7:0]									00	
0x0753	L		R分频器[15:8]									00	
0x0754	L		保留					使能REFB 2 分频		R分频器[19:16]			00
0x0755		DPLL N 分频器 (17位)	数字PLL反馈分频器—整数部分N1[7:0]									1F	
0x0756			数字PLL反馈分频器—整数部分N1[15:8]									5B	
0x0757			保留									数字PLL反馈 分频器— 整数部分 N1[16]	00
0x0758		DPLL小数 反馈分频器 (24位)	数字PLL小数反馈分频器—FRAC1[7:0]									00	
0x0759			数字PLL小数反馈分频器—FRAC1[15:8]									00	
0x075A			数字PLL小数反馈分频器—FRAC1[23:16]									00	
0x075B		DPLL小数 反馈分频器 模数 (24位)	数字PLL反馈分频器模数—MOD1[7:0]									01	
0x075C			数字PLL反馈分频器模数—MOD1[15:8]									00	
0x075D			数字PLL反馈分频器模数—MOD1[23:16]									00	
0x075E	L	锁定检测器	锁相阈值[7:0] (ps)									BC	
0x075F	L		锁相阈值[15:8] (ps)									02	
0x0760	L		锁相填充速率[7:0]									0A	
0x0761	L		锁相流失速率[7:0]									0A	
0x0762	L		锁频阈值[7:0]									BC	
0x0763	L		锁频阈值[15:8]									02	
0x0764	L		锁频阈值[23:16]									00	
0x0765	L		锁频填充速率[7:0]									0A	
0x0766	L		锁频流失速率[7:0]									0A	
0x0780			保留									C9	
0x0781			保留									EA	
0x0782			保留									10	
0x0783			保留									03	
0x0784			保留									00	
0x0785			保留									14	
0x0786			保留									00	
0x0787			保留									00	
0x0788			保留									0A	

寄存器地址(十六进制)	选项	名称	D7	D6	D5	D4	D3	D2	D1	D0	默认值
0x0789							保留				00
0x078A							保留				00
0x078B							保留				0A
0x078C							保留				00
0x078D							保留				00
0x078E							保留				00
0x078F							保留				F4
0x0790							保留				01
0x0791							保留				00
0x0792							保留				C5
0x0793							保留				00
0x0794							保留				00
0x0795							保留				6B
0x0796							保留				07
0x0797							保留				00
0x0798							保留				04
0x0799							保留				00
0x079A							保留				00
0x079B							保留				05
0x079C							保留				00
0x079D							保留				00
0x079E							保留				BC
0x079F							保留				02
0x07A0							保留				0A
0x07A1							保留				0A
0x07A2							保留				BC
0x07A3							保留				02
0x07A4							保留				00
0x07A5							保留				0A
0x07A6							保留				0A
0x07C0							保留				00
0x07C1							保留				A2
0x07C2							保留				94
0x07C3							保留				1A
0x07C4							保留				1D
0x07C5							保留				14
0x07C6							保留				00
0x07C7							保留				00
0x07C8							保留				0A
0x07C9							保留				00
0x07CA							保留				00
0x07CB							保留				0A
0x07CC							保留				00
0x07CD							保留				00
0x07CE							保留				00
0x07CF							保留				F4
0x07D0							保留				01
0x07D1							保留				00
0x07D2							保留				00
0x07D3							保留				00
0x07D4							保留				00
0x07D5							保留				1F
0x07D6							保留				5B
0x07D7							保留				00
0x07D8							保留				00
0x07D9							保留				00
0x07DA							保留				00
0x07DB							保留				01

AD9557

寄存器地址(十六进制)	选项	名称	D7	D6	D5	D4	D3	D2	D1	D0	默认值	
0x07DC			保留									00
0x07DD			保留									00
0x07DE			保留									BC
0x07DF			保留									02
0x07E0			保留									0A
0x07E1			保留									0A
0x07E2			保留									BC
0x07E3			保留									02
0x07E4			保留									00
0x07E5			保留									0A
0x07E6		保留									0A	

操作控制

0x0A00		关断	软复位排除寄存器映射	DCO关断	SYSCLK关断	参考输入关断	TDC关断	APLL关断	Clock dist PD	完全关断	00	
0x0A01		环路模式	保留	用户保持	用户自由振荡	参考切换模式[2:0]			保留	手动切换模式下的用户参考	00	
0x0A02		校准/同步	保留						软同步时钟分配	保留	00	
0x0A03	A	清零/复位功能	保留	LF清零	CCI清零	保留	自动同步清零	调谐字历史清零	所有IRQ清零	看门狗清零	00	
0x0A04	A	IRQ清零	保留		SYSCLK失锁	SYSCLK锁定	APLL失锁	APLL锁定	APLL校准结束	APLL校准开始	00	
0x0A05	A		保留			引脚编程结束	同步时钟分配	看门狗定时器	EEPROM故障	EEPROM完成	00	
0x0A06	A		切换	闭环	自由振荡	保持	频率失锁	频率锁定	相位失锁	相位锁定	00	
0x0A07	A		保留			历史已更新	频率未箝位	频率已箝位	相位压摆率不受限	相位压摆率受限	00	
0x0A08	A		保留	REFB已验证	REFB故障已清除	REFB故障	保留	REFA已验证	REFA故障已清除	REFA故障	00	
0x0A09	A	保留	保留									00
0x0A0A	A	相位偏移递增	保留					相位偏移复位	相位偏移递减	相位偏移递增	00	
0x0A0B	A	手动参考验证	保留						强制超时B	强制超时A	00	
0x0A0C		手动参考失效	保留						参考监控覆盖B	参考监控覆盖A	00	
0x0A0D		静态参考验证	保留						参考监控旁路B	参考监控旁路A	00	

快速输入-输出频率软引脚配置

0x0C00	L, E	使能软引脚部分1	保留							EN Soft Pin Section 1	00	
0x0C01	L, E	软引脚部分1	输出频率选择[3:0]				输入频率选择[3:0]				00	
0x0C02	L, E		保留							SYSCLK PLL参考选择[1:0]	00	
0x0C03	L, E	使能软引脚部分2	保留								使能软引脚部分2	00
0x0C04	L, E	软引脚部分2	保留				REFB频率比例[1:0]		REFA频率比例[1:0]		00	
0x0C05	L, E		保留				通道1输出频率比例[1:0]		通道0输出频率比例[1:0]		00	
0x0C06	L, E		保留			选择高相位裕量基本环路滤波器	DPLL环路带宽[1:0]		REF输入频率容差[1:0]		00	
0x0C07	L, A, E	软引脚传输	保留								软引脚启动传输	00
0x0C08	L, E	软引脚复位	保留								软引脚复位	00

寄存器地址(十六进制)	选项	名称	D7	D6	D5	D4	D3	D2	D1	D0	默认值	
只读状态(EEPROM处理期间可访问)												
0x0D00	R, L	EEPROM	保留				引脚编程ROM加载过程	检测到故障	正在加载	正在保存		不适用
0x0D01	R, L	SYSCLK和PLL状态	保留	DPLL_APLL_lock	所有PLL均锁定	APLL VCO状态	正在进行APLL校准	APLL锁定	SYSCLK稳定	SYSCLK锁定	不适用	
0x0D02	R, L	IRQ监控器事件	保留		SYSCLK失锁	SYSCLK锁定	APLL失锁	检测到APLL锁定	APLL校准结束	APLL校准开始	不适用	
0x0D03	R, L		保留			引脚编程结束	输出分配同步	看门狗定时器	EEPROM故障	EEPROM完成	不适用	
0x0D04	R, L		切换	闭环	自由振荡	保持	频率失锁	频率锁定	相位失锁	相位锁定	不适用	
0x0D05	R, L		保留			历史已更新	频率未箝位	频率已箝位	相位压摆率不受限	相位压摆率不受限	不适用	
0x0D06	R, L		保留	REFB已验证	REFB故障已清除	REFB故障	保留	REFA已验证	REFA故障已清除	REFA故障	不适用	
0x0D07	R, L		保留									不适用
0x0D08	R		DPLL	保留	偏移压摆率限制	频率锁定	相位锁定	环路切换	保持	有效	自由振荡	不适用
0x0D09	R	保留		频率已箝位	历史可用	活动参考优先级		保留	当前活动参考	不适用		
0x0D0A	R		保留									不适用
0x0D0B	R	REFA/REFB	B有效	B故障	B较快	B较慢	A有效	A故障	A较快	A较慢	不适用	
0x0D0C	R		保留									不适用
0x0D0D	R	保持历史	调谐字回读[31:0]									不适用
0x0D0E	R											不适用
0x0D0F	R											不适用
0x0D10	R											不适用
0x0D11	R	锁定检测器相位裕量	相位裕量[7:0]									不适用
0x0D12	R		保留				相位裕量[11:8]					不适用
0x0D13	R	锁定检测器频率浴缸	频率裕量[7:0]									不适用
0x0D14	R		保留				频率裕量[11:8]					不适用
非易失性存储器(EEPROM)控制												
0x0E00	E	写保护	保留							写入使能	00	
0x0E01	E	条件	保留				条件值[3:0]				00	
0x0E02	A, E	保存	保留							保存到EEPROM	00	
0x0E03	A, E	负载	保留						从EEPROM加载	保留	00	

AD9557

寄存器地址(十六进制)	选项	名称	D7	D6	D5	D4	D3	D2	D1	D0	默认值
EEPROM存储序列											
0x0E10	E	EEPROM ID	数据: 2个字节								01
0x0E11	E		地址0x0006								00
0x0E12	E										06
0x0E13	E	系统时钟	数据: 9个字节								08
0x0E14	E		地址0x0100								01
0x0E15	E										00
0x0E16	E	I/O更新	操作: I/O更新								80
0x0E17	E	通用	数据: 18字节								11
0x0E18	E		数据: 18字节								02
0x0E19	E										00
0x0E1A	E	DPLL	数据: 47字节								2E
0x0E1B	E		地址0x0300								03
0x0E1C	E										00
0x0E1D	E	APLL	数据: 9个字节								08
0x0E1E	E		地址0x0400								04
0x0E1F	E										00
0x0E20	E	时钟分配	数据: 22字节								15
0x0E21	E		地址0x0500								05
0x0E22	E										00
0x0E23	E	I/O更新	操作: I/O更新								80
0x0E24	E	参考输入	数据: 4个字节								03
0x0E25	E		地址0x0600								06
0x0E26	E										00
0x0E27	E		保留								01
0x0E28	E		保留								06
0x0E29	E										40
0x0E2A	E	Profile REFA	数据: 39字节								26
0x0E2B	E		地址0x0700								07
0x0E2C	E										00
0x0E2D	E	Profile REFB	数据: 39字节								26
0x0E2E	E		地址0x0740								07
0x0E2F	E										40
0x0E30	E		保留								26
0x0E31	E		保留								07
0x0E32	E										80
0x0E33	E		保留								26
0x0E34	E		保留								07
0x0E35	E		保留								C0
0x0E36	E	I/O更新	操作: I/O更新								80
0x0E37	E	操作控制	数据: 14字节								0D
0x0E38	E		地址0x0A00								0A
0x0E39	E										00
0x0E3A	E	校准APLL	操作: 校准输出PLL								A0
0x0E3B	E	I/O更新	操作: I/O更新								80
0x0E3C	E	数据结束	操作: 数据结束								FF
0x0E3D to 0xE45	E	未用	未用(可用于其它EEPROM指令)								00

寄存器映射位功能描述

串行端口配置(寄存器0x0000至寄存器0x0005)

表36. 串行配置(注意寄存器0x0000的内容不会存储到EEPROM)

地址	Bits	位名称	描述
0x0000	7	SDO使能	使能SPI端口SDO引脚。 1 = 4线(SDO引脚使能)。 0(默认)= 3线。
	6	LSB优先/地址递增	SPI端口的位序。 1 = 最低有效位和字节优先。 多字节传输中, 寄存器地址自动递增。 0(默认)= 最高有效位和字节优先。 多字节传输中, 寄存器地址自动递减。
	5	软复位	器件复位(如果EEPROM或引脚编程已使能, 则调用EEPROM下载或引脚编程ROM下载。详情参见“EEPROM”部分和“引脚配置与功能描述”部分。
	[4:0]	保留	保留。

表37. 回读控制

地址	Bits	位名称	描述
0x0004	[7:1]	保留	保留。
	0	读取缓冲寄存器	对于缓冲寄存器, 串行端口回读将读取实际(有效)寄存器, 而不是缓冲器。 1 = 读取缓冲值, 在下一次置位I/O更新时生效。 0(默认)= 读取当前应用于器件内部逻辑的值。

表38. 软I/O更新

地址	Bits	位名称	描述
0x0005	[7:1]	保留	保留。
	0	I/O更新	将1写入此位时, 串行I/O缓冲寄存器中的数据传送到器件的内部控制寄存器。除非寄存器标示为实时(如寄存器映射的“选项”栏中的L所示), 用户必须先写入此位, 寄存器设置方能生效, 只读寄存器方能更新为最新值。 这是一个自清零位。

表39. 用户暂存区

地址	Bits	位名称	描述
0x0006	[7:0]	用户暂存区[7:0]	用户可编程EEPROM ID寄存器。利用这些寄存器, 用户可以写入任意选择的独特代码, 用以跟踪EEPROM寄存器加载的版本。它对器件操作无影响。
0x0007	[7:0]	用户暂存区[15:8]	0 = default.

芯片版本(寄存器0x000A)

表40. 芯片版本

地址	Bits	位名称	描述
0x000A	[7:0]	芯片版本	此只读寄存器指示AD9557的版本。

时钟器件系列ID(寄存器0x000C至寄存器0x000D)

表41. 时钟器件系列ID

地址	Bits	位名称	描述
0x000C	[7:0]	时钟器件系列ID[7:0]	此只读寄存器(与寄存器0x000D一起)唯一地识别AD9557或AD9558。ADI AD95xx系列中任何其它器件的这两个寄存器中的值均非0x0001。 默认值: AD9557和AD9558为0x01。
0x000D	[7:0]	时钟器件系列ID[15:8]	此寄存器是寄存器0x000C的接续。 默认值: AD9557和AD9558为0x00。

AD9557

系统时钟(寄存器0x0100至寄存器0x0108)

表42. 系统时钟PLL反馈分频器(N3分频器)

地址	Bits	位名称	描述
0x0100	[7:0]	SYSCLK N3分频器	系统时钟PLL反馈分频器值： $4 \leq N3 \leq 255$ (默认值：0x08)。

表43. SYSCLK配置

地址	Bits	位名称	描述
0x0101	[7:5]	保留	保留。
	4	从ROM加载(保留)	该保留位不起作用。 0(默认)=不加载上电默认值和ROM。 1 = ROM值载入寄存器空间。
	3	SYSCLK XTAL使能	使能系统时钟输入的晶振保持放大器。 1(默认)=晶振模式(使能晶振保持放大器)。 0 = 外部XO或其它系统时钟源。
	[2:1]	SYSCLK P分频器	系统时钟输入分频器。 00(默认)= 1。 01 = 2。 10 = 4。 11 = 8。
	0	SYSCLK倍频器使能	使能系统时钟输入的时钟倍频器以降低噪声。 0 = 禁用。 1(默认)= 使能。

表44. 标称系统时钟周期

地址	Bits	位名称	描述
0x0103	[7:0]	标称系统时钟周期(fs)	系统时钟周期, Bits[7:0]。 默认值: 0x0E。
0x0104	[7:0]		系统时钟周期, Bits[15:8]。 默认值: 0x67。
0x0105	[7:5]	保留	保留。
	[4:0]	标称系统时钟周期(fs)	系统时钟周期, Bits[20:16]。 默认值: 0x13。

表45. 系统时钟稳定性周期

地址	Bits	位名称	描述
0x0106	[7:0]	系统时钟稳定性周期(ms)	系统时钟周期, Bits[7:0]。 默认值: 0x32 (0x000032 = 50 ms)。
0x0107	[7:0]		系统时钟周期, Bits[15:8]。 默认值: 0x00。
0x0108	[7:5]	保留	保留。
	4	复位SYSCLK稳定性定时器	该自清零位复位系统时钟稳定性定时器。
	[3:0]	系统时钟稳定性周期	系统时钟周期, Bits[19:16]。 默认值: 0x00。

通用配置(寄存器0x0200至寄存器0x0214)**多功能引脚控制(M3至M0)和IRQ引脚控制(寄存器0x0200至寄存器0x0209)**

注意，多功能引脚M3至M0和IRQ引脚的默认设置同于启动时的三电平逻辑输入。将寄存器0x0200的位1设为1可使能M3至M0引脚的正常功能。

表46. 多功能引脚(M0至M3)控制

地址	Bits	位名称	描述
0x0200	[7:1]	保留	
	0		0(默认)= 禁用M引脚和IRQ引脚控制寄存器(地址0x0201至地址0x0209)的功能；M引脚和IRQ引脚处于三电平逻辑输入状态。 1 = M引脚和IRQ引脚退出三电平逻辑输入状态，并使能M引脚和IRQ引脚控制寄存器(地址0x0201至地址0x0209)的二进制功能。
0x0201	7	M0 output/input	M0引脚的输入/输出控制。 0 = 输入(二电平逻辑控制引脚)。 1(默认)= 输出(二电平逻辑状态引脚)。
	[6:0]	功能	参见表124和表125。默认值：0xB0 = REFA有效。
0x0202	7	M1 output/input	M1引脚的输入/输出控制(同M0)。
	[6:0]	功能	参见表124和表125。默认值：0xB1 = REFB有效。
0x0203	7	M2 output/input	In/out control for M2 pin (same as M0).
	[6:0]	功能	参见表124和表125。默认值：0xC0 = REFA有效。
0x0204	7	M3 output/input	M3引脚的输入/输出控制(同M0)。
	[6:0]	功能	参见表124和表125。默认值：0xC1 = REFB有效。
0x0205	[7:0]	保留	保留。
0x0206	[7:0]	保留	保留。
0x0207	[7:0]	保留	保留。
0x0208	[7:0]	保留	保留。

表47. IRQ引脚输出模式

地址	Bits	位名称	描述
0x0209	[7:5]	保留	保留
	[4:3]	IRQ引脚处的状态信号[1:0]	仅当地址0x0209[2] = 1时，该选择才有效。 00 = DPLL锁相 01 = DPLL锁频 10 = 系统时钟PLL锁定 11(默认)= (DPLL锁相) AND(系统时钟PLL锁定)AND(APLL锁定)
	2	使用IRQ引脚监控状态信号	0 = 使用IRQ引脚监控IRQ事件 1(默认)= 使用IRQ引脚监控内部状态信号
	[1:0]	IRQ引脚驱动器类型	选择IRQ引脚的输出模式 00 = NMOS，开漏(需要外部上拉电阻) 01 = PMOS，开漏(需要外部下拉电阻) 10 = CMOS，高电平有效 11(默认)= CMOS，低电平有效

IRQ屏蔽(寄存器0x020A至寄存器0x020F)

IRQ屏蔽寄存器中的各位与IRQ监控寄存器(0x0D02至0x0D09)中的各位一一对应。设为逻辑1时, IRQ屏蔽位使能对应的IRQ监控位来指示IRQ事件。所有IRQ屏蔽位的默认值是逻辑0, 禁止IRQ监控器检测任何内部中断。

表48. SYSCLK的IRQ屏蔽

地址	Bits	位名称	描述
0x020A	[7:6]	保留	保留
	5	SYSCLK失锁	使能IRQ指示SYSCLK PLL状态从锁定变为失锁
	4	SYSCLK锁定	使能IRQ指示SYSCLK PLL状态从失锁变为锁定
	3	APLL失锁	使能IRQ指示APLL状态从锁定变为失锁
	2	APLL锁定	使能IRQ指示APLL状态从失锁变为锁定
	1	APLL校准完成	使能IRQ指示APLL (LCVCO)校准已完成
	0	APLL校准开始	使能IRQ指示APLL (LCVCO)校准已开始

表49. 分配同步、看门狗定时器和EEPROM的IRQ屏蔽

地址	Bits	位名称	描述
0x020B	[7:5]	保留	保留
	4	引脚编程结束	使能IRQ指示引脚编程ROM加载成功
	3	同步分配	使能IRQ指示分配同步事件
	2	看门狗定时器	使能IRQ指示看门狗定时器超时
	1	EEPROM故障	使能IRQ指示EEPROM加载或保存操作期间发生故障
	0	EEPROM完成	使能IRQ指示EEPROM加载或保存成功

表50. 数字PLL的IRQ屏蔽

地址	Bits	位名称	描述
0x020C	7	切换	使能IRQ指示DPLL切换到新参考
	6	闭环	使能IRQ指示DPLL已进入闭环工作模式
	5	自由振荡	使能IRQ指示DPLL已进入自由振荡模式
	4	保持	使能IRQ指示DPLL已进入保持模式
	3	频率失锁	使能IRQ指示DPLL失去频率锁定
	2	频率锁定	使能IRQ指示DPLL已获得频率锁定
	1	相位失锁	使能IRQ指示DPLL失去相位锁定
	0	相位锁定	使能IRQ指示DPLL已获得相位锁定

表51. 历史更新、频率限制和相位压摆率限制的IRQ屏蔽

地址	Bits	位名称	描述
0x020D	[7:5]	保留	保留
	4	历史已更新	使能IRQ指示发生调谐字历史更新事件
	3	频率未箝位	使能IRQ指示频率限制状态从箝位变为未箝位
	2	频率已箝位	使能IRQ指示频率限制状态从未箝位变为箝位
	1	相位压摆率不受限	使能IRQ指示相位压摆率限制状态从受限变为不受限
	0	相位压摆率受限	使能IRQ指示相位压摆率限制状态从不受限变为受限

表52. 参考输入的IRQ屏蔽

地址	Bits	位名称	描述
0x020E	7	保留	保留
	6	REFB已验证	使能IRQ指示已验证REFB
	5	REFB故障已清除	使能IRQ指示REFB的前一故障已被清除
	4	REFB故障	使能IRQ指示REFB发生故障
	3	保留	保留
	2	REFA已验证	使能IRQ指示已验证REFA
	1	REFA故障已清除	使能IRQ指示REFA的前一故障已被清除
	0	REFA故障	使能IRQ指示REFA发生故障
0x020F	[7:0]	保留	保留

表53. 看门狗定时器¹

地址	Bits	位名称	描述
0x0210	[7:0]	看门狗定时器(ms)	看门狗定时器位[7:0], 默认值: 0x00
0x0211	[7:0]		看门狗定时器位[15:8], 默认值: 0x00

¹注意: 看门狗定时器的单位为毫秒(ms), 默认值为0(禁用)。

DPLL配置(寄存器0x0300至寄存器0x032E)

表54. 自由振荡频率调谐字¹

地址	Bits	位名称	描述
0x0300	[7:0]	30位自由振荡频率调谐字	自由振荡频率调谐字位[7:0]; 默认值: 0x11
0x0301	[7:0]		自由振荡频率调谐字位[15:8]; 默认值: 0x15
0x0302	[7:0]		自由振荡频率调谐字位[23:9]; 默认值: 0x64
0x0303	[7:6]	保留	保留
	[5:0]	30位自由振荡频率调谐字	自由振荡频率调谐字位[29:24]; 默认值: 0x1B

¹注意: 自由振荡调谐字默认值为0x1B641511, 用于8 kHz/19.44 MHz = 622.08 MHz转换。

表55. 数字振荡器控制

地址	Bits	位名称	描述
0x0304	[7:6]	保留	默认值: 00b
	5	DCO 4电平输出	0(默认)= DCO三电平输出模式 1 = 使能DCO四电平输出模式
	4	保留	保留(必须设为1b)
	[3:0]	保留	保留(默认值: 0x0)

AD9557

表56. DPLL频率箝位

地址	Bits	位名称	描述
0x0306	[7:0]	捕捉范围下限(表示为20位频率调谐字)	捕捉范围下限位[7:0] 默认值: 0x51
0x0307	[7:0]		捕捉范围下限位[15:8] 默认值: 0xB8
0x0308	[7:4]	保留	默认值: 0x0
	[3:0]	捕捉范围下限	捕捉范围下限位[19:16] 默认值: 0x2
0x0309	[7:0]	捕捉范围上限(表示为20位频率调谐字)	捕捉范围上限位[7:0] 默认值: 0x3E
0x030A	[7:0]		捕捉范围上限位[15:8] 默认值: 0x0A
0x030B	[7:4]	保留	默认值: 0x0
	[3:0]	捕捉范围上限	捕捉范围上限位[19:16] 默认值: 0xB

表57. 固定闭环锁相偏移

地址	Bits	位名称	描述
0x030C	[7:0]	固定锁相偏移(带符号; ps)	固定锁相偏移位[7:0] 默认值: 0x00
0x030D	[7:0]		固定锁相偏移位[15:8] 默认值: 0x00
0x030E	[7:0]		固定锁相偏移位[23:16] 默认值: 0x00
0x030F	[7:6]	保留	保留; 默认值: 0x0
	[5:0]	固定锁相偏移(带符号; ps)	固定锁相偏移位[29:24] 默认值: 0x00

表58. 增量闭环锁相偏移步进大小¹

地址	Bits	位名称	描述
0x0310	[7:0]	增量锁相偏移步进大小(ps)	增量锁相偏移步进大小位[7:0] 默认值: 0x00。 控制DPLL锁定时的静态相位偏移
0x0311	[7:0]		增量锁相偏移步进大小位[15:8] 默认值: 0x00。 控制DPLL锁定时的静态相位偏移

¹注意: 增量闭环锁相偏移步进大小默认值为0x0000 = 0 (0 ns)。

表59. 相位压摆率限制

地址	Bits	位名称	描述
0x0312	[7:0]	相位压摆率限制($\mu\text{s/s}$)	相位压摆率限制位[7:0]。 默认值: 0x00。 此寄存器控制瞬变和参考切换期间允许的最大压摆率。 相位压摆率限制默认值为0, 即禁用。最小有用值为310 $\mu\text{s/s}$ 。
0x0313	[7:0]		相位压摆率限制位[15:8]。 默认值: 0x00。

表60. 历史累计定时器

地址	Bits	位名称	描述
0x0314	[7:0]	历史累计定时器(ms)	历史累计定时器位[7:0]。 默认值：0x0A。对于寄存器0x0314和寄存器0x0315，0x000A = 10 ms。 最大值为65秒。此寄存器控制调谐字平均值的时间量，调谐字平均值决定保持模式下使用的调谐字。切勿将定时器值设为0。 默认值为0x000A = 10(十进制)，等于10 ms。
0x0315	[7:0]		历史累计定时器位[15:8]。 默认值：0x00。

表61. 历史模式

地址	Bits	位名称	描述
0x0316	[7:5]	保留	保留。
	4	单样本回退	控制保持历史。如果保持之前的活动参考无调谐字历史可用，那么： 0(默认)= 使用自由振荡频率调谐字寄存器值。 1 = 使用来自DPLL的最后一个调谐字。
	3	永久历史	控制保持历史初始化。当切换到新参考时： 0(默认)= 清除调谐字历史。 1 = 保留先前的调谐字历史。
	[2:0]	增量平均值	历史模式值0至7(默认值：0)。 设为非零值时，第一次历史累计将在第一个完整的均值周期前更新。经过第一次完整间隔时间后，更新仅在完整周期结束时发生。 0(默认)= 仅在完整间隔时间结束后更新。 1 = 在完整间隔时间的1/2处更新。 2 = 在完整间隔时间的1/4处和1/2处更新。 3 = 在完整间隔时间的1/8处、1/4处和1/2处更新。 ... 7 = 在完整间隔时间的1/256处、1/128处、1/64处、1/32处、1/16处、1/8处、1/4处和1/2处更新。

表62. 高相位裕量的基本数字环路滤波器(相位裕量 = 88.5°，带宽 = 0.1 Hz，第三极点频率 = 10 Hz，N1 = 1)¹

地址	Bits	位名称	描述
0x0317	[7:0]	HPM Alpha-0线性	Alpha-0系数线性位[7:0]。 默认值：0x8C
0x0318	[7:0]		Alpha-0系数线性位[15:8]
0x0319	7	保留	保留
	[6:0]	HPM Alpha-1指数	Alpha-1系数指数位[6:0]。
0x031A	[7:0]	HPM Beta-0线性	Beta-0系数线性位[7:0]
0x031B	[7:0]		Beta-0系数线性位[15:8]
0x031C	7	保留	保留
	[6:0]	HPM Beta-1指数	Beta-1系数指数位[6:0]
0x031D	[7:0]	HPM Gamma-0线性	Gamma-0系数线性位[7:0]
0x031E	[7:0]		Gamma-0系数线性位[15:8]
0x031F	7	保留	保留
	[6:0]	HPM Gamma-1指数	Gamma-1系数指数位[6:0]
0x0320	[7:0]	HPM Delta-0线性	Delta-0系数线性位[7:0]
0x0321	[7:0]		Delta-0系数线性位[15:8]
0x0322	7	保留	保留
	[6:0]	HPM Delta-1指数	Delta-1系数指数位[6:0]

¹ 注意：基本数字环路滤波器系数(α 、 β 、 γ 和 δ)的一般形式为 $x(2y)$ ，其中 x 是系数的线性部分， y 是指数部分。线性部分(x)的值是一个小数， $0 < x \leq 1$ 。指数部分(y)是一个带符号整数。

表63. 正常相位裕量的基本数字环路滤波器(相位裕量 = 70°, 带宽 = 0.1 Hz, 极点频率 = 2 Hz, N1 = 1)¹

地址	Bits	位名称	描述
0x0323	[7:0]	NPM Alpha-0线性	Alpha-0系数线性位[7:0]
0x0324	[7:0]		Alpha-0系数线性位[15:8]
0x0325	7	保留	保留
	[6:0]	NPM Alpha-1指数	Alpha-1系数指数位[6:0]。
0x0326	[7:0]	NPM Beta-0线性	Beta-0系数线性位[7:0]
0x0327	[7:0]		Beta-0系数线性位[15:8]
0x0328	7	保留	保留
	[6:0]	NPM Beta-1指数	Beta-1系数指数位[6:0]
0x0329	[7:0]	NPM Gamma-0线性	Gamma-0系数线性位[7:0]
0x032A	[7:0]		Gamma-0系数线性位[15:8]
0x032B	7	保留	保留
	[6:0]	NPM Gamma-1指数	Gamma-1系数指数位[6:0]
0x032C	[7:0]	NPM Delta-0线性	Delta-0系数线性位[7:0]
0x032D	[7:0]		Delta-0系数线性位[15:8]
0x032E	7	保留	保留
	[6:0]	NPM Delta-1指数	Delta-1系数指数位[6:0]

¹注意: 数字环路滤波器基本系数(α 、 β 、 γ 和 δ)的一般形式为 $x(2^y)$, 其中 x 是系数的线性部分, y 是指数部分。线性部分(x)的值是一个小数, $0 \leq x \leq 1$ 。指数部分(y)是一个带符号整数。

输出PLL配置(寄存器0x0400至寄存器0x0408)

表64. 输出PLL设置¹

地址	Bits	位名称	描述			
0x0400	[7:0]	输出PLL (APLL)电荷泵电流	LSB = 3.5 μ A 00000001b = 1 \times LSB; 00000010b = 2 \times LSB 11111111b = 255 \times LSB 默认值: 0x81 = 451 μ A电荷泵电流			
0x0401	[7:0]	APLL N分频器	分频比 = 14至255 默认值: 0x14 = 20分频			
0x0402	[7:0]	保留	保留			
0x0403	[7:6]	APLL环路滤波器控制	极点2电阻Rp2; 默认值: 0x07			
			Rp2 (Ω)	Bit 7	Bit 6	
			500(默认)	0	0	
			333	0	1	
			250	1	0	
	200	1	1			
	[5:3]	零点电阻R _{ZERO}	Rzero (Ω)	Bit 5	Bit 4	Bit 3
			1500(默认)	0	0	0
			1250	0	0	1
			1000	0	1	0
930			0	1	1	
1250	1	0	0			
1000	1	0	1			
750	1	1	0			
680	1	1	1			

地址	Bits	位名称	描述
	[2:0]		极点1 Cp1 Cp1 (pF) Bit 2 Bit 1 Bit 0 0 0 0 0 20 0 0 1 80 0 1 0 100 0 1 1 20 1 0 0 40 1 0 1 100 1 1 0 120(默认) 1 1 1
0x0404	[7:1]	保留	默认值: 0x00
	0	旁路内部R _{ZERO}	0(默认)= 使用内部Rzero电阻。 1 = 旁路内部Rzero电阻(令Rzero = 0, 且需要使用串联外部零点电阻)。
0x0405	[7:4]	保留	默认值: 0x2
	3	APLL locked controlled sync disable	0(默认)= 时钟分配同步功能直到输出PLL (APLL)校准并锁定后才使能。APLL校准并锁定后, 输出时钟分配同步使能, 时钟输出的同步功能受寄存器0x0500的控制。 1 = 覆盖输出PLL的锁定检测器状态, 寄存器0x0500控制输出同步功能, 无论APLL是否锁定。
	[2:1]	保留	默认值: 00b
	0	手动APLL VCO校准	1 = 启动VCO校准。(低到高跃迁时发生校准)。 0(默认)= 无操作。此位不是一个自清零位。

¹ 注意: APLL环路带宽默认值为180 KHz。

Table 65. 保留

地址	Bits	位名称	描述
0x0406	[7:0]	保留	默认值: 0x00

表66. RF分频器设置

地址	Bits	位名称	描述
0x0407	[7:4]	表66. RF分频器设置	0000/0001 = 3 0010 = 4 0011 = 5 0100 = 6(默认) 0101 = 7 0110 = 8 0111 = 9 1000 = 10 1001 = 11
	[3:0]	RF分频器1分频比	0000/0001 = 3 0010 = 4 0011 = 5 0100 = 6(默认) 0101 = 7 0110 = 8 0111 = 9 1000 = 10 1001 = 11
0x0408	[7:5]	保留	保留。
	4	RF分频器启动模式	0(默认)= RF分频器处于关断状态, 直至检测到APLL反馈分频器。这样可确保退出完全关断模式时RF分频器正常工作。 1 = 只有检测到APLL反馈分频器后, RF分频器才处于关断状态。
	[3:2]	保留	保留。
	1	PD RF分频器2	0 = 使能RF分频器2。 1(默认)= 关断RF分频器2。
	0	PD RF分频器1	0(默认)= 使能RF分频器1。 1 = 关断RF分频器1。

输出时钟分配(寄存器0x0500至寄存器0x0515)

表67. 分配输出同步设置

地址	Bits	位名称	描述
0x0500	[7:6]	保留	保留。
	5	屏蔽通道1同步	屏蔽至通道1分频器的同步复位。 0(默认)= 未屏蔽。输出驱动器直到SYNC脉冲出现后才切换。 1 = 屏蔽。此位异步置1将使通道1脱离静态同步状态, 从而允许通道1分频器切换。此位置1时, 通道1忽略所有同步事件。此位置1不会使能连接到此通道的输出驱动器。此外, 输出分配同步也取决于寄存器0x0405[3]的设置。
	4	屏蔽通道0同步	屏蔽至通道0分频器的同步复位。 0(默认)= 未屏蔽。输出驱动器直到SYNC脉冲出现后才切换。 1 = 屏蔽。此位异步置1将使通道0脱离静态同步状态, 从而允许通道0分频器切换。此位置1时, 通道0忽略所有同步事件。此位置1不会使能连接到此通道的输出驱动器。此外, 输出分配同步也取决于寄存器0x0405[3]的设置。
	3	保留	保留。
	2	同步源选择	选择时钟分配输出通道的同步源。 0(默认)= 直接。同步脉冲出现在下一次I/O更新时。 1 = 活动参考。 注意, 输出分配同步也要求APLL校准并锁定, 除非寄存器0x0405[3] = 1b。
	[1:0]	同步源选择	自动同步模式。 00 = 禁用。同步命令必须手动发出, 或者使用此寄存器的同步屏蔽位(Bits[5:4])。 01 = DPPLL锁频时同步。 10(默认)= DPPLL锁相时同步。 11 = 保留。

表68. 分配OUT0设置

地址	Bits	位名称	描述
0x0501	7	使能3.3 V CMOS驱动器	0(默认)= 禁用3.3 V CMOS驱动器, OUT0逻辑由寄存器0x0501[6:4]控制。 1 = 使能3.3 V CMOS驱动器作为OUT0的工作模式。 仅当位[6:4]设为CMOS模式时才应将此位置1。
	[6:4]	OUT0格式	这些位设置OUT0驱动器模式。 000 = 关断, 三态。 001(默认)= HSTL。 010 = LVDS。 011 = 保留。 100 = CMOS, 两路输出均有效。 101 = CMOS, P输出有效, N输出关断。 110 = CMOS, N输出有效, P输出关断。 111 = 保留。
	[3:2]	OUT0极性	控制OUT0极性。 00(默认)= 正、负。 01 = 正、正。 10 = 负、正。 11 = 负、负。
	1	OUT0驱动强度	控制OUT0的输出驱动能力。 0(默认)= CMOS: 低驱动强度; LVDS: 3.5 mA标称值。 1 = CMOS: 正常驱动强度; LVDS: 4.5 mA标称值(LVDS增强模式)。 注意: 这是3.3 V CMOS模式下的CMOS强度, 1.8 V CMOS只有低驱动强度。
	0	使能OUT0	使能/禁用(1b/0b) OUT0 1.8 V驱动器(默认禁用)。 如果此寄存器的位7设为1, 则此位无法使能/禁用OUT0。

表69. 分配通道0分频器设置

地址	Bits	位名称	描述
0x0502	[7:0]	通道0分频器	10位通道0分频器的位[7:0] (LSB)。分频比等于通道0分频器位[9:0] + 1。 ([9:0] = 0为1分频, [9:0] = 1为2分频, ... [9:0] = 1023为1024分频)
0x0503	[7:4]	保留	保留
	3	通道0关断	0(默认)=正常工作。 1 = 关断通道0。
	2	选择通道2的RF分频器	1 = 选择RF分频器2作为通道0分频器的预分频器。 0(默认)= 选择RF分频器1作为通道0分频器的预分频器。
	[1:0]	通道0分频器	10位通道分频器的位[9:8] (MSB)。
0x0504	[7:6]	保留	保留。
	[5:0]	通道0分频器相位	同步后的分频器初始相位, 相对于分频器输入时钟(来自RF分频器输出)。LSB为分频器输入时钟周期的 $\frac{1}{2}$ 。 相位 = 0为无相位偏移。 相位 = 1为 $\frac{1}{2}$ 周期的偏移。

表70. 分配OUT1设置

地址	Bits	位名称	描述
0x0505	7	保留	保留。
	[6:4]	OUT1格式	这些位设置OUT1驱动器模式。 000 = 关断, 三态。 001(默认)= HSTL。 010 = LVDS。 011 = 保留。 100 = CMOS, 两路输出均有效。 101 = CMOS, P输出有效, N输出关断。 110 = CMOS, N输出有效, P输出关断。 111 = 保留。
	[3:2]	OUT1极性	这些位配置CMOS模式下的OUT1极性, 仅在CMOS模式下有效。 00(默认)= 正、负。 01 = 正、正。 10 = 负、正。 11 = 负、负。
	1	OUT1驱动强度	控制OUT1的输出驱动能力。 0(默认)= LVDS: 3.5 mA标称值。 1 = LVDS: 4.5 mA标称值(LVDS增强模式)。 无CMOS控制, 因为OUT1仅支持1.8 V CMOS。
	0	使能OUT1	此位设为1将使能OUT1驱动器(默认禁用)。
0x0506	[7:0]	保留	保留。

表71. 分配通道1分频器设置

地址	Bits	位名称	描述
0x0507	[7:0]	通道1分频器	控制通道1分频器, 与控制通道0分频器的寄存器0x0502相同。
0x0508	[7:0]	通道1分频器	控制通道1分频器, 与控制通道0分频器的寄存器0x0503相同。
0x0509	[7:0]	通道1分频器	控制通道1分频器, 与控制通道0分频器的寄存器0x0504相同。

AD9557

参考输入(寄存器0x0600至寄存器0x0602)

表72. 参考关断¹

地址	Bits	位名称	描述
0x0600	[7:2]	保留	保留。
	1	REFB关断	关断REFB输入接收器。 0(默认)= 不关断。 1 = 关断。
	0	REFA关断	关断REFA输入接收器。 0(默认)= 不关断。 1 = 关断。

¹ 当所有位均置1时，参考接收器部分进入深度休眠模式。

表73. 参考逻辑系列

地址	Bits	位名称	描述
0x0601	[7:4]	保留	保留。
	[3:2]	REFB逻辑类型	选择REFB输入接收器的逻辑系列；CMOS模式下仅使用REFB_P。 00(默认)= 差分。 01 = 1.2 V至1.5 V CMOS。 10 = 1.8 V至2.5 V CMOS。 11 = 3.0 V至3.3 V CMOS。
	[1:0]	REFA逻辑类型	REFA逻辑类型设置与用于REFB的寄存器0x0601[3:2]相同。

表74. 参考优先级设置

地址	Bits	位名称	描述
0x0602	[7:4]	保留	保留。
	[3:2]	REFB优先级	用户指定的REFB相关参考的优先级(0至3)，相对于其它参考而言。 00(默认)= 0。 01 = 1。 10 = 2。 11 = 3。
	[1:0]	REFA优先级	REFA优先级设置与用于REFB的寄存器0x0602[3:2]相同。

DPLL Profile寄存器(寄存器0x0700至寄存器0x0766)

注意，REFA Profile的默认值如下：输入频率 = 19.44 MHz，输出频率 = 622.08 MHz/155.52 MHz，环路带宽 = 400 Hz，正常相位裕量，内容差 = 5%，外容差 = 10%。

REFB Profile的默认值如下：输入频率 = 8 kHz，输出频率 = 622.08 MHz/155.52 MHz，环路带宽 = 100 Hz，正常相位裕量，内容差 = 5%，外容差 = 10%。

REFA Profile(寄存器0x0700至寄存器0x0726)**表75. 参考周期—REFA Profile**

地址	Bits	位名称	描述
0x0700	[7:0]	标称参考周期(fs)	标称参考周期位[7:0](默认值：0xC9)
0x0701	[7:0]		标称参考周期位[15:8](默认值：0xEA)
0x0702	[7:0]		标称参考周期位[23:16](默认值：0x10)
0x0703	[7:0]		标称参考周期位[31:24](默认值：0x03)
0x0704	[7:0]		标称参考周期位[39:32](默认值：0x00) 寄存器0x0700至寄存器0x0704的默认值 = 0x000310EAC9 = 51.44 ns (1/19.44 MHz)

表76. 参考周期容差—REFA Profile

地址	Bits	位名称	描述
0x0705	[7:0]	内容差	输入参考频率监控器内容差位[7:0](默认值：0x14)。
0x0706	[7:0]		输入参考频率监控器内容差位[15:8](默认值：0x00)。
0x0707	[7:4]	保留	保留。
	[3:0]	内容差	输入参考频率监控器内容差位[19:16]。寄存器0x0705至寄存器0x0707的默认值 = 0x000014 = 20(5%或50,000 ppm)。Stratum 3时钟要求±9.2 ppm的内容差和±12 ppm的外容差；SMC时钟要求±48 ppm的外容差。内容差的容许范围是0x0000A (10%)至0xFFFF (1 ppm)。输入参考监控器的容差与系统时钟频率一样精确。
0x0708	[7:0]	外容差	输入参考频率监控器外容差位[7:0](默认值：0x0A)。
0x0709	[7:0]		输入参考频率监控器外容差位[15:8](默认值：0x00)。
0x070A	[7:4]	保留	保留。
	[3:0]	外容差	输入参考频率监控器外容差位[19:16]。寄存器0x0708至寄存器0x070A的默认值 = 0x00000A = 10(10%或100,000 ppm) Stratum 3时钟要求±9.2 ppm的内容差和±12 ppm的外容差；SMC时钟要求±48 ppm的外容差。外容差寄存器设置应始终小于内容差。

表76. 参考周期容差—REFA Profile

地址	Bits	位名称	描述
0x070B	[7:0]	验证定时器(ms)	验证定时器位[7:0](默认值：0x0A)。 这是指参考输入必须保持有效以便参考输入监控器认定其有效的时间(默认值：10 ms)。
0x070C	[7:0]		验证定时器位[15:8](默认值：0x00)。

表78. 保留寄存器

地址	Bits	位名称	描述
0x070D	[7:0]	保留	默认值：0x00

表79. DPLL基本环路滤波器选择—REFA Profile

地址	Bits	位名称	描述
0x070E	[7:1]	保留	默认值：0x00
	0	选择高相位裕量基本环路滤波器	0 = 正常相位裕量(70°)的基本环路滤波器(默认) 1 = 高相位裕量(88.5°)的基本环路滤波器 (环路带宽 ≤ 2 kHz时，闭环传递函数的峰化 ≤ 0.1 dB；对于2kHz以上的环路带宽，建议也要将此位置1。)

表80. DPLL环路带宽比例因子—REFA Profile¹

地址	Bits	位名称	描述
0x070F	[7:0]	DPLL环路带宽比例因子 (单位: 0.1 Hz)	数字PLL环路带宽比例因子位[7:0](默认值: 0xF4)
0x0710	[7:0]		数字PLL环路带宽比例因子位[15:8](默认值: 0x01)。 寄存器0x070F至寄存器0x0710的默认值 = 0x01F4 = 500(50 Hz环路带宽)。 环路带宽始终应小于DPLL鉴相器频率除以20的结果。
0x0711	[7:1]	保留	默认值: 0x00。
	0	带宽比例因子	数字PLL环路带宽比例因子位[16](默认值: 0b)。

¹ 注意: DPLL环路默认带宽为50.4 Hz。

表81. R分频器—REFA Profile

地址	Bits	位名称	描述
0x0712	[7:0]	R分频器	DPLL整数参考分频器(减1)位[7:0](默认值: 0xC5)
0x0713	[7:0]		DPLL整数参考分频器位[15:8](默认值: 0x00)
0x0714	[7:5]	保留	默认值: 0x0
	4	使能REFA 2分频	使能REFA的参考输入2分频 0 = 旁路2分频(默认) 1 = 使能2分频
	[3:0]	R分频器	DPLL整数参考分频器位[19:16](默认值: 0x0) 寄存器0x0712至寄存器0x0714的默认值 = 0x00C5 = 197(意味着R = 198)

表82. 小数反馈分频器的整数部分N1—REFA Profile

地址	Bits	位名称	描述
0x0715	[7:0]	整数部分N1	DPLL整数反馈分频器(减1)位[7:0](默认值: 0x6B)
0x0716	[7:0]		DPLL整数反馈分频器位[15:8](默认值: 0x07)
0x0717	[7:1]	保留	默认值: 0x00
	0	整数部分N1	DPLL整数反馈分频器位[16](默认值: 0b) 寄存器0x0715至寄存器0x0717的默认值 = 0x0076B(意味着N1 = 1900)

表83. 小数反馈分频器的小数部分FRAC1—REFA Profile

地址	Bits	位名称	描述
0x0718	[7:0]	数字PLL小数反馈 分频器—FRAC1	小数N反馈分频器的分子位[7:0](默认值: 0x04)
0x0719	[7:0]		小数N反馈分频器的分子位[15:8](默认值: 0x00)
0x071A	[7:0]		小数N反馈分频器的分子位[23:16](默认值: 0x00)

表84. 小数反馈分频器的模数MOD1—REFA Profile

地址	Bits	位名称	描述
0x071B	[7:0]	数字PLL反馈分频器 模数—MOD1	小数N反馈分频器的分母位[7:0](默认值: 0x05)
0x071C	[7:0]		小数N反馈分频器的分母位[15:8](默认值: 0x00)
0x071D	[7:0]		小数N反馈分频器的分母位[23:16](默认值: 0x00)

表85. 相位和频率锁定检测器控制—REFA Profile

地址	Bits	位名称	描述
0x071E	[7:0]	锁相阈值	锁相阈值位[7:0](默认值: 0xBC); 0x02BC的默认值 = 700 ps
0x071F	[7:0]		锁相阈值位[15:8](默认值: 0x02)
0x0720	[7:0]	锁相填充速率	锁相填充速率位[7:0](默认值: 0x0A = 10代码/PFD周期)
0x0721	[7:0]	锁相流失速率	锁相流失速率位[7:0](默认值: 0x0A = 10代码/PFD周期)
0x0722	[7:0]	锁频阈值	锁频阈值位[7:0](默认值: 0xBC); 0x02BC的默认值 = 700 ps
0x0723	[7:0]		锁频阈值位[15:8](默认值: 0x02)
0x0724	[7:0]		锁频阈值位[23:16](默认值: 0x00)
0x0725	[7:0]	锁频填充速率	锁频填充速率位[7:0](默认值: 0x0A = 10代码/PFD周期)
0x0726	[7:0]	锁频流失速率	锁频流失速率位[7:0](默认值: 0x0A = 10代码/PFD周期)

REFB Profile(寄存器0x0740至寄存器0x0766)

REFB Profile寄存器0x0740至0x0766与REFA Profile寄存器0x0700至0x0726相同。

操作控制(寄存器0x0A00至寄存器0x0A0D)**表86. 一般关断**

地址	Bits	位名称	描述
0x0A00	7	软复位排除寄存器映射	复位器件, 但保留已编程的寄存器值(默认不复位)
	6	DCO关断	将DCO置于深度休眠模式(默认不关断)
	5	SYSCLK关断	将SYSCLK输入和PLL置于深度休眠模式(默认不关断)
	4	参考输入关断	将参考时钟输入置于深度休眠模式(默认不关断)
	3	TDC关断	将时间数字转换器置于深度休眠模式(默认不关断)
	2	APLL关断	将输出PLL置于深度休眠模式(默认不关断)
	1	时钟分配关断	将时钟分配输出置于深度休眠模式(默认不关断)
	0	完全关断	将整个器件置于深度休眠模式(默认不关断)

表87. 环路模式

地址	Bits	位名称	描述	
0x0A01	7	保留	保留。	
	6	用户保持	强制器件进入保持模式(默认不是强制保持模式)。如果调谐字历史可用, 则DCO输出频率由历史调谐字指定。否则, DCO输出频率由自由振荡频率调谐字寄存器指定。强制锁相和锁频检测器进入解锁状态。	
	5	用户自由振荡	强制器件进入用户自由振荡模式(默认不是强制用户自由振荡模式)。DCO输出频率由自由振荡频率调谐字寄存器指定。当用户自由振荡位置1时, 用户保持位(地址0x0A01的位6)无效。	
	[4:2]	参考切换模式	选择参考切换状态机的工作模式。	
			参考切换模式位[2:0]; 寄存器0x0A01[4:2]	参考选择模式
			000(默认)	自动恢复模式
	001		自动非恢复模式	
		010	手动参考选择(带自动回退模式)	
		011	手动参考选择模式(带自动保持)	
		100	全手动模式(无自动保持)	
		101	不用	
		110	不用	
		111	不用	
	1	保留	保留。	
	0	手动切换模式下的用户参考	参考切换模式的输入参考(寄存器0x0A01的位[4:2] = 100)。0(默认)= 输入参考A。 1 = 输入参考B。	

表88. 校准/同步

地址	Bits	位名称	描述
0x0A02	[7:2]	保留	默认值: 0x00
	1	软同步时钟分配	此位置1将启动时钟分配输出的同步(默认值 = 0b)。当值为1b时, 未屏蔽的输出空闲, 1b到0b跃迁时重新启动。
	0	保留	默认值: 0b.

复位功能(寄存器0x0A03)

表89. 复位功能

地址	Bits	位名称	描述
0x0A03 (自清零)	7	保留	默认值: 0b.
	6	LF清零	此位置1将清除数字环路滤波器(用作调试工具)。
	5	CCI清零	此位置1将清除CCI滤波器(用作调试工具)。
	4	保留	默认值: 0b.
	3	自动同步清零	此位置1将复位自动同步逻辑(见寄存器0x0500)。
	2	调谐字历史清零	此位置1将复位调谐字历史逻辑(保持功能的一部分)。
	1	所有IRQ清零	此位置1将清除整个IRQ监控寄存器(寄存器0x0D02至寄存器0x0D07)。它相当于将IRQ清零寄存器(寄存器0x0A04至0x0A0D)的所有位置1。
	0	看门狗定时器清零	此位置1将复位看门狗定时器(见寄存器0x0210和寄存器0x0211)。如果定时器超时,它就会启动一个新的计时周期。如果定时器尚未超时,它就从时间0重新启动,而不引起超时事件。以小于超时周期的时间间隔不断复位看门狗定时器,可以防止看门狗定时器产生超时事件。

IRQ清零(寄存器0x0A04至寄存器0x0A09)

IRQ清零寄存器的格式与IRQ监控寄存器(寄存器0x0D02至寄存器0x0D09)相同。设为逻辑1时, IRQ清零位复位相应的IRQ监控位,从而取消对所指示事件的中断请求。IRQ清零寄存器是自清零寄存器。

表90. SYSCLK的IRQ清零

地址	Bits	位名称	描述
0x0A04	[7:6]	保留	保留
	5	SYSCLK失锁	清除SYSCLK解锁IRQ
	4	SYSCLK锁定	清除SYSCLK锁定IRQ
	3	APLL失锁	清除输出PLL解锁IRQ
	2	APLL锁定	清除输出PLL锁定IRQ
	1	APLL校准结束	清除APLL校准完成IRQ
	0	APLL校准开始	清除APLL校准开始IRQ

表91. 分配同步、看门狗定时器和EEPROM的IRQ清零

地址	Bits	位名称	描述
0x0A05	[7:5]	保留	保留
	4	引脚编程结束	清除引脚编程结束IRQ
	3	同步时钟分配	清除分配同步IRQ
	2	看门狗定时器	清除看门狗定时器IRQ
	1	EEPROM故障	清除EEPROM故障IRQ
	0	EEPROM完成	清除EEPROM完成IRQ

表92. 数字PLL的IRQ清零

地址	Bits	位名称	描述
0x0A06	7	切换	清除切换IRQ
	6	闭环	清除闭环IRQ
	5	自由振荡	清除自由振荡IRQ
	4	保持	清除保持IRQ
	3	频率失锁	清除频率解锁IRQ
	2	频率锁定	清除频率锁定IRQ
	1	相位失锁	清除相位解锁IRQ
	0	相位锁定	清除相位锁定IRQ

表93. 历史更新、频率限制和相位压摆率限制的IRQ清零

地址	Bits	位名称	描述
0x0A07	[7:5]	保留	保留
	4	历史已更新	清除历史已更新IRQ
	3	频率未箝位	清除频率未箝位IRQ
	2	频率已箝位	清除频率箝位IRQ
	1	相位压摆率不受限	清除相位压摆率不受限IRQ
	0	相位压摆率受限	清除相位压摆率受限IRQ

表94. 参考输入的IRQ清零

地址	Bits	位名称	描述
0x0A08	7	保留	保留
	6	REFB已验证	清除REFB已验证IRQ
	5	REFB故障已清除	清除REFB故障已清除IRQ
	4	REFB故障	清除REFB故障IRQ
	3	保留	保留
	2	REFA已验证	清除REFA已验证IRQ
	1	REFA故障已清除	清除REFA故障已清除IRQ
	0	REFA故障	清除REFA故障IRQ
0x0A09	[7:0]	保留	保留

增量相位偏移控制和手动参考验证(寄存器0x0A0A至寄存器0x0A0D)

表95. 增量相位偏移控制

地址	Bits	位名称	描述
0x0A0A	[7:3]	保留	保留
	2	相位偏移复位	将增量相位偏移复位为0。 这是一个自清零位。
	1	相位偏移递减	减少增量相位偏移，递减量为增量锁相偏移步进大小寄存器(寄存器0x0312至寄存器0x0313)指定的量。 这是一个自清零位。
	0	相位偏移递增	增加增量相位偏移，递增量为增量锁相偏移步进大小寄存器(寄存器0x0312至寄存器0x0313)指定的量。 这是一个自清零位。

表96. 手动参考验证

地址	Bits	位名称	描述
0x0A0B	[7:2]	保留	保留。
	1	强制超时B	此自清零位置1相当于参考B的验证定时器超时，允许用户立即使REFB变为有效。
	0	强制超时A	此自清零位置1相当于参考A的验证定时器超时，允许用户立即使REFA变为有效。
0x0A0C	[7:2]	保留	保留。
	1	参考监控覆盖B	覆盖参考B的参考监控器REF FAULT信号。此位置1会迫使REFB变为无效，这是迫使一个参考离开REFB的有用方法(默认值：0b)。
	0	参考监控覆盖A	覆盖参考A的参考监控器REF FAULT信号。此位置1会迫使REFA变为无效，这是迫使一个参考离开REFA的有用方法(默认值：0b)。
0x0A0D	[7:2]	保留	保留。
	1	参考监控旁路B	此位置1将旁路参考B的参考监控器，并启动REFB验证定时器。首先将此位置1，然后将“强制超时B”位置1，DPLL即可使用REFB。然而，用户应恰好在设置强制超时位的同时设置此位(默认值：0)。
	0	参考监控旁路A	此位置1将旁路参考A的参考监控器，并启动REFA验证定时器。首先将此位置1，然后将“强制超时B”位置1，DPLL即可使用REFA。然而，用户应恰好在设置强制超时位的同时设置此位(默认值：0)。

快速输入/输出频率软引脚配置(寄存器0x0C00至0x0C08)

表97. 软引脚编程设置

地址	Bits	位名称	描述			
0x0C00	[7:1]	保留	保留			
	0	使能软引脚部分1	0(默认)= 禁用软引脚部分1中的软引脚寄存器(寄存器0x0C01和寄存器0x0C02)的功能。 1 = 如果启动和/或复位时PINCONTROL引脚为低电平, 则使能软引脚部分1中的软引脚寄存器(寄存器0x0C01和寄存器0x0C02)的功能。 软引脚部分1中的寄存器将器件配置为片内ROM中存储的256种预配置输入输出频率转换之一。 如果上电和/或复位时PINCONTROL引脚为高电平(意味着使能硬引脚编程), 则忽略软引脚部分1中的软引脚寄存器(寄存器0x0C00和寄存器0x0C02)。			
0x0C01	[7:4]	输出频率选择	选择16种预定义输出频率中的一种作为所需频率转换的输出频率, 并且用ROM中存储的值重新编程自由振荡调谐字、N2、RF分频比和M0至M3分频器。			
	[3:0]	输入频率选择	选择16种预定义输入频率中的一种作为所需频率转换的输入频率, 并且用ROM中存储的值重新编程四个REF Profile中的参考周期、R分频器、N1、FRAC1和MOD1。			
0x0C02	[7:2]	保留	保留。			
	[1:0]	系统时钟PLL参考选择	为所需的频率转换选择四种预定义系统PLL参考中的一种, 并用ROM中存储的值重新编程系统PLL配置。要加载ROM中的值, 用户必须在写入此值后写入寄存器0x0C07[0]=1。			
			系统PLL参考	寄存器0x0C02[1:0]	等效系统时钟PLL设置, 寄存器0x0100至寄存器0x0101[3:0]	
				Bit 1	Bit 0	12 Bits
			1	0	0	24.576 MHz XTAL, ×2开, N = 16
			2	0	1	49.152 MHz XTAL, ×2开, N = 8
3	1	0	24.576 MHz XO, ×2关, N = 32			
4	1	1	49.152 MHz XO, ×2关, N = 16			
0x0C03	[7:1]	保留	保留。			
	0	使能软引脚部分2	0(默认)= 禁用软引脚部分2中的软引脚寄存器(寄存器0x0C04和寄存器0x0C06)的功能。 1 = 当PINCONTROL引脚为低电平时, 使能软引脚部分2中的软引脚寄存器(寄存器0x0C04和寄存器0x0C06)的功能。			
0x0C04	[7:4]	保留	保留。			
	[3:2]	REFB频率比例	调整为REFB选择的输入频率(由寄存器0x0C01[3:0]定义)。 00(默认)= 1分频。 01 = 4分频。 10 = 8分频。 11 = 16分频。 例如, 如果选择的输入频率为622.08 MHz, 寄存器0x0C04[3:2] = 11b, 则新输入频率应为622.08 MHz/16 = 38.8 MHz。			
0x0C05	[1:0]	REFA频率比例	调整为REFA选择的输入频率(由寄存器0x0C01[3:0]定义)。 00(默认)= 1分频。 01 = 4分频。 10 = 8分频。 11 = 16分频。			
	[7:4]	保留	保留。			
0x0C05	[3:2]	通道1输出频率比例	调整为通道分频器1输出选择的输出频率(由寄存器0x0C01[7:4]定义)。 00(默认)= 1分频。 01 = 4分频。 10 = 8分频。 11 = 16分频。			
	[1:0]	通道0输出频率比例	调整为通道分频器0输出选择的输出频率(由寄存器0x0C01[7:4]定义)。 00(默认)= 1分频。 01 = 4分频。 10 = 8分频。 11 = 16分频。			

地址	Bits	位名称	描述
0x0C06	[7:5]	保留	保留
	4	选择高相位裕量基本环路滤波器	0 = 正常相位裕量(70°)的基本环路滤波器(默认)。 1 = 高相位裕量(88.5°)的基本环路滤波器。(闭环传递函数的峰化 < 0.1 dB)
	[3:2]	DPLL环路带宽	调整软引脚模式下的DPLL环路带宽。 00(默认)= 50 Hz。 01 = 1 Hz。 10 = 10 Hz。 11 = 100 Hz。
	[1:0]	参考输入频率容差	调整软引脚模式下的输入频率容差。 00(默认)= 外容差: 10%; 内容差: 8%(一般条件)。 01 = 外容差: 12 ppm; 内容差: 9.6 ppm (Stratum 3)。 10 = 外容差: 48 ppm; 内容差: 38 ppm(SMC时钟标准)。 11 = 外容差: 200 ppm; 内容差: 160 ppm(XTAL系统时钟)。
0x0C07	[7:1]	保留	保留。
	0	软引脚启动传输	自清零寄存器。1 = 启动ROM下载而不复位器件/寄存器映射。ROM下载完成后, 此寄存器复位。
0x0C08	[7:1]	保留	保留。
	0	软引脚复位	自清零寄存器; 像软复位(寄存器0x0000[5])一样复位器件, 不过此复位功能会启动软引脚ROM下载, 而不会复位器件/寄存器映射。ROM下载完成后, 此寄存器恢复零值。

状态回读(寄存器0x0D00至寄存器0x0D14)

寄存器0x0D00至寄存器0x0D14中的所有位都是只读位。要显示最新状态, 读取这些寄存器之前需要立即执行I/O更新(寄存器0x0005 = 0x01)。

表98. EEPROM状态

地址	Bits	位名称	描述
0x0D00	[7:4]	保留	保留。
	3	引脚编程ROM加载过程	从ROM读取数据时, 控制逻辑将此位设为1。
	2	检测到故障	保存数据到EEPROM或从中加载数据时发生错误。
	1	正在加载	从EEPROM读取数据时, 控制逻辑将此位设为1。
	0	正在保存	写入数据到EEPROM时, 控制逻辑将此位设为1。

表99. SYSCLK状态

地址	Bits	位名称	描述
0x0D01	7	保留	保留。
	6	DPLL_APLL_Lock	指示DPLL和APLL的状态。 0 = DPLL或APLL未锁定。 1 = DPLL和APLL均已锁定。
	5	所有PLL均锁定	指示系统时钟PLL、APLL和DPLL的状态。 0 = 系统时钟PLL、APLL或DPLL未锁定。 1 = 所有三个PLL(系统时钟PLL、APLL和DPLL)均已锁定。
	4	APLL VCO状态	1 = 正常。 0 = 关闭/时钟丢失。
	3	正在进行APLL校准	当APLL VCO的幅度校准正在进行时, 控制逻辑使此位保持置1。
	2	APLL锁定	指示APLL的状态。 0 = 未锁定。 1 = 已锁定。
	1	系统时钟稳定	当器件认为系统时钟稳定时, 控制逻辑将此位设为1(参见“系统时钟稳定性定时器”部分)。 0 = 不稳定(系统时钟稳定性定时器尚未过期)。 1 = 稳定(系统时钟稳定性定时器已过期)。
	0	SYSCLK锁定检测	指示系统时钟PLL的状态。 0 = 未锁定。 1 = 已锁定。

IRQ监控器(寄存器0x0D02至寄存器0x0D07)

如果未通过IRQ屏蔽寄存器(寄存器0x0209和寄存器0x020A)屏蔽, 则当发生指示的事件时, 相应的IRQ监控位为逻辑1。这些位只能通过IRQ清零寄存器(寄存器0x0A04至寄存器0A0B)、复位所有IRQ位(寄存器0x0A03[1])或器件复位来清零。

表100. SYSCLK的IRQ监控

地址	Bits	位名称	描述
0x0D02	[7:6]	保留	保留。
	5	SYSCLK失锁	指示SYSCLK PLL状态从锁定变为解锁
	4	SYSCLK锁定	指示SYSCLK PLL状态从解锁变为锁定
	3	APLL失锁	指示输出PLL状态从锁定变为解锁
	2	APLL锁定	指示输出PLL状态从解锁变为锁定
	1	APLL校准结束	指示APLL校准已完成
	0	APLL校准开始	指示APLL校准已开始

表101. 分配同步、看门狗定时器和EEPROM的IRQ监控

地址	Bits	位名称	描述
0x0D03	[7:5]	保留	保留
	4	引脚编程结束	指示ROM加载操作完成
	3	输出分配同步	指示分配同步事件
	2	看门狗定时器	指示看门狗定时器届满
	1	EEPROM故障	指示EEPROM加载或保存操作期间发生故障
	0	EEPROM完成	指示EEPROM加载或保存完成

表102. 数字PLL的IRQ监控

地址	Bits	位名称	描述
0x0D04	7	切换	指示DPLL切换到新参考
	6	闭环	指示DPLL已进入闭环工作模式
	5	自由振荡	指示DPLL已进入自由振荡模式
	4	保持	指示DPLL已进入保持模式
	3	频率失锁	指示DPLL已失去频率锁定
	2	频率锁定	指示DPLL已获得频率锁定
	1	相位失锁	指示DPLL已失去相位锁定
	0	相位锁定	指示DPLL已获得相位锁定

表103. 历史更新、频率限制和相位压摆率限制的IRQ监控

地址	Bits	位名称	描述
0x0D05	[7:5]	保留	保留
	4	历史已更新	指示调谐字历史更新事件
	3	频率未箝位	指示频率限制状态从箝位变为未箝位
	2	频率已箝位	指示频率限制状态从未箝位变为箝位
	1	相位压摆率不受限	指示相位压摆率限制状态从受限变为不受限
	0	相位压摆率受限	指示相位压摆率限制状态从不受限变为受限

表104. 参考输入的IRQ监控

地址	Bits	位名称	描述
0x0D06	7	保留	保留
	6	REFB已验证	指示REFB已验证有效
	5	REFB故障已清除	指示REFB的前一故障已被清除
	4	REFB故障	指示REFB发生故障
	3	保留	保留
	2	REFA已验证	指示REFA已验证有效
	1	REFA已验证	指示REFA的前一故障已被清除
	0	REFA故障	指示REFA发生故障
0x0D07	[7:0]	保留	保留

DPLL状态、输入参考状态、保持历史和DPLL锁定检测浴盆水位(寄存器0x0D08至寄存器0x0D14)

表105. DPLL状态

地址	Bits	位名称	描述
0x0D08	7	保留	保留
	6	偏移压摆率限制	当前闭环相位偏移的压摆率受限
	5	频率锁定	DPLL已实现频率锁定
	4	相位锁定	DPLL已实现相位锁定
	3	环路切换	DPLL正在进行参考切换
	2	保持	DPLL处于保持模式
	1	有效	DPLL有效(即在闭环条件下工作)
	0	自由振荡	DPLL自由振荡(即在开环条件下工作)
0x0D09	[7:6]	保留	默认值: 0b
	5	频率已箝位	频率调谐字箝位上限或下限有效
	4	历史可用	调谐字历史足以供保持操作使用
	[3:2]	活动参考优先级	当前活动参考的优先级 00 = 最高优先级 ... 11 = 最低优先级
	1	保留	默认值: 0b
	0	当前活动参考	当前活动参考的索引 0 = 参考A 1 = 参考B

表106. 保留寄存器

地址	Bits	位名称	描述
0x0D0A	[7:0]	保留	保留

图107. 输入参考状态

地址	Bits	位名称	描述
0x0D0B	7	B有效	REFB有效可用(无故障, 验证定时器已届满)。
	6	B故障	REFB无效, 不能使用。
	5	B较快	此位指示REFB的频率高于Profile设置允许的值。
	4	B较慢	此位指示REFB的频率低于Profile设置允许的值。
	3	A有效	REFA有效可用(无故障, 验证定时器已届满)。
	2	A故障	REFA无效, 不能使用。
	1	A较快	此位指示REFA的频率高于Profile设置允许的值。
	0	较慢	此位指示REFA的频率低于Profile设置允许的值。
0x0D0C	[7:0]	保留	保留。

表108. 保持历史¹

地址	Bits	位名称	描述
0x0D0D	[7:0]	调谐字回读	调谐字回读位[7:0]
0x0D0E	[7:0]		调谐字回读位[15:8]
0x0D0F	[7:0]		调谐字回读位[23:9]
0x0D10	[7:0]		调谐字回读位[31:24]

¹注意: 这些寄存器包含调谐字历史逻辑产生的当前30位DCO频率调谐字。

表109. 数字PLL锁定检测浴盆水位

地址	Bits	位名称	描述
0x0D11	[7:0]	相位浴盆	只读数字PLL锁定检测浴盆水位[7:0](参见“DPLL锁频检测器”部分)。
0x0D12	[7:4]		保留。
	[3:0]		只读数字PLL锁定检测浴盆水位[11:8](参见“DPLL锁频检测器”部分)。
0x0D13	[7:0]	频率浴盆	只读数字PLL锁定检测浴盆水位[7:0](参见“DPLL锁相检测器”部分)。
0x0D14	[7:4]	保留	保留。
	[3:0]	频率浴盆	只读数字PLL锁定检测浴盆水位[11:8](参见“DPLL锁相检测器”部分)。

EEPROM控制(寄存器0x0E00至寄存器0x0E3C)

表110. EEPROM控制

地址	Bits	位名称	描述
0x0E00	[7:1]	保留	保留。
	0	写入使能	EEPROM写入使能/保护。 0(默认)= EEPROM写保护 1 = EEPROM写入使能
0x0E01	[7:4]	保留	保留。
	[3:0]	条件值	设为非零值时, 确定EEPROM下载的条件。默认值: 0。
0x0E02	[7:1]	保留	保留。
	0	保存到EEPROM	上传数据到EEPROM(参见“EEPROM存储序列(寄存器0x0E10至寄存器0x0E3C)”部分)。
0x0E03	[7:2]	保留	保留。
	1	从EEPROM加载	从EEPROM下载数据。
	0	保留	保留。

EEPROM存储序列(寄存器0x0E10至寄存器0x0E3C)

寄存器0x0E10至寄存器0x0E3C的默认设置包含默认EEPROM指令序列。本部分中的表格说明了寄存器默认值, 假设控制器被要求执行EEPROM存储序列, 所有寄存器都由EEPROM存储和加载。

表111. 系统时钟设置的EEPROM存储序列

地址Bits		位名称	描述
0x0E10	[7:0]	EEPROM ID	此寄存器的默认值是0x01, 控制器将其解读为一个数据指令。其十进制值为1, 控制器由此得知, 从后续两个字节指定的地址开始传输两字节的数据(1 + 1)。控制器将0x01存储在EEPROM中, 并递增EEPROM地址指针。
0x0E11	[7:0]		这两个寄存器的默认值为0x0006。注意, 寄存器0x0E11和寄存器0x0E12分别是目标地址的最高有效字节和最低有效字节。由于前一个寄存器包含一个数据指令, 因此这两个寄存器定义一个起始地址(本例为0x0006)。控制器将0x0006存储在EEPROM中, 并使EEPROM地址指针递增2, 然后从寄存器映射传输2字节的数据(从地址0x0006开始)到EEPROM, 并使EEPROM地址指针递增3(2个数据字节和1个校验和字节)。所传输的两个字节对应于寄存器映射中的系统时钟参数。
0x0E12	[7:0]		
0x0E13	[7:0]	系统时钟	此寄存器的默认值是0x08, 控制器将其解读为一个数据指令。其十进制值为8, 控制器由此得知, 从后续两个字节指定的地址开始传输9字节的数据(8 + 1)。控制器将0x08存储在EEPROM中, 并递增EEPROM地址指针。
0x0E14	[7:0]		这两个寄存器的默认值为0x0100。注意, 寄存器0x0E14和寄存器0x0E15分别是目标地址的最高有效字节和最低有效字节。由于前一个寄存器包含一个数据指令, 因此这两个寄存器定义一个起始地址(本例为0x0100)。控制器将0x0100存储在EEPROM中, 并使EEPROM地址指针递增2, 然后从寄存器映射传输9字节的数据(从地址0x0100开始)到EEPROM, 并使EEPROM地址指针递增10(9个数据字节和1个校验和字节)。所传输的9个字节对应于寄存器映射中的系统时钟参数。
0x0E15	[7:0]		
0x0E16	[7:0]		
			此寄存器的默认值是0x80, 控制器将其解读为一个I/O更新指令。控制器将0x80存储在EEPROM中, 并递增EEPROM地址指针。

表112. 通用配置设置的EEPROM存储序列

地址	Bits	位名称	描述
0x0E17	[7:0]	通用	此寄存器的默认值是0x11，控制器将其解读为一个数据指令。其十进制值为17，控制器由此得知，从后续两个字节指定的地址开始传输18字节的数据(17 + 1)。控制器将0x11存储在EEPROM中，并递增EEPROM地址指针。
0x0E18	[7:0]		这两个寄存器的默认值为0x0200。注意，寄存器0x0E18和寄存器0x0E19分别是目标地址的最高有效字节和最低有效字节。由于前一个寄存器包含一个数据指令，因此这两个寄存器定义一个起始地址(本例为0x0200)。控制器将0x0200存储在EEPROM中，并使EEPROM地址指针递增2，然后从寄存器映射传输18字节的数据(从地址0x0200开始)到EEPROM，并使EEPROM地址指针递增19(18个数据字节和1个校验和字节)。所传输的18个字节对应于寄存器映射中的通用配置参数。
0x0E19	[7:0]		

表113. DPLL设置的EEPROM存储序列

地址	Bits	位名称	描述
0x0E1A	[7:0]	DPLL	此寄存器的默认值是0x2E，控制器将其解读为一个数据指令。其十进制值为46，控制器由此得知，从后续两个字节指定的地址开始传输47字节的数据(46 + 1)。控制器将0x2E存储在EEPROM中，并递增EEPROM地址指针。
0x0E1B	[7:0]		这两个寄存器的默认值为0x03。注意，寄存器0x0E1B和寄存器0x0E1C分别是目标地址的最高有效字节和最低有效字节。由于前一个寄存器包含一个数据指令，因此这两个寄存器定义一个起始地址(本例为0x0300)。控制器将0x0300存储在EEPROM中，并使EEPROM地址指针递增2，然后从寄存器映射传输47字节的数据(从地址0x0300开始)到EEPROM，并使EEPROM地址指针递增48(47个数据字节和1个校验和字节)。所传输的47个字节对应于寄存器映射中的DPLL参数。
0x0E1C	[7:0]		

表114. APLL设置的EEPROM存储序列

地址	Bits	位名称	描述
0x0E1D	[7:0]	APLL	此寄存器的默认值是0x08，控制器将其解读为一个数据指令。其十进制值为8，控制器由此得知，从后续两个字节指定的地址开始传输9字节的数据(8 + 1)。控制器将0x08存储在EEPROM中，并递增EEPROM地址指针。
0x0E1E	[7:0]		这两个寄存器的默认值为0x0400。注意，寄存器0x0E1E和寄存器0x0E1F分别是目标地址的最高有效字节和最低有效字节。由于前一个寄存器包含一个数据指令，因此这两个寄存器定义一个起始地址(本例为0x0400)。控制器将0x0400存储在EEPROM中，并使EEPROM地址指针递增2，然后从寄存器映射传输9字节的数据(从地址0x0400开始)到EEPROM，并使EEPROM地址指针递增10(9个数据字节和1个校验和字节)。所传输的9个字节对应于寄存器映射中的APLL参数。
0x0E1F	[7:0]		

表115. 时钟分配设置的EEPROM存储序列

地址	Bits	位名称	描述
0x0E20	[7:0]	时钟分配	此寄存器的默认值是0x15，控制器将其解读为一个数据指令。其十进制值为21，控制器由此得知，从后续两个字节指定的地址开始传输22字节的数据(21 + 1)。控制器将0x15存储在EEPROM中，并递增EEPROM地址指针。
0x0E21	[7:0]		这两个寄存器的默认值为0x0500。注意，寄存器0x0E21和寄存器0x0E22分别是目标地址的最高有效字节和最低有效字节。由于前一个寄存器包含一个数据指令，因此这两个寄存器定义一个起始地址(本例为0x0500)。控制器将0x0500存储在EEPROM中，并使EEPROM地址指针递增2，然后从寄存器映射传输22字节的数据(从地址0x0500开始)到EEPROM，并使EEPROM地址指针递增23(22个数据字节和1个校验和字节)。所传输的22个字节对应于寄存器映射中的时钟分配参数。
0x0E22	[7:0]		
0x0E23	[7:0]	I/O更新	此寄存器的默认值是0x80，控制器将其解读为一个I/O更新指令。控制器将0x80存储在EEPROM中，并递增EEPROM地址指针。

AD9557

表116. 参考输入设置的EEPROM存储序列

地址	Bits	位名称	描述
0x0E24	[7:0]	参考输入	此寄存器的默认值是0x03, 控制器将其解读为一个数据指令。其十进制值为3, 控制器由此得知, 从后续两个字节指定的地址开始传输4字节的数据(3 + 1)。控制器将0x03存储在EEPROM中, 并递增EEPROM地址指针。
0x0E25	[7:0]		这两个寄存器的默认值为0x0600。注意, 寄存器0x0E25和寄存器0x0E26分别是目标地址的最高有效字节和最低有效字节。由于前一个寄存器包含一个数据指令, 因此这两个寄存器定义一个起始地址(本例为0x0600)。控制器将0x0600存储在EEPROM中, 并使EEPROM地址指针递增2, 然后从寄存器映射传输4字节的数据(从地址0x0600开始)到EEPROM, 并使EEPROM地址指针递增5(4个数据字节和1个校验和字节)。所传输的4个字节对应于寄存器映射中的参考输入参数。
0x0E26	[7:0]		

表117. 保留

地址	Bits	位名称	描述
0x0E27	[7:0]	保留	保留。
0x0E28	[7:0]	保留	保留。
0x0E29	[7:0]		

表118. REFA Profile设置的EEPROM存储序列

地址	Bits	位名称	描述
0x0E2A	[7:0]	REFA profile	此寄存器的默认值是0x26, 控制器将其解读为一个数据指令。其十进制值为38, 控制器由此得知, 从后续两个字节指定的地址开始传输39字节的数据(38 + 1)。控制器将0x26存储在EEPROM中, 并递增EEPROM地址指针。
0x0E2B	[7:0]		这两个寄存器的默认值为0x0700。注意, 寄存器0x0E2B和寄存器0x0E2C分别是目标地址的最高有效字节和最低有效字节。由于前一个寄存器包含一个数据指令, 因此这两个寄存器定义一个起始地址(本例为0x0700)。控制器将0x0700存储在EEPROM中, 并使EEPROM地址指针递增2, 然后从寄存器映射传输39字节的数据(从地址0x0700开始)到EEPROM, 并使EEPROM地址指针递增40(39个数据字节和1个校验和字节)。所传输的39个字节对应于寄存器映射中的REFA Profile参数。
0x0E2C	[7:0]		

表119. REFB Profile设置的EEPROM存储序列

地址	Bits	位名称	描述
0x0E2D	[7:0]	REFB profile	此寄存器的默认值是0x26, 控制器将其解读为一个数据指令。其十进制值为38, 控制器由此得知, 从后续两个字节指定的地址开始传输39字节的数据(38 + 1)。控制器将0x26存储在EEPROM中, 并递增EEPROM地址指针。
0x0E2E	[7:0]		这两个寄存器的默认值为0x0740。注意, 寄存器0x0E2E和寄存器0x0E2F分别是目标地址的最高有效字节和最低有效字节。由于前一个寄存器包含一个数据指令, 因此这两个寄存器定义一个起始地址(本例为0x0740)。控制器将0x0740存储在EEPROM中, 并使EEPROM地址指针递增2, 然后从寄存器映射传输39字节的数据(从地址0x0740开始)到EEPROM, 并使EEPROM地址指针递增40(39个数据字节和1个校验和字节)。所传输的39个字节对应于寄存器映射中的REFB Profile参数。
0x0E2F	[7:0]		
0x0E30 to 0x0E35	[7:0]	保留	保留。
0x0E36	[7:0]	I/O更新	寄存器的默认值是0x80, 控制器将其解读为一个I/O更新指令。控制器将0x80存储在EEPROM中, 并递增EEPROM地址指针。

表120. 操作控制设置的EEPROM存储序列

地址	Bits	位名称	描述
0x0E37	[7:0]	操作控制	此寄存器的默认值是0x0D，控制器将其解读为一个数据指令。其十进制值为13，控制器由此得知，从后续两个字节指定的地址开始传输14字节的数据(13 + 1)。控制器将0x0D存储在EEPROM中，并递增EEPROM地址指针。
0x0E38	[7:0]		这两个寄存器的默认值为0x0A00。注意，寄存器0x0E38和寄存器0x0E39分别是目标地址的最高有效字节和最低有效字节。由于前一个寄存器包含一个数据指令，因此这两个寄存器定义一个起始地址(本例为0x0A00)。控制器将0x0A00存储在EEPROM中，并使EEPROM地址指针递增2，然后从寄存器映射传输14字节的数据(从地址0x0A00开始)到EEPROM，并使EEPROM地址指针递增15(14个数据字节和1个校验和字节)。所传输的14个字节对应于寄存器映射中的操作控制参数。
0x0E39	[7:0]		

表121. APLL校准的EEPROM存储序列

地址	Bits	位名称	描述
0x0E3A	[7:0]	校准APLL	此寄存器的默认值是0xA0，控制器将其解读为一个校准指令。控制器将0xA0存储在EEPROM中，并递增EEPROM地址指针。
0x0E3B	[7:0]	I/O更新	此寄存器的默认值是0x80，控制器将其解读为一个I/O更新指令。控制器将0x80存储在EEPROM中，并递增EEPROM地址指针。

表122. 数据结束的EEPROM存储序列

地址	Bits	位名称	描述
0x0E3C	[7:0]	数据结束	此寄存器的默认值是0xFF，控制器将其解读为一个结束指令。控制器将该指令存储在EEPROM中，复位EEPROM地址指针，然后进入空闲状态。 注意：如果这是一个暂停指令，而不是结束指令，控制器操作将大致相同，只是控制器会递增EEPROM地址指针，而不是将其复位。

表123. 可用于其它EEPROM指令

地址	Bits	位名称	描述
0x0E3D 至0xE45	[7:0]	未用	此区域可用于其它EEPROM指令。

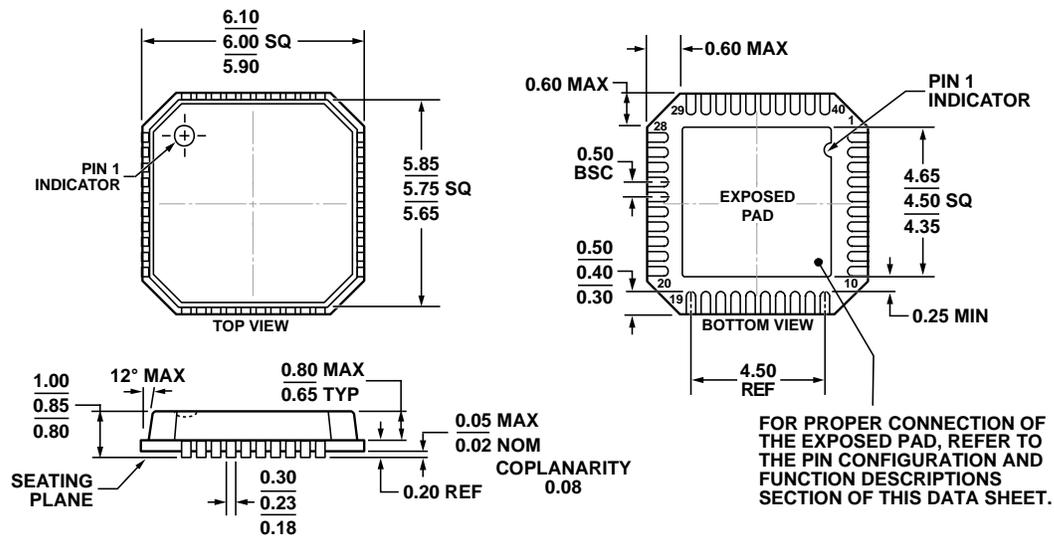
表124. 多功能引脚输出功能(D7 = 1)

寄存器值	输出功能	等效状态寄存器
0x80	静态逻辑0	无
0x81	静态逻辑1	无
0x82	系统时钟32分频	无
0x83	看门狗定时器输出	无
0x84	正在进行EEPROM上传	寄存器0x0D00的位0
0x85	正在进行EEPROM下载	寄存器0x0D00的位1
0x86	检测到EEPROM故障	寄存器0x0D00的位2
0x87	检测到SYSCLK PLL锁定	寄存器0x0D01的位0
0x88	SYSCLK PLL稳定	寄存器0x0D01的位1
0x89	输出PLL锁定	寄存器0x0D01的位2
0x8A	正在进行APLL校准	寄存器0x0D01的位3
0x8B	APLL输入参考存在	寄存器0x0D01的位4
0x8C	所有PLL均锁定	寄存器0x0D01的位5
0x8D	(DPLL锁相) AND (APLL锁定) AND (系统PLL锁定)	寄存器0x0D01的位6
0x8E	保留	
0x8F	保留	
0x90	DPLL自由振荡	寄存器0x0D08的位0
0x91	DPLL有效	寄存器0x0D08的位1
0x92	DPLL进入保持模式	寄存器0x0D08的位2
0x93	DPLL进入参考切换模式	寄存器0x0D08的位3
0x94	DPLL锁相	寄存器0x0D08的位4
0x95	DPLL锁频	寄存器0x0D08的位5
0x96	DPLL相位压摆率受限	寄存器0x0D08的位6
0x97	DPLL频率箝位	寄存器0x0D09的位5
0x98	调谐字历史可用	寄存器0x0D09的位4
0x99	调谐字历史已更新	寄存器0x0D05的位4
0x9A至0x9F	保留	
0xA0	参考A故障	寄存器0x0D0B的位2
0xA1	参考B故障	寄存器0x0D0B的位6
0xA2	保留	
0xA3	保留	
0xA4至Ax2F	保留	
0xB0	参考A有效	寄存器0x0D0B的位3
0xB1	参考B有效	寄存器0x0D0B的位7
0xB2	保留	
0xB3	保留	
0xB4至0xBF	保留	
0xC0	参考A有效	寄存器0x0D09的位0
0xC1	参考B有效	寄存器0x0D09的位0
0xC2	保留	
0xC3	保留	
0xC4至0xCF	保留	
0xD0	时钟分配同步脉冲	寄存器0x0D03的位3
0xD1	正在进行软引脚配置	寄存器0x0D03的位4
0xD2 to 0xFF	保留	

表125. 多功能引脚输入功能(D7 = 0)

寄存器值	输出功能	等效状态寄存器
0x00	保留, 高阻抗输入	
0x01	I/O更新	寄存器0x0005的位0
0x02	完全关断	寄存器0x0A00的位0
0x03	看门狗清零	寄存器0x0A03的位0
0x04	所有IRQ清零	寄存器0x0A03的位1
0x05	调谐字历史复位	寄存器0x0A03的位2
0x06至0x0E	保留	
0x10	用户保持	寄存器0x0A01的位6
0x11	用户自由振荡	寄存器0x0A01的位5
0x12	增量相位偏移复位	寄存器0x0A0A的位2
0x13	增量相位偏移递增	寄存器0x0A0A的位0
0x14	增量相位偏移递减	寄存器0x0A0A的位1
0x15至0x1F	保留	
0x20	覆盖参考监控器A	寄存器0x0A0C的位0
0x21	覆盖参考监控器B	寄存器0x0A0C的位1
0x22至0x2F	保留	
0x30	强制验证超时A	寄存器0x0A0B的位0
0x31	强制验证超时B	寄存器0x0A0B的位1
0x32至0x3F	保留	
0x40	使能OUT0	寄存器0x0501的位0
0x41	使能OUT1	寄存器0x0505的位0
0x42至0x45	保留	
0x46	使能OUT0和OUT1	寄存器0x0501和寄存器0x0505的位0
0x47	同步时钟分配输出	寄存器0x0A02的位1
0x48至0xFF	保留	

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VJJD-2

图55. 40引脚引脚架构芯片级封装
[LFCSP_VQ] 6 mm x 6 mm超薄四方体
(CP-40-13)图示尺寸单位: mm

05-19-2010-A

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD9557BCPZ	-40°C至+85°C	40引脚引脚架构芯片级封装[LFCSP_VQ]	CP-40-13
AD9557BCPZ-REEL7	-40°C至+85°C	40引脚引脚架构芯片级封装[LFCSP_VQ]	CP-40-13
AD9557/PCBZ	-40°C至+85°C	评估板	CP-40-13

¹ Z = 符合RoHS标准的器件。

I²C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。