

特性

出色的交流性能

-3 dB带宽

800 MHz(200 mV峰峰值)

750 MHz(2 V峰峰值)

压摆率: 2,400 V/ μ s

低功耗: 75 mW ($V_s = \pm 5$ V)

出色的视频性能

0.1 dB增益平坦度: 100 MHz

0.02%差分增益误差/0.02°差分相位误差 ($R_L = 150 \Omega$)

ADV3221是与HA4344引脚兼容的升级产品

增益: +1 (ADV3221)或+2 (ADV3222)

低串扰: -85 dB (5 MHz), -58 dB (100 MHz)

锁存控制线支持同步开关

利用高阻抗输出禁用功能, 多个器件可以相连, 且不会向输出总线提供负载

16引脚SOIC

应用

高速信号的路由, 包括:

视频信号(NTSC、PAL、S、SECAM、YUV、RGB)

压缩视频信号(MPEG、小波)

3级数字视频信号(HDB3)

数据通信

电信

概述

ADV3221和ADV3222是高速、高压摆率、缓冲4:1模拟多路复用器, -3 dB信号带宽大于800 MHz, 通道开关的1%建立时间少于20 ns。两款器件的串扰低于-58 dB, 隔离性能为-67 dB(100 MHz), 因而适合许多高速应用。差分增益误差和差分相位误差分别优于0.02%和0.02°, 驱动75 Ω 后部端接负载时的0.1 dB增益平坦度达100 MHz, 堪称各类信号开关的理想之选。

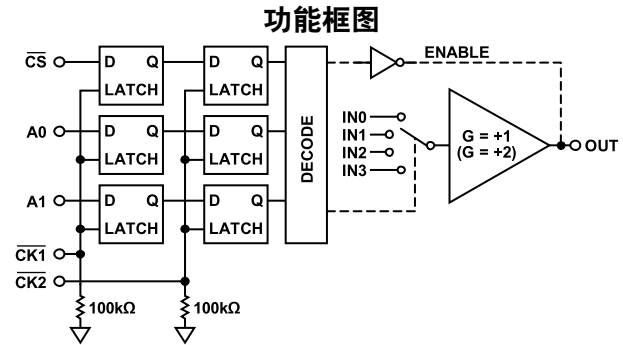


图1.

08852-001

ADV3221/ADV3222内置一个输出缓冲器, 可以将其置于高阻态。因此多路输出可以连在一起, 实现级联信号级, 同时关断通道不会向输出总线提供负载。ADV3221和ADV3222的增益分别为+1和+2, 二者均采用 ± 5 V电源电, 空闲功耗低于7.5 mA。通道开关通过锁存控制线执行, 因而可以在具有多个ADV3221/ADV3222器件的环境中实现同步更新。

ADV3221/ADV3222采用16引脚SOIC封装, 工作温度范围为-40°C至+85°C工业温度范围。

Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700

www.analog.com

Fax: 781.461.3113

©2010 Analog Devices, Inc. All rights reserved.

目录

特性.....	1	典型工作特性.....	8
应用.....	1	电路图.....	16
功能框图.....	1	工作原理.....	17
概述.....	1	应用信息.....	18
修订历史.....	2	$\overline{CK1}/\overline{CK2}$ 操作.....	18
技术规格.....	3	电路布局.....	18
时序和逻辑特性.....	4	端接.....	18
绝对最大额定值.....	6	容性负载.....	18
热阻.....	6	外形尺寸.....	19
功耗.....	6	订购指南.....	19
ESD警告.....	6		
引脚配置和功能描述.....	7		

修订历史

2010年3月—修订版0：初始版

技术规格

除非另有说明， $V_s = \pm 5\text{ V}$ ， $T_A = 25^\circ\text{C}$ ， $R_L = 150\ \Omega$ ， $C_L = 2\ \text{pF}$ ，ADV3221增益 $G = +1$ ，ADV3222增益 $G = +2$ 。

表1

参数	测试条件/注释	ADV3221		ADV3222		单位	
		最小值	典型值 最大值	最小值	典型值 最大值		
动态性能							
-3 dB带宽	200 mV p-p		1000		800	MHz	
	2 V p-p		750		750	MHz	
增益平坦度	0.1 dB, 200 mV p-p		100		100	MHz	
	0.1 dB, 2 V p-p		100		100	MHz	
传播延迟	2 V p-p		700		650	ps	
建立时间	1%, 2 V阶跃信号		5		5	ns	
压摆率	2 V阶跃信号, 峰值		2400		2700	V/ μs	
噪声/失真性能							
差分增益误差	NTSC或PAL		0.01		0.02	%	
差分相位误差	NTSC或PAL		0.01		0.02	度	
总串扰	$f = 100\ \text{MHz}$		-87		-58	dB	
	$f = 5\ \text{MHz}$		-100		-85	dB	
关断隔离(输入至输出)	$f = 100\ \text{MHz}$, 一个通道		-67		-72	dB	
输入二阶交调点(仅适用于ADV3222)	$f = 70\ \text{MHz}$, $R_L = 100\ \Omega$				54	dBm	
输入三阶交调点(仅适用于ADV3222)	$f = 70\ \text{MHz}$, $R_L = 100\ \Omega$				17	dBm	
输出1 dB压缩点(仅适用于ADV3222)	$f = 70\ \text{MHz}$, $R_L = 100\ \Omega$				18.5	dBm	
输入电压噪声	10 MHz至100 MHz		16		17	nV/ $\sqrt{\text{Hz}}$	
直流性能							
增益误差	无负载		1		1	%	
	$R_L = 150\ \Omega$		0.75		0.75	%	
增益匹配	通道与通道间, 空载		1		1	%	
输出特性							
输出阻抗	直流, 使能		0.02		0.04	Ω	
	禁用	1		1		M Ω	
输出禁用电容	禁用		2.8		3	pF	
输出漏电流	禁用		2		2	μA	
输出电压范围	无负载	± 2.9	± 3	± 2.9	± 3	V	
	$R_L = 150\ \Omega$	± 2.8	± 3	± 2.75	± 3	V	
短路电流			50		50	mA	
输入特性							
输入失调电压	最差情况(所有配置)	± 5	± 21	± 5	± 21	mV	
输入失调电压漂移			± 10		± 10	$\mu\text{V}/^\circ\text{C}$	
输入电压范围			± 3		± 1.5	V	
输入电容	任意开关配置		1.8		1.8	pF	
输入电阻	输出使能	1	10	1	10	M Ω	
输入偏置电流	输出使能		5	12	6	12	μA
开关特性							
使能导通时间			15		15	ns	
开关时间, 2 V阶跃信号	50% A0至1%建立时间		20		20	ns	
开关瞬变(毛刺)	IN0至IN1开关		28		55	mV p-p	

ADV3221/ADV3222

参数	测试条件/注释	ADV3221		ADV3222		单位
		最小值	典型值 最大值	最小值	典型值 最大值	
电源						
电源电流	V+, 输出使能, 空载	7	8	7.5	9	mA
	V+, 输出禁用(\overline{CS} 高电平)	1.6	2.0	1.8	2.2	mA
	V-, 输出使能, 空载	7	8	7.5	9	mA
	V-, 输出使能(\overline{CS} 高电平)	1.6	2.0	1.8	2.2	mA
电源电压范围		±4.5	±5.5	±4.5	±5.5	V
电源抑制(PSR)	f = 100 kHz	-70		-65		dB
	f = 1 MHz	-60		-55		dB
温度						
工作温度范围	静止空气	-40	+85	-40	+85	°C
结至环境热阻(θ_{JA})	工作时(静止空气)	81		81		°C/W

时序和逻辑特性

表2

参数	符号	最小值	典型值	最大值	单位
A0,A1, \overline{CS} 建立时间	t ₁	20			ns
$\overline{CK1}$ 脉宽	t ₂	40			ns
$\overline{CK1}$ 至 $\overline{CK2}$ 脉冲间隔	t ₃	40			ns
$\overline{CK2}$ 脉宽	t ₄	40			ns
A0,A1, \overline{CS} 保持时间	t ₅	20			ns

表3. 逻辑电平

V _{IH}	V _{IL}	I _{IH}	I _{IL}	I _{IH}	I _{IL}
A0, A1, $\overline{CK1}, \overline{CK2}, \overline{CS}$	A0, A1, $\overline{CK1}, \overline{CK2}, \overline{CS}$	A0, A1, \overline{CS}	A0, A1, \overline{CS}	$\overline{CK1}, \overline{CK2}$	$\overline{CK1}, \overline{CK2}$
+2.0 V(最小值)	+0.8 V(最大值)	±2 μA(最大值)	±2 μA(最大值)	最大+60 μA	最大+10 μA

时序和编程图

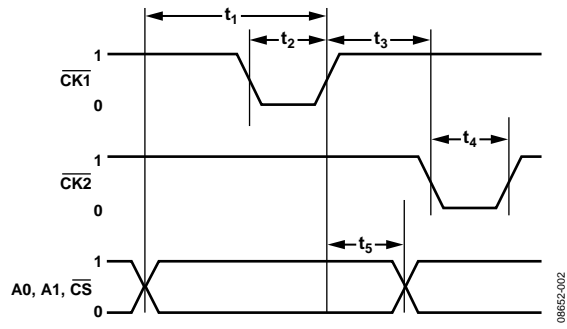


图2. 时序图

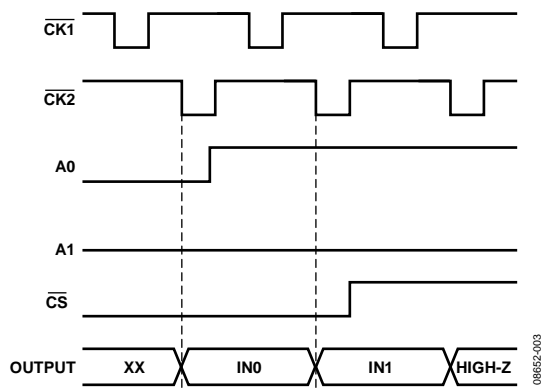


图3. 编程示例

绝对最大额定值

表4

参数	额定值
电源电压(V+ - V-)	12 V
模拟输入电压	V-至V+
数字输入电压	0V至V+
输出电压(禁用输出)	(V+ - 1 V)至(V- + 1 V)
输出短路持续时间	瞬时
输出短路电流	50 mA
存储温度范围	-65°C至+150°C
工作温度范围	-40°C至+85°C
引脚温度(焊接, 10秒)	300°C
结温	150°C

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下, 器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件, 即将器件焊接在电路板上以实现表贴封装。

表5. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
16引脚窄体SOIC	81	43	°C/W

功耗

ADV3221/ADV3222采用±5 V电源供电, 可以驱动最低150 Ω的负载, 因而可能存在多种不同的功耗。为此, 必须注意根据环境温度调整工作条件。

ADV3221和ADV3222采用16引脚窄体SOIC封装, 结至环境热阻(θ_{JA})为81°C/W。为确保长期可靠性, 芯片的最大容许结温T_J不应超过125°C。即便只是暂时超过此限值, 由于封装对芯片作用的应力改变, 参数性能也可能会发生变化。图4显示了在-40°C至+85°C的环境温度范围内满足这些条件的芯片内部功耗容许范围。图4不包括最大功率计算中的外部负载功耗, 但包括通过芯片输出晶体管的负载电流。

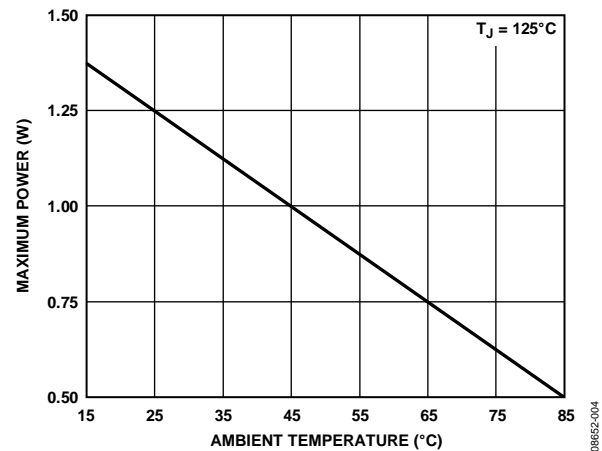


图4. 芯片最大功率与环境温度的关系

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

引脚配置和功能描述

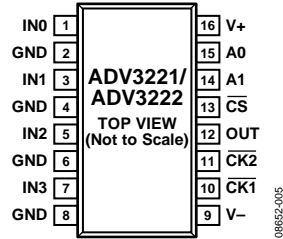


图5. 引脚配置

表6. 引脚功能描述

引脚编号	引脚名称	描述
1	IN0	模拟输入
2	GND	地
3	IN1	模拟输入
4	GND	地
5	IN2	模拟输入
6	GND	地
7	IN3	模拟输入
8	GND	地
9	V ₋	负电源
10	CK1	一级时钟
11	CK2	二级时钟
12	OUT	模拟输出
13	CS	片选(输出使能)
14	A1	选择地址最高有效位
15	A0	选择地址最低有效位
16	V ₊	正电源

表7. 真值表

CS	A1	A0	CK1	CK2	输出
0	0	0	0	0	IN0
0	0	1	0	0	IN1
0	1	0	0	0	IN2
0	1	1	0	0	IN3
1	X ¹	X ¹	0	0	高阻态

¹ X表示无关。

典型工作特性

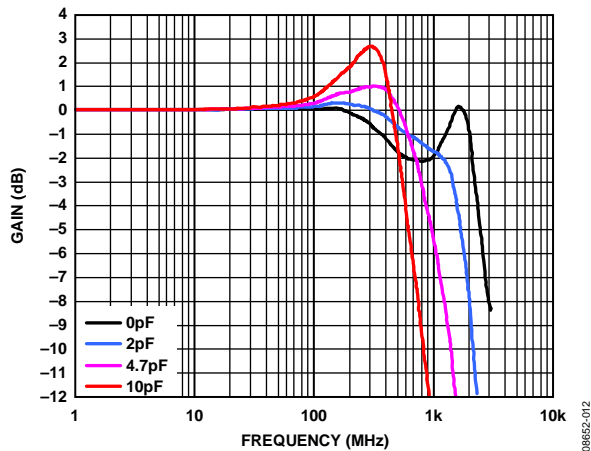


图6. ADV3221小信号响应与容性负载的关系 (200 mV峰峰值)

08652-012

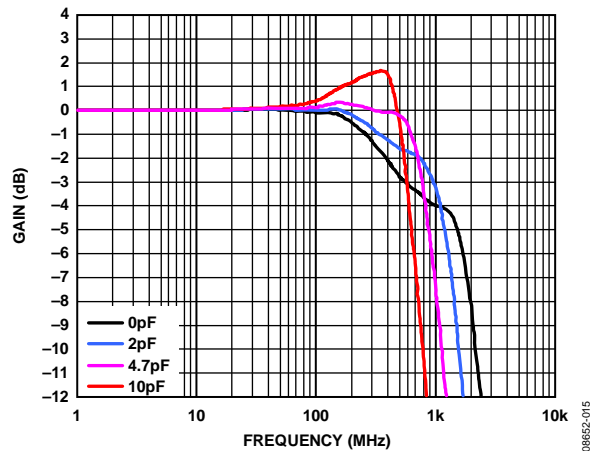


图9. ADV3222小信号响应与容性负载的关系 (200 mV峰峰值)

08652-015

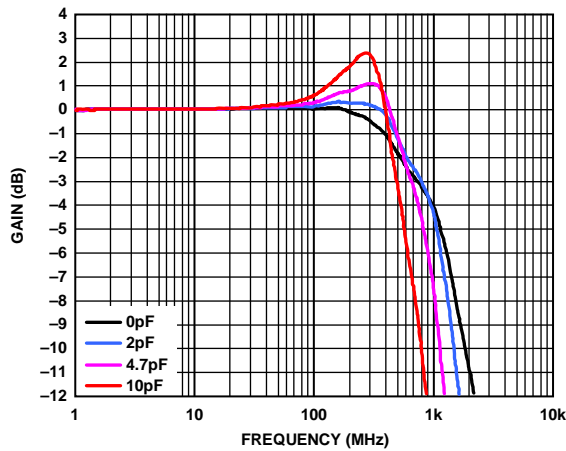


图7. ADV3221大信号响应与容性负载的关系 (2 V峰峰值)

08652-013

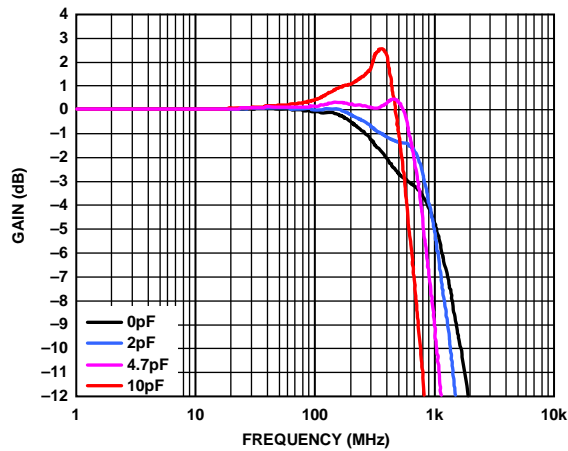


图10. ADV3222大信号响应与容性负载的关系 (2 V峰峰值)

08652-016

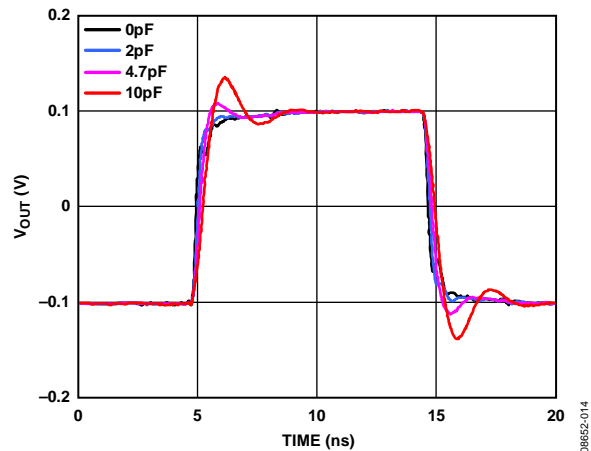


图8. ADV3221小信号脉冲响应与容性负载的关系 (200 mV峰峰值)

08652-014

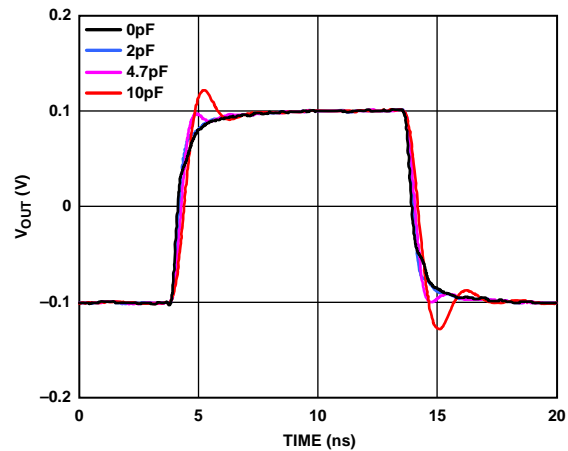


图11. ADV3222小信号脉冲响应与容性负载的关系 (200 mV峰峰值)

08652-017

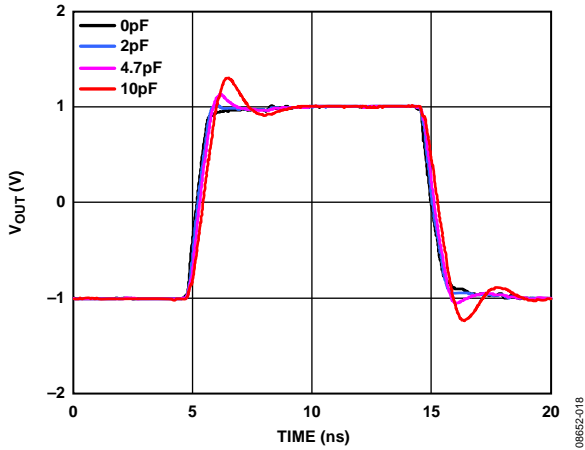


图12. ADV3221大信号脉冲响应与容性负载的关系 (2 V峰峰值)

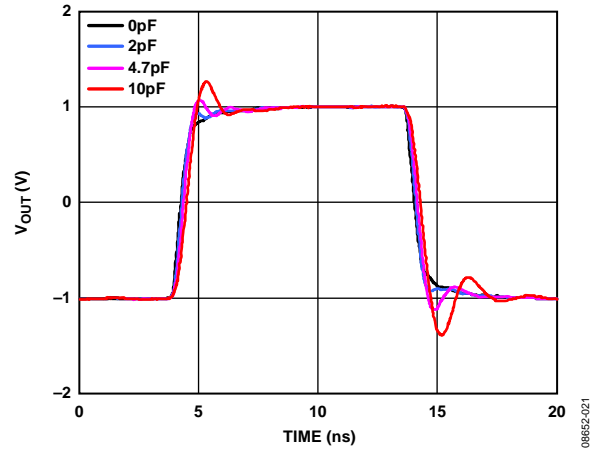


图15. ADV3222大信号脉冲响应与容性负载的关系 (2 V峰峰值)

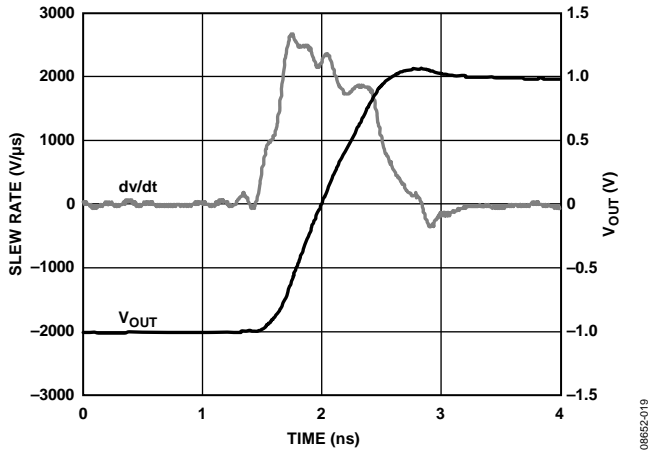


图13. ADV3221大信号上升压摆率 (3 pF负载、2 V峰峰值)

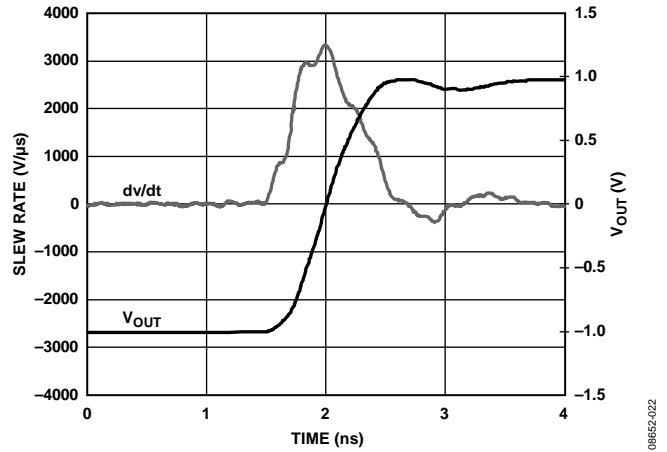


图16. ADV3222大信号上升压摆率 (3 pF负载、2 V峰峰值)

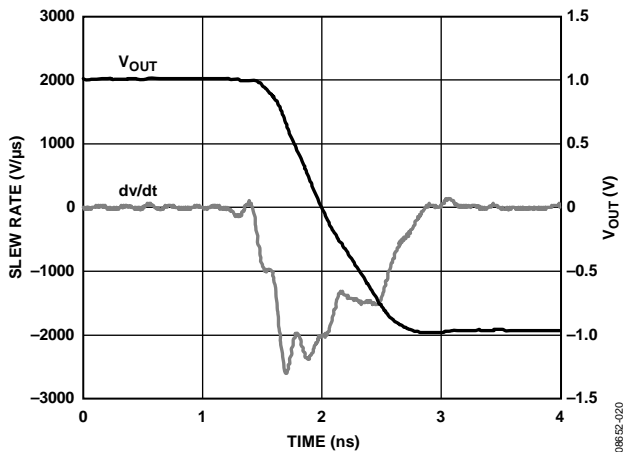


图14. ADV3221大信号下降压摆率 (3 pF负载、2 V峰峰值)

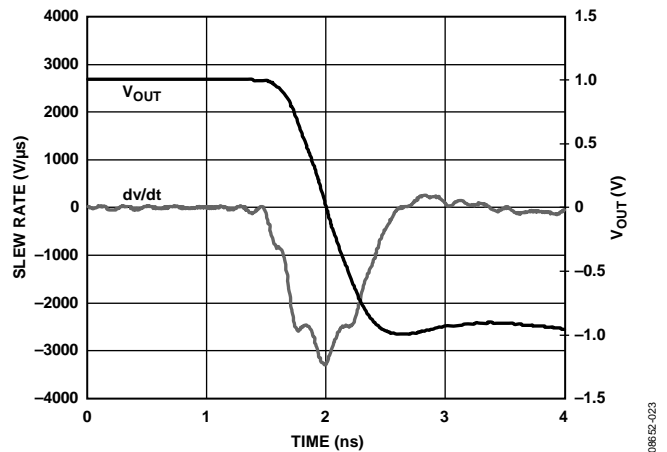


图17. ADV3222大信号下降压摆率 (3 pF负载、2 V峰峰值)

ADV3221/ADV3222

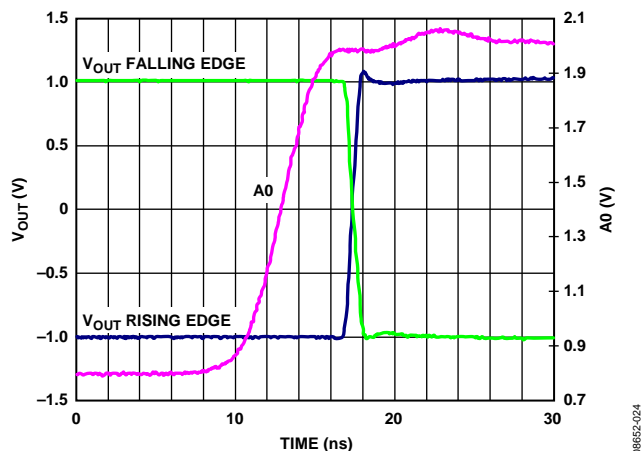


图18. ADV3221开关时间

08652-024

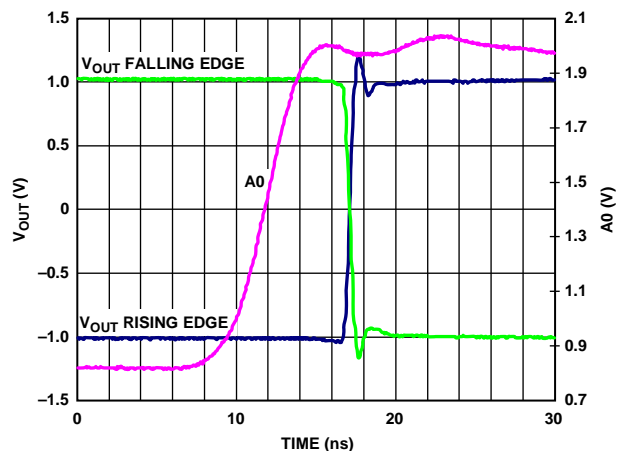


图21. ADV3222开关时间

08652-027

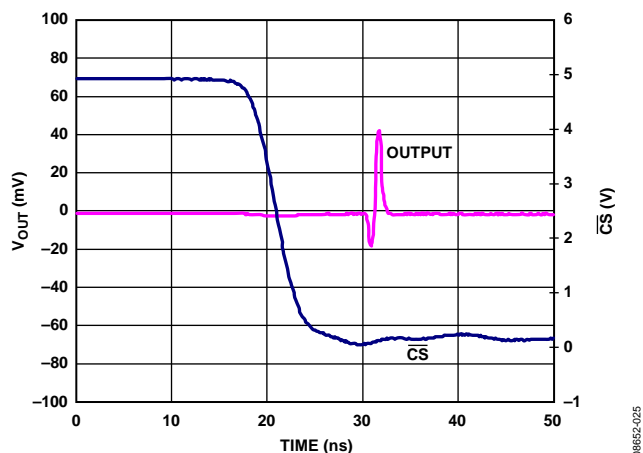


图19. ADV3221使能毛刺

08652-025

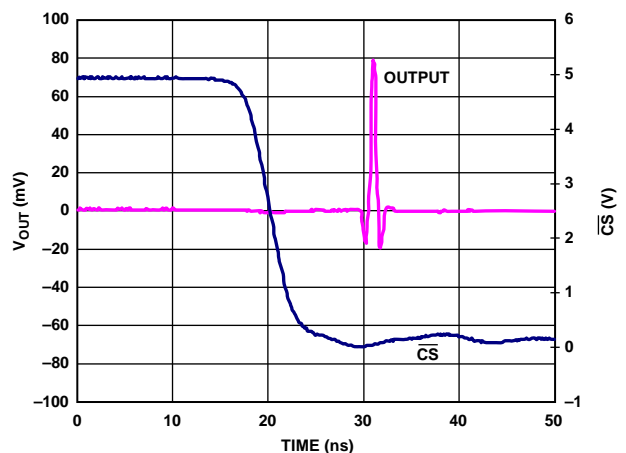


图22. ADV3222使能毛刺

08652-028

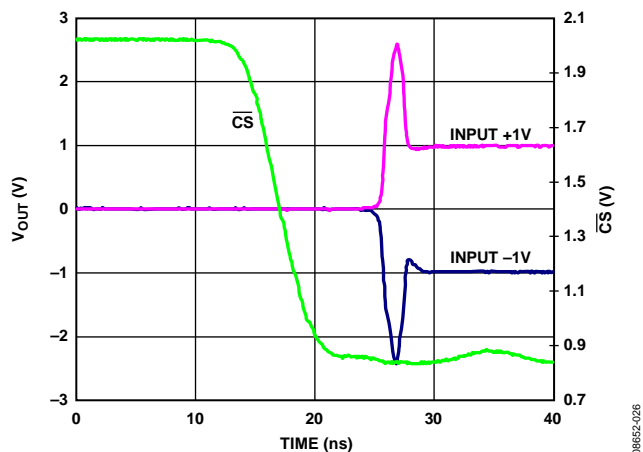


图20. ADV3221使能导通时序

08652-026

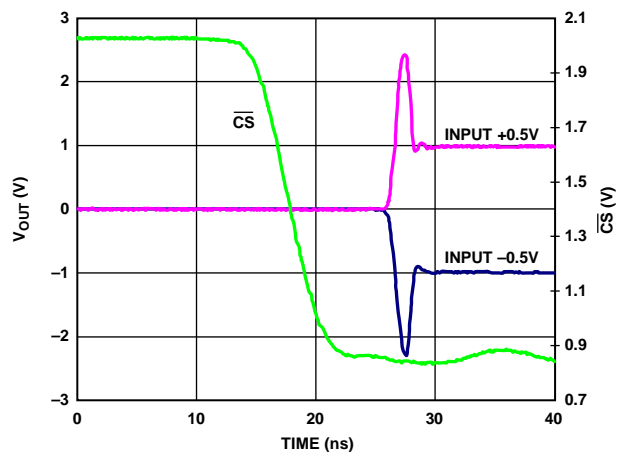


图23. ADV3222使能导通时序

08652-029

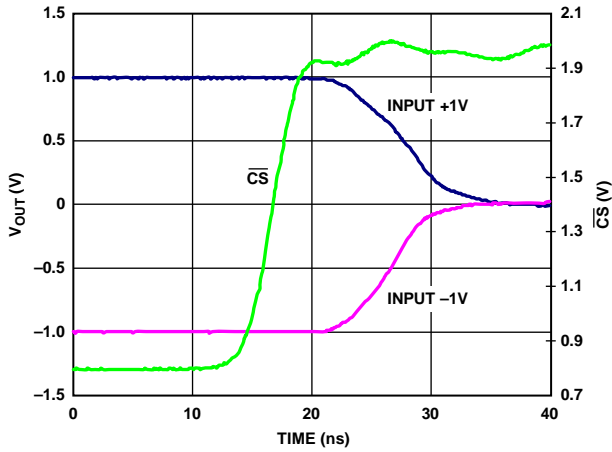


图24. ADV3221禁用时序

08652-030

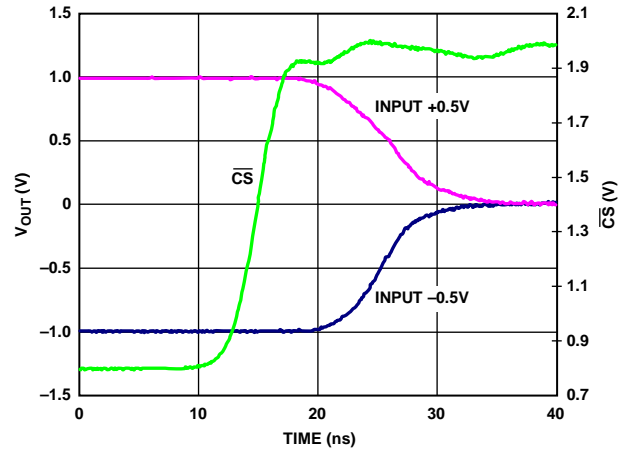


图27. ADV3222禁用时序

08652-033

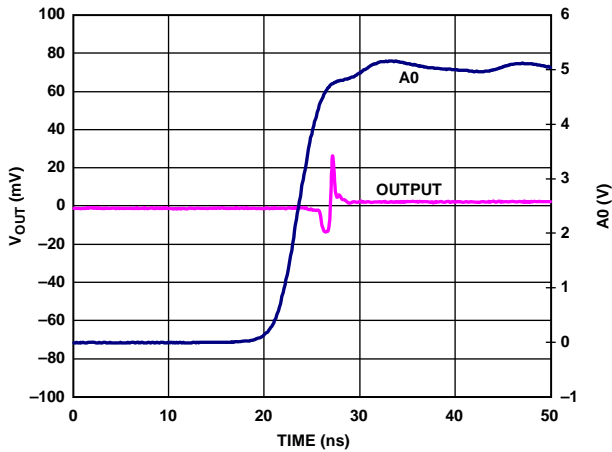


图25. ADV3221开关毛刺上升沿

08652-031

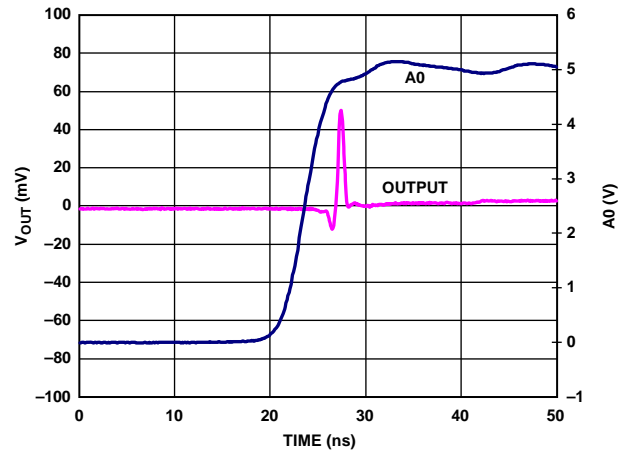


图28. ADV3222开关毛刺上升沿

08652-034

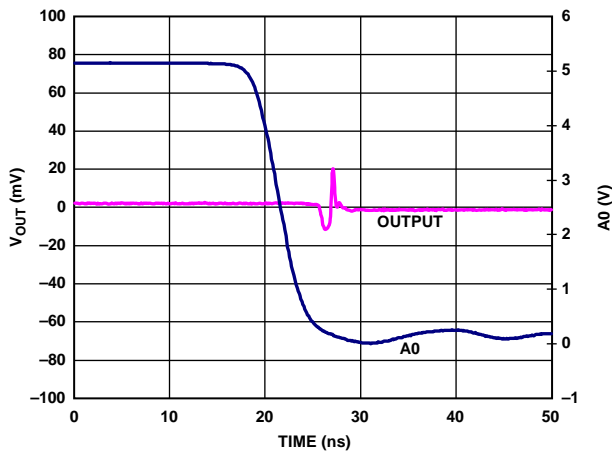


图26. ADV3221开关毛刺下降沿

08652-032

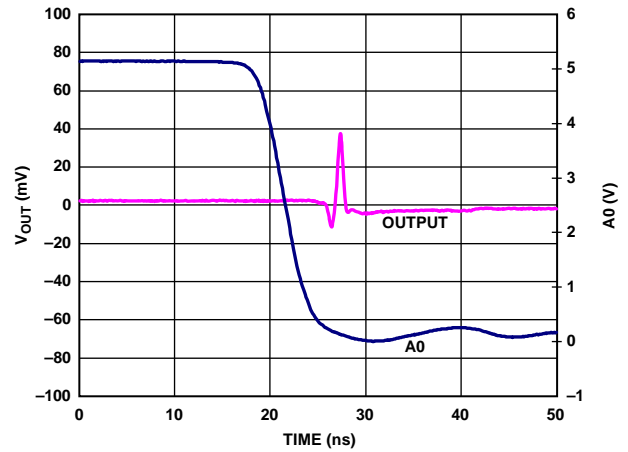


图29. ADV3222开关毛刺下降沿

08652-035

ADV3221/ADV3222

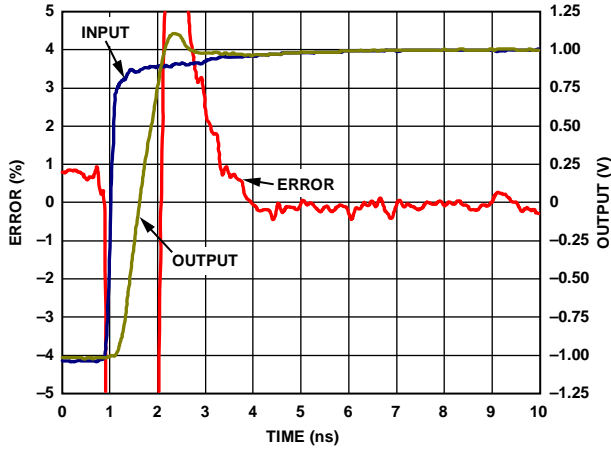


图30. ADV3221建立时间
(2 V阶跃信号)

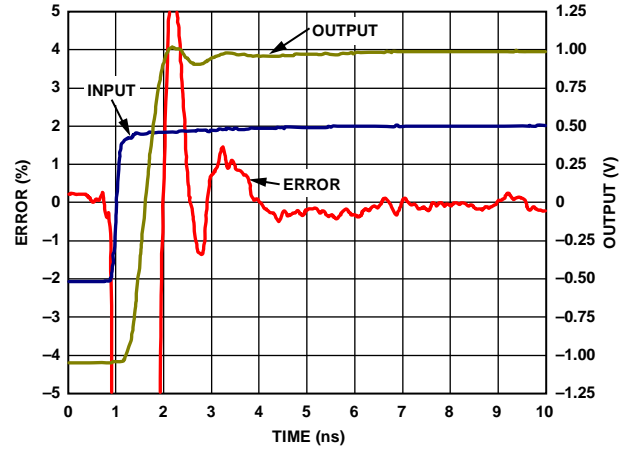


图33. ADV3222建立时间
(2 V阶跃信号)

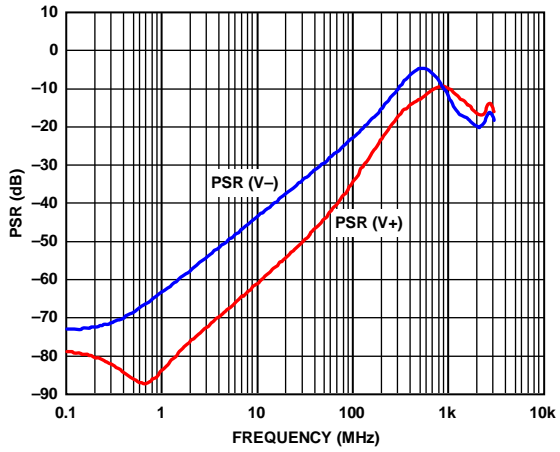


图31. ADV3221 PSR

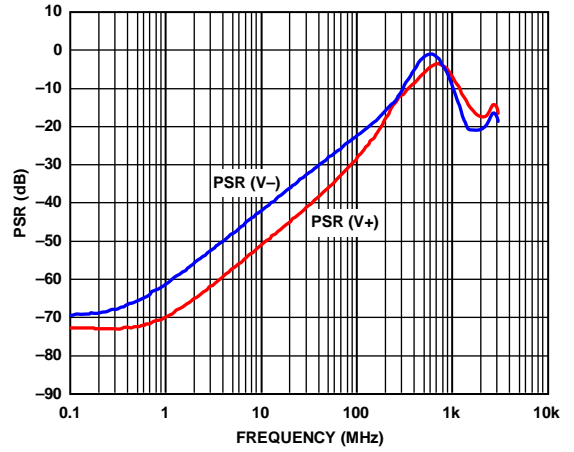


图34. ADV3222 PSR

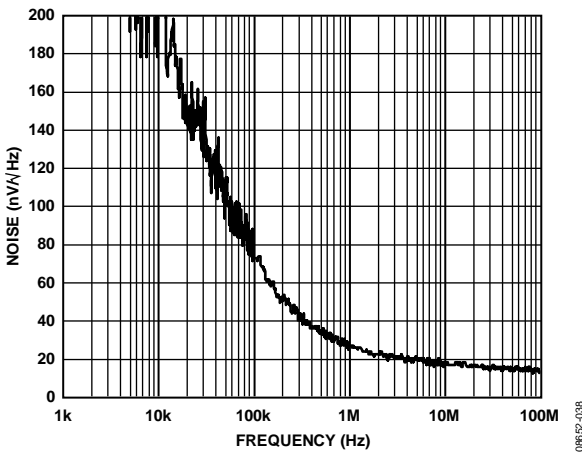


图32. ADV3221输出噪声与频率的关系

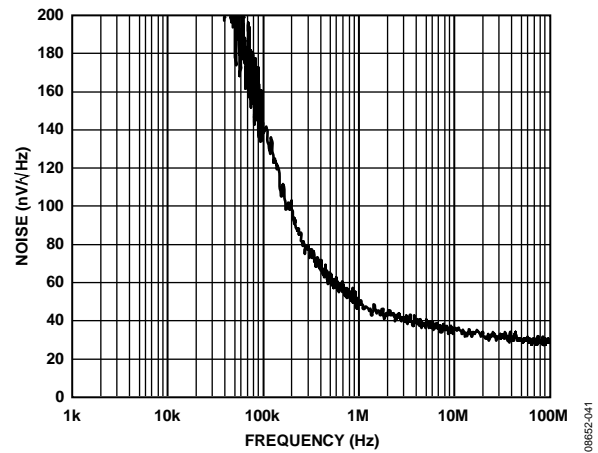


图35. ADV3222输出噪声与频率的关系

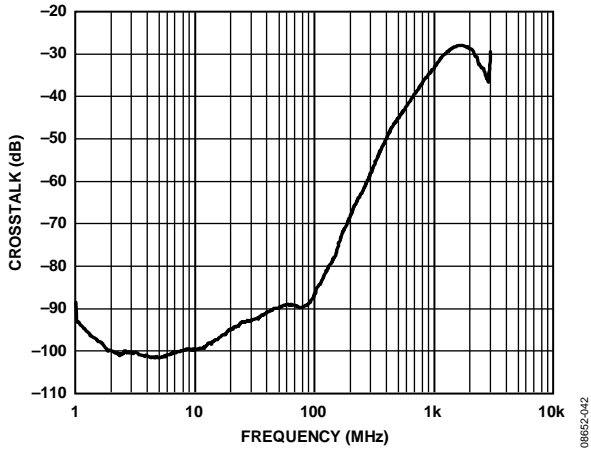


图36. ADV3221所有不利串扰

08652-042

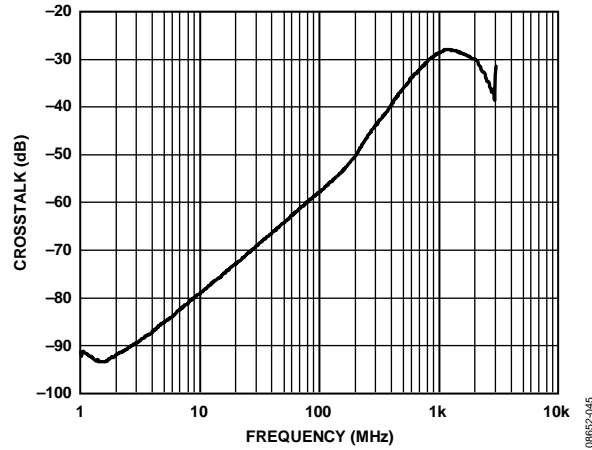


图39. ADV3222所有不利串扰

08652-045

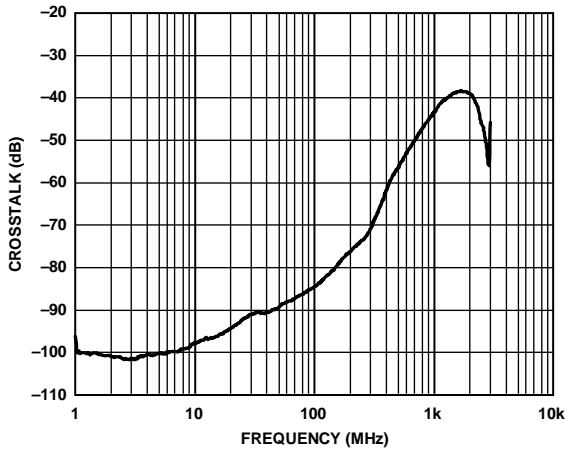


图37. ADV3221邻道串扰

08652-043

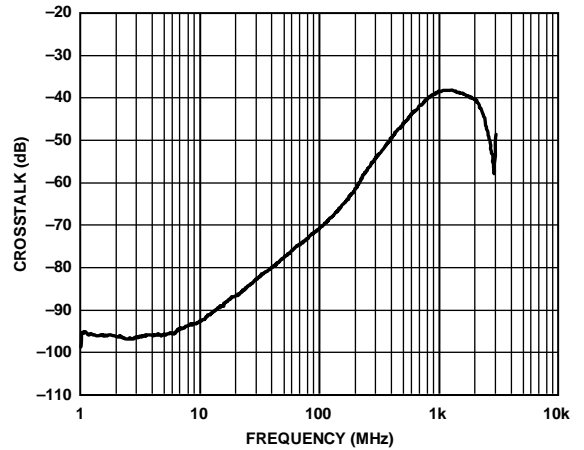


图40. ADV3222邻道串扰

08652-046

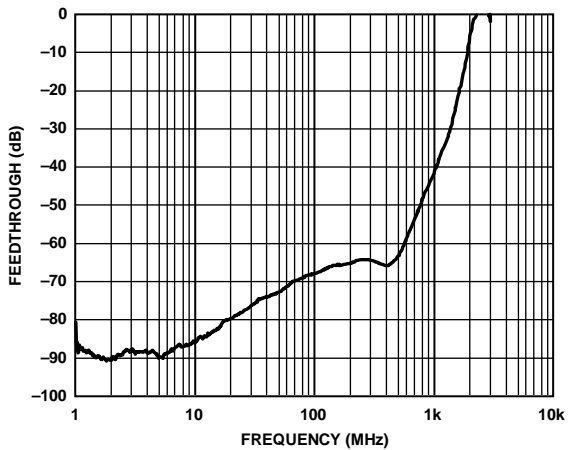


图38. ADV3221关断隔离

08652-044

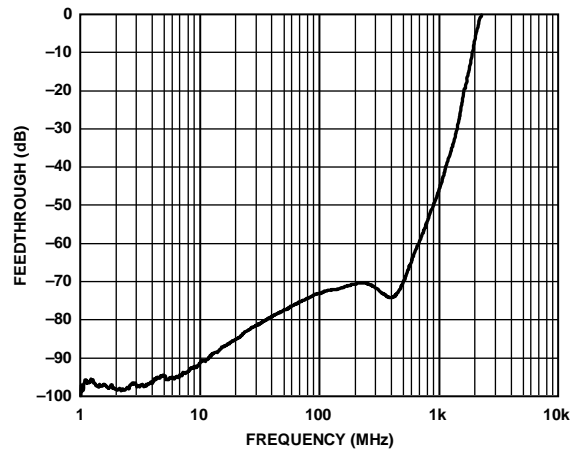


图41. ADV3222关断隔离

08652-047

ADV3221/ADV3222

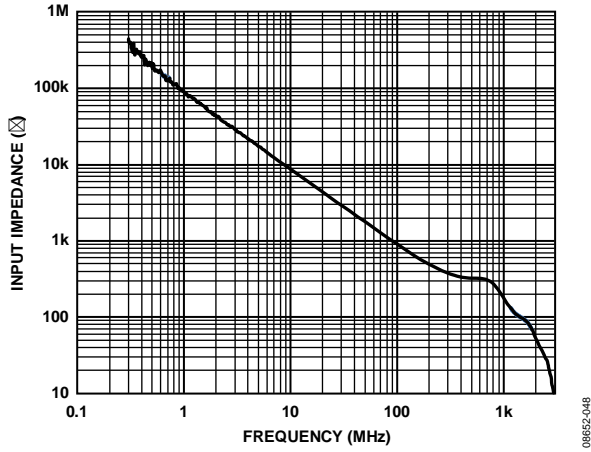


图42. ADV3221/ADV3222输入阻抗

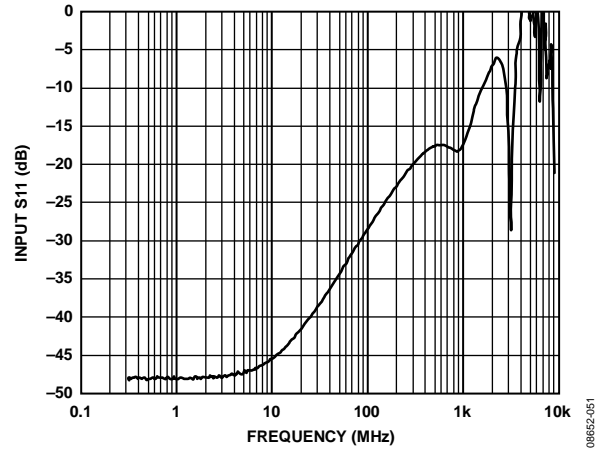


图45. ADV3221/ADV3222 S11
(包括评估板)

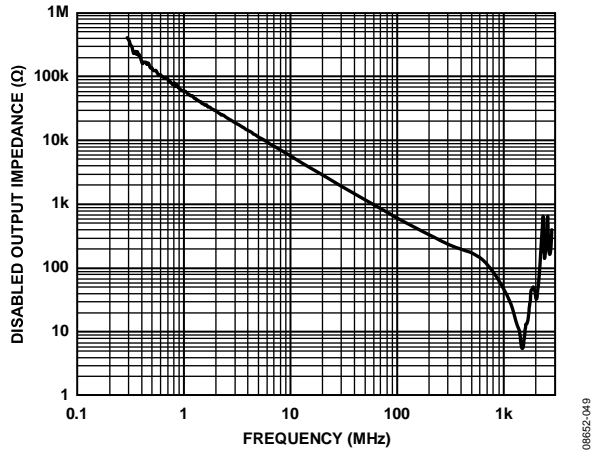


图43. ADV3221禁用输出阻抗

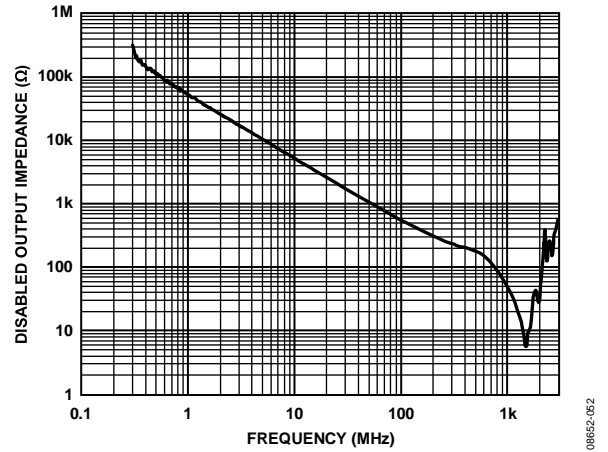


图46. ADV3222禁用输出阻抗

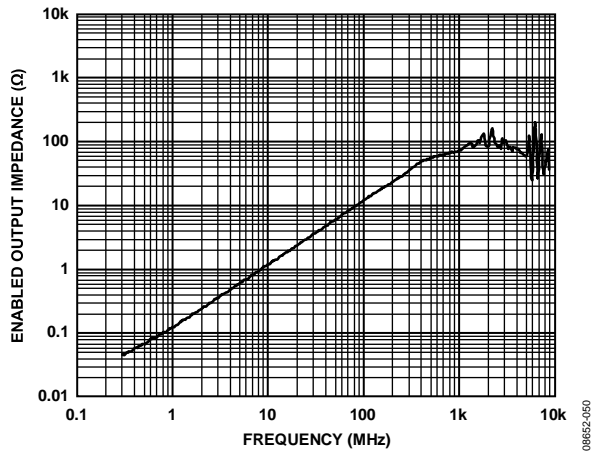


图44. ADV3221使能输出阻抗

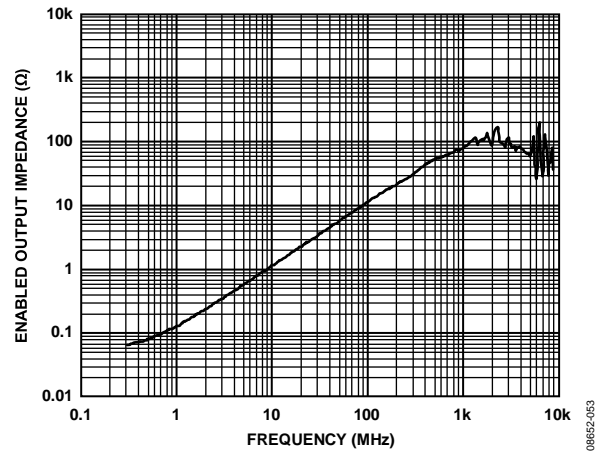


图47. ADV3222使能输出阻抗

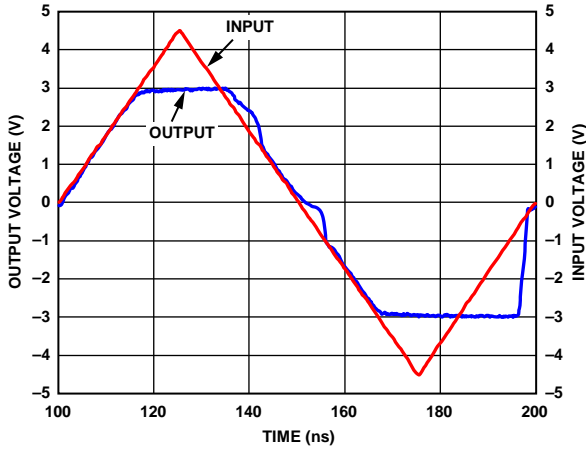


图48. ADV3221过驱恢复时间

08652-054

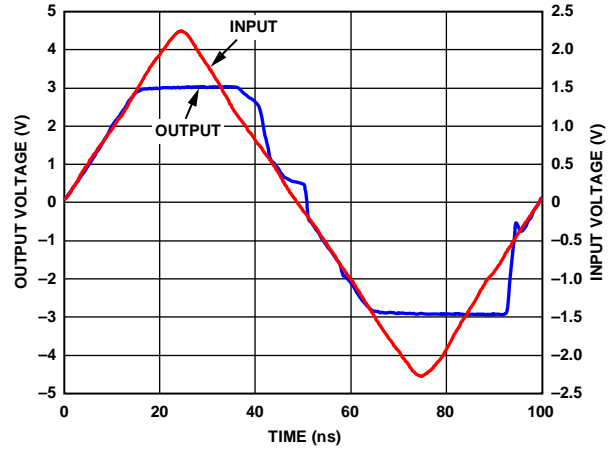


图51. ADV3222过驱恢复时间

08652-057

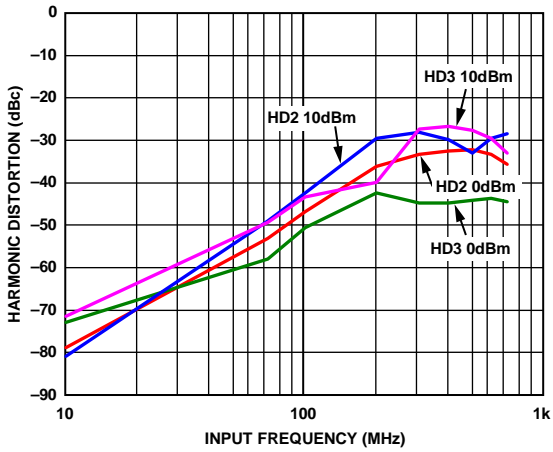


图49. ADV3222谐波失真
($R_L = 100 \Omega$, $C_L = 4 \text{ pF}$)

08652-055

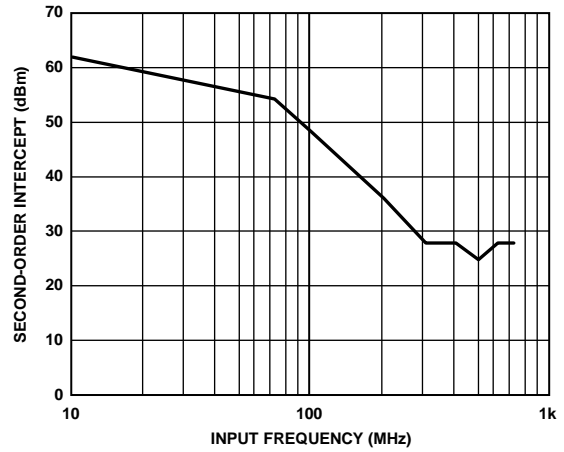


图52. ADV3222输入二阶交调点
($R_L = 100 \Omega$, $C_L = 4 \text{ pF}$)

08652-058

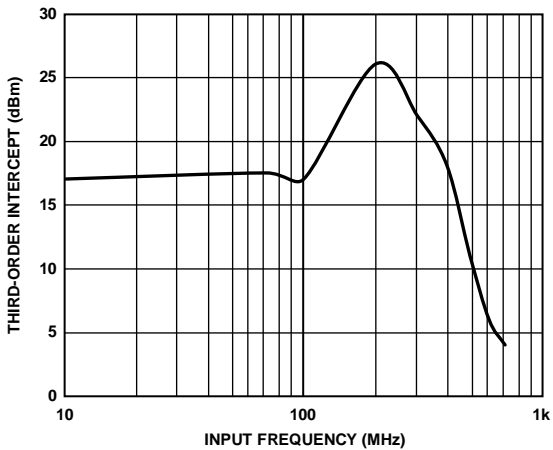


图50. ADV3222输入三阶交调点
($R_L = 100 \Omega$, $C_L = 4 \text{ pF}$)

08652-056

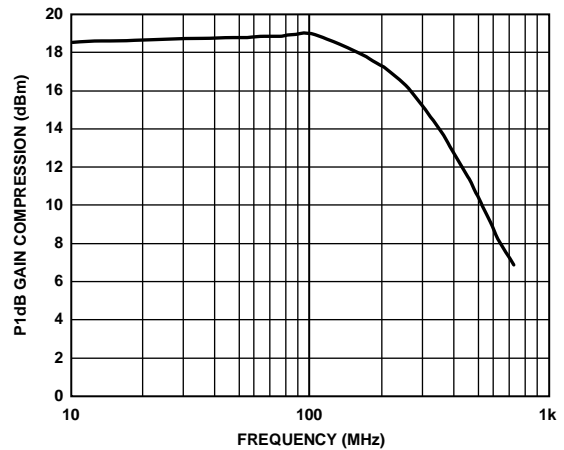


图53. ADV3222输出P1dB
($R_L = 100 \Omega$, $C_L = 4 \text{ pF}$)

08652-059

ADV3221/ADV3222

电路图

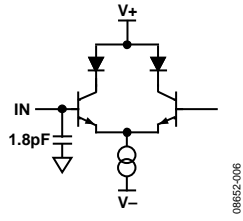


图54. ADV3221/ADV3222模拟输入

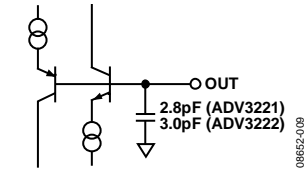


图57. ADV3221/ADV3222禁用输出

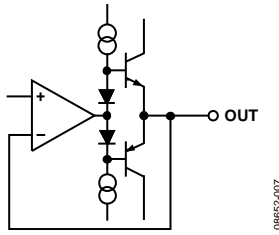


图55. ADV3221使能模拟输出

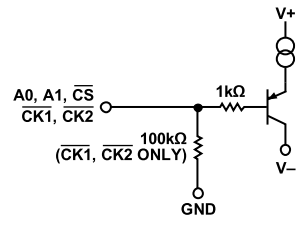


图58. ADV3221/ADV3222逻辑输入

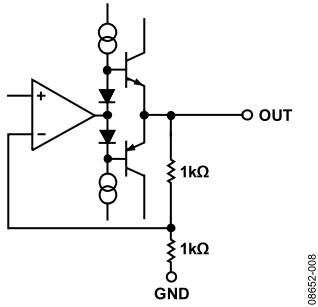


图56. ADV3222使能模拟输出

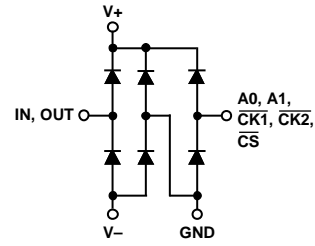


图59. ADV3221/ADV3222 ESD原理图

工作原理

ADV3221/ADV3222是双电源、高性能4:1模拟多路复用器，针对多视频源的开关应用进行了优化。高峰值压摆率支持大输入信号的宽带宽操作。内部补偿可提供高相位裕量，从而实现了脉冲输入的低过冲和快速建立。ADV3221和ADV3222的使能和禁用功耗较低，非常适合构建较大型阵列。

ADV3221/ADV3222的结构为4个输入跨导级与一个输出跨导级并联，后接一个单位增益缓冲器。内部电压反馈可设置增益。ADV3221的增益为1，ADV3222则使用阻性反馈网络和接地缓冲器，能够以2倍的增益工作(见图60)。

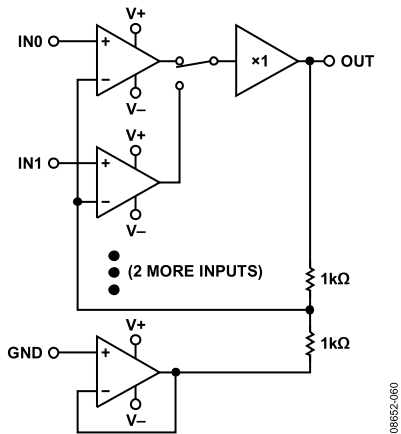


图60. ADV3222概念图

器件不使用时，可以通过 \overline{CS} 逻辑输入将输出端置于低功耗、高阻抗禁用模式。在一个系统中并联使用多个ADV3221/ADV3222器件以构建大型开关阵列时，这一特性很重要。

输入之间的切换通过A0、A1和 \overline{CS} 逻辑输入控制，这些逻辑输入通过两级异步锁存进行锁存。CK1控制第一级锁存，CK2控制第二级锁存。锁存状态取决于CK1和CK2信号的电平，而不是由边沿触发。当开关设计中使用多个ADV3221/ADV3222器件时，这种双缓冲逻辑可利用 $\overline{CK2}$ 信号来同步更新系统中的所有ADV3221/ADV3222器件。A0和A1逻辑输入可选择将哪一路输入连接到输出(A1是最高有效位，A0是最低有效位)， \overline{CS} 逻辑输入则决定输出的使能或禁用。

应用信息

ADV3221和ADV3222是用于视频或RF信号开关的高速多路复用器。二者的输出阻抗较低，因此通过选择适当的串联端接电阻，可以根据75 Ω 或50 Ω 系统中的具体应用来优化输出环境。对于复合视频应用，通常使用ADV3222(增益为+2)来补偿输出端接的损耗。

$\overline{CK1}/\overline{CK2}$ 操作

ADV3221/ADV3222为A0、A1(通道选择)和 \overline{CS} (输出使能)逻辑提供一种双锁存结构。这样，在组开关应用或由多个连接到共同输出总线的器件组成的大型多路复用器系统中，多个器件可以同步更新。

$\overline{CK1}$ 和 $\overline{CK2}$ 保持低电平将使ADV3221/ADV3222处于透明模式。在这种模式下，对A0、A1和 \overline{CS} 的所有逻辑改变都会立即影响输入选择和输出使能/禁用。

电路布局

为了确保获得最佳性能，采用适当的高速设计技术十分重要。应使用低电感接地层进行电源旁路，并为输入和输出信号提供高质量返回路径。为实现最佳性能，建议利用尽可能靠近器件本体的0.1 μF 陶瓷电容来旁路电源。若要为低频、高电流输出驱动提供存储能量，应远离器件放置10 μF 钽电容。

输入和输出信号路径应为带状线或微带线控制的阻抗。视频系统通常使用75 Ω 特征阻抗，而RF系统通常使用50 Ω 阻抗。业界有多种计算程序可用来计算产生适当特征阻抗所需的走线几何形状。

端接

对于阻抗受控的情况，器件的输入端和输出端需要使用端接电阻。输入端接电阻应为接地的分流电阻，其值应与输入走线的特征阻抗匹配。为了减少反射，应将输入端接电阻尽可能靠近器件输入引脚放置。为使输入间串扰最小，输入走线之间必须采用低电感屏蔽体来隔离各输入端。此外还必须考虑接地电流路径，以使屏蔽体中的环路电流最小，防止其构成串扰的耦合媒介。

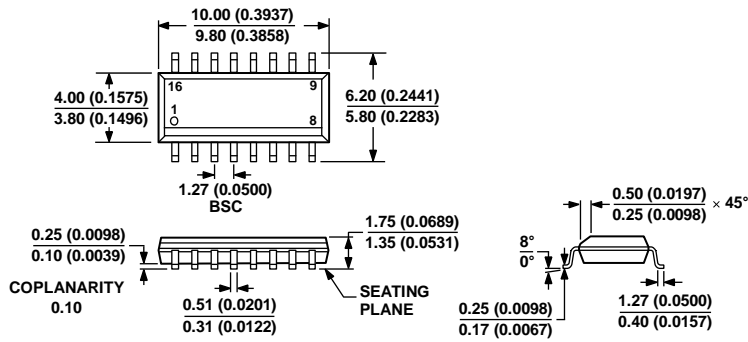
为确保正确匹配，输出串联端接电阻应具有与输出走线的特征阻抗相同的阻值，并且应尽可能靠近器件输出端放置。这种布局可降低串联寄生电感的高频效应，避免影响增益平坦度和-3 dB带宽。

容性负载

让高频输出驱动较大容性负载可能会有困难，通常会产生频域中的峰化或时域中的过冲现象。如果这些效应变得过大，就会引起振荡。

器件在各种容性负载下的响应见图6至图12和图15。如果发生负载电容过大导致过冲太大或器件振荡的情况，可以使用数十欧姆的小串联电阻来改善性能。

外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-012-AC
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

060606-A

图61. 16引脚标准小型封装(SOIC_N)
 窄体 (R-16)

图示尺寸单位: mm和(inches)

订购指南

型号 ¹	温度范围	封装描述	封装选项
ADV3221ARZ	-40℃至+85℃	16引脚SOIC_N	R-16
ADV3221ARZ-RL	-40℃至+85℃	16引脚SOIC_N、13"卷盘	R-16
ADV3221ARZ-R7	-40℃至+85℃	16引脚SOIC_N、7"卷盘	R-16
ADV3222ARZ	-40℃至+85℃	16引脚SOIC_N	R-16
ADV3222ARZ-RL	-40℃至+85℃	16引脚SOIC_N、13"卷盘	R-16
ADV3222ARZ-R7	-40℃至+85℃	16引脚SOIC_N、7"卷盘	R-16
ADV3221-EVALZ		评估板	
ADV3222-EVALZ		评估板	

¹ Z = 符合RoHS标准的器件。

注释