

特性

2.5 V至5.5 V电源供电
快速并行接口写入周期: 17 ns
更新速率: 20.4 MSPS
INL: ± 1 LSB(12位DAC)
乘法带宽: 10 MHz
 ± 10 V基准电压输入
扩展温度范围: -40°C 至 $+125^{\circ}\text{C}$
20引脚TSSOP和芯片级(4 mm \times 4 mm)封装
8/10/12位电流输出DAC
升级到AD7524/AD7533/AD7545
引脚兼容的8/10/12位芯片级DAC
保证单调性
四象限乘法
上电复位, 具有掉电检测功能
回读功能
功耗: 0.4 μA (典型值)

应用

便携式电池供电应用
波形发生器
模拟处理
仪器仪表应用
可编程放大器和衰减器
数字控制校准
可编程滤波器和振荡器
复合视频
超声
增益、失调和电压调整

概述

AD5424/AD5433/AD5445¹分别是CMOS、8/10/12位、电流输出数模转换器(DAC)。这些器件采用2.5 V至5.5 V电源供电, 适合电池供电应用及许多其它应用。利用这些DAC的数据回读功能, 用户可以通过DB引脚读取DAC寄存器的内容。上电时, 内部寄存器和锁存以0填充, DAC输出处于零电平。

这些器件采用CMOS亚微米工艺制造, 能够提供出色的四象限乘法特性, 大信号乘法带宽最高可达10 MHz。

满量程输出电流由所施加的外部基准输入电压(V_{REF})决定。与外部电流至电压精密放大器配合使用时, 集成的反馈电阻(R_{FB})可提供温度跟踪和满量程电压输出。

这些器件在乘法带宽性能上是AD5424/AD5433/AD5445的升级产品, 但具有锁存接口, 并且无法在透明模式下使用。

AD5424采用20引脚LFCSP和16引脚TSSOP小型封装, AD5433/AD5445 DAC则采用20引脚LFCSP和TSSOP小型封装。

提供EVAL-AD5445SDZ评估板来评估DAC性能。欲了解更多信息, 请参阅UG-333评估板用户指南。

¹美国专利第5,689,257号。

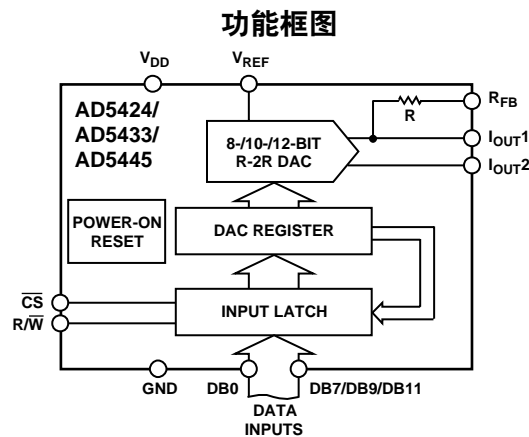


图1.

Rev. D

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 ©2005–2013 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

目录

特性.....	1	电路工作原理.....	18
应用.....	1	双极性操作.....	19
概述.....	1	单电源应用.....	20
功能框图.....	1	正输出电压.....	20
修订历史.....	2	加法增益.....	21
技术规格.....	3	DAC用作分压器或可编程增益器件.....	21
时序特性.....	5	基准电压源选择.....	22
绝对最大额定值.....	6	放大器选择.....	22
ESD警告.....	6	并行接口.....	23
引脚配置和功能描述.....	7	微处理器接口.....	23
典型性能参数.....	10	PCB布局和电源去耦.....	24
术语.....	17	外形尺寸.....	25
工作原理.....	18	订购指南.....	26

修订历史

2013年4月—修订版C至修订版D

更改图4和表4.....	7
更改图6和表5.....	8
更改图8和表6.....	9
更新外形尺寸.....	25
更改订购指南.....	26

2012年12月—修订版B至修订版C

更改“概述”部分.....	1
表1增加注释2.....	4
表4和图4增加EPAD注释.....	7
表5和图6增加EPAD注释.....	8
表6和图8增加EPAD注释.....	9
删除“AD5424/AD5433/AD5445评估板”部分和 “评估板电源”部分.....	23
删除图59；重新排序.....	24
删除图60和图61.....	25
更改订购指南.....	26
删除图62和表12；重新排序.....	26

2009年8月—修订版A至修订版B

更新外形尺寸.....	28
更改订购指南.....	29

2005年3月—修订版0至修订版A

格式更新.....	通篇
更改技术规格.....	4
更改图49.....	17
更改图50.....	18
更改图51、图52和图54.....	19
增加“微处理器接口”部分.....	22
增加图59.....	24
增加图60.....	25

2003年10月—初始版：修订版0

技术规格

$V_{DD} = 2.5 \text{ V}$ 至 5.5 V , $V_{REF} = 10 \text{ V}$, $I_{OUT2} = 0 \text{ V}$; Y级温度范围: -40°C 至 $+125^\circ\text{C}$ 。所有规格均相对于 T_{MIN} 至 T_{MAX} 而言, 除非另有说明。直流性能利用 [OP177](#) 测量, 交流性能利用 [AD8038](#) 测量, 除非另有说明。

表1.

参数	最小值	典型值	最大值	单位	测试条件
静态性能					
AD5424					
分辨率		8		Bits	保证单调性
相对精度		± 0.25		LSB	
差分非线性		± 0.5		LSB	
AD5433					
分辨率		10		Bits	保证单调性
相对精度		± 0.5		LSB	
差分非线性		± 1		LSB	
AD5445					
分辨率		12		Bits	保证单调性
相对精度		± 1		LSB	
差分非线性		$-1/+2$		LSB	
增益误差			± 10	mV	数据 = 0×0000 , $T_A = 25^\circ\text{C}$, I_{OUT1} 数据 = 0×0000 , $T = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$, I_{OUT1}
增益误差温度系数 ¹		± 5		ppm FSR/ $^\circ\text{C}$	
输出漏电流 ¹			± 10	nA	
			± 20	nA	
基准输入 ¹					
基准输入范围		± 10		V	输入电阻TC = $-50 \text{ ppm}/^\circ\text{C}$ 输入电阻TC = $-50 \text{ ppm}/^\circ\text{C}$
V_{REF} 输入电阻	8	10	12	k Ω	
R_{FB} 电阻	8	10	12	k Ω	
输入电容					
代码零电平		3	6	pF	
代码满量程		5	8	pF	
数字输入/输出 ¹					
输入高电压 V_{IH}	1.7			V	$V_{DD} = 4.5 \text{ V}$ 至 5 V , $I_{SOURCE} = 200 \mu\text{A}$ $V_{DD} = 2.5 \text{ V}$ 至 3.6 V , $I_{SOURCE} = 200 \mu\text{A}$ $V_{DD} = 4.5 \text{ V}$ 至 5 V , $I_{SINK} = 200 \mu\text{A}$ $V_{DD} = 2.5 \text{ V}$ 至 3.6 V , $I_{SINK} = 200 \mu\text{A}$
输入低电压 V_{IL}			0.6	V	
输出高电压 V_{OH}	$V_{DD} - 1$			V	
	$V_{DD} - 0.5$			V	
输出低电压 V_{OL}			0.4	V	
			0.4	V	
输入漏电流 I_{IL}			1	μA	
输入电容		4	10	pF	
动态性能 ¹					
基准乘法带宽		10		MHz	$V_{REF} = \pm 3.5 \text{ V}$; DAC 加载全1 $V_{REF} = \pm 3.5 \text{ V}$, $R_{LOAD} = 100 \Omega$, DAC 锁存 交替加载0和1
输出电压建立时间					
FS 测量精度为 $\pm 16 \text{ mV}$		30	60	ns	接口延迟时间 上升和下降时间, $V_{REF} = 10 \text{ V}$, $R_{LOAD} = 100 \Omega$ 主进位跃迁1 LSB 变化, $V_{REF} = 0 \text{ V}$ DAC 锁存加载全0, $V_{REF} = \pm 3.5 \text{ V}$ 参考 = 1 MHz 参考 = 10 MHz
FS 测量精度为 $\pm 4 \text{ mV}$		35	70	ns	
FS 测量精度为 $\pm 1 \text{ mV}$		80	120	ns	
数字延迟		20	40	ns	
10% 至 90% 建立时间		15	30	ns	
数模转换毛刺脉冲		2		nV-s	
乘法馈通误差		70		dB	
		48		dB	

AD5424/AD5433/AD5445

参数	最小值	典型值	最大值	单位	测试条件
输出电容					
I_{OUT1}		12	17	pF	加载全0
		25	30	pF	加载全1
I_{OUT2}		22	25	pF	加载全0
		10	12	pF	加载全1
数字馈通		1		nV-s	馈通至DAC输出(\overline{CS} 高电平, 交替加载全0和全1)
模拟THD		81		dB	$V_{REF} = 3.5\text{ V p-p}$, 加载全1, $f = 100\text{ kHz}$ 时钟 = 10 MHz, $V_{REF} = 3.5\text{ V}$
数字THD					
50 kHz f_{OUT}		65		dB	
输出噪声频谱密度 ²		25		nV/Hz	在1 kHz条件下
SFDR性能(宽带)					AD5445, $V_{REF} = 3.5\text{ V}$
时钟 = 10 MHz					
500 kHz f_{OUT}		55		dB	
100 kHz f_{OUT}		63		dB	
50 kHz f_{OUT}		65		dB	
时钟 = 25 MHz					
500 kHz f_{OUT}		50		dB	
100 kHz f_{OUT}		60		dB	
50 kHz f_{OUT}		62		dB	
SFDR性能(窄带)					AD5445, $V_{REF} = 3.5\text{ V}$
时钟 = 10 MHz					
500 kHz f_{OUT}		73		dB	
100 kHz f_{OUT}		80		dB	
50 kHz f_{OUT}		82		dB	
时钟 = 25 MHz					
500 kHz f_{OUT}		70		dB	
100 kHz f_{OUT}		75		dB	
50 kHz f_{OUT}		80		dB	
交调失真(IMD)					AD5445, $V_{REF} = 3.5\text{ V}$
时钟 = 10 MHz					
$f_1 = 400\text{ kHz}$, $f_2 = 500\text{ kHz}$		65		dB	
$f_1 = 40\text{ kHz}$, $f_2 = 50\text{ kHz}$		72		dB	
时钟 = 25 MHz					
$f_1 = 400\text{ kHz}$, $f_2 = 500\text{ kHz}$		51		dB	
$f_1 = 40\text{ kHz}$, $f_2 = 50\text{ kHz}$		65		dB	
电源要求					
电源电压范围	2.5		5.5	V	
I_{DD}		0.4	0.6	μA	$T_A = 25^\circ\text{C}$, 逻辑输入 = 0 V或 V_{DD}
			5	μA	逻辑输入 = 0 V或 V_{DD} , $T = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$
电源灵敏度			0.001	%/%	$\Delta V_{DD} = \pm 5\%$

¹ 通过设计保证, 但未经生产测试。

² 规格利用OP27测得。

时序特性

所有输入信号均指定 $t_r = t_f = 1 \text{ ns}$ (10%至90%的 V_{DD})，并从 $(V_{IL} + V_{IH})/2$ 电平开始。 $V_{DD} = 2.5 \text{ V}$ 至 5.5 V ， $V_{REF} = 10 \text{ V}$ ， $I_{OUT2} = 0 \text{ V}$ ；Y级温度范围： -40°C 至 $+125^\circ\text{C}$ ；所有规格均相对于 T_{MIN} 至 T_{MAX} 而言，除非另有说明。

表2.

参数 ¹	$V_{DD} = 2.5 \text{ V}$ 至 5.5 V	$V_{DD} = 4.5 \text{ V}$ 至 5.5 V	单位	测试条件/注释
t_1	0	0	ns(最小值)	R/W至 $\overline{\text{CS}}$ 建立时间
t_2	0	0	ns(最小值)	R/W至 $\overline{\text{CS}}$ 保持时间
t_3	10	10	ns(最小值)	$\overline{\text{CS}}$ 低电平时间(写周期)
t_4	6	6	ns(最小值)	数据建立时间
t_5	0	0	ns(最小值)	数据保持时间
t_6	5	5	ns(最小值)	R/W高电平至 $\overline{\text{CS}}$ 低电平
t_7	9	7	ns(最小值)	$\overline{\text{CS}}$ 最小高电平时间
t_8	20	10	ns(典型值)	数据访问时间
	40	20	ns(最大值)	
t_9	5	5	ns(典型值)	总线释放时间
	10	10	ns(最大值)	

¹ 通过设计保证，但未经生产测试。

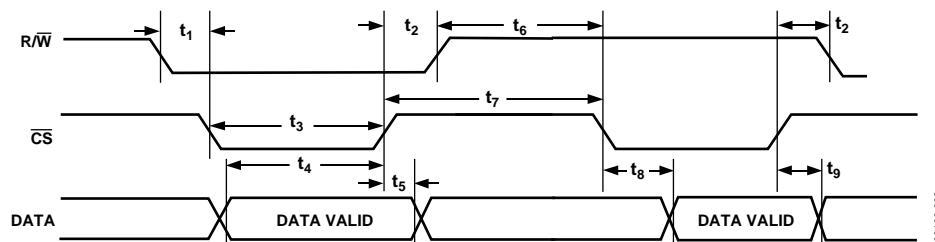


图2. 时序图

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表3.

参数	额定值
V_{DD} 至 GND	-0.3 V 至 +7 V
V_{REF} 、 R_{FB} 至 GND	-12 V 至 +12 V
I_{OUT1} 、 I_{OUT2} 至 GND	-0.3 V 至 +7 V
逻辑输入和输出 ¹	-0.3 V 至 $V_{DD} + 0.3$ V
工作温度范围	
扩展工业温度范围(Y级)	-40°C 至 +125°C
存储温度范围	-65°C 至 +150°C
结温	150°C
16引脚TSSOP θ_{JA} 热阻	150°C/W
20引脚TSSOP θ_{JA} 热阻	143°C/W
20引脚LFCSP θ_{JA} 热阻	135°C/W
引脚温度，焊接(10秒)	300°C
IR回流焊峰值温度(低于20秒)	235°C

¹ DBx、 \overline{CS} 和 $\overline{R/W}$ 上的过压由内部二极管箝位。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

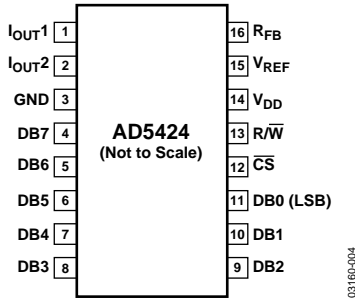
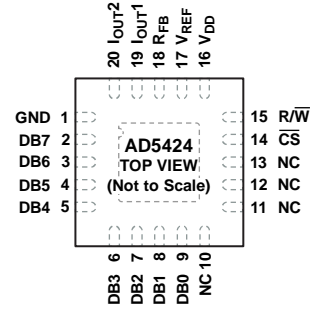


图3. AD5424引脚配置(TSSOP)



- NOTES
1. NC = NO CONNECT.
 2. THE EXPOSED PAD MUST BE CONNECTED TO AGND.

图4. AD5424引脚配置(LFCSP)

表4. AD5424引脚功能描述

引脚编号		引脚名称	描述
TSSOP	LFCSP		
1	19	IOUT1	DAC电流输出。
2	20	IOUT2	DAC模拟地。此引脚通常应连接到系统的模拟地。
3	1	GND	地。
4至11	2至9	DB7至DB0	并行数据位7至0。
	10至13	NC	内部不连接。
12	14	\overline{CS}	片选输入引脚。低电平有效。与 $\overline{R/W}$ 一起使用，将并行数据加载到输入锁存器或从DAC寄存器读取数据。 \overline{CS} 上升沿加载数据。
13	15	$\overline{R/W}$	读/写。低电平时，与 \overline{CS} 一起使用来加载并行数据。高电平时，与 \overline{CS} 一起使用来回读DAC寄存器的内容。
14	16	VDD	正电源输入。这些器件可采用2.5 V至5.5 V电源供电。
15	17	VREF	DAC基准电压输入引脚。
16	18	RFB	DAC反馈电阻引脚。通过连接到外部放大器输出，建立DAC的电压输出。
不适用		EPAD	裸露焊盘。裸露焊盘必须连接到AGND。

AD5424/AD5433/AD5445

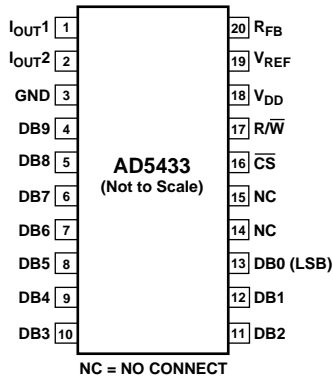
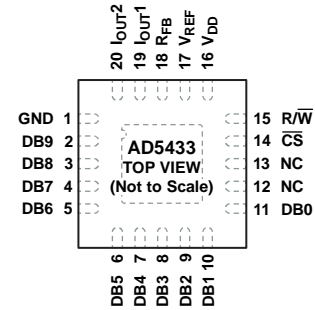


图5. AD5433引脚配置(TSSOP)



NOTES
 1. NC = NO CONNECT.
 2. THE EXPOSED PAD MUST BE CONNECTED TO AGND.

图6. AD5433引脚配置(LFCSP)

表5. AD5433引脚功能描述

引脚编号		引脚名称	描述
TSSOP	LFCSP		
1	19	I _{OUT1}	DAC电流输出。
2	20	I _{OUT2}	DAC模拟地。此引脚通常应连接到系统的模拟地。
3	1	GND	地。
4至13	2至11	DB9至DB0	并行数据位9至0。
14, 15	12, 13	NC	内部不连接。
16	14	\overline{CS}	片选输入引脚。低电平有效。与 $\overline{R/W}$ 一起使用，将并行数据加载到输入锁存器或从DAC寄存器读取数据。 \overline{CS} 上升沿加载数据。
17	15	$\overline{R/W}$	读/写。低电平时，与 \overline{CS} 一起使用来加载并行数据。高电平时，与 \overline{CS} 一起使用来回读DAC寄存器的内容。
18	16	V _{DD}	正电源输入。这些器件可采用2.5 V至5.5 V电源供电。
19	17	V _{REF}	DAC基准电压输入引脚。
20	18	R _{FB}	DAC反馈电阻引脚。通过连接到外部放大器输出，建立DAC的电压输出。
不适用		EPAD	裸露焊盘。裸露焊盘必须连接到AGND。

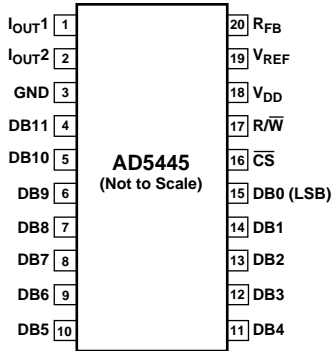


图7. AD5445引脚配置(TSSOP)

03160-008

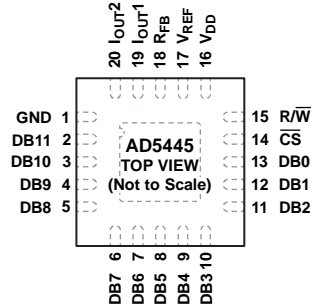


图8. AD5445引脚配置(LFCSP)

03160-008

NOTES
1. THE EXPOSED PAD MUST BE CONNECTED TO AGND.

表6. AD5445引脚功能描述

引脚编号		引脚名称	描述
TSSOP	LFCSP		
1	19	IOUT1	DAC电流输出。
2	20	IOUT2	DAC模拟地。此引脚通常应连接到系统的模拟地。 system.
3	1	GND	接地引脚。
4至15	2至13	DB11至DB0	并行数据位11至0。
16	14	CS	片选输入引脚。低电平有效。与R/W一起使用，将并行数据加载到输入锁存器或从DAC寄存器读取数据。CS上升沿加载数据。
17	15	R/W	读/写。低电平时，与CS一起使用来加载并行数据。高电平时，与CS一起使用来回读DAC寄存器的内容。
18	16	VDD	正电源输入。这些器件可采用2.5 V至5.5 V电源供电。DAC基准电压输入引脚。
19	17	VREF	DAC反馈电阻引脚。
20	18	RFB	通过连接到外部放大器输出，建立DAC的电压输出。
不适用		EPAD	裸露焊盘。裸露焊盘必须连接到AGND。

典型工作特性

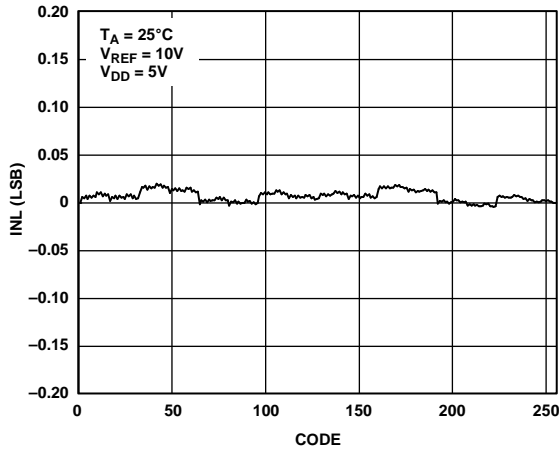


图9. INL与代码的关系(8位DAC)

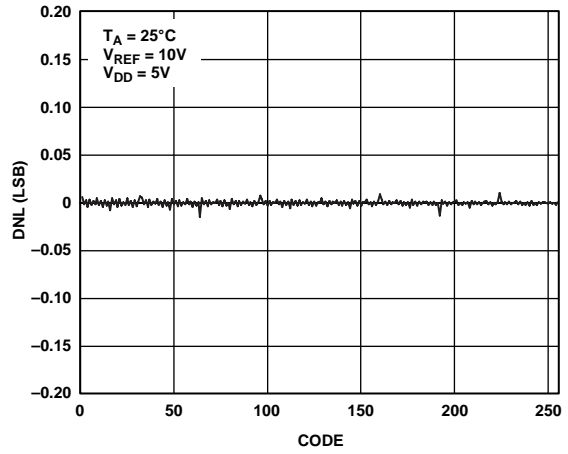


图12. DNL与代码的关系(8位DAC)

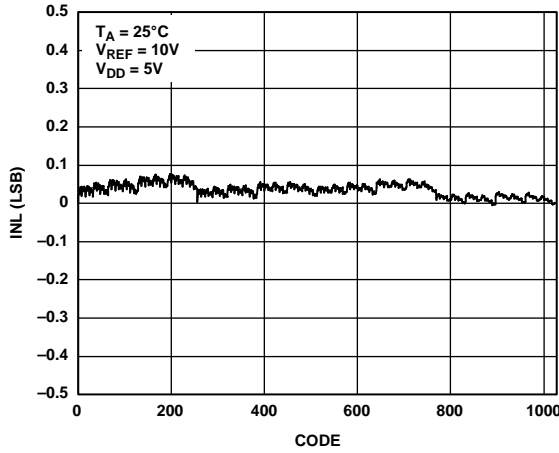


图10. INL与代码的关系(10位DAC)

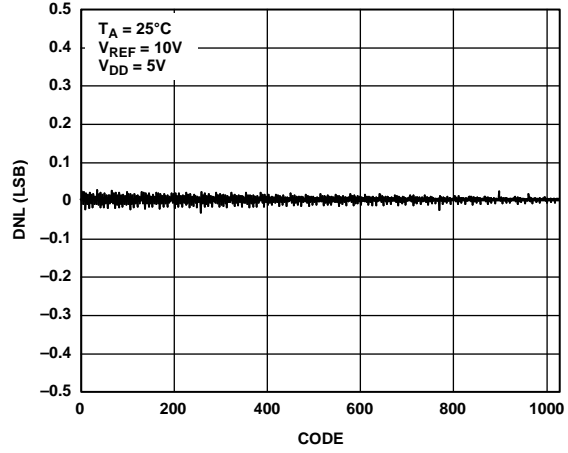


图13. DNL与代码的关系(10位DAC)

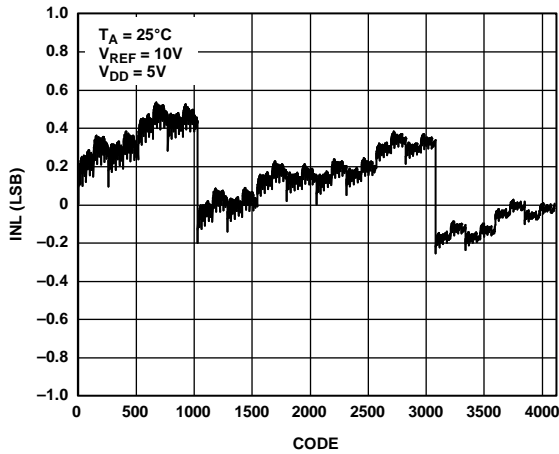


图11. INL与代码的关系(12位DAC)

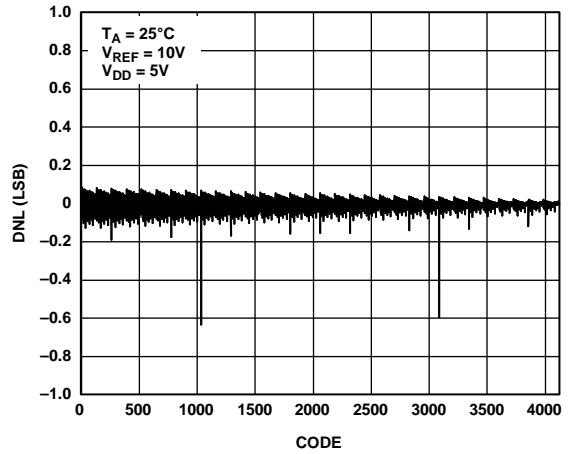


图14. DNL与代码的关系(12位DAC)

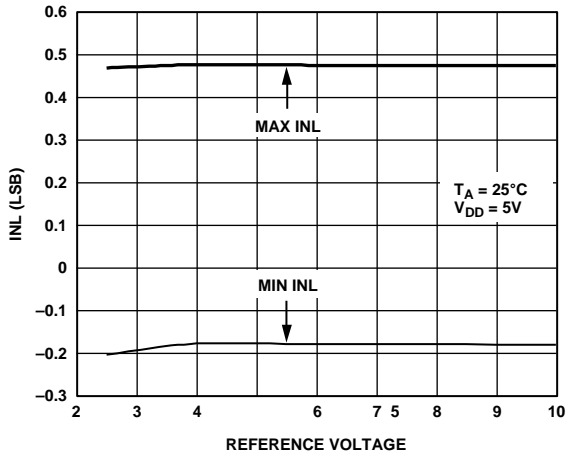


图15. INL与基准电压的关系, AD5445

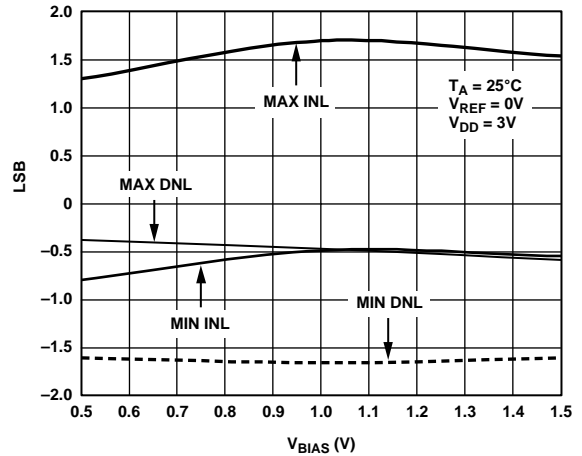


图18. 线性度与 I_{OUT2} 上 V_{BIAS} 电压的关系, AD5445

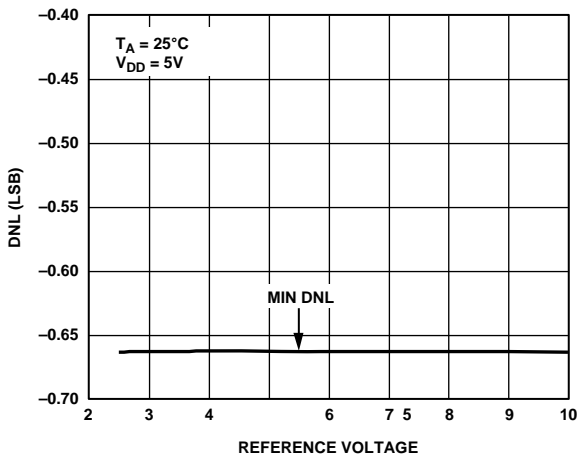


图16. DNL与基准电压的关系, AD5445

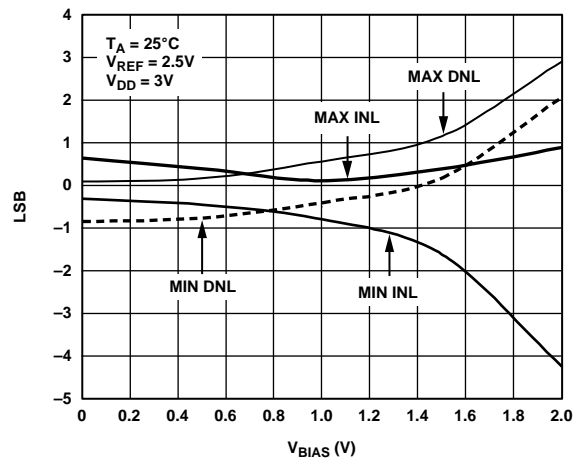


图19. 线性度与 I_{OUT2} 上 V_{BIAS} 电压的关系, AD5445

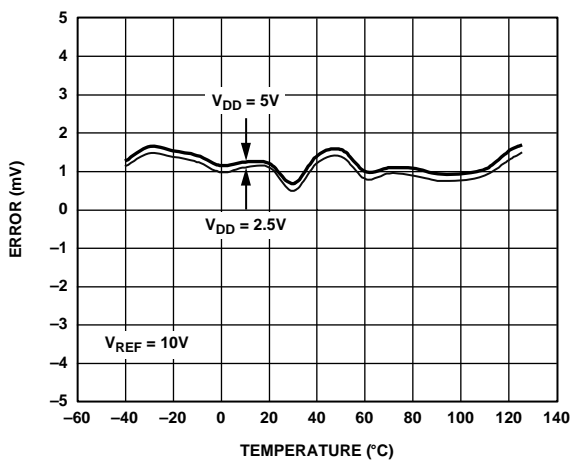


图17. 增益误差与温度的关系

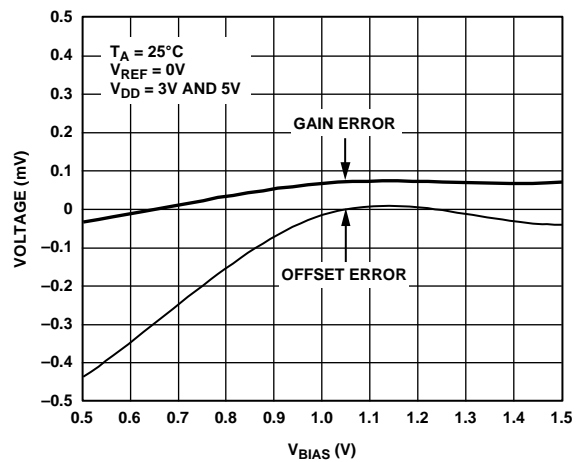


图20. 增益和失调误差与 I_{OUT2} 上 V_{BIAS} 电压的关系

AD5424/AD5433/AD5445

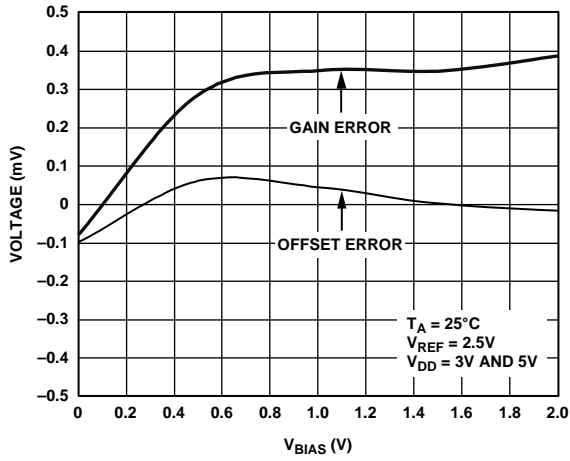


图21. 增益和失调误差与 I_{OUT2} 上 V_{BIAS} 电压的关系

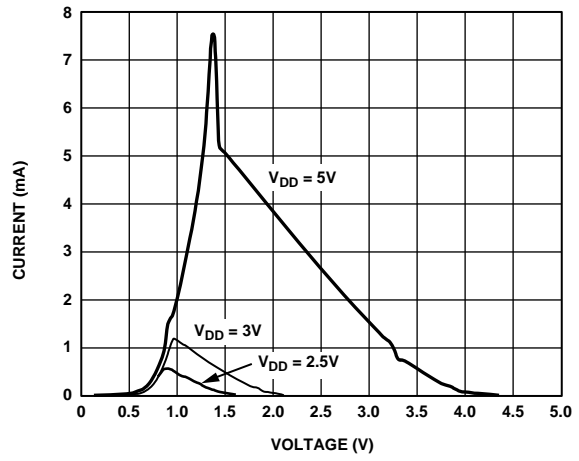


图24. 电源电流与逻辑输入电压的关系(驱动DB0至DB11, 所有其他数字输入无电源)

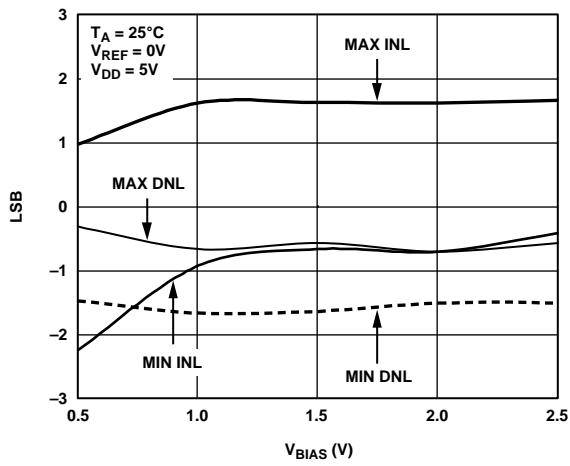


图22. 线性度与 I_{OUT2} 上 V_{BIAS} 电压的关系, AD5445

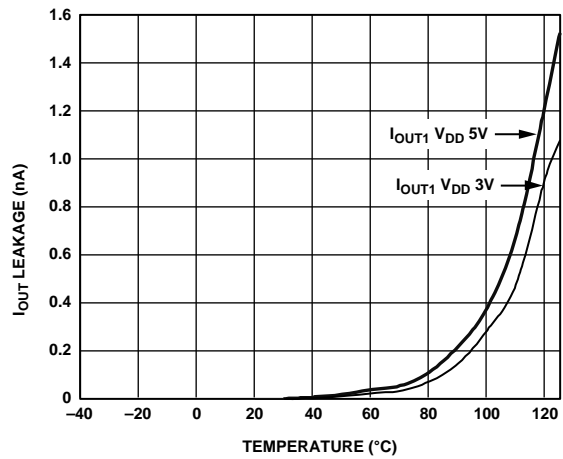


图25. I_{OUT1} 漏电流与温度的关系

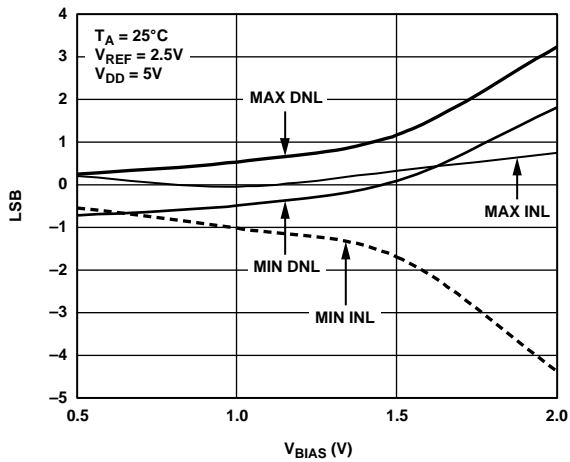


图23. 线性度与 I_{OUT2} 上 V_{BIAS} 电压的关系, AD5445

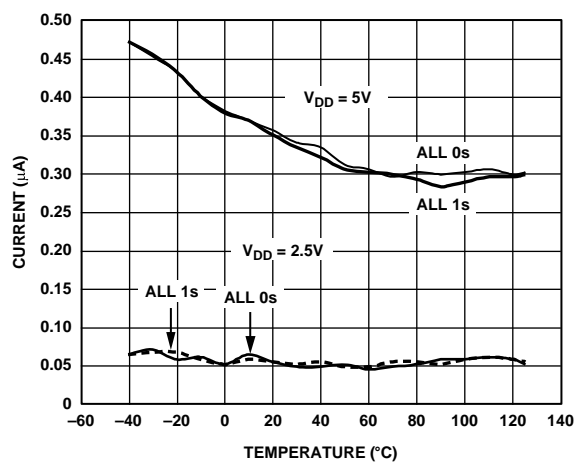


图26. 电源电流与温度的关系

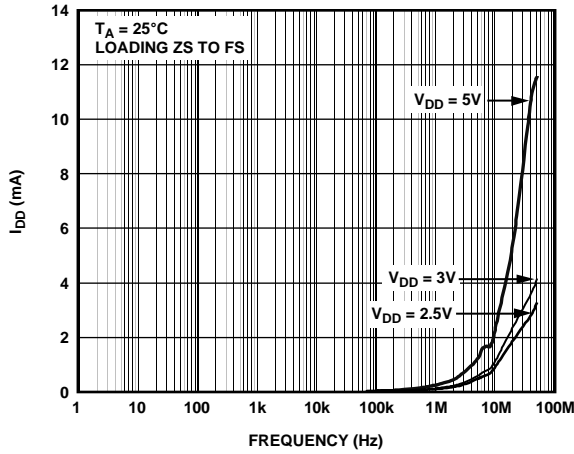


图27. 电源电流与更新速率的关系

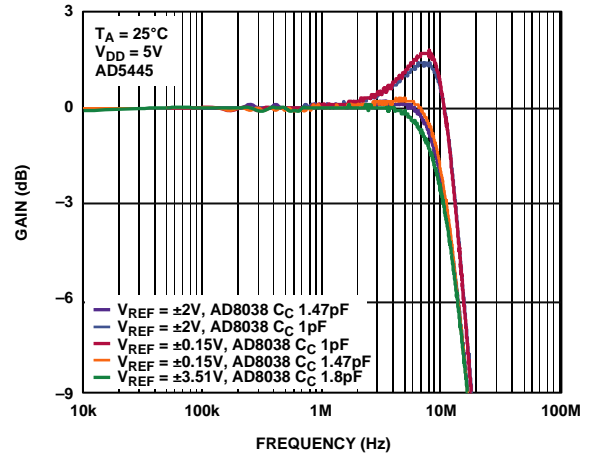


图30. 基准乘法带宽与频率和补偿电容的关系

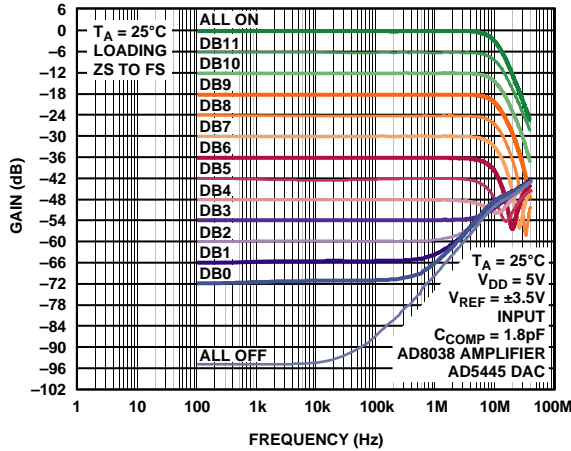


图28. 基准乘法带宽与频率和代码的关系

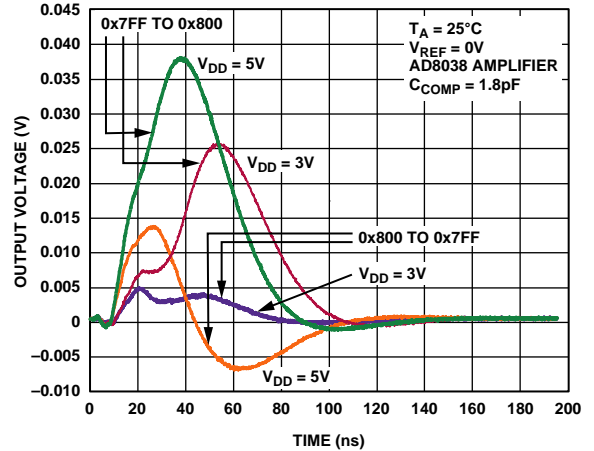


图31. 半量程转换, $V_{REF} = 0\text{ V}$

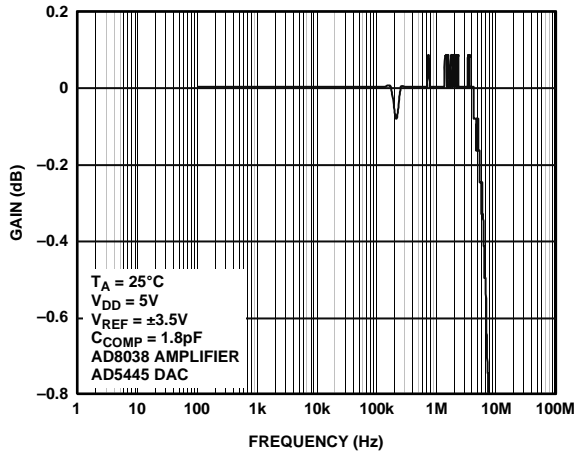


图29. 基准乘法带宽—加载全1

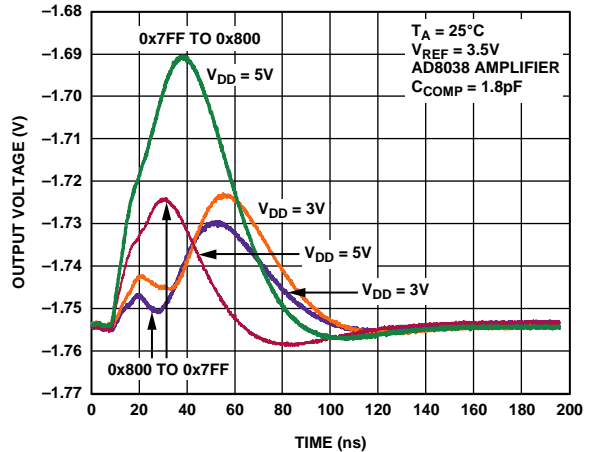


图32. 半量程转换, $V_{REF} = 3.5\text{ V}$

AD5424/AD5433/AD5445

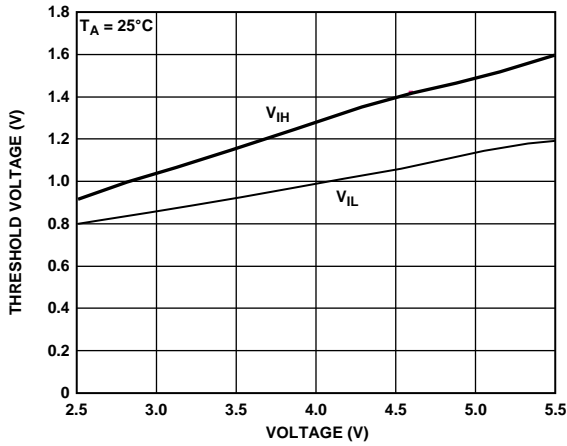


图33. 阈值电压与电源电压的关系

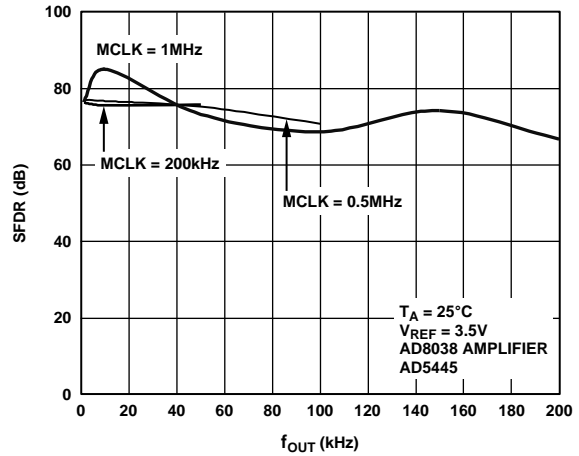


图36. 宽带SFDR与 f_{OUT} 频率的关系

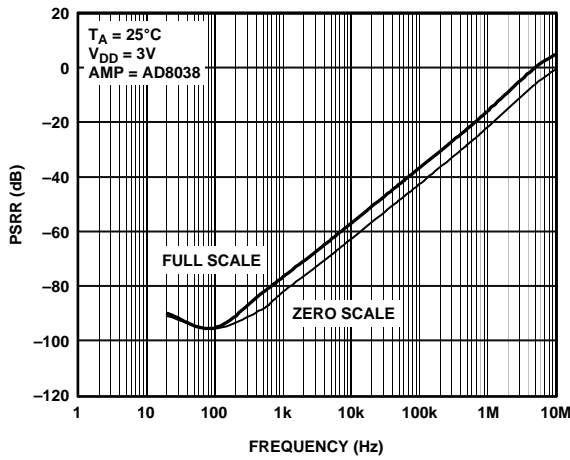


图34. 电源抑制比与频率的关系

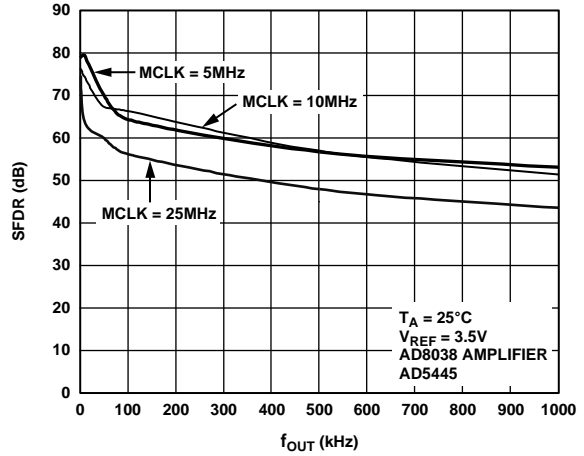


图37. 宽带SFDR与 f_{OUT} 频率的关系

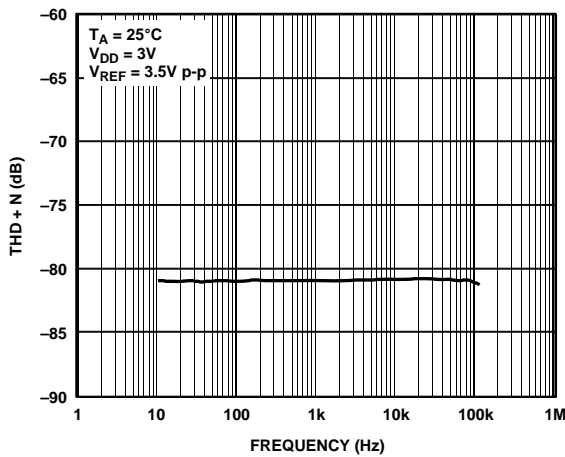


图35. THD和噪声与频率的关系

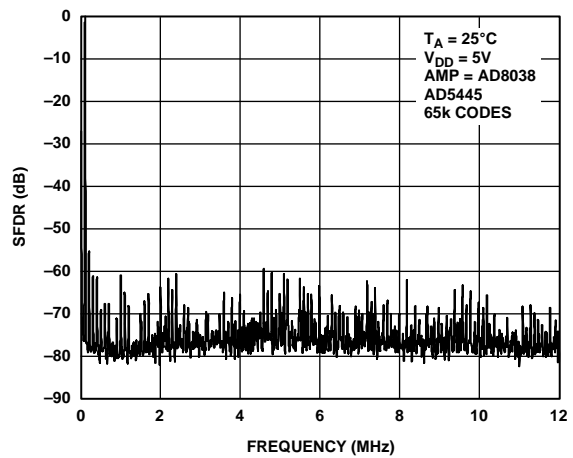


图38. 宽带SFDR, $f_{OUT} = 100\text{ kHz}$, 时钟 = 25 MHz

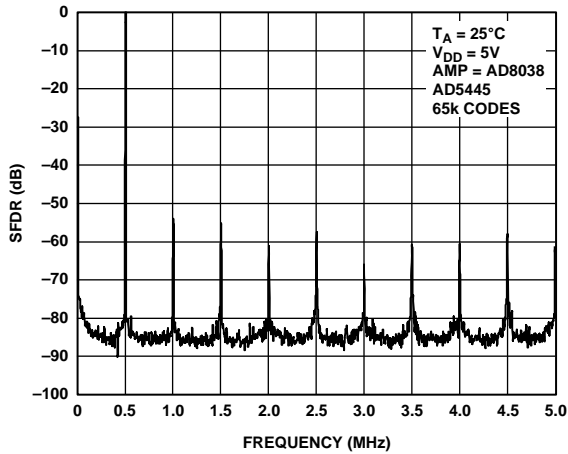


图39. 宽带SFDR, $f_{OUT} = 500$ kHz, 时钟 = 10 MHz

03160-039

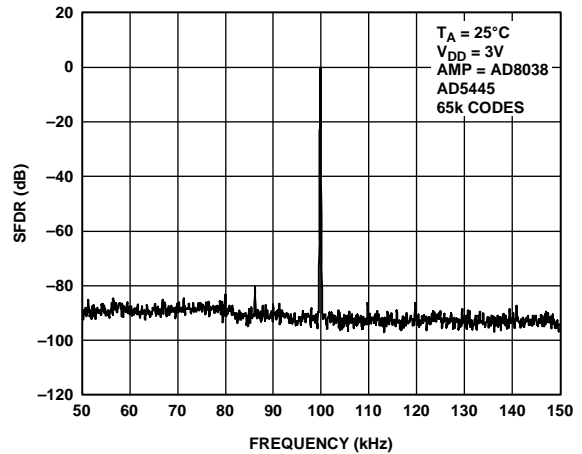


图42. 窄带SFDR, $f_{OUT} = 100$ kHz, MCLK = 25 MHz

03160-042

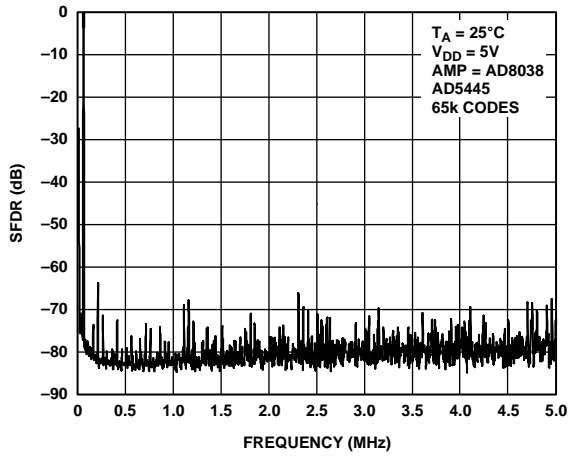


图40. 宽带SFDR, $f_{OUT} = 50$ kHz, 时钟 = 10 MHz

03160-040

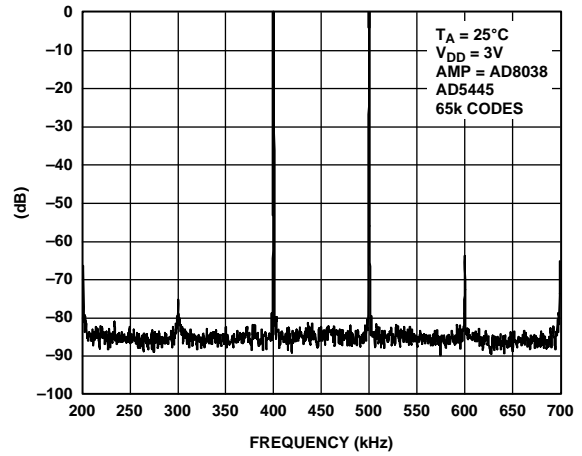


图43. 窄带IMD, $f_{OUT} = 400$ kHz, 500 kHz, 时钟 = 10 MHz

03160-043

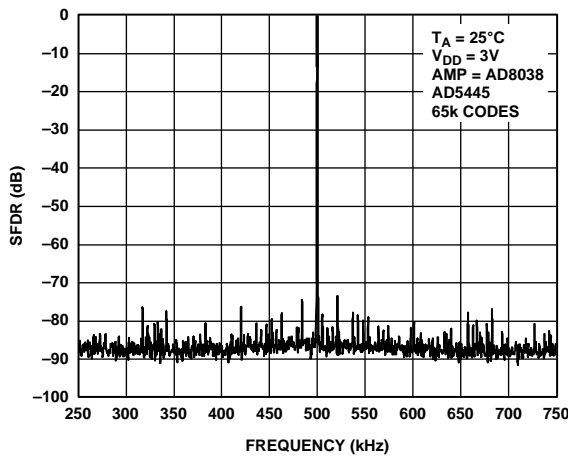


图41. 窄带频谱响应, $f_{OUT} = 500$ kHz, 时钟 = 25 MHz

03160-041

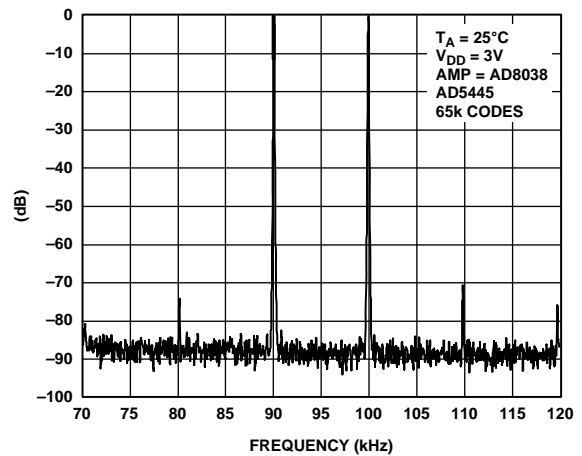


图44. 窄带IMD, $f_{OUT} = 90$ kHz, 100 kHz, 时钟 = 10 MHz

03160-044

AD5424/AD5433/AD5445

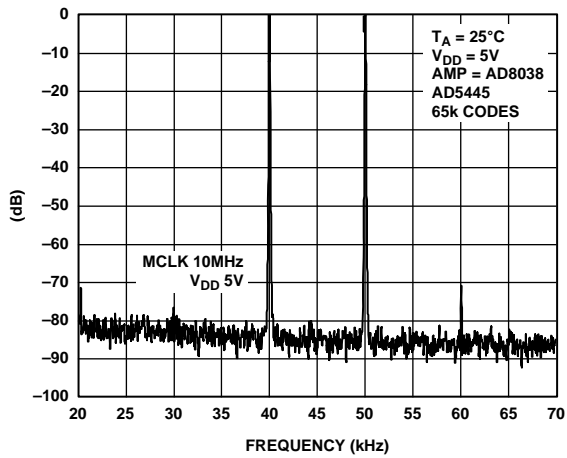


图45. 窄带IMD, $f_{OUT} = 40\text{ kHz}, 50\text{ kHz}$, 时钟 = 10 MHz

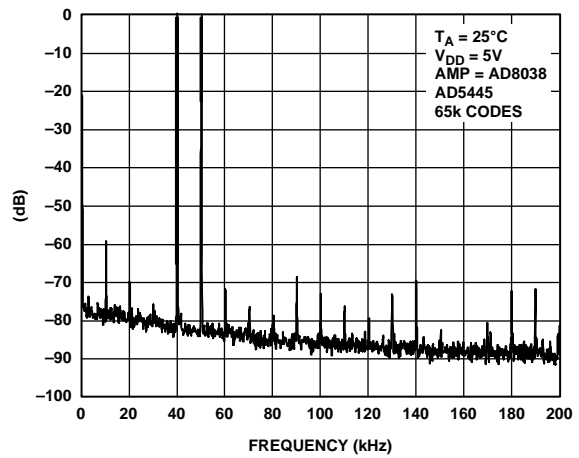


图47. 宽带IMD, $f_{OUT} = 60\text{ kHz}, 50\text{ kHz}$, 时钟 = 10 MHz

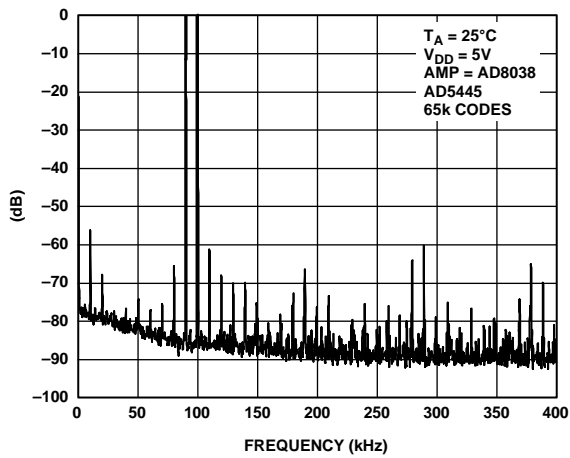


图46. 宽带IMD, $f_{OUT} = 90\text{ kHz}, 100\text{ kHz}$, 时钟 = 25 MHz

03160-045

03160-047

03160-046

术语

相对精度

相对精度或端点非线性度是指DAC输出与通过DAC端点的传递函数直线之间的最大偏差。在调整零电平和满量程后测量，通常以LSB表示，或以满量程读数的百分比表示。

差分非线性

差分非线性是指任意两个相邻编码之间所测得变化值与理想的1 LSB变化值之间的差异。工作温度范围内最大-1 LSB的额定差分非线性可确保单调性。

增益误差

增益误差或满量程误差衡量理想DAC和实际器件之间的输出误差。对于这些DAC而言，理想的最大输出是 $V_{REF} - 1 \text{ LSB}$ 。DAC的增益误差可通过外部电阻调节为0。

输出漏电流

输出漏电流表示当DAC梯形开关关闭时，流经它们的电流。对于 I_{OUT1} 引脚而言，可通过DAC加载全0然后测量 I_{OUT1} 的电流，测得输出漏电流值。当DAC加载全1时，流过 I_{OUT2} 的电流最小。

输出电容

I_{OUT1} 或 I_{OUT2} 至AGND的电容。

输出电流建立时间

输出电流建立时间是指对于满量程输入变化，输出稳定在指定电平所需的时间。对于这些器件而言，额定值为100 Ω电阻接地。

该建立时间包括从 \overline{CS} 上升沿到满量程输出电荷的数字延迟。

数模转换毛刺脉冲

表示当输入改变状态时，电荷从数字输入注入到模拟输出的量。数模转换毛刺脉冲通常规定为毛刺的面积，用pA-s或nV-s表示，具体取决于毛刺是作为电流信号还是作为电压信号来测量的。

数字馈通

当该器件未被选中时，器件数字输入端上的高频逻辑活动可以通过器件进行容性耦合，以此表现为 I_{OUT} 引脚以及进入后续电路的噪声。这种噪声就是数字馈通。

乘法馈通误差

这是由向DAC中载入全0时从DAC基准输入以容性方式馈通到DAC I_{OUT1} 引脚而引起的误差。

总谐波失真(THD)

DAC由交流基准源驱动。THD表示DAC输出的谐波均方根和与基波的比值。通常仅包括低阶谐波，如二阶至五阶。

$$THD = 20 \log \frac{\sqrt{(V_2^2 + V_3^2 + V_4^2 + V_5^2)}}{V_1}$$

数字交调失真

二阶交调失真(IMD)衡量DAC以数字方式产生的 f_a 和 f_b 音，以及 $2f_a - f_b$ 与 $2f_b - f_a$ 的二阶积。

无杂散动态范围(SFDR)

SFDR指DAC的可用动态范围，超出此范围，杂散噪声就会干扰基波信号或使其失真。它用基波与DC至全奈奎斯特带宽(DAC采样速率的一半或 $f_s/2$)范围内的最大谐波或非谐波相关杂散的幅值之差来衡量。窄带SFDR衡量任意窗口范围内的SFDR，本例中为基波的50%。数字SFDR衡量信号为数字生成的正弦波时，DAC的可用动态范围。

工作原理

AD5424、AD5433和AD5445是8/10/12位电流输出型DAC，由标准反相R-2R梯形配置组成。图48给出了8位AD5424的简化示意图。匹配反馈电阻 R_{FB} 的值为R。R典型值为10 k Ω （最小值8 k Ω 和最大值12 k Ω ）。若 I_{OUT1} 和 I_{OUT2} 保持相同的电位，则无论数字输入代码是多少，每个梯形引脚上均有持续电流流过，从而 V_{REF} 上的输入电阻始终具有恒定的额定值R。DAC输出(I_{OUT})取决于代码，产生不同的电阻值和电容值。选择外部放大器时，需考虑DAC在放大器反相输入节点上产生的阻抗变化。

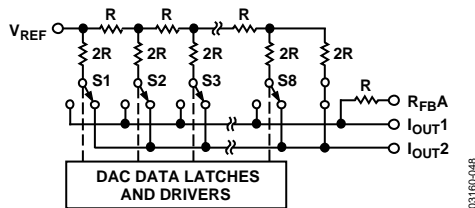


图48. 简化梯形图

可访问DAC的 V_{REF} 、 R_{FB} 、 I_{OUT1} 和 I_{OUT2} 引脚，使器件功能特别丰富，并允许配置为多种不同的工作模式，如单极性输出模式、四象限乘法双极性模式或单电源工作模式等。请注意，匹配的开关与内部 R_{FB} 反馈电阻串联。如果用户尝试测量 R_{FB} ，必须为 V_{DD} 供电，确保连续性。

电路工作原理

单极性模式

只需一个运算放大器，即可轻松配置这些器件来提供二象限乘法操作或单极性输出电压摆幅，如图49所示。

当输出放大器以单极性模式连接时，输出电压可由下式得出：

$$V_{OUT} = -V_{REF} \times \frac{D}{2^n}$$

其中D为载入DAC数字字的小数表示，而n为DAC分辨率。

$$D = 0 \text{ 至 } 255 \text{ (8位AD5424)}$$

$$= 0 \text{ 至 } 1023 \text{ (10位AD5433)}$$

$$= 0 \text{ 至 } 4095 \text{ (12位AD5445)}$$

请注意，输出电压极性与直流基准电压的 V_{REF} 极性相反。

这些DAC设计为在正/负基准电压下工作。 V_{DD} 电源引脚仅用于内部数字逻辑，以驱动DAC开关的通断状态。

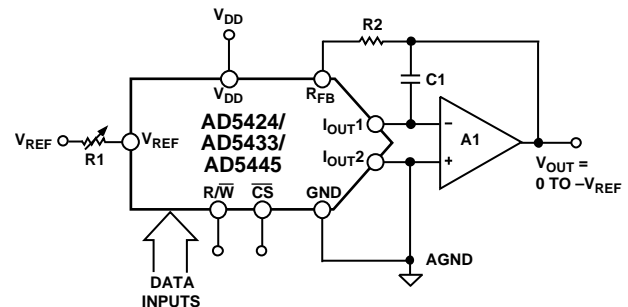
这些DAC还设计用于接受交流基准输入信号，范围为-10 V至+10 V。

使用固定10 V基准电压源时，图49所示电路具有单极性0 V至-10 V输出电压摆幅。当 V_{IN} 为交流信号时，电路执行二象限乘法。

表7列出单极性工作模式下的数字代码和期望输出电压之间的关系(AD5424，8位器件)。

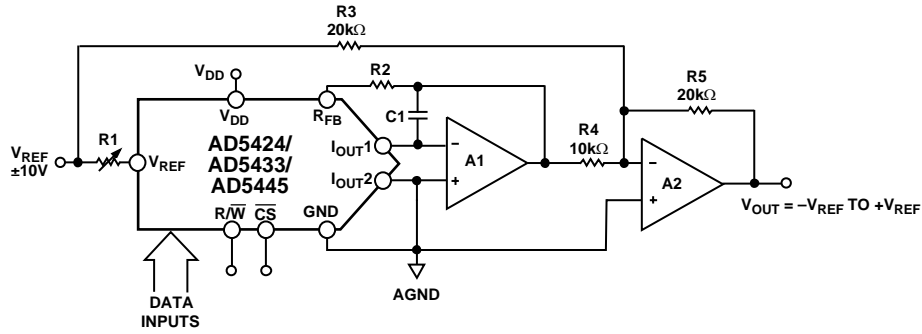
表7. 单极性代码表

数字输入	模拟输出(V)
1111 1111	$-V_{REF} (255/256)$
1000 0000	$-V_{REF} (128/256) = -V_{REF}/2$
0000 0001	$V_{REF} (1/256)$
0000 0000	$V_{REF} (0/256) = 0$



- NOTES:
1. R1 AND R2 USED ONLY IF GAIN ADJUSTMENT IS REQUIRED.
 2. C1 PHASE COMPENSATION (1 pF TO 2 pF) MAY BE REQUIRED IF A1 IS A HIGH SPEED AMPLIFIER.

图49. 单极性工作原理



- NOTES:
1. R1 AND R2 ARE USED ONLY IF GAIN ADJUSTMENT IS REQUIRED. ADJUST R1 FOR $V_{OUT} = 0V$ WITH CODE 10000000 LOADED TO DAC.
 2. MATCHING AND TRACKING IS ESSENTIAL FOR RESISTOR PAIRS R3 AND R4.
 3. C1 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED IF A1/A2 IS A HIGH SPEED AMPLIFIER.

图50. 双极性运算(四象限)

双极性操作

在某些应用中，可能需要产生全四象限乘法功能，或双极性输出摆幅。通过使用另一个外部放大器和一些外部电阻便可轻松实现，如图50所示。在该电路中，第二个放大器A2提供的增益为2。利用基准电压提供的偏置电压使外部放大器偏置，便可实现全四象限乘法操作。此电路的传递函数显示，当输入数据(D)从代码零($V_{OUT} = -V_{REF}$)递增至中间电平($V_{OUT} = 0V$)，再递增至满量程($V_{OUT} = +V_{REF}$)时，就会产生正负输出电压。

$$V_{OUT} = (V_{REF} \times D / 2^{n-1}) - V_{REF}$$

其中D为载入DAC数字字的小数表示，而n为DAC分辨率。

- D = 0至255(8位AD5424)
- = 0至1023(10位AD5433)
- = 0至4095(12位AD5445)

当 V_{IN} 为交流信号时，电路执行四象限乘法。

表8列出双极性工作模式下的数字代码和期望输出电压之间的关系(AD5424, 8位器件)。

表8. 双极性代码表

数字输入	模拟输出(V)
1111 1111	+ V_{REF} (127/128)
1000 0000	0
0000 0001	- V_{REF} (127/128)
0000 0000	- V_{REF} (128/128)

稳定性

对于电流转电压配置，DAC的 I_{OUT} 和运算放大器的反相节点必须尽可能彼此靠近连接，且必须采用合适的PCB布局技术。因为每个代码变化对应于一个阶跃函数，所以如果运算放大器的GBP有限且反相节点处存在过大的寄生电容，则会出现增益峰值。该寄生电容在开环响应中引入一个极点，它可能会在闭环应用中引起响铃振荡或不稳定。

可选的补偿电容C1能够与 R_{FB} 并联增加稳定性，如图49和图50所示。C1值过小可能会在输出端产生响铃振动，而过大则可能会对建立时间带来不利影响。必须凭经验选择C1，但通常1 pF至2 pF就足以补偿。

AD5424/AD5433/AD5445

单电源应用

电流模式工作原理

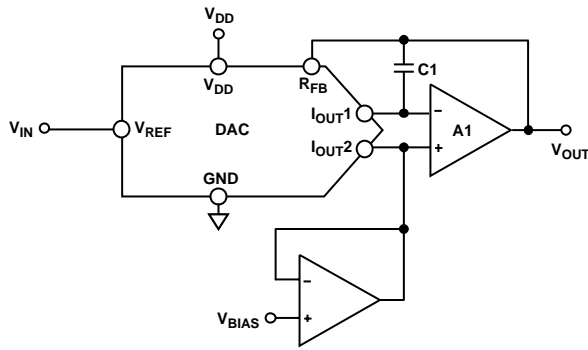
图51中的电流模式电路是采用2.5 V至5 V单电源供电的典型电路。 I_{OUT2} (因此 I_{OUT1})正偏, 偏置量为施加于 V_{BIAS} 的量。此配置下的输出电压可通过以下公式计算:

$$V_{OUT} = [D \times (R_{FB}/R_{DAC}) \times (V_{BIAS} - V_{IN})] + V_{BIAS}$$

由于D在0到255 (AD5424)、0到1023 (AD5433)或0到4095 (AD5445)范围内变化, 因此输出电压也在下式范围内变化:

$$V_{OUT} = V_{BIAS} \text{ to } V_{OUT} = 2V_{BIAS} - V_{IN}$$

V_{BIAS} 应当为低阻抗源, 可在 I_{OUT2} 引脚端正确输出所有吸电流和源电流的变化。



- NOTES:
1. ADDITIONAL PINS OMITTED FOR CLARITY
2. C1 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED IF A1 IS A HIGH SPEED AMPLIFIER.

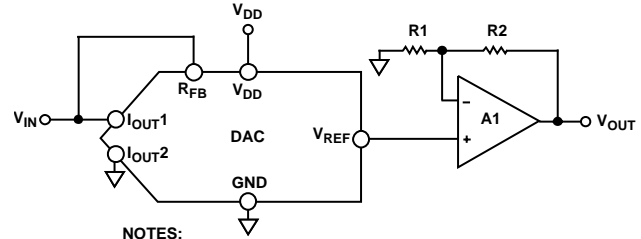
03160-051

图51. 单电源电流模式工作原理

必须注意, 由于DAC梯形开关不再具有相同的源极至漏极驱动电压, 因此 V_{IN} 只能接受低电压。这就导致各开关的导通电阻不同, 从而降低DAC的线性度。

电压开关模式工作原理

图52显示这些DAC在电压开关模式下的工作原理。基准电压 V_{IN} 施加于 I_{OUT1} 引脚, I_{OUT2} 连接至AGND, 且 V_{REF} 引脚提供输出电压。在该配置中, 正基准电压产生正输出电压, 使单电源工作成为可能。DAC输出电压具有恒定阻抗 (DAC梯形电阻), 因此需要使用运算放大器缓冲输出电压。基准输入不再具有恒定输入阻抗, 而是随代码而变化。因此, 应当采用低阻抗源驱动电压输入。



- NOTES:
1. ADDITIONAL PINS OMITTED FOR CLARITY
2. C1 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED IF A1 IS A HIGH SPEED AMPLIFIER.

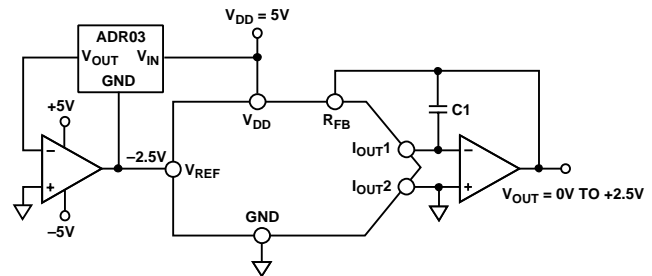
03160-052

图52. 单电源电压切换模式工作原理

必须注意, 由于DAC梯形开关不再具有相同的源极至漏极驱动电压, 因此 V_{IN} 只能接受低电压。这就导致各开关的导通电阻不同, 从而降低DAC的线性度。参见图18至图23。此外, V_{IN} 不能超过负电压以下0.3 V, 否则内部二极管将导通, 超过器件的最大额定值。在这类应用中, DAC将失去全部范围的乘法功能。

正输出电压

请注意, 输出电压极性与直流基准电压的 V_{REF} 极性相反。为了获得正电压输出, 由于存在电阻容差误差, 与通过反相放大器的输出反转相比, 向DAC输入施加负基准电压的方式更好。为了生成负基准电压, 运算放大器可以对基准电压进行电平转换, 使基准的 V_{OUT} 引脚虚拟接地, 且基准的GND引脚为-2.5 V, 如图53所示。



- NOTES:
1. ADDITIONAL PINS OMITTED FOR CLARITY.
2. C1 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED, IF A1 IS A HIGH SPEED AMPLIFIER.

03160-053

图53. 以最少器件数实现正电压输出

提高增益

在要求输出电压大于 V_{IN} 的应用中，可使用一个额外的外部放大器来提高增益，也可通过单级配置实现。应考虑DAC薄膜电阻温度系数的影响。仅将一个电阻与 R_{FB} 电阻串联会导致温度系数失配，造成更大的增益温度系数误差。图54中的电路是增加电路增益所推荐的方法。R1、R2和R3应具有相似的温度系数，但无需与DAC的温度系数相匹配。在要求增益大于1的电路中，推荐使用这种方法。

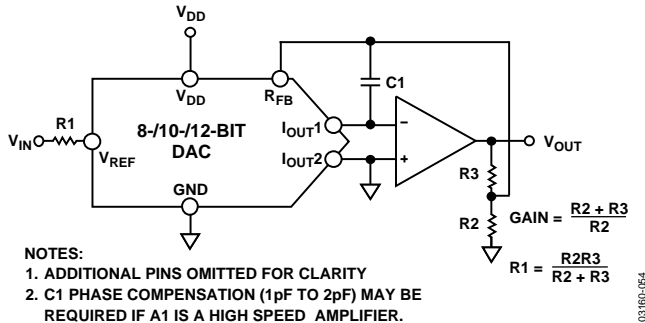


图54. 提高电流输出DAC的增益

DAC用作分压器或可编程增益器件

电流导引DAC非常灵活，因此可用于许多不同的应用。如果这类DAC作为运算放大器的反馈器件连接，且 R_{FB} 用作输入电阻，如图55所示，则输出电压与数字输入小数D成反比。

若 $D = 1 - 2^{-n}$ ，则输出电压为：

$$V_{OUT} = -V_{IN}/D = -V_{IN}/(1 - 2^{-n})$$

随着D降低，输出电压升高。对于小数值的小数D，重要的是确保放大器不出现饱和，同时达到要求的精度。

例如，图55电路中采用二进制代码0x10 (00010000)驱动的8位DAC(即十进制的16)应当使输出电压为 $16 \times V_{IN}$ 。不过，如果DAC线性度额定值为 ± 0.5 LSB，则D事实上可以在15.5/256到16.5/256的范围内具有任意的权重，因此可能的输出电压范围为 $15.5 V_{IN}$ 到 $16.5 V_{IN}$ —误差为3%，哪怕DAC本身的最大误差为0.2%。

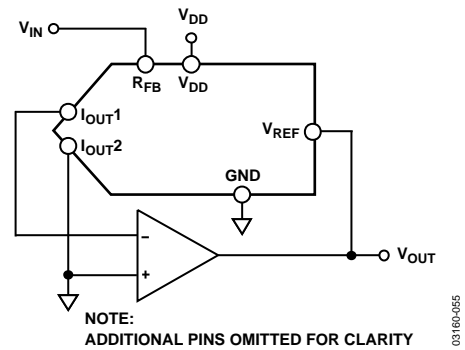


图55. 电流导引DAC用作分压器或可编程增益器件

在分压器电路中，DAC漏电流也是一个潜在的误差源。必须使用来自运算放大器并流经DAC，且方向相反的电流抵消漏电流。由于输入 V_{REF} 引脚的电流仅有小数D部分被路由至 I_{OUT1} 引脚，输出电压必须根据下式而改变：

$$\text{DAC漏电流导致的输出误差电压} = (\text{漏电流} \times R)/D$$

其中R表示 V_{REF} 引脚的DAC电阻。

对于10 nA的DAC漏电流有：R = 10 k Ω ，并且增益(即1/D)为16，误差电压为1.6 mV。

AD5424/AD5433/AD5445

表9. 适用的ADI精密基准电压源

产品型号	输出电压(V)	初始容差(%)	温度漂移(ppm/°C)	I _{SS} (mA)	输出噪声(μV p-p)	封装
ADR01	10	0.05	3	1	20	SOIC-8
ADR01	10	0.05	9	1	20	TSOT-23, SC70
ADR02	5	0.06	3	1	10	SOIC-8
ADR02	5	0.06	9	1	10	TSOT-23, SC70
ADR03	2.5	0.10	3	1	6	SOIC-8
ADR03	2.5	0.10	9	1	6	TSOT-23, SC70
ADR06	3	0.10	3	1	10	SOIC-8
ADR06	3	0.10	9	1	10	TSOT-23, SC70
ADR431	2.5	0.04	3	0.8	3.5	SOIC-8
ADR435	5	0.04	3	0.8	8	SOIC-8
ADR391	2.5	0.16	9	0.12	5	TSOT-23
ADR395	5	0.10	9	0.12	8	TSOT-23

表10. 适用的ADI精密运算放大器

产品型号	电源电压(V)	V _{OS} (最大值)(μV)	I _b 最大值(nA)	0.1 Hz至10 Hz 噪声(μV p-p)	电源电流(μA)	封装
OP97	±2至±20	25	0.1	0.5	600	SOIC-8
OP1177	±2.5至±15	60	2	0.4	500	MSOP, SOIC-8
AD8551	2.7至5	5	0.05	1	975	MSOP, SOIC-8
AD8603	1.8至6	50	0.001	2.3	50	TSOT
AD8628	2.7至6	5	0.1	0.5	850	TSOT, SOIC-8

表11. 适用的ADI高速运算放大器

产品型号	电源电压(V)	ACL时带宽(MHz)	压摆率(V/μs)	V _{OS} (最大值)(μV)	I _b 最大值(nA)	封装
AD8065	5至24	145	180	1500	6000	SOIC-8, SOT-23, MSOP
AD8021	±2.5至±12	490	120	1000	10500	SOIC-8, MSOP
AD8038	3至12	350	425	3000	750	SOIC-8, SC70-5
AD9631	±3至±6	320	1300	10000	7000	SOIC-8

基准电压源选择

选择与AD5424/AD5433/AD5445系列电流输出DAC一起使用的基准电压源时，要注意基准电压源的输出电压和温度系数规格。该参数不仅影响满量程误差，还可影响线性度(INL和DNL)性能。基准电压源温度系数必须与系统精度规格一致。例如，8位系统要求在0°C至50°C温度范围内将整体规格保持在1 LSB以内，表示随温度变化的最大系统漂移必须低于78 ppm/°C。

一个在同样温度范围内整体规格低于2 LSB的12位系统则要求最大漂移为10 ppm/°C。通过选择具有低输出温度系数的精密基准电压源，可将此误差源降到最低。表9列出了ADI公司可用的某些基准值，适合与此范围的电流输出DAC一起使用。

放大器选择

电流导引模式的基本要求是放大器具有低输入偏置电流和低输入失调电压。运算放大器的输入失调电压要乘以电路的可变增益(由于存在DAC的代码相关输出电阻)。由于放大器的输入电压出现失调，因而两个相邻数字小数之间的噪声增益变化会使输出电压产生步进变化。此输出电压变化与两个代码间所需的输出变化相叠加，引起差分线性误差；如果该误差足够大，可能会导致DAC非单调。一般而言，为了确保沿各代码步进时保持单调性，输入失调电压应小于1/4 LSB。

运算放大器的输入偏置电流也会在电压输出上产生失调，其原因是偏置电流会流经反馈电阻R_{FB}。大多数运算放大器的输入偏置电流都足够低，以防止12位应用中的误差过大。

运算放大器的共模抑制对电压切换电路很重要，因为其在电路的电压输出端产生代码相关误差。大多数运算放大器在8/10/12位分辨率下都有适当的共模抑制能力。

如果DAC开关由真正的宽带低阻抗信号源(V_{IN} 和AGND)驱动,就会迅速建立。因此,电压开关DAC电路的压摆率和建立时间主要由输出运算放大器决定。若要获得此配置中的最小建立时间,重点是将DAC的 V_{REF} 节点(此应用中为电压输出节点)的电容降至最低。这可通过使用低输入电容缓冲放大器和精心的电路板设计来实现。

大部分单电源电路都将接地作为模拟信号范围的一部分,这便要求使用一个能够处理轨到轨信号的放大器。ADI提供大量的单电源放大器。

并行接口

数据以8/10/12位并行字格式载入AD5424/AD5433/AD5445。利用控制线 \overline{CS} 和 R/\overline{W} ,可以写入或读取DAC寄存器。拉低 \overline{CS} 和 R/\overline{W} 时,发生写事件,数据线上的数据填入移位寄存器, \overline{CS} 上升沿锁存数据,并将锁存的数据字传输到DAC寄存器。DAC锁存器不是透明的,因此写序列必须包含 \overline{CS} 的下降沿和上升沿,确保数据载入DAC寄存器,且其模拟等效内容反映在DAC输出端。

R/\overline{W} 为高电平而 \overline{CS} 为低电平时,发生读事件。新数据从DAC寄存器加载,返回输入寄存器,输出到数据线上,控制器可回读以用于验证或诊断目的。

微处理器接口

ADSP-21xx与AD5424/AD5433/AD5445接口

图56显示AD5424/AD5433/AD5445与用作存储器映射器件的ADSP-21xx系列DSP接口。根据DSP的时钟速度,AD5424/AD5433/AD5445与ADSP-21xx的接口可能需要一个等待状态。该等待状态可通过ADSP-21xx的数据存储器等待状态控制寄存器设置(详情参见ADSP-21xx系列的用户手册)。

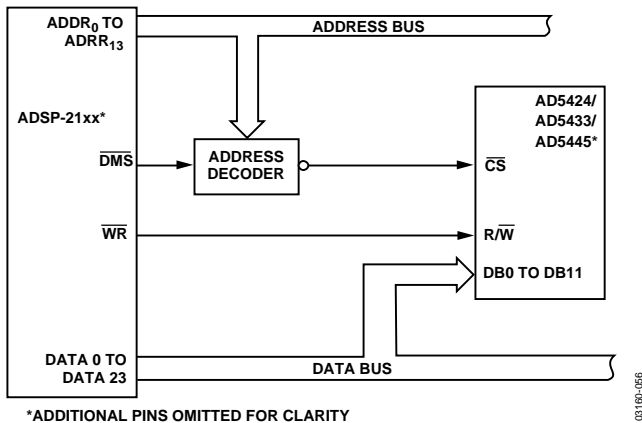


图56. ADSP-21xx与AD5424/AD5433/AD5445接口

8xC51与AD5424/AD5433/AD5445接口

图57显示AD5424/AD5433/AD5445与8xC51系列DSP的接口。为了便于外部数据存储器访问,应使能地址锁存器使能(ALE)模式。在访问外部存储器期间,地址的低位字节通过此输出脉冲锁存。AD0至AD7是复用低阶地址和数据总线,发出1时需要很强的内部上拉电阻。在访问外部存储器期间,A8至A15是高阶地址字节。这些端口是开漏型,因而发出1时也需要很强的内部上拉电阻。

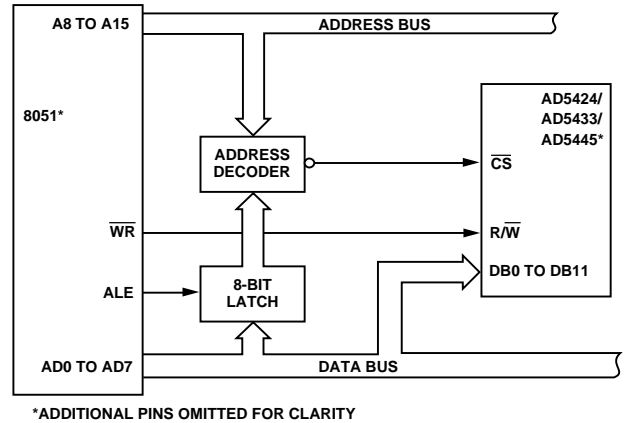


图57. 8xC51与AD5424/AD5433/AD5445接口

ADSP-BF5xx与AD5424/AD5433/AD5445接口

图58显示AD5424/AD5433/AD5445与ADSP-BF5xx系列DSP的典型接口。处理器的异步存储器写周期驱动DAC的数字输入。 \overline{AMSx} 线实际上是四条存储器选择线。内部ADDR线解码为 $\overline{AMS}_{3,0}$,然后这些线路作为片选插入。接口的其余部分是标准的握手操作。

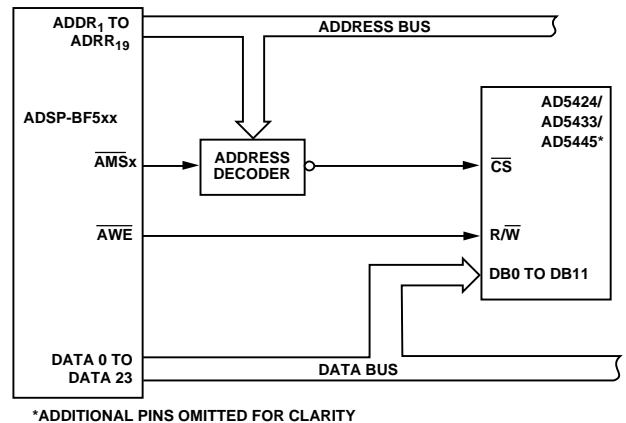


图58. ADSP-BF5xx与AD5424/AD5433/AD5445接口

PCB布局和电源去耦

在任何注重精度的电路中，精心考虑电源和接地回路布局都有助于确保达到规定的性能。AD5424/AD5433/AD5445的印制电路板应采用模拟部分与数字部分分离设计，并限制在某些电路板区域内。如果DAC所在系统中有多个器件要求AGND至DGND连接，则只能在一个点上连接。星形接地点应尽可能靠近器件。

这些DAC应具有足够大的电源旁路电容10 μF ，与电源上的0.1 μF 电容并联，并且尽可能靠近封装，最好是正对着器件。0.1 μF 电容应具有低有效串联电阻(ESR)和低有效串联电感(ESI)，如高频时提供低阻抗接地路径的普通陶瓷型电容，以便处理内部逻辑开关所引起的瞬态电流。电源处也应当运用低ESR 1 μF 至10 μF 钽电容或电解电容，以便尽可能减少瞬态干扰，并滤除低频纹波。

时钟等快速开关信号应利用数字地屏蔽起来，以免向电路板上的其它器件辐射噪声，并且绝不应靠近基准输入。

避免数字信号与模拟信号交叠。电路板相对两侧上的走线应当彼此垂直，这样做有助于减小电路板上的馈通效应。微带线技术是目前的最佳选择，但这种技术对于双面电路板未必总是可行。采用这种技术时，电路板的元件侧专用于接地层，而信号走线则布设在焊接侧。

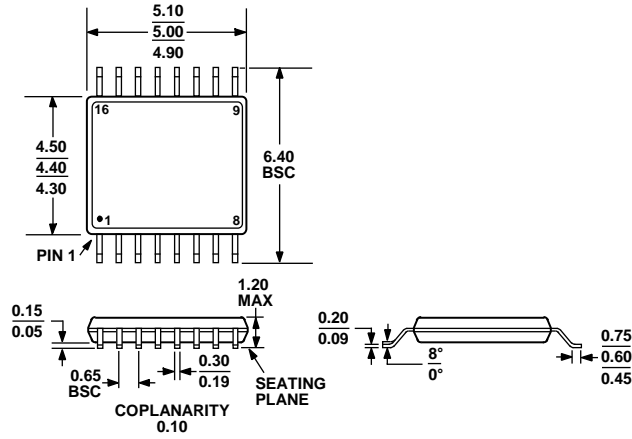
采用紧凑、最小引线长度的PCB布局设计是很好的做法。输入的引线应尽可能短，以将IR压降和杂散电感降至最小。

V_{REF} 与 R_{FB} 之间的PCB金属走线也应当匹配，使增益误差达到最小。为了最大程度优化高频性能，电流至电压放大器应尽可能靠近器件。

表12. AD54xx和AD55xx器件概览

产品型号	分辨率	DAC编号	INL(LSB)	接口	封装	特性
AD5424	8	1	± 0.25	并行	RU-16, CP-20	10 MHz带宽, 17 ns $\overline{\text{CS}}$ 脉冲宽度
AD5426	8	1	± 0.25	串行	RM-10	10 MHz带宽, 50 MHz串行
AD5428	8	2	± 0.25	并行	RU-20	10 MHz带宽, 17 ns $\overline{\text{CS}}$ 脉冲宽度
AD5429	8	2	± 0.25	串行	RU-10	10 MHz带宽, 50 MHz串行
AD5450	8	1	± 0.25	串行	RJ-8	10 MHz带宽, 50 MHz串行
AD5432	10	1	± 0.5	串行	RM-10	10 MHz带宽, 50 MHz串行
AD5433	10	1	± 0.5	并行	RU-20, CP-20	10 MHz带宽, 17 ns $\overline{\text{CS}}$ 脉冲宽度
AD5439	10	2	± 0.5	串行	RU-16	10 MHz带宽, 50 MHz串行
AD5440	10	2	± 0.5	并行	RU-24	10 MHz带宽, 17 ns $\overline{\text{CS}}$ 脉冲宽度
AD5451	10	1	± 0.25	串行	RJ-8	10 MHz带宽, 50 MHz串行
AD5443	12	1	± 1	串行	RM-10	10 MHz带宽, 50 MHz串行
AD5444	12	1	± 0.5	串行	RM-8	50 MHz串行接口
AD5415	12	2	± 1	串行	RU-24	10 MHz带宽, 50 MHz串行
AD5405	12	2	± 1	并行	CP-40	10 MHz带宽, 17 ns $\overline{\text{CS}}$ 脉冲宽度
AD5445	12	2	± 1	并行	RU-20, CP-20	10 MHz带宽, 17 ns $\overline{\text{CS}}$ 脉冲宽度
AD5447	12	2	± 1	并行	RU-24	10 MHz带宽, 17 ns $\overline{\text{CS}}$ 脉冲宽度
AD5449	12	2	± 1	串行	RU-16	10 MHz带宽, 50 MHz串行
AD5452	12	1	± 0.5	串行	RJ-8, RM-8	10 MHz带宽, 50 MHz串行
AD5446	14	1	± 1	串行	RM-8	10 MHz带宽, 50 MHz串行
AD5453	14	1	± 2	串行	UJ-8, RM-8	10 MHz带宽, 50 MHz串行
AD5553	14	1	± 1	串行	RM-8	4 MHz带宽, 50 MHz串行时钟
AD5556	14	1	± 1	并行	RU-28	4 MHz带宽, 20 ns $\overline{\text{WR}}$ 脉冲宽度
AD5555	14	2	± 1	串行	RM-8	4 MHz带宽, 50 MHz串行时钟
AD5557	14	2	± 1	并行	RU-38	4 MHz带宽, 20 ns $\overline{\text{WR}}$ 脉冲宽度
AD5543	16	1	± 2	串行	RM-8	4 MHz带宽, 50 MHz串行时钟
AD5546	16	1	± 2	并行	RU-28	4 MHz带宽, 20 ns $\overline{\text{WR}}$ 脉冲宽度
AD5545	16	2	± 2	串行	RU-16	4 MHz带宽, 50 MHz串行时钟
AD5547	16	2	± 2	并行	RU-38	4 MHz带宽, 20 ns $\overline{\text{WR}}$ 脉冲宽度

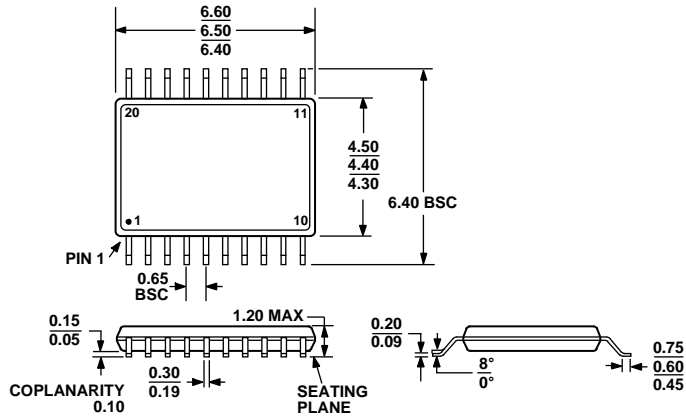
外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-153-AB

图59. 16引脚超薄紧缩小型封装[TSSOP]
(RU-16)

图示尺寸单位: mm

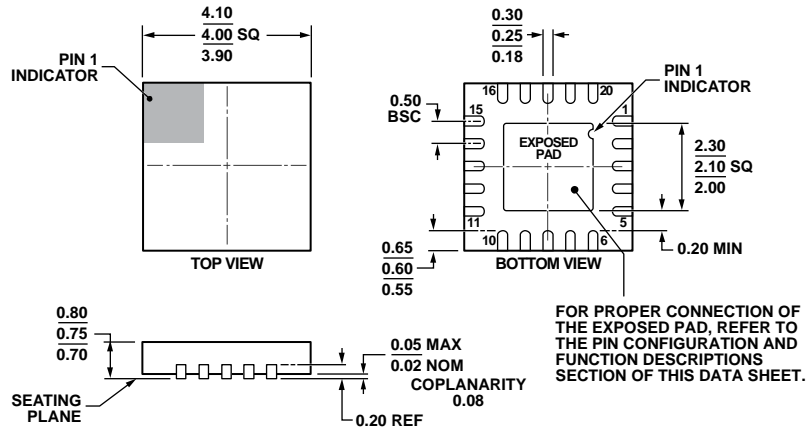


COMPLIANT TO JEDEC STANDARDS MO-153-AC

图60. 20引脚超薄紧缩小型封装[TSSOP]
(RU-20)

图示尺寸单位: mm

AD5424/AD5433/AD5445



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD-1.

图61. 20引脚引脚架构芯片级封装[LFCSP_WQ]
4 mm × 4 mm超薄四方体
(CP-20-6)
图示尺寸单位: mm

08-16-2010-B

订购指南

型号 ¹	分辨率(位)	INL (LSB)	温度范围	封装描述	封装选项
AD5424YRU	8	±0.25	-40°C至+125°C	16引脚 TSSOP	RU-16
AD5424YRU-REEL	8	±0.25	-40°C至+125°C	16引脚 TSSOP	RU-16
AD5424YRU-REEL7	8	±0.25	-40°C至+125°C	16引脚 TSSOP	RU-16
AD5424YRUZ	8	±0.25	-40°C至+125°C	16引脚 TSSOP	RU-16
AD5424YRUZ-REEL	8	±0.25	-40°C至+125°C	16引脚 TSSOP	RU-16
AD5424YRUZ-REEL7	8	±0.25	-40°C至+125°C	16引脚 TSSOP	RU-16
AD5424YCPZ	8	±0.25	-40°C至+125°C	20引脚 LFCSP_WQ	CP-20-6
AD5424YCPZ-REEL7	8	±0.25	-40°C至+125°C	20引脚 LFCSP_WQ	CP-20-6
AD5433YRU	10	±0.5	-40°C至+125°C	20引脚 TSSOP	RU-20
AD5433YRU-REEL	10	±0.5	-40°C至+125°C	20引脚 TSSOP	RU-20
AD5433YRU-REEL7	10	±0.5	-40°C至+125°C	20引脚 TSSOP	RU-20
AD5433YRUZ	10	±0.5	-40°C至+125°C	20引脚 TSSOP	RU-20
AD5433YRUZ-REEL	10	±0.5	-40°C至+125°C	20引脚 TSSOP	RU-20
AD5433YRUZ-REEL7	10	±0.5	-40°C至+125°C	20引脚 TSSOP	RU-20
AD5433YCPZ	10	±0.5	-40°C至+125°C	20引脚 LFCSP_WQ	CP-20-6
AD5445YRU	12	±1	-40°C至+125°C	20引脚 TSSOP	RU-20
AD5445YRU-REEL	12	±1	-40°C至+125°C	20引脚 TSSOP	RU-20
AD5445YRU-REEL7	12	±1	-40°C至+125°C	20引脚 TSSOP	RU-20
AD5445YRUZ	12	±1	-40°C至+125°C	20引脚 TSSOP	RU-20
AD5445YRUZ-REEL	12	±1	-40°C至+125°C	20引脚 TSSOP	RU-20
AD5445YRUZ-REEL7	12	±1	-40°C至+125°C	20引脚 TSSOP	RU-20
AD5445YCPZ	12	±1	-40°C至+125°C	20引脚 LFCSP_WQ	CP-20-6
EVAL-AD5445SDZ				评估板	

¹Z = 符合RoHS标准的器件。

注释

注释