

产品特性

- 24位立体声音频ADC和DAC
- 400 mW扬声器放大器(8 Ω负载)
- 可编程SigmaDSP音频处理内核
 - 风噪检测和滤波
 - 增强立体声采集(ESC)
 - 动态处理
 - 均衡和滤波
 - 音量控制和静音功能
- 采样速率范围: 8 kHz至96 kHz
- 立体声伪差分麦克风输入
- 可选立体声数字麦克风输入脉冲密度调制(PDM)
- 立体声线路输出
- PLL支持一定输入时钟频率范围
- 模拟和数字I/O: 1.8 V至3.3 V
- 通过SigmaStudio图形用户界面进行软件控制
- 软件可控无杂音静音功能
- 软件寄存器和硬件引脚待机模式
- 32引脚、5 mm × 5 mm LFCSP

应用

- 数码相机
- 数码摄像机

概述

ADAU1781是一款低功耗、24位立体声音频编解码器。低噪声DAC和ADC支持8 kHz至96 kHz的采样速率。ADAU1781的低电流消耗和省电模式使其成为电池供电音频应用的理想之选。

可编程SigmaDSP®内核提供增强的录音和回放处理功能，可提高总体音频质量。

录音路径包括两个数字立体声麦克风输入和一个模拟立体声输入路径。模拟输入可配置为伪差分或单端立体声源。专用模拟传呼输入信号可混入任何输出路径。ADAU1781内置立体声线路输出和扬声器驱动器，使该器件能够支持动态扬声器。

串行控制总线支持I²C®或SPI协议，串行音频总线可编程为I²S、左对齐、右对齐或TDM模式。通过可编程PLL可灵活产生所有标准时钟频率以及从11 MHz到20 MHz的主时钟频率。

功能框图

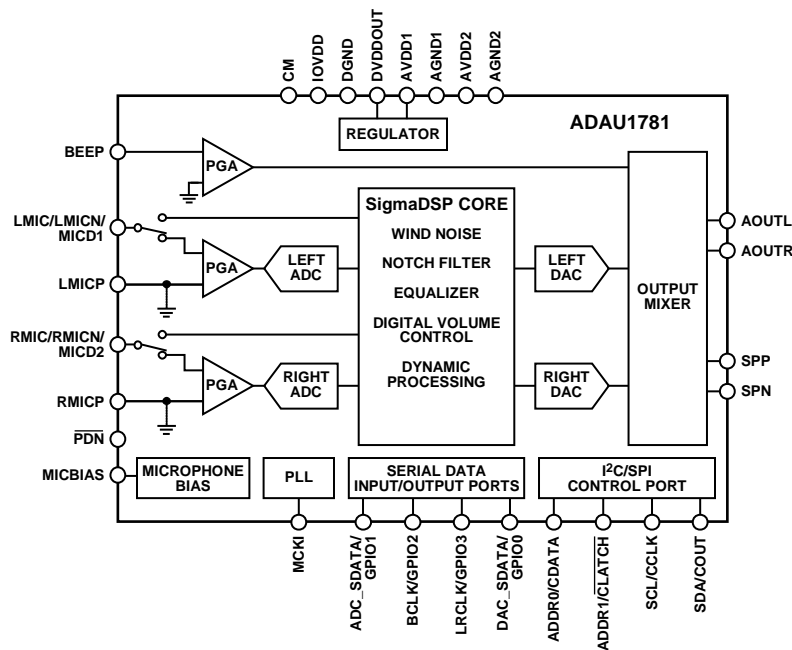


图1.

Rev. B

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2009–2011 Analog Devices, Inc. All rights reserved.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

产品特性.....	1	输入信号路径.....	30
应用.....	1	模数转换器.....	31
概述.....	1	回放信号路径.....	32
功能框图.....	1	输出信号路径.....	32
修订历史.....	3	数模转换器.....	32
技术规格.....	4	线路输出.....	32
录音端性能规格.....	4	扬声器输出.....	32
输出端性能规格.....	6	控制端口.....	33
电源规格.....	8	I ² C端口.....	33
典型功耗管理测量结果.....	9	SPI端口.....	36
数字滤波器.....	9	存储器和寄存器访问.....	36
数字输入/输出规格.....	10	串行数据输入/输出端口.....	38
数字时序规格.....	11	TDM模式.....	38
绝对最大额定值.....	14	通用输入/输出.....	40
热阻.....	14	DSP内核.....	41
ESD警告.....	14	信号处理.....	41
引脚配置和功能描述.....	15	架构.....	41
典型工作特性.....	17	程序计数器.....	41
系统框图.....	20	特性.....	41
工作原理.....	24	数字格式.....	42
启动、初始化和电源.....	25	编程.....	42
上电时序.....	25	程序RAM、参数RAM和数据RAM.....	44
时钟产生和管理.....	26	程序RAM.....	44
对功能子系统使能数字电源.....	26	参数RAM.....	44
设置SigmaDSP内核.....	26	数据RAM.....	44
降低功耗模式.....	26	读取/写入数据格式.....	44
掉电序列.....	26	软件安全加载.....	45
时钟和采样速率.....	27	软件压摆.....	46
内核时钟.....	27	应用信息.....	47
采样速率.....	27	电源旁路电容.....	47
PLL.....	28	GSM噪声滤波器.....	47
录音信号路径.....	30	接地.....	47

扬声器驱动器电源走线(AVDD2)	47	音频转换器配置.....	63
裸露焊盘PCB设计	47	回放路径配置	68
控制寄存器映射	48	焊盘配置.....	75
时钟管理、内部调节器和PLL控制	49	数字子系统配置.....	82
录音路径配置	53	外形尺寸	89
串行端口配置	58	订购指南.....	89

修订历史

2011年1月—修订版A至修订版B

更改表10	15
更改掉电引脚(PDN)部分	26
更改表23	36

2010年3月—修订版0至修订版A

更改输出端性能规格部分的条件说明	6
为表3增加尾注1	8
更改图23	21
更改图24	22
更改图25	23
更改表33	48
添加寄存器16434 (0x4032)，去抖动控制部分	81
更改订购指南	89

2009年12月—修订版0：初始版

技术规格

所有通道的性能完全相同，不包括通道间增益不匹配和通道间相位偏差规格。除非另有说明，电源电压AVDD = AVDD1 = AVDD2 = I/O电源 = 3.3 V，数字电源 = 1.5 V；温度 = 25°C；主时钟(MCLK) = 12.288 MHz($f_s = 48$ kHz, $256 \times f_s$ 模式)；输入采样速率 = 48 kHz；测量带宽 = 20 Hz至20 kHz；字宽度 = 24位；负载电容(数字输出) = 20 pF；负载电流(数字输出) = 2 mA；高电平输入电压 = $0.7 \times \text{IOVDD}$ ；低电平输入电压 = $0.3 \times \text{IOVDD}$ 。所有功耗管理寄存器都被设置为默认值。

录音端性能规格

25°C(环境)温度下保证达到额定性能。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
模数转换器					
ADC分辨率	所有ADC		24		位
数字衰减步长			0.375		dB
数字衰减范围			95		dB
输入电阻					
同相输入PGA(LMICP、RMICP)	所有增益设置		500		k Ω
反相输入PGA(LMICN、RMICN)	0 dB增益		62		k Ω
	6 dB增益		32		k Ω
	10 dB增益		22		k Ω
	14 dB增益		14		k Ω
	17 dB增益		10		k Ω
	20 dB增益		8		k Ω
	26 dB增益		5		k Ω
	32 dB增益		4		k Ω
传呼输入PGA	0 dB		20		k Ω
	6 dB		9		k Ω
	10 dB		6		k Ω
	14 dB		3.5		k Ω
	-23 dB		50		k Ω
	20 dB		2		k Ω
	26 dB		2		k Ω
	32 dB		2		k Ω
单端麦克风输入至ADC路径					
满量程输入电压(0 dB)	与AVDD成线性比例关系		AVDD/3.3		V rms
	AVDD = 1.8 V		0.55 (1.56)		V rms (V p-p)
	AVDD = 3.3 V		1.0 (2.83)		V rms (V p-p)
动态范围	-60 dB输入				
采用A加权滤波器(RMS)	AVDD = 1.8 V		96		dB
	AVDD = 3.3 V	94	99.2		dB
无滤波器(RMS)	AVDD = 1.8 V		92		dB
	AVDD = 3.3 V	92	96.5		dB
总谐波失真加噪声	-3 dBFS				
	AVDD = 1.8 V		-88		dB
	AVDD = 3.3 V		-90		dB
信噪比					
采用A加权滤波器(RMS)	AVDD = 1.8 V		96		dB
	AVDD = 3.3 V		100		dB
无滤波器(RMS)	AVDD = 1.8 V		92		dB
	AVDD = 3.3 V		97		dB

参数	测试条件/注释	最小值	典型值	最大值	单位
左/右麦克风PGA增益范围	AVDD = 3.3 V	0		32	dB
左/右麦克风PGA静音 衰减	AVDD = 3.3 V; 静音由寄存器设置 0x400E, 位1, 以及寄存器0x400F, 位1		-98		dB
通道间增益不匹配	AVDD = 3.3 V		50		mdB
失调误差	AVDD = 3.3 V		0.25		mV
增益误差	AVDD = 3.3 V		-1		%
通道间隔离	AVDD = 3.3 V		-98		dB
电源抑制比	CM电容 = 10 μ F AVDD = 3.3 V, 100 mV p-p(217 Hz时) AVDD = 3.3 V, 100 mV p-p(1 kHz时)		-55		dB
					dB
差分麦克风输入至ADC路径					
满量程输入电压(0 dB)	与AVDD成线性比例关系 AVDD = 1.8 V AVDD = 3.3 V		AVDD/3.3 0.55 (1.56) 1.0 (2.83)		V rms V rms (V p-p) V rms (V p-p)
动态范围	-60 dB输入				
采用A加权滤波器(RMS)	AVDD = 1.8 V AVDD = 3.3 V	94	96 99.2		dB dB
无滤波器(RMS)	AVDD = 1.8 V AVDD = 3.3 V	92	92 96.5		dB dB
总谐波失真加噪声	-3 dBFS AVDD = 1.8 V AVDD = 3.3 V			-84 -85	dB dB
信噪比					
采用A加权滤波器(RMS)	AVDD = 1.8 V AVDD = 3.3 V		96 100		dB dB
无滤波器(RMS)	AVDD = 1.8 V AVDD = 3.3 V		92 97		dB dB
左/右麦克风PGA静音 衰减	AVDD = 3.3 V; 静音由寄存器设置 0x400E, 位1, 以及寄存器0x400F, 位1		-98		dB
通道间增益不匹配	AVDD = 3.3 V		50		mdB
失调误差	AVDD = 3.3 V		0.25		mV
增益误差	AVDD = 3.3 V		-1		%
通道间隔离	AVDD = 3.3 V		-85		dB
共模抑制比	AVDD = 3.3 V, 100 mV rms, 1 kHz AVDD = 3.3 V, 100 mV rms, 20 kHz		-60 -45		dB dB
传呼至线路输出路径					
满量程输入电压(0 dB)	与AVDD成线性比例关系 AVDD = 1.8 V AVDD = 3.3 V		AVDD/3.3 0.55 (1.56) 1.0 (2.83)		V rms V rms (V p-p) V rms (V p-p)
总谐波失真加噪声	-3 dBFS输入, 在AOUTL引脚上测量, 传呼增益设置为0 dB AVDD = 1.8 V AVDD = 3.3 V			-88 -88	dB dB
信噪比					
采用A加权滤波器(RMS)	AVDD = 1.8 V AVDD = 3.3 V		99 105		dB dB
无滤波器(RMS)	AVDD = 1.8 V AVDD = 3.3 V		96 102		dB dB

ADAU1781

参数	测试条件/注释	最小值	典型值	最大值	单位	
动态范围 采用A加权滤波器(RMS) 无滤波器(RMS) 传呼输入静音衰减 失调误差 增益误差 通道间增益不匹配 传呼输入PGA增益范围 传呼回放混频器增益范围 电源抑制比	-60 dB输入					
	AVDD = 1.8 V		99		dB	
	AVDD = 3.3 V		105		dB	
	AVDD = 1.8 V		96		dB	
	AVDD = 3.3 V		102		dB	
	AVDD = 3.3 V; 静音由寄存器0x4008、位3设置		-90		dB	
	AVDD = 3.3 V		10		mV	
	AVDD = 3.3 V		-0.3		dB	
				30		mdB
	AVDD = 3.3 V	-23		+32		dB
AVDD = 3.3 V	-15		+6		dB	
CM电容 = 10 μ F						
AVDD = 3.3 V, 100 mV p-p(217 Hz时)			-58		dB	
AVDD = 3.3 V, 100 mV p-p(1 kHz时)			-72		dB	
麦克风偏置 偏置电压 0.65 \times AVDD 0.90 \times AVDD 偏置电流源 信号带宽中的噪声	使能麦克风偏置					
	AVDD = 1.8V, 低偏置		1.17		V	
	AVDD = 3.3V, 低偏置		2.145		V	
	AVDD = 1.8V, 高偏置		1.62		V	
	AVDD = 3.3V, 高偏置		2.97		V	
	AVDD = 3.3V, 高偏置, 高性能			5	mA	
	AVDD = 3.3V, 20 Hz至20 kHz					
	高偏置, 高性能		39		nV/Hz	
	高偏置, 低性能		78		nV/Hz	
	低偏置, 高性能		25		nV/Hz	
	低偏置, 低性能		35		nV/Hz	
	AVDD = 1.8V, 20 Hz至20 kHz					
	高偏置, 高性能		35		nV/Hz	
高偏置, 低性能		45		nV/Hz		
低偏置, 高性能		23		nV/Hz		
低偏置, 低性能		23		nV/Hz		

输出端性能规格

25°C(环境)温度下保证达到额定性能。扬声器输出路径的输出负载为8 Ω (400 mW扬声器)。

表2.

参数	测试条件/注释	最小值	典型值	最大值	单位
数模转换器 DAC分辨率 数字衰减步长 数字衰减范围	所有DAC		24		Bits
			0.375		dB
			95		dB
DAC至线路输出路径 满量程输出电压(0 dB) 线路输出静音衰减, DAC至混频器路径静音 线路输出静音衰减, 线路输出静音	与AVDD成线性比例关系		AVDD/3.3		V rms
		AVDD = 1.8 V	0.55 (1.56)		V rms (V p-p)
		AVDD = 3.3 V	1.0 (2.83)		V rms (V p-p)
	AVDD = 3.3 V; 静音由寄存器0x401C、位5和寄存器0x401E、位6设置		-85		dB
	AVDD = 3.3 V; 静音由寄存器0x4025、位1和寄存器0x4026、位1设置		-85		dB

参数	测试条件/注释	最小值	典型值	最大值	单位
动态范围 采用A加权滤波器(RMS)	-60 dB输入 AVDD = 1.8 V		99		dB
	AVDD = 3.3 V	94	103		dB
无滤波器(RMS)	AVDD = 1.8 V		97		dB
	AVDD = 3.3 V	92	100		dB
总谐波失真加噪声	-3 dBFS				dB
	AVDD = 1.8 V		-88		dB
	AVDD = 3.3 V		-88		dB
信噪比 采用A加权滤波器(RMS)	AVDD = 1.8 V		99		dB
	AVDD = 3.3 V		103		dB
无滤波器(RMS)	AVDD = 1.8 V		97		dB
	AVDD = 3.3 V		100		dB
电源抑制比	CM电容 = 10 μ F				
	AVDD = 3.3 V, 100 mV p-p(217 Hz时)		-55		dB
	AVDD = 3.3 V, 100 mV p-p(1 kHz时)		-63		dB
增益误差	AVDD = 3.3 V		-1		dB
通道间增益不匹配	AVDD = 3.3 V		50		mdB
失调误差	AVDD = 3.3 V		10		mV
DAC至扬声器输出路径 差分满量程输出电压(0 dB)	PO = 输出功率 与AVDD成线性比例关系		AVDD/1.65		V rms
	AVDD = 1.8 V		1.1 (3.12)		V rms (V p-p)
	AVDD = 3.3 V		2.0 (5.66)		V rms (V p-p)
总谐波失真加噪声 4 Ω 负载	AVDD = 1.8 V, P _o = 50 mW		-60		dB
	AVDD = 3.3 V, P _o = 175 mW		-60		dB
8 Ω 负载	AVDD = 1.8 V, P _o = 50 mW		-60		dB
	AVDD = 3.3 V, P _o = 175 mW		-60		dB
	AVDD = 3.3 V, P _o = 330 mW		-60		dB
	AVDD = 3.3 V, P _o = 440 mW		-16		dB
动态范围 采用A加权滤波器(RMS)	-60 dB输入 AVDD = 1.8 V		100		dB
	AVDD = 3.3 V	94	105		dB
无滤波器(RMS)	AVDD = 1.8 V		98		dB
	AVDD = 3.3 V	92	103		dB
信噪比 采用A加权滤波器(RMS)	AVDD = 1.8 V		100		dB
	AVDD = 3.3 V		105		dB
无滤波器(RMS)	AVDD = 1.8 V		98		dB
	AVDD = 3.3 V		103		dB
电源抑制比	CM电容 = 10 μ F				
	AVDD = 3.3 V, 100 mV p-p(217 Hz时)		-55		dB
	AVDD = 3.3 V, 100 mV p-p(1 kHz时)		-55		dB
差分失调误差	AVDD = 3.3 V		2		mV
单声道混频器静音衰减, DAC至混频器路径静音	静音由寄存器0x401F、位0设置		-90		dB
DAC至扬声器输出路径 差分满量程输出电压(0 dB)	P _o = 输出功率 与AVDD成线性比例关系		AVDD/1.65		V rms
	AVDD = 1.8 V		1.1 (3.12)		V rms (V p-p)
	AVDD = 3.3 V		2.0 (5.66)		V rms (V p-p)

ADAU1781

参数	测试条件/注释	最小值	典型值	最大值	单位
总谐波失真加噪声	8Ω, 1 nF负载, AVDD=1.8V, P _o =50 mW		-60		dB
	AVDD = 3.3 V, P _o = 175 mW		-60		dB
动态范围	-60 dB输入				
采用A加权滤波器(RMS)	AVDD = 1.8 V		97		dB
	AVDD = 3.3 V		103		dB
无滤波器(RMS)	AVDD = 1.8 V		94		dB
	AVDD = 3.3 V		100		dB
信噪比					
采用A加权滤波器(RMS)	AVDD = 1.8 V		98		dB
	AVDD = 3.3 V		103		dB
无滤波器(RMS)	AVDD = 1.8 V		96		dB
	AVDD = 3.3 V		101		dB
电源抑制比	CM电容 = 10 μF				
	100 mV p-p(217 Hz时)		-57		dB
	100 mV p-p(1 kHz时)		-60		dB
差分失调误差			2		mV
单声道混频器静音衰减, 传呼至混频器路径静音	静音由寄存器0x401F、位0设置		-90		dB
基准电压(CM引脚) 共模基准电压输出			AVDD/2		V

电源规格

AVDD1和AVDD2必须始终相等。在使能SigmaDSP处理内核时执行电源测量。

表3.

参数	测试条件/注释	最小值	典型值	最大值	单位
AVDD1, AVDD2		1.8 ¹	3.3	3.65	V
IOVDD		1.63	3.3	3.65	V
数字I/O电流(IOVDD = 3.3 V)	所有数字引脚上都有20 pF容性负载				
从模式, 模拟I/O, 12.288 MHz	f _s = 48 kHz		0.20		mA
外部MCLK输入	f _s = 96 kHz		0.35		mA
主模式, 禁用MCKO	f _s = 8 kHz		0.04		mA
	f _s = 48 kHz		1.25		mA
	f _s = 96 kHz		2.50		mA
	f _s = 8 kHz		0.22		mA
数字I/O电流(IOVDD = 1.8 V)	所有数字引脚上都有20 pF容性负载				
从模式, 模拟I/O, 12.288 MHz	f _s = 48 kHz		0.10		mA
外部MCLK输入	f _s = 96 kHz		0.18		mA
主模式, 禁用MCKO	f _s = 8 kHz		0.02		mA
	f _s = 48 kHz		0.68		mA
	f _s = 96 kHz		1.33		mA
	f _s = 8 kHz		0.12		mA
模拟电流(AVDD)	见表4				

¹ AVDD1、AVDD2 < 2.2 V时不支持传呼路径的零穿越检测。

典型功耗管理测量结果

主时钟 = 12.288 MHz, PLL在整数模式下有效(输入速率为 $256 \times f_s$, $f_s = 48$ kHz时), 模拟和数字输入音在1 kHz频率下为-1 dBFS。模拟输入和输出同时有效。负载为16 kΩ时, 伪差分立体声输入路由至ADC, DAC路由至立体声线路输出。ADC输入在-1 dBFS, DAC输入在0 dBFS。扬声器输出禁用。串行端口配置为从模式。传呼路径禁用。SigmaDSP处理使能。电流测量以mA rms为单位。

表4. 混频器升压和功耗管理条件

工作电压	功耗管理模式 ¹	混频器升压模式 ²	典型AVDD功耗 (mA)	典型ADC THD + N (dB)	典型线路输出 THD + N (dB)
AVDD = IOVDD = 3.3 V	正常(默认)	正常工作	16.84	88.5	93.0
		增强级1	16.88	88.5	93.0
		增强级2	16.92	88.5	93.0
		增强级3	17.00	88.5	93.0
	超级省电	正常工作	15.66	88.0	87.5
		增强级1	15.68	88.0	87.5
		增强级2	15.70	88.0	87.5
		增强级3	15.75	88.0	87.5
	增强性能	正常工作	17.43	88.5	94.5
		增强级1	17.50	88.5	94.5
		增强级2	17.53	88.5	94.5
		增强级3	17.63	88.5	94.5
	省电	正常工作	16.25	89.0	90.5
		增强级1	16.28	89.0	90.5
		增强级2	16.31	89.0	90.5
		增强级3	16.38	89.0	90.5
AVDD = IOVDD = 1.8 V	正常(默认)	正常工作	15.15	88.5	89.5
		增强级1	15.19	88.5	89.5
		增强级2	15.23	88.5	89.5
		增强级3	15.30	88.5	89.5
	超级省电	正常工作	14.03	86.5	85.5
		增强级1	14.05	86.5	85.5
		增强级2	14.07	86.5	85.5
		增强级3	14.12	86.5	85.5
	增强性能	正常工作	15.71	88.5	90.5
		增强级1	15.76	88.5	90.5
		增强级2	15.81	88.5	90.5
		增强级3	15.89	88.5	90.5
	省电	正常工作	14.59	88.0	88.0
		增强级1	14.62	88.0	88.0
		增强级2	14.65	88.0	88.0
		增强级3	14.71	88.0	88.0

¹ 由寄存器0x4009、位[4:1]和寄存器0x4029、位[5:2]设置。

² 由寄存器0x4009、位[6:5]设置。

数字滤波器

表5.

参数	模式	系数	最小值	典型值	最大值	单位
ADC抽取滤波器	所有模式, 48 kHz下为典型值	$0.4375 \times f_s$	70	21	479	kHz
通带				± 0.015		dB
通带纹波		$0.5 \times f_s$		24		kHz
过渡带				27		kHz
阻带		$0.5625 \times f_s$		70		dB
阻带衰减				479		μs
群延迟	$22.9844/f_s$					

ADAU1781

参数	模式	系数	最小值	典型值	最大值	单位
DAC插值滤波器						
通带	48 kHz模式, 48 kHz下为典型值	$0.4535 \times f_s$		22		kHz
	96 kHz模式, 96 kHz下为典型值	$0.3646 \times f_s$	35	69		kHz
通带纹波	48 kHz模式, 48 kHz下为典型值				± 0.01	dB
	96 kHz模式, 96 kHz下为典型值				± 0.05	dB
过渡带	48 kHz模式, 48 kHz下为典型值	$0.5 \times f_s$		24		kHz
	96 kHz模式, 96 kHz下为典型值	$0.5 \times f_s$		48		kHz
阻带	48 kHz模式, 48 kHz下为典型值	$0.5465 \times f_s$		26		kHz
	96 kHz模式, 96 kHz下为典型值	$0.6354 \times f_s$		61		kHz
阻带衰减	48 kHz模式, 48 kHz下为典型值		70			dB
	96 kHz模式, 96 kHz下为典型值		70			dB
群延迟	48 kHz模式, 48 kHz下为典型值	$25/f_s$		521		μs
	96 kHz模式, 96 kHz下为典型值	$11/f_s$		115		μs

数字输入/输出规格

除非另有说明, $-25^{\circ}C < T_A < +85^{\circ}C$, IOVDD = 1.62 V至3.63 V。

表6.

参数	条件/注释	最小值	典型值	最大值	单位
高电平输入电压(V_{IH})		$0.7 \times IOVDD$			V
低电平输入电压(V_{IL})	IOVDD \geq 2.97 V			$0.3 \times IOVDD$	V
	$1.8 V \leq IOVDD \leq 2.97 V$			$0.2 \times IOVDD$	V
	IOVDD < 1.8 V			$0.1 \times IOVDD$	V
输入泄露	I_{IH} ($V_{IH} = 2.4 V$ 时)		± 0.17		μA
	I_{IL} ($V_{IL} = 0.8 V$ 时)		± 0.17		μA
	MCKI的 I_{IL}		-7		μA
	内部上拉电阻的 I_{IH}		± 0.7		μA
	内部下拉电阻的 I_{IH}		-7		μA
	内部上拉电阻的 I_{IH}		5		μA
	内部下拉电阻的 I_{IH}		± 0.18		μA
高电平输出电压(V_{OH})	对于低驱动强度, IOVDD = 3.3 V时 $I_{OH} = 2 mA$ 且 $I_{OL} = 2 mA$, IOVDD = 1.8 V时 $I_{OH} = 0.6 mA$ 且 $I_{OL} = 0.6 mA$; 对于高驱动强度IOVDD = 3.3 V时 $I_{OH} = 3 mA$ 且 $I_{OL} = 3 mA$, IOVDD = 1.8 V时 $I_{OH} = 0.9 mA$ 且 $I_{OL} = 0.9 mA$ 。	IOVDD - 0.4			V
低电平输出电压(V_{OL})	对于低驱动强度, IOVDD = 3.3 V时 $I_{OH} = 2 mA$ 且 $I_{OL} = 2 mA$, IOVDD = 1.8 V时 $I_{OH} = 0.6 mA$ 且 $I_{OL} = 0.6 mA$; 对于高驱动强度IOVDD = 3.3 V时 $I_{OH} = 3 mA$ 且 $I_{OL} = 3 mA$, IOVDD = 1.8 V时 $I_{OH} = 0.9 mA$ 且 $I_{OL} = 0.9 mA$ 。			0.4	V
输入电容				5	pF

数字时序规格

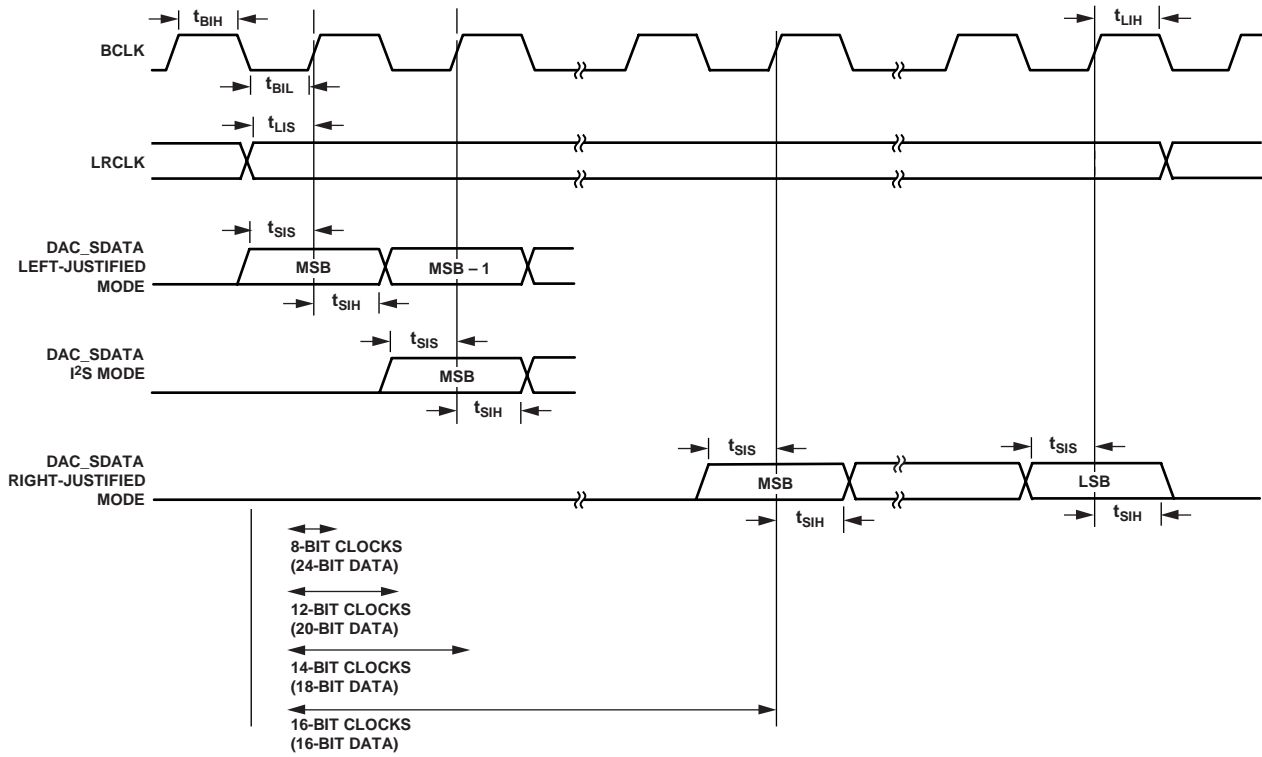
除非另有说明, $-25^{\circ}\text{C} < T_A < +85^{\circ}\text{C}$, IOVDD = 1.62 V至3.63 V。

表7. 数字时序

参数	限值		单位	描述
	t _{MIN}	t _{MAX}		
主时钟				
t _{MP}	50	90.9	ns	主时钟(MCLK)周期(即输入至MCKI的信号周期)。
占空比	30	70	%	
串行端口				
t _{BIL}	10		ns	BCLK脉宽低电平。
t _{BIH}	10		ns	BCLK脉宽高电平。
t _{LIS}	5		ns	LRCLK设置。到BCLK上升的时间。
t _{LIH}	5		ns	LRCLK保持。自BCLK上升起的时间。
t _{SIS}	5		ns	DAC_SDATA设置。到BCLK上升的时间。
t _{SIH}	5		ns	DAC_SDATA保持。自BCLK上升起的时间。
t _{SODM}		70	ns	ADC_SDATA延迟。主机模式下自BCLK下降起的时间。
SPI端口				
f _{CCLK,R}		5	MHz	CCLK频率, 读取操作, IOVDD = 1.8 V ± 10%。
f _{CCLK,R}		10	MHz	CCLK频率, 读取操作, IOVDD = 3.3 V ± 10%。
f _{CCLK,W}		25	MHz	CCLK频率, 写入操作, IOVDD = 1.8 V ± 10%。
f _{CCLK,W}		25	MHz	CCLK频率, 写入操作, IOVDD = 3.3 V ± 10%。
t _{CCPL}	10		ns	CCLK脉宽低电平。
t _{CCPH}	10		ns	CCLK脉宽高电平。
t _{CLS}	10		ns	CLATCH设置。到CCLK上升的时间。
t _{CLH}	5		ns	CLATCH保持。自CCLK上升起的时间。
t _{CLPH}	10		ns	CLATCH脉宽高电平。
t _{CLPH}			ns	CDATA设置。到CCLK上升的时间。
t _{CDS}	5		ns	CDATA保持。自CCLK上升起的时间。
t _{CDH}	5		ns	从CCLK沿至有效数据的COUT延迟, IOVDD = 1.8 V ± 10%。
t _{COD}		70		
		40	ns	从CCLK沿至有效数据的COUT延迟, IOVDD = 3.3 V ± 10%。
I ² C 端口				
f _{SCL}		400	kHz	SCL频率。
t _{SCLH}	0.6		μs	SCL高电平。
t _{SCLL}	1.3		μs	SCL低电平。
t _{SCS}	0.6		μs	设置时间; 与重复起始条件相关。
t _{SCH}	0.6		μs	保持时间。此周期结束后, 产生首次时钟。
t _{DS}	100		ns	数据设置时间。
t _{SCR}		300	ns	SCL上升时间。
t _{SCF}		300	ns	SCL下降时间。
t _{SDR}		300	ns	SDA上升时间。
t _{SDF}		300	ns	SDA下降时间。
t _{BFT}	0.6		μs	总线空闲时间。停止与起始之间的时间。
数字麦克风				
t _{DCF}		10	ns	R _L = 1 MΩ, C _L = 14 pF。 数字麦克风时钟下降时间。
t _{DCR}		10	ns	数字麦克风时钟上升时间。
t _{DDV}	22	30	ns	数字麦克风有效数据延迟时间。
t _{DDH}	0	12	ns	数字麦克风数据三态延迟时间。

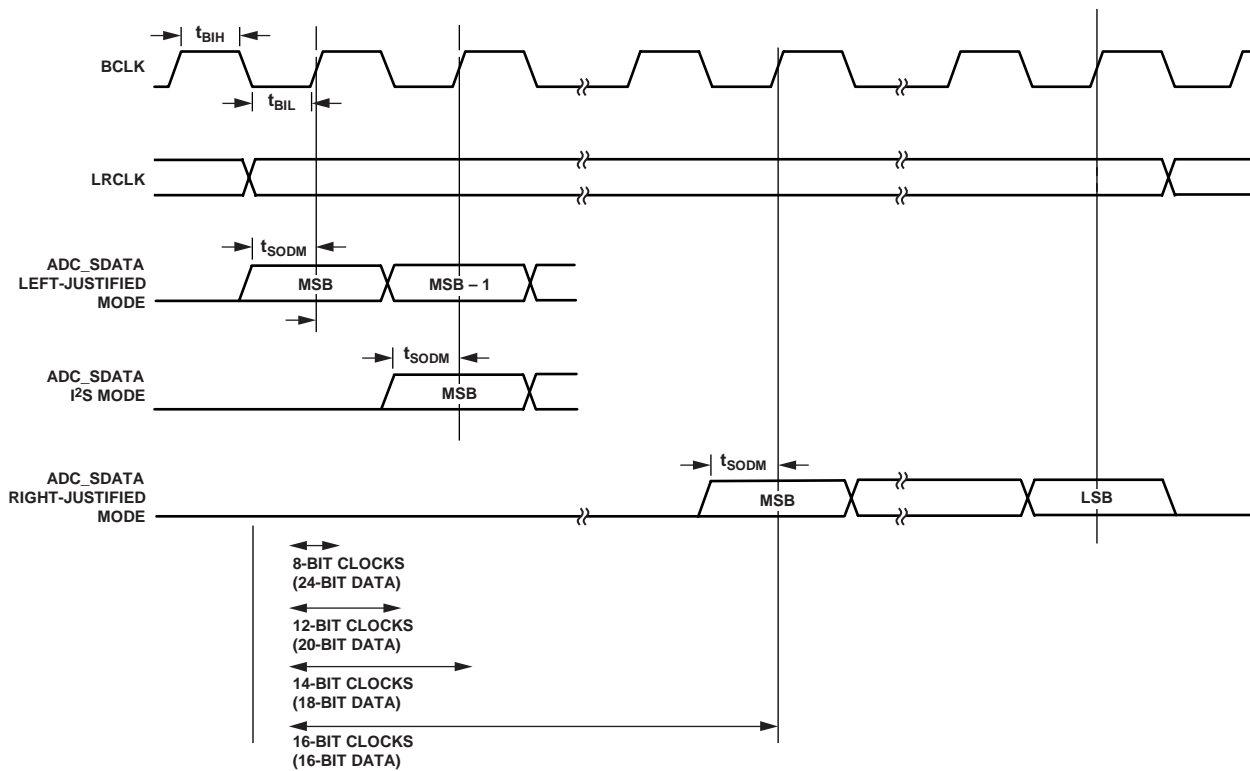
ADAU1781

数字时序图



08314-002

图2. 串行输入端口时序



08314-003

图3. 串行输出端口时序

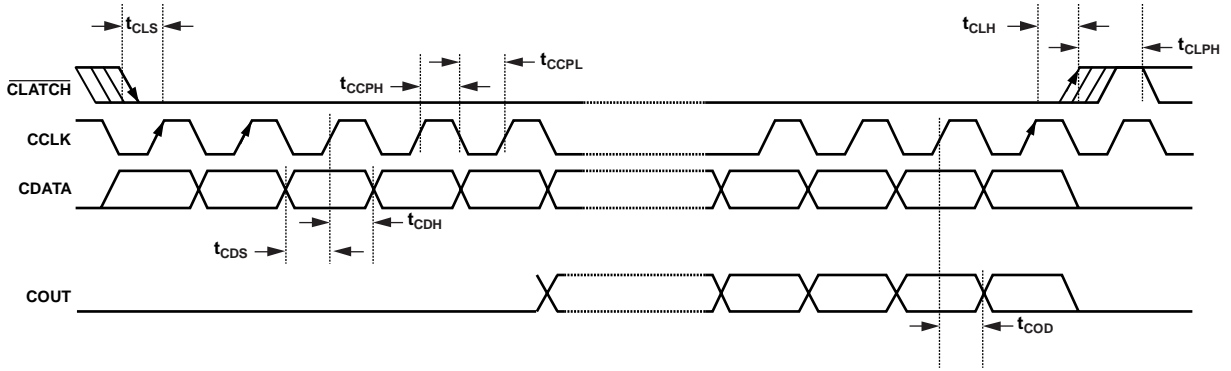


图4. SPI端口时序

08314-004

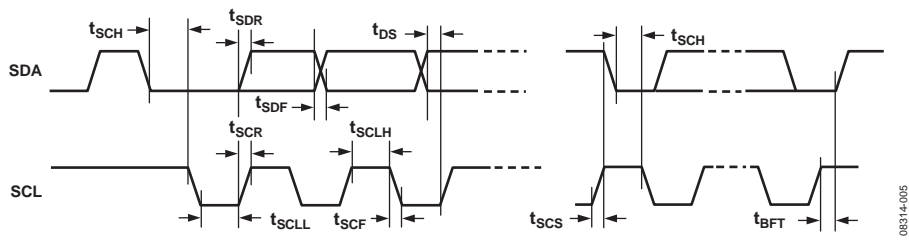


图5. I2C端口时序

08314-005

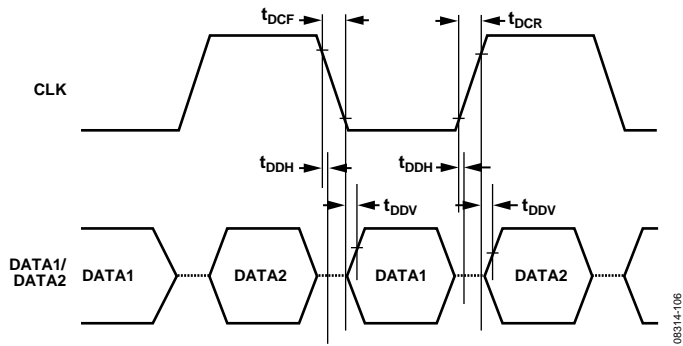


图6. 数字麦克风时序

08314-106

绝对最大额定值

表8.

参数	额定值
电源(AVDD1 = AVDD2)	-0.3 V至+3.9 V
输入电流(电源引脚除外)	±20 mA
模拟输入电压(信号引脚)	-0.3 V至VDD + 0.3 V
数字输入电压(信号引脚)	-0.3 V至VDD + 0.3 V
工作温度范围(示例)	-25°C至+85°C
存储温度范围	-65°C至+150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

表9中， θ_{JA} 是结至环境热阻， θ_{JB} 是结至电路板热阻， θ_{JC} 是结至壳热阻， ψ_{JB} 是所用的结至封装顶部热阻， ψ_{JT} 是所用的结至电路板热阻。所有特性均是利用4层电路板进行测量。

表9. 热阻

封装类型	θ_{JA}	θ_{JB}	θ_{JC}	ψ_{JB}	ψ_{JT}	单位
32引脚LFCSP	35	19	2.5	18	0.3	°C/W

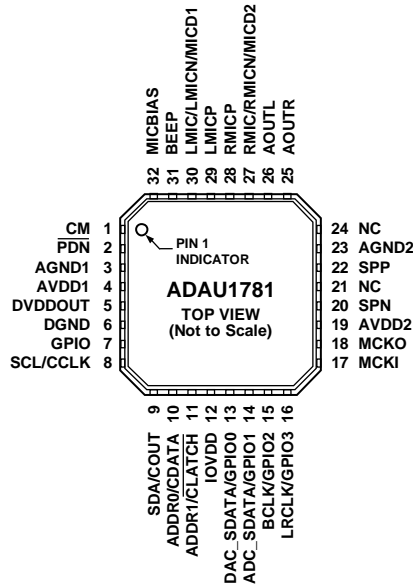
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
 1. NC = NO CONNECT.
 2. THE EXPOSED PAD IS CONNECTED INTERNALLY TO THE ADAU1781 GROUNDS. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS AND MAXIMUM THERMAL CAPABILITY, IT IS RECOMMENDED THAT THE PAD BE SOLDERED TO THE GROUND PLANE.

08314-007

图7. 32引脚LFCSP的引脚配置

表10. 引脚功能描述

引脚编号	引脚名称	类型 ¹	描述
1	CM	A_OUT	VDD/2 V共模基准电压。此引脚与地之间应连接一个10 μF至47 μF的去耦电容，以降低ADC与DAC之间的串扰。电容的材料不重要。此引脚可用于偏置外部模拟电路，前提是外部电路不从CM吸取电流(例如运算放大器的同相输入端)。
2	$\overline{\text{PDN}}$	A_IN	掉电。将此引脚连接到GND可关断芯片。驻留于AVDD1域内。
3	AGND1	PWR	模拟地。
4	AVDD1	PWR	模拟电源。应与AVDD2相当。
5	DVDDOUT	PWR	数字内核电源去耦点。数字电源产生自片上调节器，不需要外部电源。DVDDOUT应通过一个100 nF电容去耦至DGND。
6	DGND	PWR	数字地。
7	GPIO	D_IO	专用通用输入/输出。
8	SCL/CCLK	D_IN	I ² C时钟/SPI时钟。
9	SDA/COUT	D_IO	I ² C数据/SPI数据输出。
10	ADDR0/CDATA	D_IN	I ² C地址0/SPI数据输入。
11	$\overline{\text{ADDR1/CLATCH}}$	D_IN	I ² C地址1/SPI锁存信号。12 IOVDD PWR 数字输入和输出引脚的电源。数字输出引脚从IOVDD供电，后者设置数字输入引脚的最高许可输入电压。此引脚吸取的电流是可变的，因为它取决于数字输出的负载。IOVDD应通过一个100 nF电容去耦至DGND。
13	DAC_SDATA/GPIO0	D_IO	DAC串行输入数据/通用输入和输出。
14	ADC_SDATA/GPIO1	D_IO	ADC串行输出数据/通用输入和输出。
15	BCLK/GPIO2	D_IO	串行数据端口位时钟/通用输入和输出。
16	LRCLK/GPIO3	D_IO	串行数据端口帧时钟/通用输入和输出。
17	MCKI	D_IN	主时钟输入。

ADAU1781

引脚编号	引脚名称	类型 ¹	描述
18	MCKO	D_OUT	主时钟输出。
19	AVDD2	PWR	模拟电源。应与AVDD1相当。
20	SPN	A_OUT	扬声器放大器负信号输出。
21	NC		不连接。
22	SPP	A_OUT	扬声器放大器正信号输出。
23	AGND2	PWR	扬声器放大器地。
24	NC		不连接。
25	AOUTR	A_OUT	线路输出放大器，右通道。
26	AOUTL	A_OUT	线路输出放大器，左通道。
27	RMIC/RMICN/MICD2	A_IN	来自单端源的右通道输入/来自负伪差分源的右通道输入/数字麦克风输入2。
28	RMICP	A_IN	来自正伪差分源的右通道输入。
29	LMICP	A_IN	来自正伪差分源的左通道输入。
30	LMIC/LMICN/MICD1	A_IN	来自单端源的左通道输入/来自负伪差分源的左通道输入/数字麦克风输入1。
31	BEEP	A_IN	传呼信号输入。
32	MICBIAS	PWR	麦克风偏置。
	THERM_PAD (裸露焊盘)		裸露焊盘。裸露焊盘内部连接到ADAU1781接地。为提高焊接接头的可靠性并实现最大散热效果，建议将焊盘焊接到地层。

¹ A_OUT = 模拟输出，A_IN = 模拟输入，PWR = 电源；D_IO = 数字输入/输出，D_OUT = 数字输出，D_IN = 数字输入。

典型工作特性

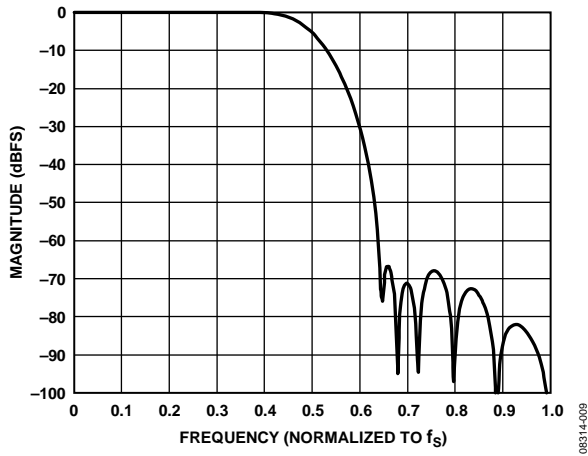


图8. ADC抽取滤波器, 64倍过采样, 归一化到 f_s

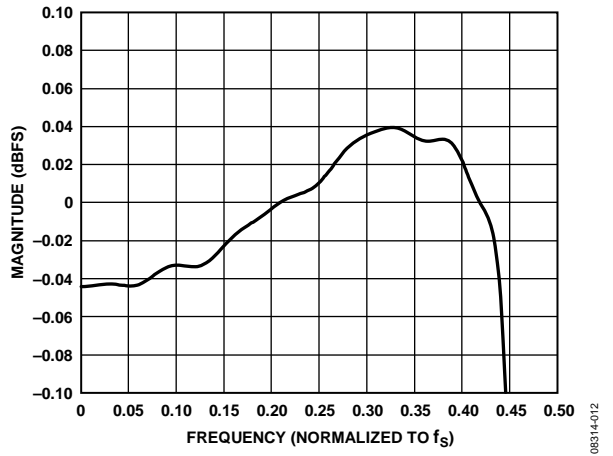


图11. ADC抽取滤波器通带纹波, 128倍过采样, 归一化到 f_s

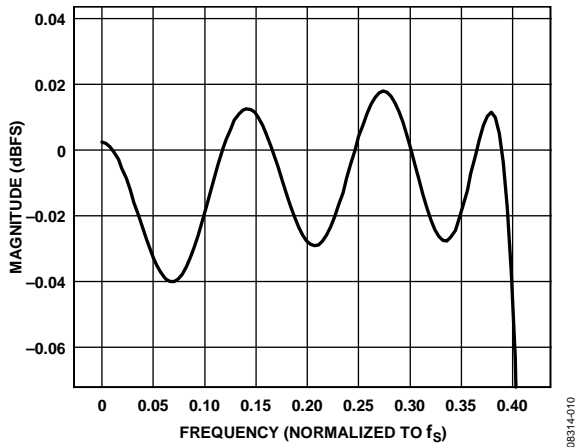


图9. ADC抽取滤波器通带纹波, 64倍过采样, 归一化到 f_s

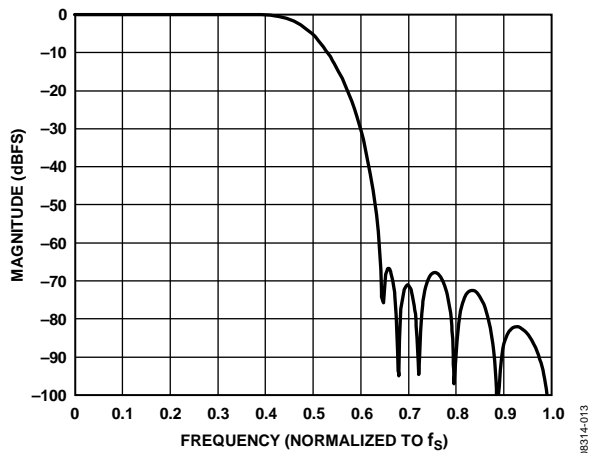


图12. ADC抽取滤波器, 双倍速率模式, 归一化到 f_s

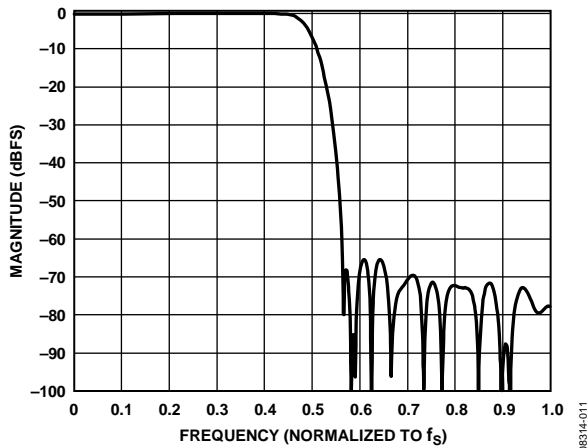


图10. ADC抽取滤波器, 128倍过采样, 归一化到 f_s

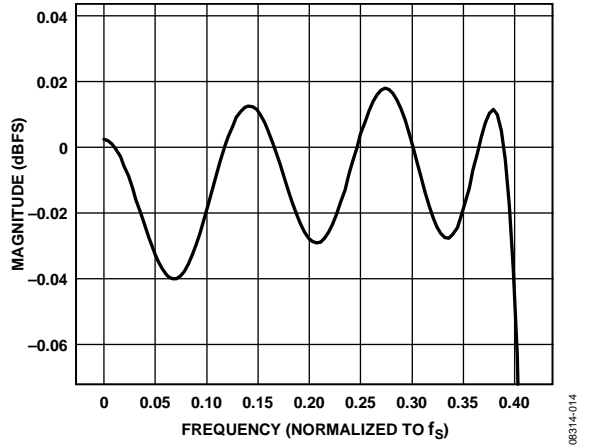


图13. ADC抽取滤波器通带纹波, 双倍速率模式, 归一化到 f_s

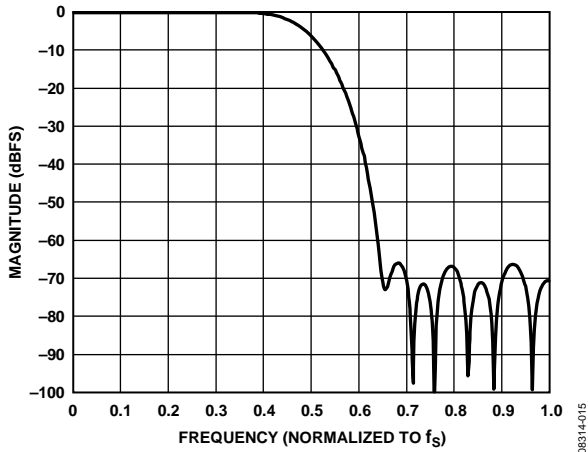


图14. DAC插值滤波器, 64倍过采样, 归一化到 f_s

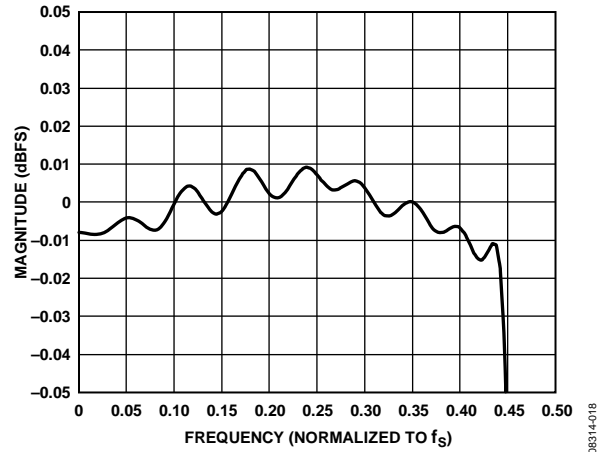


图17. DAC插值滤波器通带纹波, 128倍过采样, 归一化到 f_s

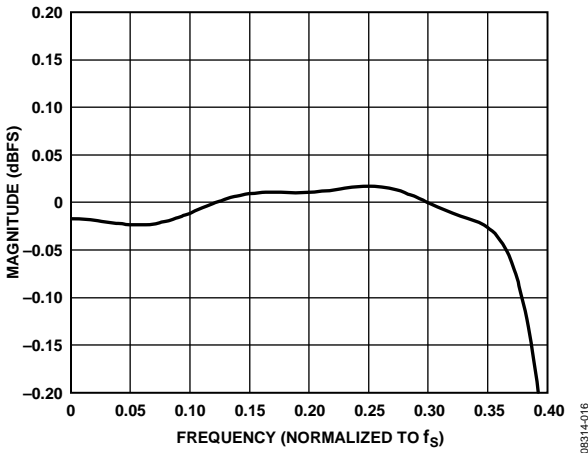


图15. DAC插值滤波器通带纹波, 64倍过采样, 归一化到 f_s

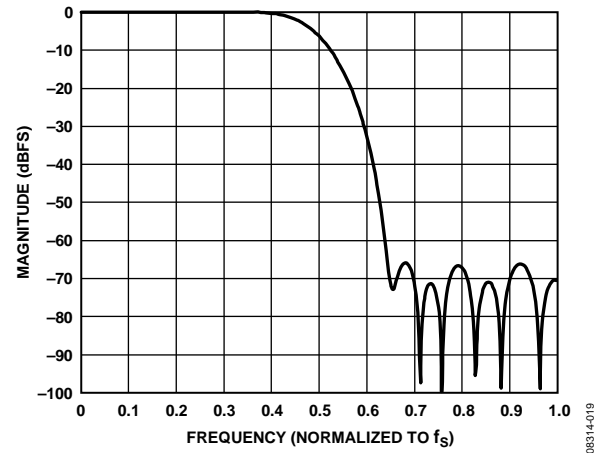


图18. DAC插值滤波器, 双倍速率模式, 归一化到 f_s

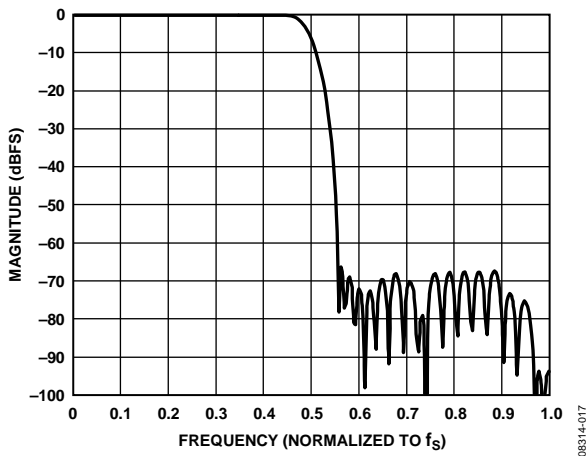


图16. DAC插值滤波器, 128倍过采样, 归一化到 f_s

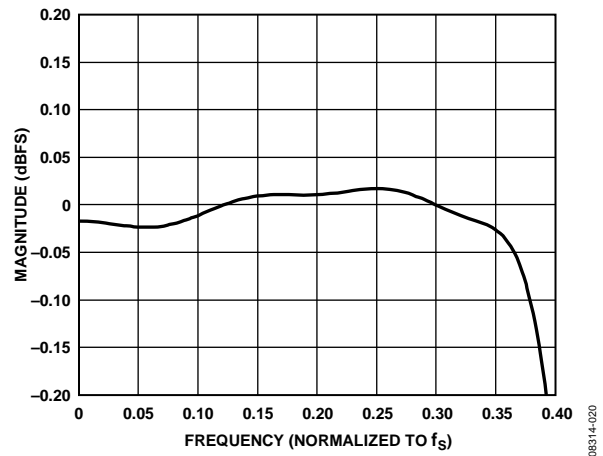


图19. DAC插值滤波器通带纹波, 双倍速率模式, 归一化到 f_s

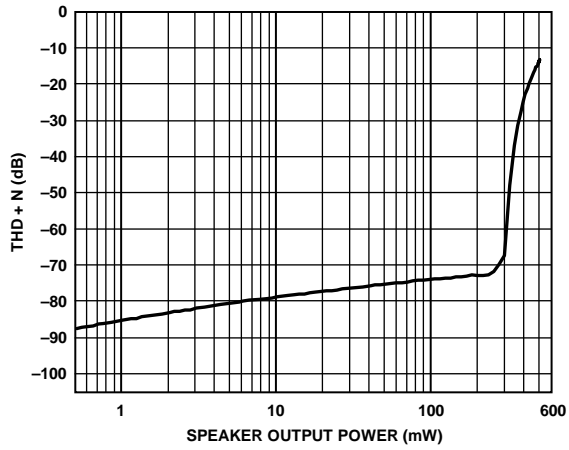


图20. THD + N与扬声器输出功率的关系，
8 Ω负载，3.3 V电源

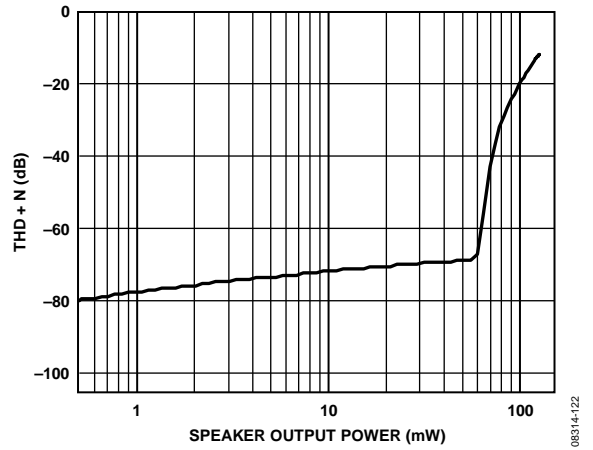


图21. THD + N与扬声器输出功率的关系，
8 Ω负载，1.8 V电源

系统框图

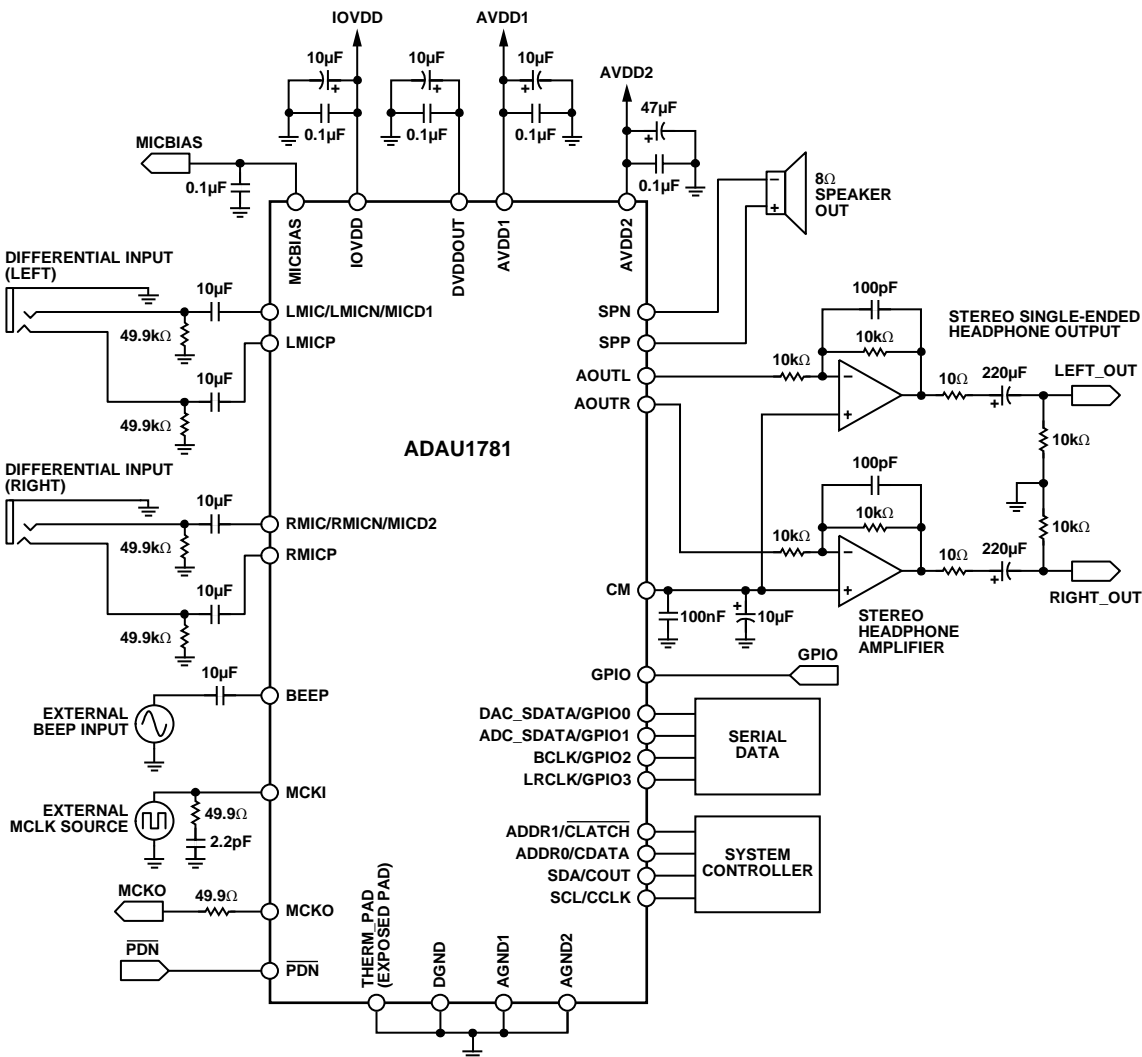


图22. 带差分输入的系统框图

08314-021

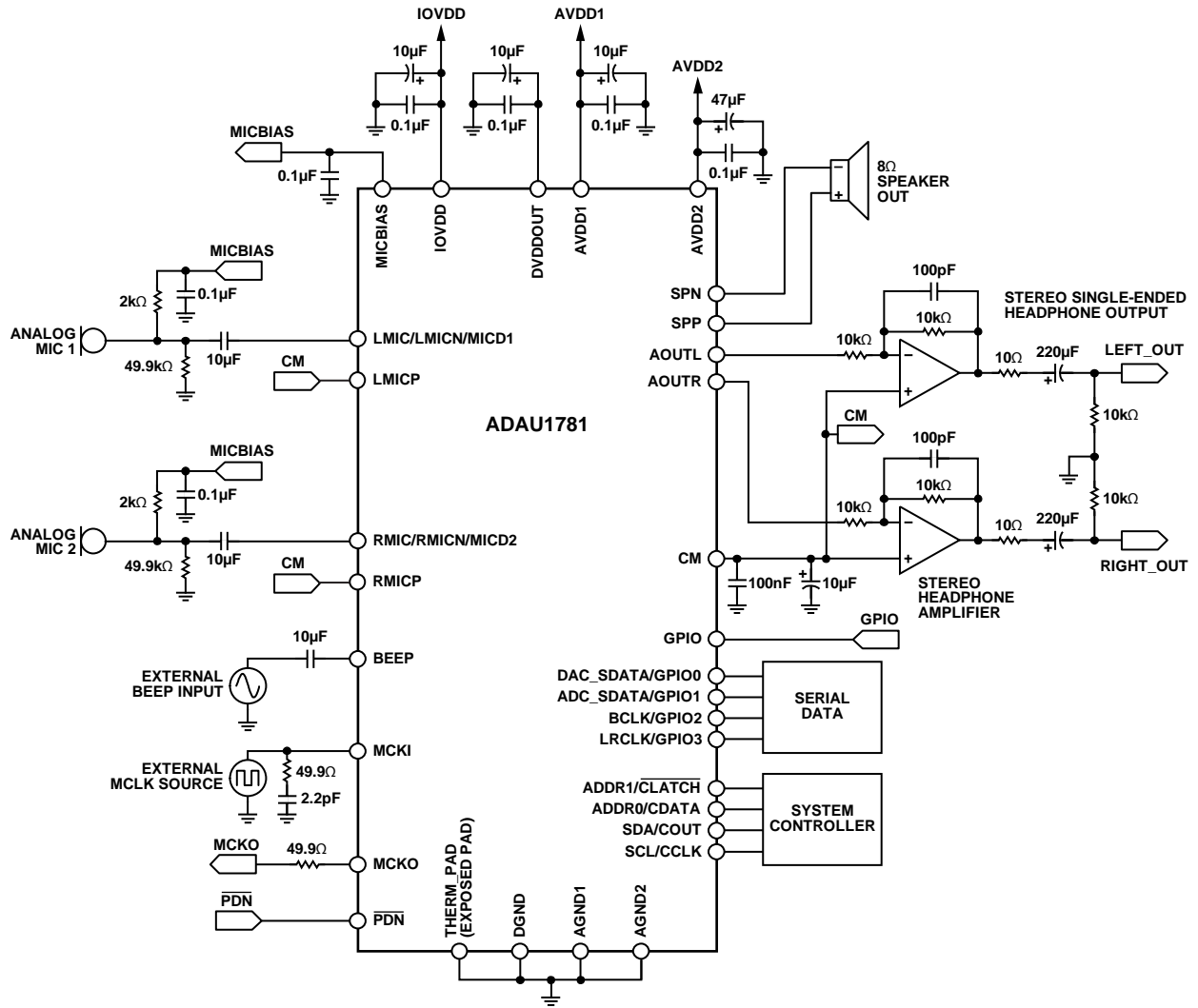


图23. 带模拟麦克风输入的系统框图

08314-022

ADAU1781

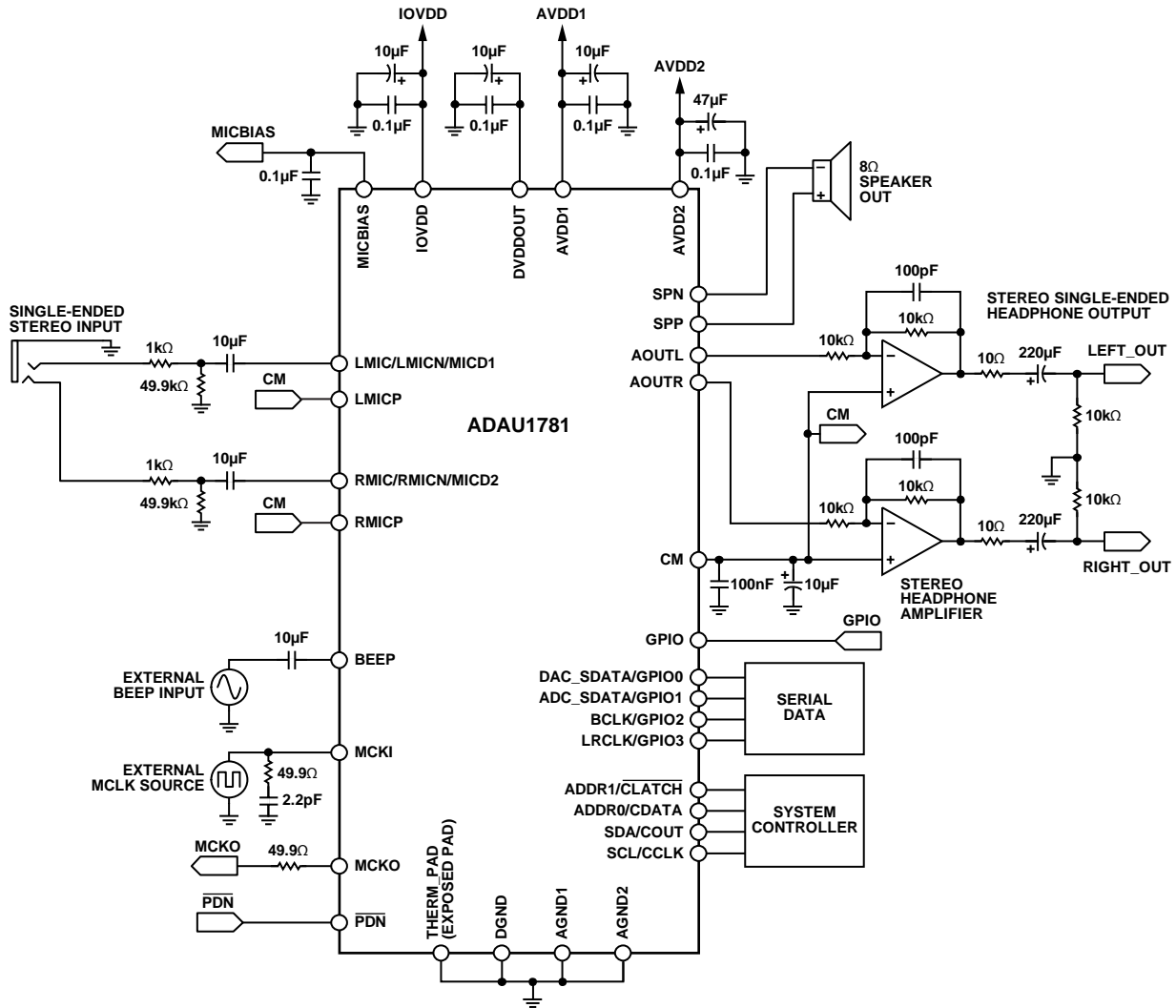


图24. 带单端立体声线路输入的系统框图

08314-023

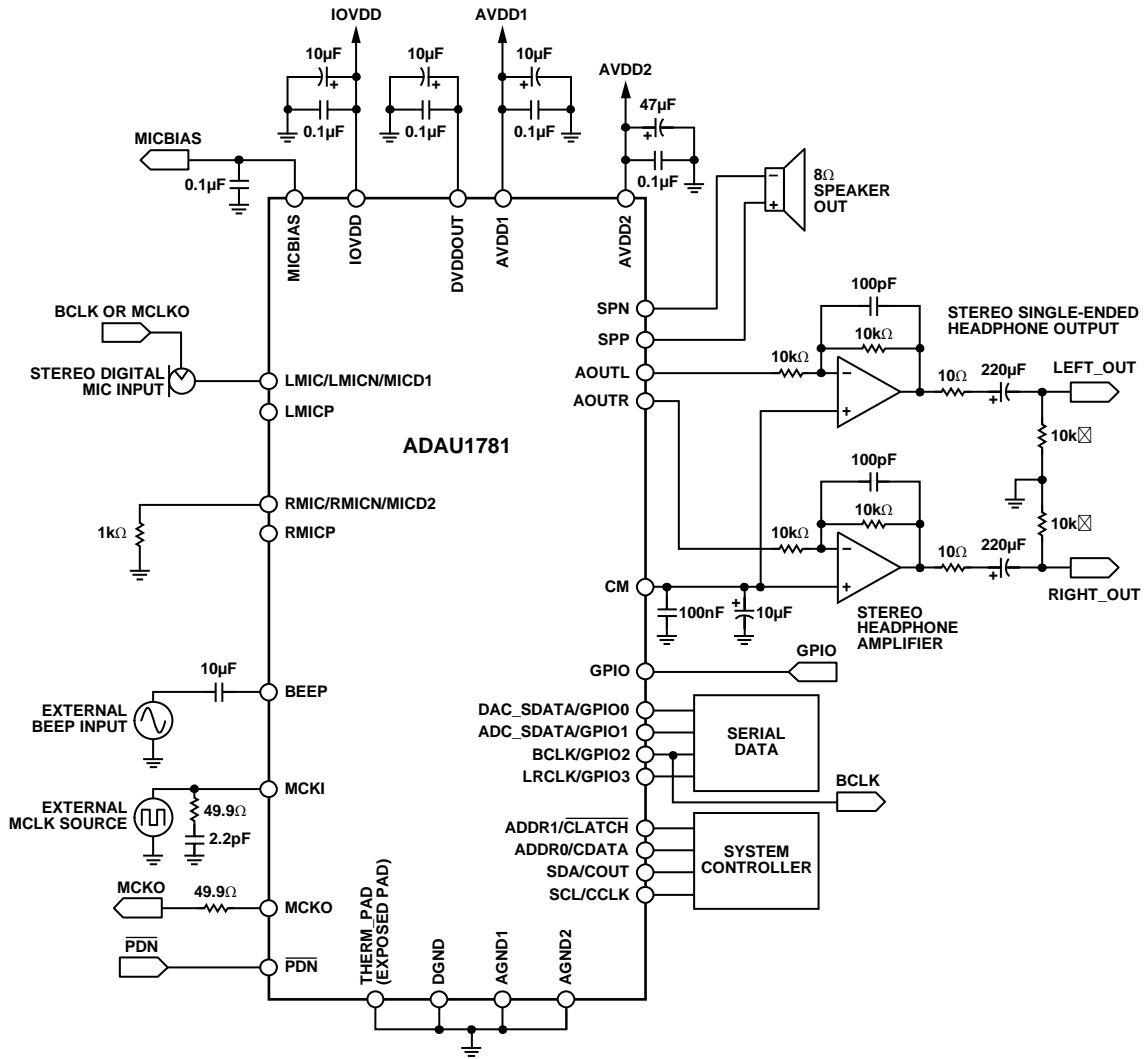


图25. 带立体声数字麦克风输入的系统框图

08314-024

工作原理

ADAU1781是一款内置可编程SigmaDSP音频处理内核的低功耗音频编解码器，采用一体化封装，提供高质量音频、低功耗、小尺寸和许多其他高级特性。立体声ADC和立体声DAC均具有至少96.5 dB的动态范围(DNR)性能以及至少-90 dB的总谐波失真加噪声(THD + N)性能。串行数据端口兼容I2S、左对齐、右对齐和TDM模式，可以与数字音频数据接口。工作电压范围为1.8 V至3.65 V，片上调节器产生内部数字电源电压。

录音路径包括非常灵活的输入配置，可接受差分或单端模拟麦克风输入以及两个立体声数字麦克风输入。另外还有专用于模拟传呼信号的传呼输入引脚(BEEP)，这些信号在数码相机应用中很常见。同时提供麦克风偏置引脚，可为驻极体麦克风供电。每个输入信号具有自身的可编程增益放大器(PGA)，以便进行输入音量调整。SigmaDSP音频处理内核内可实施自动电平控制(ALC)，以保持恒定的输入录音音量。

ADC和DAC均为高质量、24位 Σ - Δ 型转换器，以可选的64倍或128倍过采样倍率工作。转换器的基本采样速率由输入时钟速率设置，可以利用转换器控制寄存器设置做进一步调整。转换器以8 kHz到96 kHz的采样速率工作。ADC和DAC还包括步长非常精密的数字音量控制功能。

回放路径允许将输入信号和DAC输出混频为扬声器和/或线路输出。扬声器驱动器能够将400 mW驱动至8 Ω 负载。

SigmaDSP音频处理内核可以设置成增强音频质量并改善最终用户体验。SigmaDSP内核的灵活性使得此编解码器可用于各种低功耗应用。可用于SigmaDSP内核的信号处理模块包括：

- 动态处理，包括压缩器、扩展器、门和限幅器
- 谐波、单音和噪声发生器
- 增强立体声采集(ESC)
- 风噪检测和滤波
- 立体声空间化
- 动态低音
- 响度
- 滤波，包括分频、均衡和陷波
- GPIO控制
- 混频器和多路复用器
- 音量控制和静音

利用片上小数PLL，ADAU1781可以从各种各样的输入时钟产生内部时钟。PLL支持的输入范围为11 MHz至20 MHz。

ADAU1781采用小型32引脚、5 mm \times 5 mm引脚架构芯片级封装(LFCSP)，配有底部焊盘。

启动、初始化和电源

本部分介绍ADAU1781的正确设置程序。图26概要介绍了如何初始化IC。

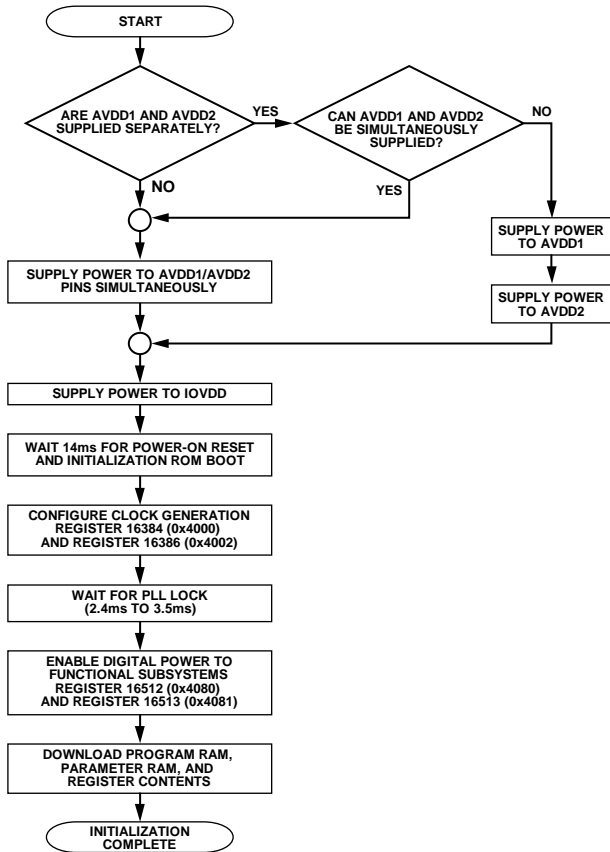


图26. 初始化序列

上电时序

如果AVDD1和AVDD2来自同一电源，则可以同时上电。如果AVDD1和AVDD2来自不同电源，AVDD1应首先上电。如果可能，IOVDD应与AVDD1同时施加。

ADAU1781使用上电复位(POR)电路来在上电时复位寄存器。POR监控DVDDOUT引脚，只要给芯片加电，就会产生一个复位信号。复位期间，ADAU1781采用寄存器图所述的默认值进行设置(参见控制寄存器映射部分)。

POR也可用于防止扬声器驱动器输出端的咔嚓声和爆音。本部分的图27、扬声器输出部分的图35和图36说明了相关上电时序。

POR完成后，自引导ROM便初始化存储器。自引导序列完成时，控制寄存器便可通过I²C/SPI控制端口访问，然后根据应用需要进行配置。通常，如果AVDD1上是10 μF电容，电源缓升、POR和自引导共需要约14 ms。

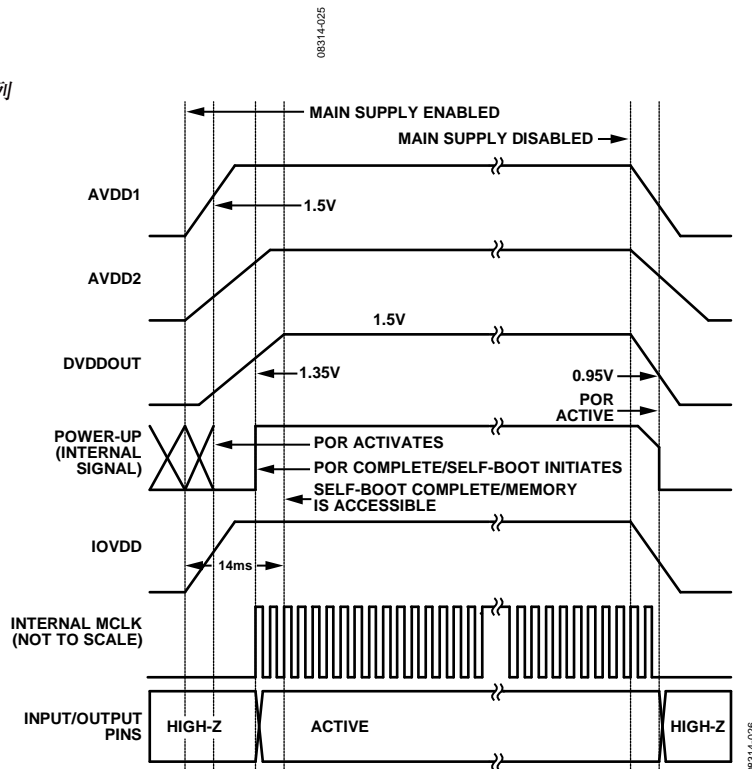


图27. 上电和掉电序列时序图

ADAU1781

时钟产生和管理

ADAU1781采用灵活的时钟方案，支持使用许多不同的输入时钟速率。PLL可以旁路或使用，这样就产生两种不同的时钟管理方法。有关时钟方案、PLL配置和采样速率的更多信息，请参见时钟和采样速率部分。

情况1：旁路PLL

如果旁路PLL，内核时钟将直接从主时钟(MCLK)输入获得。该时钟的速率必须在时钟控制寄存器16384 (0x4000)的输入主时钟频率位[2:1]正确设置。当PLL被旁路时，支持的外部时钟速率为 $256 \times f_s$ 、 $512 \times f_s$ 、 $768 \times f_s$ 和 $1024 \times f_s$ ，其中 f_s 为基本采样速率。除非时钟控制寄存器16384 (0x4000)的内核时钟使能位0置1，芯片内核时钟不会关闭。

情况2：使用PLL

在PLL锁定获取期间，整个芯片的内核时钟关闭。用户可以轮询锁定位，以确定PLL何时锁定。获取锁定后，就可以将时钟控制寄存器16384 (0x4000)的内核时钟使能位0置1，以启动ADAU1781。此位使能ADAU1781所有内部功能模块的内核时钟。

PLL锁定获取

在锁定获取期间，通过控制端口只能访问时钟控制寄存器16384 (0x4000)和PLL控制寄存器16386 (0x4002)。除非将时钟控制寄存器16384 (0x4000)的内核时钟使能位0以及PLL控制寄存器16386 (0x4002)的PLL锁定位1置1，否则无法读取或写入任何其他地址。

PLL控制寄存器16386 (0x4002)是一个48位寄存器，必须利用一个连续的写操作通过控制端口写入所有位。

PLL锁定时间取决于MCLK速率。典型锁定时间参见表11。

表11. PLL锁定时间

PLL模式	MCLK频率	锁定时间(典型值)
小数	12 MHz	3.0 ms
整数	12.288 MHz	2.96 ms
小数	13 MHz	2.4 ms
小数	14.4 MHz	2.4 ms
小数	19.2 MHz	2.98 ms
小数	19.68 MHz	2.98 ms
小数	19.8 MHz	2.98 ms

对功能子系统使能数字电源

要为器件内的子系统供电，必须使用数字关断0寄存器16512 (0x4080)和数字关断1寄存器16513 (0x4081)使能子系统。具体设置视应用而定。不过，为了继续初始化序列并访问ADAU1781的RAM和寄存器，必须使能数字关断0寄存器16512 (0x4080)的内存控制器位6和SigmaDSP内核的位0。

设置SigmaDSP内核

锁定PLL后，ADAU1781处于工作状态，控制端口可用于配置SigmaDSP内核。更多信息见DSP内核部分。

降低功耗模式

ADAU1781芯片的多个部分可以根据需要开启或关闭，以降低功耗。这些部分包括ADC、DAC和PLL。

此外，一些功能可在寄存器内设置，以便在省电、正常或性能增强模式下工作。更多信息见通用输入输出部分的各章节。

ADC和DAC的各数字滤波器可设为64倍或128倍(默认)过采样率。将过采样率设置为64倍可以降低功耗，而对性能的影响则极小。有关滤波器规格和曲线图，请参见典型工作特性部分和典型功耗管理测量结果部分。

有关各功率降低控制寄存器的详细信息参见本文的控制寄存器映射部分。

掉电引脚(PDN)

掉电引脚为启动低功耗模式提供简单的硬件方法，而无需通过控制端口进行访问。PDN引脚降低至地电位时，内部数字调节器被禁用，器件停止工作，同时功耗下降至极低水平。共模电压下降，所有内部存储器和寄存器丧失内容。PDN引脚回升至与AVDD1相同的电位时，器件重新初始化为默认状态，如上电序列部分所述。

掉电序列

关断器件时，如果可能，IOVDD、AVDD1和AVDD2电源应同时禁用，但仅在模拟和扬声器输出静音后。如果电源无法同时禁用，首选序列是IOVDD最先，其次是AVDD2，最后是AVDD1。

时钟和采样速率

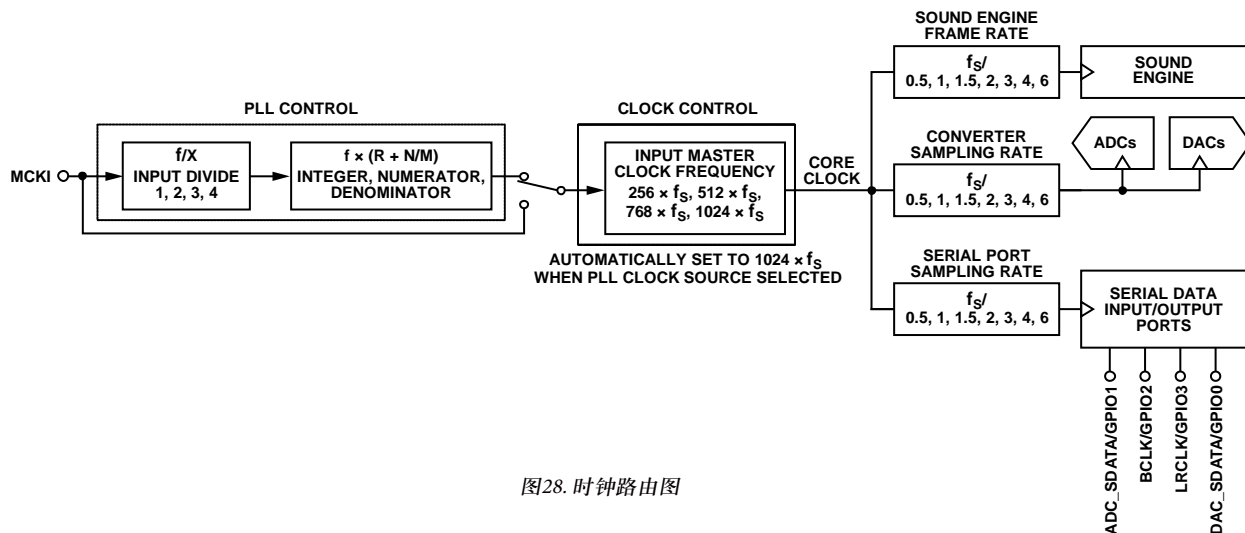


图28. 时钟路由图

内核时钟

内核时钟分频器从PLL或直接从MCLK产生内核时钟，并可在时钟控制寄存器16384 (0x4000)中设置。

内核时钟始终处于 $256 \times f_s$ 模式。直接MCLK频率必须对应于表12中列出的值，其中 f_s 是基本采样频率。PLL输出始终处于 $1024 \times f_s$ 模式，当使用PLL时，时钟控制寄存器自动将内核时钟分频器设置为 $f/4$ 。

表12. 内核时钟分频器

输入时钟速率	内核时钟分频器	内核时钟
$256 \times f_s$	$f/1$	$256 \times f_s$
$512 \times f_s$	$f/2$	
$768 \times f_s$	$f/3$	
$1024 \times f_s$	$f/4$	

用于转换器、串行端口和SigmaDSP内核的时钟从内核时钟获得。内核时钟可以直接从MCLK获得，也可以由PLL产生。时钟控制寄存器16384 (0x4000)的时钟源选择位3决定时钟源。

输入主时钟频率位[2:1]应根据预期输入时钟速率来设置，该输入时钟速率由时钟源选择位3来选择。时钟源选择值还决定内核时钟速率和基本采样频率 f_s 。

例如，如果位3的输入 = 49.152 MHz(来自PLL)，则位 [2:1] = $1024 \times f_s$ ；因此

$$f_s = 49.152 \text{ MHz}/1024 = 48 \text{ kHz}$$

表13. 时钟控制寄存器(寄存器16384, 0x4000)

位	位的名称	设置
3	时钟源选择	0: 直接来自MCKI引脚 (默认) 1: PLL时钟
[2:1]	输入主时钟频率	00: $256 \times f_s$ (默认) 01: $512 \times f_s$ 10: $768 \times f_s$ 11: $1024 \times f_s$
0	内核时钟使能	0: 内核时钟禁用(默认) 1: 内核时钟使能

采样速率

ADC、DAC和串行端口使用相同的采样速率，它在转换器控制0寄存器16407 (0x4017)中进行设置。转换器采样速率位 [2:0]将该采样速率设置为基本采样频率的比值。SigmaDSP内核采样速率在SigmaDSP内核帧速率寄存器16619 (0x40EB)的SigmaDSP内核帧速率位[3:0]中进行设置，串行端口采样速率在串行端口采样速率寄存器16632 (0x40F8)的串行端口控制采样速率位[2:0]中进行设置。

除非在SigmaDSP内核中完成适当的补偿滤波，否则强烈建议将转换器、串行端口和SigmaDSP内核的采样速率设置为相同值。

ADAU1781

表14和表15列出了常用基本采样速率的分频结果。

表14. $f_s = 48$ kHz时的基本采样速率分频结果

基本采样频率	采样速率比例	采样速率
$f_s = 48$ kHz	$f_s/1$	48 kHz
	$f_s/6$	8 kHz
	$f_s/4$	12 kHz
	$f_s/3$	16 kHz
	$f_s/2$	24 kHz
	$f_s/1.5$	32 kHz
	$f_s/0.5$	96 kHz

表15. $f_s = 44.1$ kHz时的基本采样速率分频结果

基本采样频率	采样速率比例	采样速率
$f_s = 44.1$ kHz	$f_s/1$	44.1 kHz
	$f_s/6$	7.35 kHz
	$f_s/4$	11.025 kHz
	$f_s/3$	14.7 kHz
	$f_s/2$	22.05 kHz
	$f_s/1.5$	29.4 kHz
	$f_s/0.5$	88.2 kHz

PLL

PLL使用MCLK作为产生内核时钟的参考。PLL设置在PLL控制寄存器16386 (0x4002)中进行设置。根据MCLK频率的不同，必须将PLL设置为整数或小数模式。PLL可以接受11 MHz至20 MHz范围内的输入频率。

PLL控制寄存器的所有6个字节必须利用一个连续的写操作通过控制端口写入。

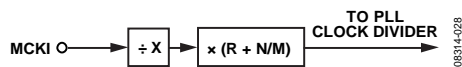


图29. PLL功能框图

整数模式

当MCLK为PLL输出($1024 \times f_s$)的整数(R)倍时，使用整数模式。

例如，如果MCLK = 12.288 MHz且 $f_s = 48$ kHz，则：

$$PLL \text{ 所需输出} = 1024 \times 48 \text{ kHz} = 49.152 \text{ MHz}$$

$$R = 49.152 \text{ MHz} / 12.288 \text{ MHz} = 4$$

在整数模式下，忽略M和N的值。

小数模式

当MCLK为PLL输出的小数($R + (N/M)$)倍数时，使用小数模式。

例如，如果MCLK = 12 MHz且 $f_s = 48$ kHz，则：

$$PLL \text{ 所需输出} = 1024 \times 48 \text{ kHz} = 49.152 \text{ MHz}$$

$$R + (N/M) = 49.152 \text{ MHz} / 12 \text{ MHz} = 4 + (12/125)$$

表16和表17给出了44.1 kHz和48 kHz采样速率的常用小数PLL参数设置。

表16. $f_s = 44.1$ kHz时的小数PLL参数设置

MCLK 输入 (MHz)	输入分频器 (X)	整数 (R)	分母(M)	分子(N)
12	1	3	625	477
13	1	3	8125	3849
14.4	2	6	125	34
19.2	2	4	125	88
19.68	2	4	1025	604
19.8	2	4	1375	772

¹ 所需内核时钟 = 11.2896 MHz，PLL输出 = 45.1584 MHz。

表17. $f_s = 48$ kHz时的小数PLL参数设置

MCLK 输入 (MHz)	输入分频器 (X)	整数 (R)	分母(M)	分子(N)
12	1	4	125	12
13	1	3	1625	1269
14.4	2	6	75	62
19.2	2	5	25	3
19.68	2	4	205	204
19.8	2	4	825	796

¹ 所需内核时钟 = 12.288 MHz，PLL输出 = 49.152 MHz。

PLL输出41 MHz至54 MHz范围内的时钟，计算PLL值和MCLK频率时应考虑到这一点。

ADC和DAC采样速率可在转换器控制0寄存器16407 (0x4017)的转换器采样速率位[2:0]进行设置。SigmaDSP内核采样速率和串行端口采样速率同样分别在SigmaDSP内核帧速率寄存器16619 (0x40EB)的SigmaDSP内核帧速率位[3:0]和串行端口采样速率寄存器16632 (0x40F8)的串行端口控制采样速率位[2:0]中进行设置。

表18和表19所示为采样速率设置示例。(1 × 256)条件是基本采样速率。

表18. 256 × 48 kHz内核时钟的采样速率

内核时钟	采样速率分频器	采样速率
12.288 MHz	(1 × 256)	48 kHz
	(6 × 256)	8 kHz
	(4 × 256)	12 kHz
	(3 × 256)	16 kHz
	(2 × 256)	24 kHz
	(1.5 × 256)	32 kHz
	(0.5 × 256)	96 kHz

表19. 256 × 44.1 kHz内核时钟的采样速率

内核时钟	采样速率分频器	采样速率
11.2896 MHz	(1 × 256)	44.1 kHz
	(6 × 256)	7.35 kHz
	(4 × 256)	11.025 kHz
	(3 × 256)	14.7 kHz
	(2 × 256)	22.05 kHz
	(1.5 × 256)	29.4 kHz
	(0.5 × 256)	88.2 kHz

录音信号路径

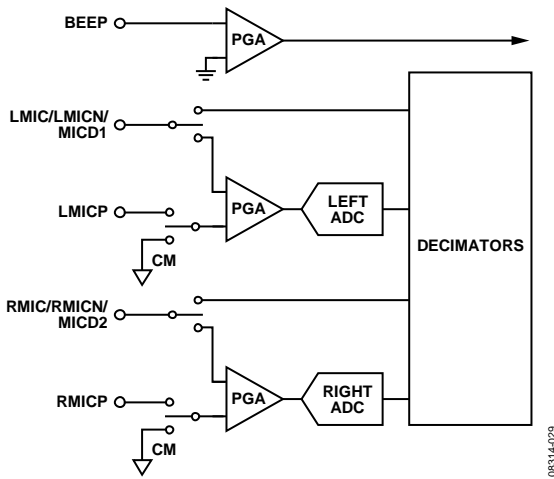


图30. 录音信号路径图

输入信号路径

ADAU1781可配置为三种麦克风输入：单端、差分或数字。LMIC/LMICN/ MICD1和RMIC/RMICN/MICD2引脚涵盖所有这些配置。LMICP和RMICP仅在差分配置期间使用（参见图30，录音信号路径图）。

每个模拟输入各自均有增益控制（增强或减弱）。这些信号路由至各自的右或左通道ADC。

模拟麦克风输入

对于差分输入，RMICN和RMICP分别表示右通道的负输入和正输入。LMICN和LMICP分别表示左通道的负输入和正输入。

LMIC和RMIC输入为单端线路输入。两者一起用作立体声单端输入。

数字麦克风输入

使用连接到MICD1或MICD2引脚的数字PDM麦克风时，必须适当地设置数字麦克风和模拟传呼控制寄存器16392 (0x4008)，以使能所选麦克风输入。MCKO输出时钟为麦克风提供时钟，并且必须根据麦克风的PDM流速率在时钟控制寄存器16384 (0x4000)中进行相应设置。

数字麦克风信号旁路ADC，直接路由到抽取滤波器。数字麦克风和ADC共用这些抽取滤波器，因此二者不能同时使用。

模拟传呼输入

BEEP引脚用于单声道单端信号，例如传呼警告。此信号旁路ADC和SigmaDSP内核，并直接混合至任意模拟输出。

BEEP引脚输入也可通过最高32 dB的PGA在数字麦克风和模拟传呼控制寄存器16392 (0x4008)中放大或静音。传呼输入必须在麦克风偏置控制和传呼使能寄存器16400 (0x4010)中使能。

麦克风偏置

MICBIAS引脚为驻极体麦克风提供基准电压。麦克风偏置控制和传呼使能寄存器16400 (0x4010)设置该引脚的工作模式。

配置示例

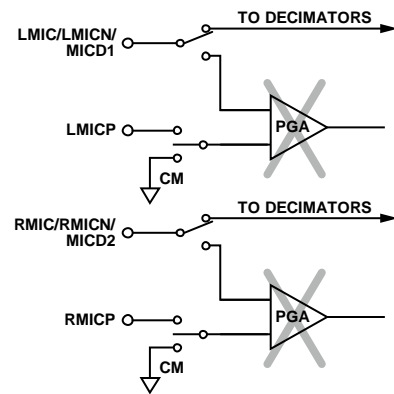


图31. 立体声数字麦克风输入配置

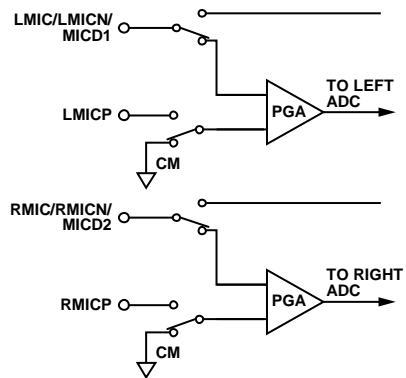


图32. 单端输入配置

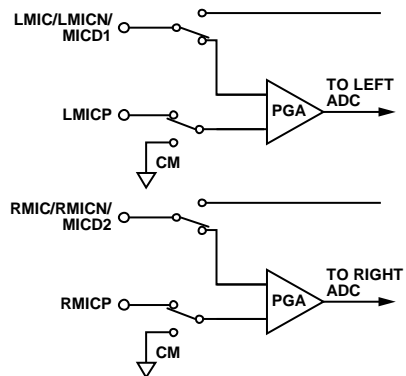


图33. 差分输入配置

模数转换器

ADAU1781使用两个具有可选过采样率(64倍或128倍)的24位 Σ - Δ 型模数转换器(ADC)。ADC的满量程输入取决于AVDD1。3.3 V时,满量程输入电平为1.0 V rms。大于满量程值的输入会造成削波和失真。

数字ADC音量控制

ADC输出(数字输入)音量可在左ADC衰减器寄存器16410 (0x401A)的左ADC数字衰减器位[7:0](用于左通道数字音量

控制)和右ADC衰减器寄存器16411 (0x401B)的右ADC数字衰减器位[7:0](用于右通道数字音量控制)中调整。

高通滤波器

ADC路径中的高通滤波器用于消除直流失调,可在ADC控制寄存器16409 (0x4019)的高通滤波器选择位5中选择,通过该位可实现使能或禁用。

回放信号路径

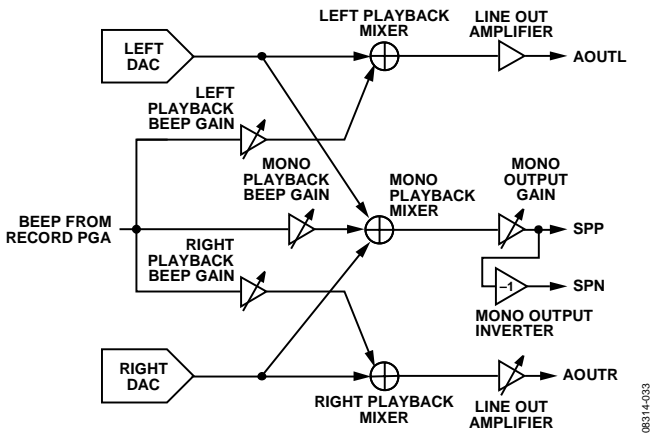


图34. 回放信号路径图

输出信号路径

ADAU1781的输出包括左右线路输出和扬声器驱动器。传呼输入信号可使用各路径的独立增益控制混合至任何上述输出。

数模转换器

ADAU1781使用两个具有可选过采样率(64倍或128倍)的24位 Σ - Δ 型数模转换器(DAC)。DAC的满量程输出取决于AVDD1。3.3 V时, 满量程输出电平为1.0 V rms。

数字DAC音量控制

DAC输出(数字输出)音量可在用于左通道数字音量控制的左DAC衰减器寄存器16427 (0x402B)和用于右通道数字音量控制的右DAC衰减器寄存器16428 (0x402C)中调整。

去加重滤波器

DAC路径中的去加重滤波器用于消除FM系统中的高频噪声。此滤波器可在DAC控制寄存器16426 (0x402A)中使能或禁用。

线路输出

AOUTL和AOUTR引脚分别是左右线路输出。两个输出均具有线路输出放大器, 可在控制寄存器中进行设置。

左回放混频器专用于AOUTL输出。此混频器将左DAC与传呼信号混合。

同样, 右回放混频器将右DAC与传呼输入混合, 并且专用于AOUTR输出。

扬声器输出

SPP和SPN引脚分别是正、负扬声器输出。每个输出均具有扬声器驱动器。

扬声器输出由单声道回放混频器产生, 后者将左右DAC输出相加并与传呼信号混合。混频器可在回放单声道混频器控制寄存器16415 (0x401F)中进行控制。

驱动器是低噪声、AB类放大器, 专为驱动8 Ω 、400 mW扬声器而设计。输出是差分的, 不需要外部电容。扬声器驱动器的增益设置可在回放扬声器输出控制寄存器16423 (0x4027)中进行设置。在该寄存器中, 驱动器可设置为四种增益设置之一: 0 dB、2 dB、4 dB或6 dB。此外, 扬声器驱动器可静音或完全关断。

为了抑制爆音与咔嚓声, 具有输出选通/使能的内部预充电序列在单声道驱动器使能后发生。序列持续8 ms, 接着内部静音信号上升沿出现(上电序列时序图见图35)。

掉电序列基本上是启动序列的反转, 如图36所示。

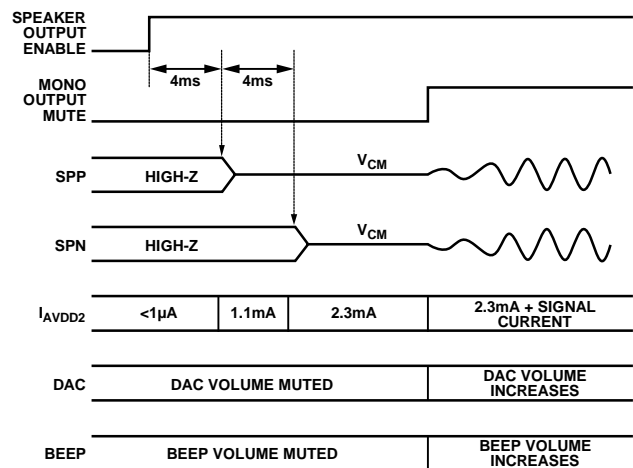


图35. 扬声器驱动器上电序列

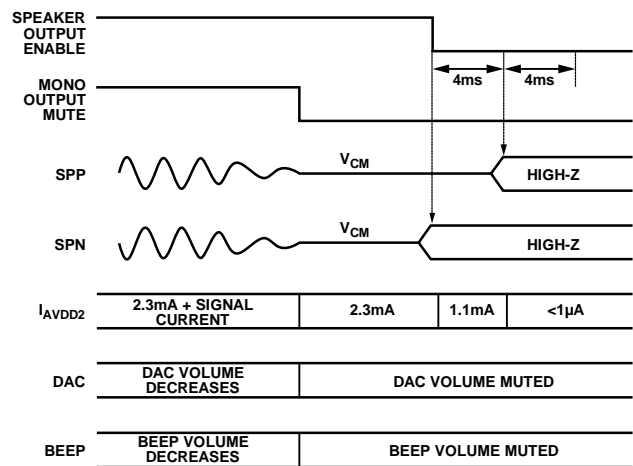


图36. 扬声器驱动器掉电序列

控制端口

ADAU1781有两种控制模式：I²C控制或SPI控制。

ADAU1781具有一个4线SPI控制端口和一个2线I²C总线控制端口。各端口均可以用来设置寄存器。器件默认采用I²C模式，但通过将 $\overline{\text{CLATCH}}$ 引脚拉低三次，就可以将其置于SPI控制模式。

控制端口能够对所有可寻址的寄存器执行全面的读写操作。大多数SigmaDSP内核处理参数是通过利用控制端口向参数RAM写入新值来控制。其它功能则是通过写入适当寄存器来编程，如静音、输入/输出模式控制和模拟信号路径。

所有地址都可以在单地址模式下或突发模式下进行访问。一个控制端口写操作的首字节(字节0)包含7位芯片地址和R/W位。接下来的两个字节(字节1和字节2)共同构成ADAU1781内寄存器位置的子地址。后续的所有字节(从字节3开始)包含数据，如控制端口数据、寄存器数据或参数RAM数据。每个字的字节数取决于写入数据的类型。特定类型写操作和读操作的确切格式如表39至表42所示。

ADAU1781有多种机制来实时更新音频处理参数，同时不会引起爆音或咔嚓声。控制端口引脚是多功能引脚，具体功能取决于器件的工作模式。表20列出了这些功能。

表20: 控制端口引脚功能

引脚	I ² C模式	SPI模式
SCL/CCLK	SCL—输入	CCLK—输入
SDA/COOUT	SDA—开集输出	COOUT—输出
ADDR1/ $\overline{\text{CLATCH}}$	I ² C地址位1—输入	$\overline{\text{CLATCH}}$ —输入
ADDR0/CDATA	I ² C地址位0—输入	CDATA—输入

I²C端口

ADAU1781支持2线串行(I²C兼容)微处理器总线驱动多个外设。两个引脚——串行数据(SDA)和串行时钟(SCL)——承载ADAU1781与系统I²C主控制器之间的信息。在I²C模式下，ADAU1781始终是总线上的从机，意味着它不能启动数据传输。每个从机都通过一个唯一的地址识别。表21显示了地址字节的格式。地址存在于I²C写操作的前7位。此字节的LSB设置读或写操作。逻辑1对应于读操作，逻辑0对应于写操作。包括引脚设置和 $\overline{\text{R/W}}$ 位的完整字节地址如表22所示。

突发模式寻址可以用于将大量数据写入相邻的存储器位置。在这种模式下，子地址会在字边界处自动递增。这种递增在单字写入后自动发生，除非遇到停止条件。ADAU1781寄存器的宽度为1字节到6字节不等，因此自动递增特性知道子地址与目标寄存器字长之间的映射关系。数据传输总是由停止条件终止。

SDA和SCL的各自线路上应连接一个2.0 kΩ上拉电阻。这些信号线上的电压不应高于AVDD1。

表21. I²C地址字节格式

位 0	位 1	位 2	位 3	位 4	位 5	位 6	位 7
0	1	1	1	0	ADDR1	ADDR0	R/W

表22. I²C地址

ADDR1	ADDR0	R/W	从机地址
0	0	0	0x70
0	0	1	0x71
0	1	0	0x72
0	1	1	0x73
1	0	0	0x74
1	0	1	0x75
1	1	0	0x76
1	1	1	0x77

寻址

开始时，I²C总线上的各器件均处于空闲状态，并监控SDA和SCL线有无起始条件和适当的地址。I²C主机通过建立起始条件而启动数据传输；起始条件要求SDA发生高低转换，同时SCL保持高电平。这表示随后将出现地址/数据流。总线上的所有器件都对起始条件做出响应，并对接下来的8个位(7位地址加 $\overline{\text{R/W}}$ 位)以MSB优先方式移位。在第9个时钟脉冲期间，能够识别所发送地址的器件通过将数据线拉低来做出响应。此第9位称为应答位。此时，所有其它器件从总线退出，返回空闲状态。

$\overline{\text{R/W}}$ 位决定数据的方向。如果第一个字节的LSB为逻辑0，则意味着主机将信息写入外设，而逻辑1则意味着主机将在写入子地址并重复起始地址之后从外设读取信息。数据传输将持续到发生停止条件。停止条件是指在SCL处于高电平时，SDA上发生低电平至高电平跃迁。图37显示了I²C写操作的时序，图38显示了I²C读操作的时序。

ADAU1781

数据传输过程中的任何阶段都可以检测停止和起始条件。如果这些条件的置位打破了正常的读写操作顺序，ADAU1781将立即跳出到空闲状态。在给定的SCL高电平期间，用户只应发送一个起始条件或一个停止条件，或者先发送单一停止条件，再发送单一起始条件。如果用户发送的子地址无效，ADAU1781不会发送应答，而是直接返回到空闲状态。在自动递增模式下，如果用户地址超过了

最高子地址，则器件会采取以下其中一种措施。在读取模式下，ADAU1781输出最高子地址寄存器的内容，直到主机发送不应答，表示读取结束。不应答条件是指在SCL的第9个时钟脉冲期间，SDA线未被拉低。在写入模式下，ADAU1781不会将无效字节的数据载入任何子地址寄存器，而是发送不应答，然后返回空闲状态。

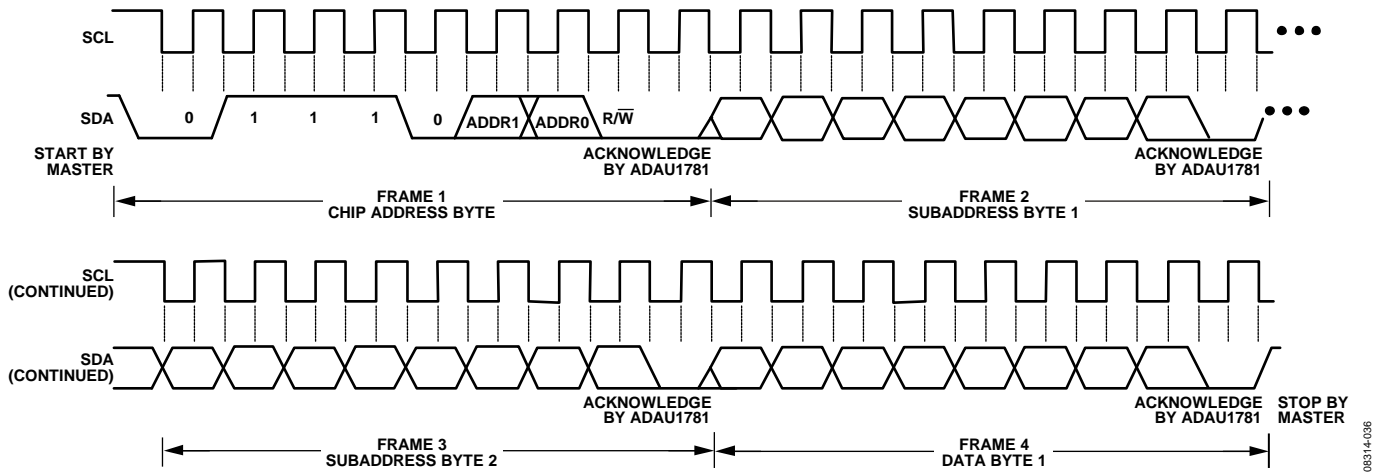


图37. I²C写入ADAU1781的时序

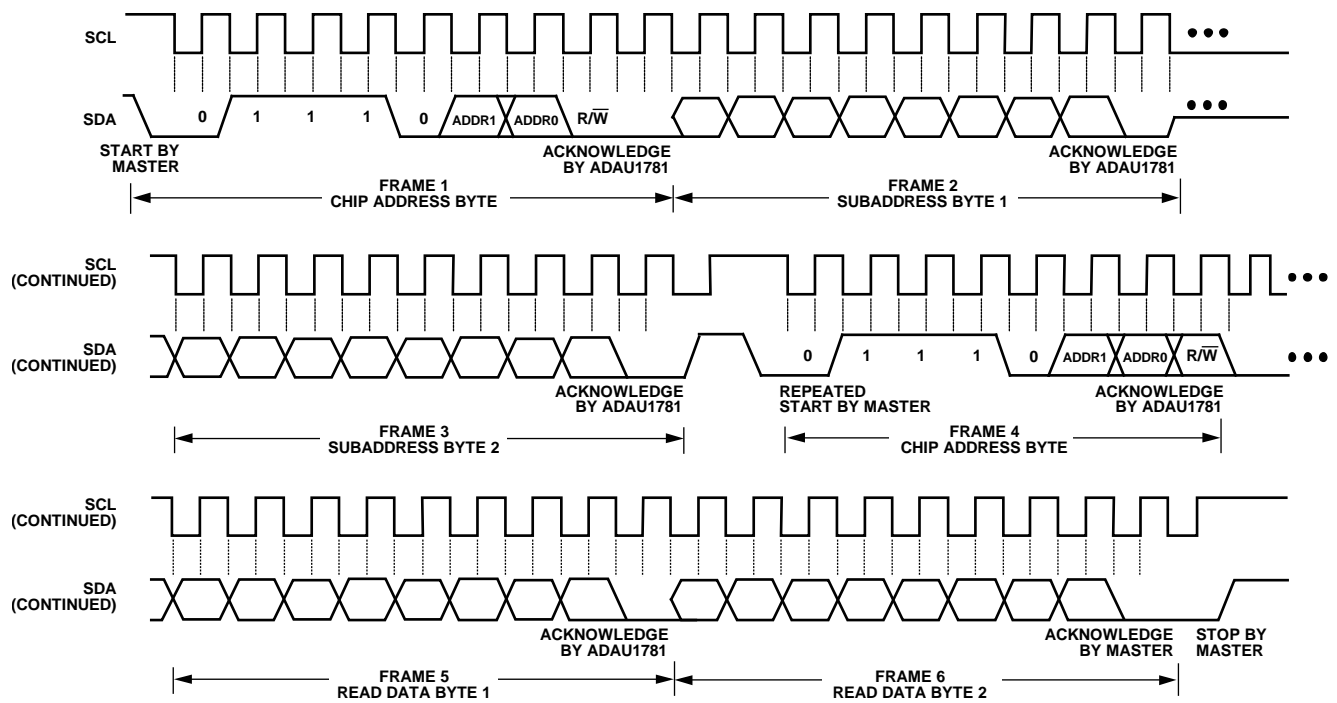


图38. I²C读取ADAU1781的时序

I²C读和写操作

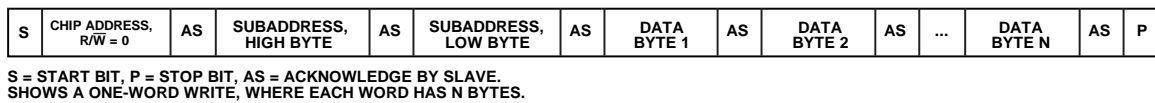
图39给出了单字写操作的时序。在每第9个时钟脉冲，ADAU1781都会通过拉低SDA来发送应答。

图40给出了突发模式写序列的时序。该图显示了一个目标寄存器为两字节的例子。每写完两个字节后，ADAU1781知道应递增其子地址寄存器，因为请求的子地址对应于两字节字长的寄存器或存储器区域。

单字读操作的时序如图41所示。注意第一个R/W位为0，表示写操作。这是因为仍然需要写入子地址，以便设置内部地址。在ADAU1781确认接收到子地址后，主机必须发送

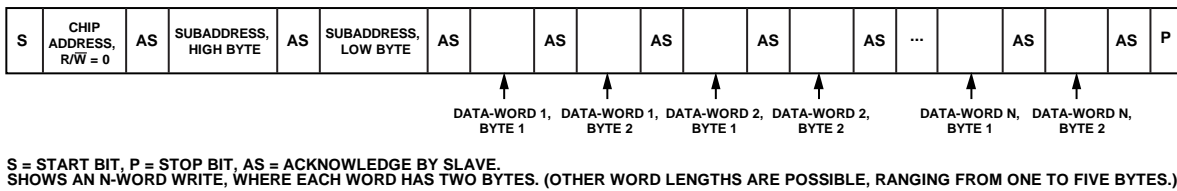
一个重复起始命令，然后再发送R/W位设置为1(表示读操作)的芯片地址字节。这将导致ADAU1781 SDA反向，并开始向主机回传数据。然后，主机在每第9个脉冲做出响应，向ADAU1781发送应答脉冲。

图42给出了突发模式读序列的时序。该图显示了一个目标读取寄存器为两字节的例子。每读完两个字节后，ADAU1781递增其子地址，因为请求的子地址对应于两字节字长的寄存器或存储器区域。其它地址范围的字长可能是1字节到5字节。ADAU1781总是解码子地址并设置自动递增电路，使得地址在读取适当数量的字节之后递增。



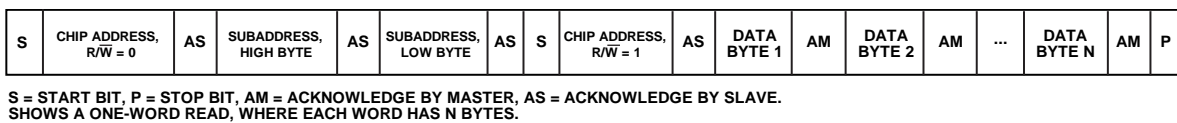
08314-039

图39. 单字I²C写序列



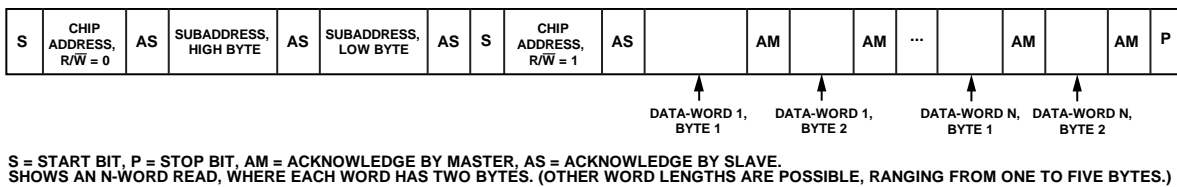
08314-039

图40. 突发模式I²C写序列



08314-040

图41. 单字I²C读序列



08314-041

图42. 突发模式I²C读序列

ADAU1781

SPI端口

ADAU1781默认采用I2C模式，但通过将CLATCH引脚拉低三次，就可以将其置于SPI控制模式。SPI端口使用4线接口(包括CLATCH、CCLK、CDATA和COUT信号)，并且始终是一个从机端口。 $\overline{\text{CLATCH}}$ 信号在处理开始时变为低电平，在处理结束时应变为高电平。CCLK信号在低高转换时锁存CDATA。COUT数据在CCLK下降沿移出ADAU1781，应在CCLK上升沿输入一个接收器件，如微控制器等。CDATA信号承载串行输入数据，COUT信号承载串行输出数据。在请求执行读操作之前，COUT信号处于三态。这样，其它SPI兼容外设可以共享同一回读线路。所有SPI处理都具有表24所示的相同基本格式。时序图见图4。所有数据都应以MSB优先方式写入。只有经过完全复位后，ADAU1781才能退出SPI模式。

芯片地址R/W

SPI处理的首字节包含7位芯片地址和R/W位。芯片地址始终是0x38。首字节的LSB决定SPI处理是读操作(逻辑1)还是写操作(逻辑0)。

表23. SPI地址字节格式

Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7
0	0	0	0	0	0	0	R/W

子地址

12位子地址字解码为一个寄存器的位置。此子地址即为相应寄存器的位置。子地址的MSB通过填充0来使字长为2个字节。

表24. 通用控制字格式

字节 0	字节 1	字节 2	字节 3	字节 4 ¹
CHIP_ADR[6:0], R/W	SUBADR[15:8]	SUBADR[7:0]	数据	数据

¹ 持续到数据结束。

数据字节

数据字节数取决于所访问的寄存器。在突发模式写入中，初始子地址之后是连续的数据序列，以供写入连续的寄存器位置。图43给出了对参数存储器执行单次SPI写操作的示例时序图。图44给出了单次SPI读操作的示例时序图。在字节3开始时，COUT引脚从三态变为高电平。本例中，字节0至字节2包含地址和R/W位，后续字节承载数据。

SPI读/写时钟频率(CCLK)

ADAU1781的SPI端口具有非对称的读写时钟频率。将数据写入器件的数据速率可能高于从器件读出数据的数据速率。更多信息请参见数字时序规格部分。

存储器和寄存器访问

通过控制端口完整访问所有存储器和寄存器必须满足以下几个条件：

- ADAU1781必须已经完成初始化，包括上电复位、PLL锁定和自引导。
- 内核时钟必须使能(时钟控制寄存器16384 (0x4000)的内核时钟使能位0置1)。
- 必须为存储器控制器供电(数字关断0寄存器16512 (0x4080)的存储器控制器位6置1)。
- 必须为SigmaDSP内核供电(数字关断0寄存器16512 (0x4080)的SigmaDSP内核位0置1)。

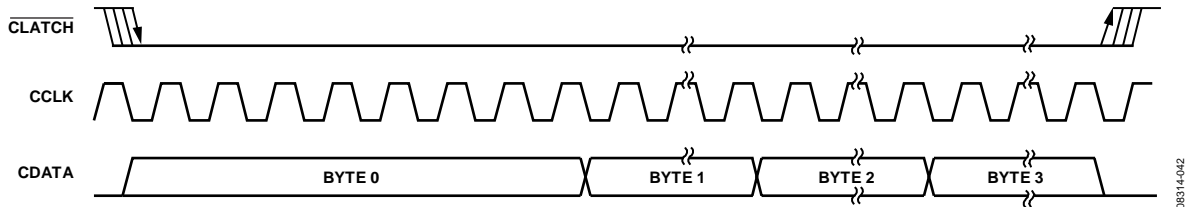


图43. SPI写入ADAU1781的时序(单次写模式)

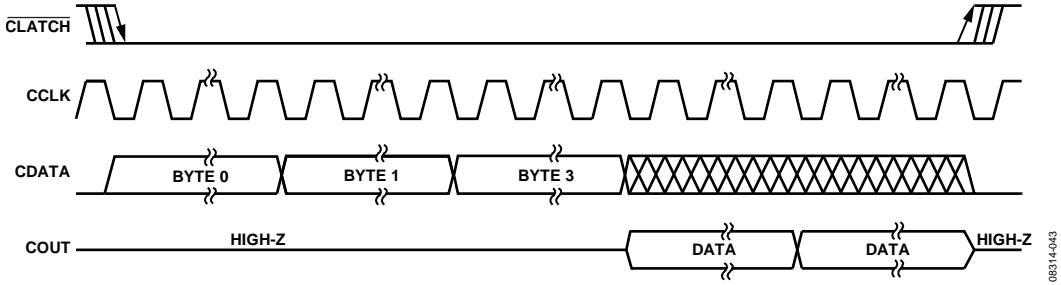


图44. SPI读取ADAU1781的时序(单次读模式)

串行数据输入/输出端口

ADAU1781灵活的串行数据输入和输出端口可以设置为以2通道格式、4通道或8通道TDM流格式接收或发送数据，以便与外部ADC或DAC接口。除非在控制寄存器中另外进行配置，数据默认以二进制补码、MSB优先格式进行处理。默认情况下，在2通道流中，左通道数据字段始终先于右通道数据字段。在TDM 4模式下，时隙0和时隙1是音频帧的前半部分，时隙2和时隙3是音频帧的后半部分。在TDM 8模式下，时隙0至时隙3是音频帧的前半部分，时隙4至时隙7是音频帧的后半部分。串行模式及帧内数据的位置在串行端口控制0寄存器16405 (0x4015)、串行端口控制1寄存器16406 (0x4016)、转换器控制0寄存器Register 16407 (0x4017)和转换器控制1寄存器16408 (0x4018)中设置。

串行数据时钟必须与ADAU1781主时钟输入同步。LRCLK和BCLK引脚用于为串行输入和输出端口提供时钟。ADAU1781可以设置为系统中的主机或从机。由于只有一组串行数据时钟，因此输入和输出端口必须同时为主机或同时为从机。

串行端口控制0寄存器16405 (0x4015)和串行端口控制1寄存器16406 (0x4016)允许控制时钟极性和数据输入模式。有效数据格式包括I²S、左对齐、右对齐(24/20/18/16位)和TDM。在除右对齐模式以外的所有其它模式下，串行端口可以输入最多24位的任意音频数据位数。多余的位不会导致错误，但会被内部截断。在每个LRCLK帧中，串行端口允许BCLK发生任意次转换。

TDM模式

在TDM模式下，LRCLK可以作为50%占空比时钟或一位宽脉冲输入ADAU1781。

当LRCLK设置为脉冲时，LRCLK引脚与地之间应连接一个47 pF电容(见图45)。为使LRCLK信号与串行数据流正确对齐，主机模式和从机模式均需要此电容。

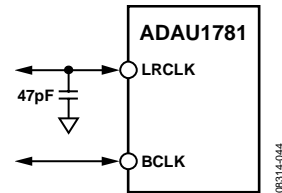


图45. LRCLK电容对齐, TDM脉冲模式

ADAU1781的TDM实施方法是TDM音频流。与真实TDM总线不同，器件输出在不发射数据时不会变为高阻抗状态。

在TDM 8模式下，对于48 kHz以下的 f_s ，ADAU1781可以是一个主机。表25列出了串行输出端口的工作模式。

表25. 串行输出端口主机/从机模式能力

f_s	2通道模式 (I ² S、左对齐、右对齐)	8通道TDM
48 kHz	主机和从机	主机和从机
96 kHz	主机和从机	从机

表26给出了标准音频数据格式的正确配置。右对齐模式必须使用串行端口控制1寄存器16406 (0x4016)的位[7:5](每帧位时钟周期数)和位[1:0](自LRCLK边沿起的数据延迟)手动配置。

表26. 数据格式配置

格式	LRCLK极性	LRCLK模式	BCLK极性	BCLK周期/ 音频帧	自LRCLK边沿起的数据延迟
I ² S(见图46)	帧在下降沿开始	50%占空比	数据在下降沿改变	64	从LRCLK边沿起延迟1 BCLK
左对齐(见图47)	帧在上升沿开始	50%占空比	数据在下降沿改变	64	与LRCLK边沿对齐
右对齐(见图48)	帧在上升沿开始	50%占空比	数据在下降沿改变	64	从LRCLK边沿起延迟8、12或16 BCLK，以便将LSB与帧右沿对齐
采用时钟的TDM(见图49)	帧在下降沿开始	50%占空比	数据在下降沿改变	64至256	从字时钟开始起延迟1 BCLK
采用脉冲的TDM(见图50)	帧在上升沿开始	脉冲	数据在下降沿改变	64至256	从字时钟开始起延迟1 BCLK

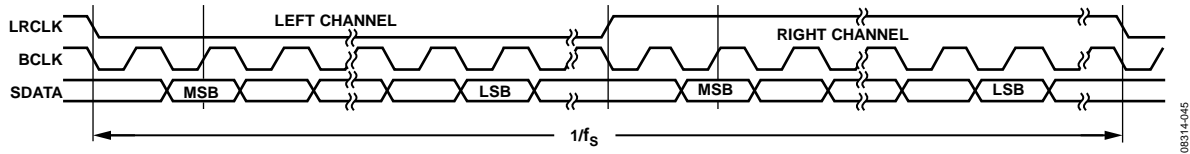


图46. IFS模式：每通道16位到24位

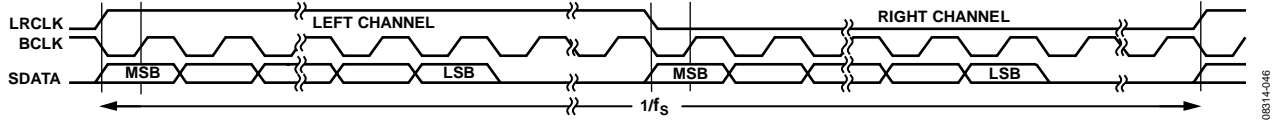


图47. 左对齐模式：每通道16位到24位

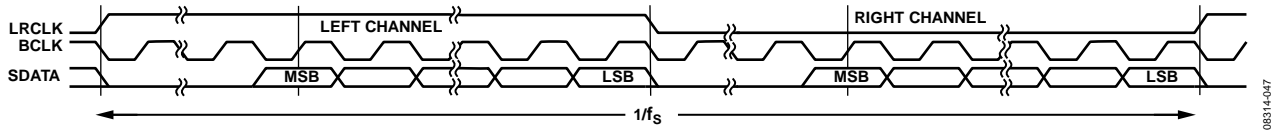


图48. 右对齐模式：每通道16位到24位

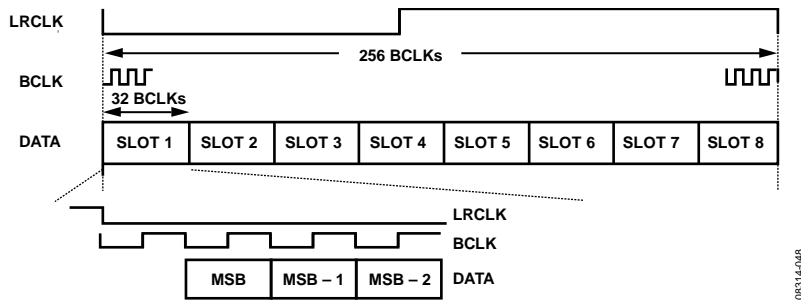


图49. TDM模式

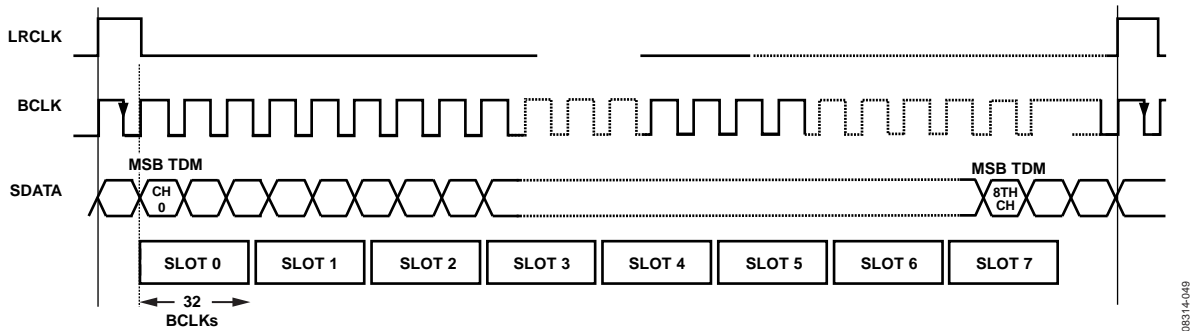


图50. 采用脉冲字时钟的TDM模式

通用输入/输出

通用输入/输出功能共享串行数据输入/输出引脚。这四个引脚中的每个引脚仅可设为一个功能。引脚功能在串行数据/GPIO引脚配置寄存器16628 (0x40F4)中设置。

GPIO引脚可用作输入或输出。这些引脚是可读引脚，可以通过控制接口或直接由SigmaDSP内核设置。设置为输入时，这些引脚可以与按钮开关或旋转编码器一起使用来控制SigmaDSP内核程序设置。数字输出可用来驱动LED或外部逻辑，以指示内部信号的状态并控制其它器件。这种用途的例子包括指示信号过载、信号有无和按钮按下确认等。

设置为输出时，各引脚通常可以驱动2 mA电流，这足以直接驱动某些高效率LED。标准LED需要大约20 mA的电流，可以利用外部电阻或缓冲器从GPIO输出驱动。由于许多引脚同时驱动或吸收大量电流可能引起问题，因此在应用设计中，应注意避免将高效率LED直接连到许多或全部GPIO引脚。如果需要使用许多LED，应使用外部驱动器。当GPIO引脚设置为开集输出时，应将其上拉至IOVDD上设置的最高电压。

GPIO功能配置在GPIO引脚控制寄存器16582至寄存器16586(0x40C6至0x40CA)中设置。

从控制端口设置GPIO

GPIO引脚也可设置成直接从I2C/SPI控制端口进行控制。当引脚设置为此模式时，为GPIO引脚设置使能5个存储器位置(参见表75)。GPIO引脚的物理设置可反映这些4字节宽存储器位置的LSB设置。

DSP内核

信号处理

ADAU1781旨在提供立体声或单声道低功耗录音和回放系统常用的全部音频信号处理功能。信号处理流程利用SigmaStudio™软件设计，它支持图形化输入和实时控制所有信号处理功能。

许多信号处理功能采用完整的56位双精度算法数据编码。DSP内核的输出和输出字长为24位。处理器使用4个额外的裕量位，内部增益最高可达24 dB而不会削波。通过在DSP信号流中调低初始输入信号，可以实现更高增益。

架构

DSP内核由简单的28/56位乘法累加单元(MAC)组成，且有两个来源：数据源和系数源。数据源可以来自数据RAM、常用常数值的ROM表或内核音频输入。系数源可以来自参数RAM、常用常数值的ROM表或内核音频输入。

两个来源在28位定点乘法器中相乘，接着将信号输入56位加法器；结果通常存储在三个56位累加器寄存器之一中。累加器可(以28位格式)从内核输出，或者可选择性地写回数据或参数RAM。

程序计数器

内核内的指令执行由程序计数器控制，后者按顺序执行程序RAM的地址。每次音频帧输入内核时，程序计数器就会开始。SigmaStudio将快速启动命令插入每个程序的末端。程序计数器按顺序递增，直至到达此命令，然后跳至程序起始地址，并等待下一音频帧输入内核。

产品特性

SigmaDSP内核专为音频处理而设计，因此包括几项旨在最大化电源效率的特性，包括硬件dB(分贝)转换和特定音频ROM常数。

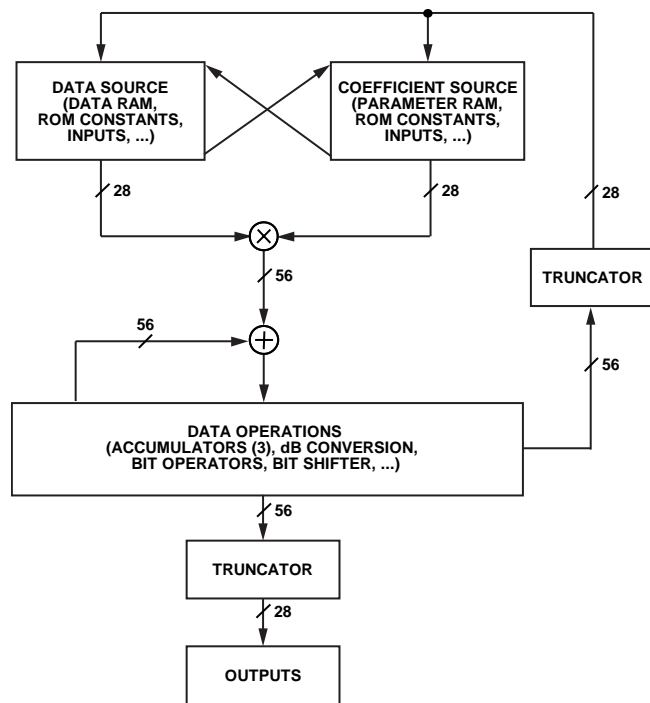


图51. 简化DSP内核架构

ADAU1781

数字格式

DSP系统通常使用标准数字格式。小数系统指定为A.B格式，其中A表示小数点左边的位数，B表示小数点右边的位数。

ADAU1781的参数和数据值使用数字格式5.23。

数字格式5.23

线性范围：-16.0至(+16.0 - 1 LSB)

示例：

1000 0000 0000 0000 0000 0000 = -16.0
1110 0000 0000 0000 0000 0000 = -4.0
1111 1000 0000 0000 0000 0000 = -1.0
1111 1110 0000 0000 0000 0000 = -0.25
1111 1111 0011 0011 0011 0011 = -0.1
1111 1111 1111 1111 1111 1111 = (比0小1 LSB)
0000 0000 0000 0000 0000 0000 = 0
0000 0000 1100 1100 1100 1101 = +0.1
0000 0010 0000 0000 0000 0000 = +0.25
0000 1000 0000 0000 0000 0000 = +1.0
0010 0000 0000 0000 0000 0000 = +4.0
0111 1111 1111 1111 1111 1111 = (+16.0 - 1 LSB)

串行端口接受最多24位的输入，通过符号扩展为DSP内核的完整28位。这样，内部增益最高可达24 dB而不会发生内部削波。

DSP内核输出端与DAC或串行端口输出端之间有一个数字削波电路(见图52)，此电路截除信号的高4位以产生1.0(减1 LSB)至-1.0范围内的24位输出。图52以二进制和dB值形式显示了数据流中各点的最高信号电平。

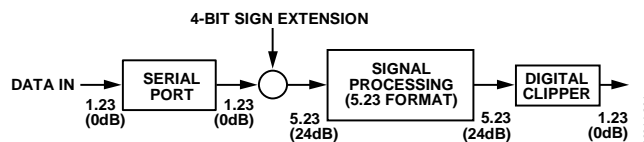


图52. 数字精度和削波结构

编程

上电时，ADAU1781必须设置一种时钟方案，然后加载寄存器设置。设置编解码器信号路径后，便可对DSP内核进行编程。每个音频采样有1024个指令周期，因此 $f_s = 48 \text{ kHz}$ 时内部时钟速率为49.152 MHz。程序RAM包含512个指令的地址，但使用转移和环路功能最多可执行1024个指令。

利用ADI公司的图形工具SigmaStudio(参见图53)，可以对该器件轻松编程。用户无需具有编写DSP代码的知识。有关SigmaStudio的更多信息，请访问：www.analog.com。

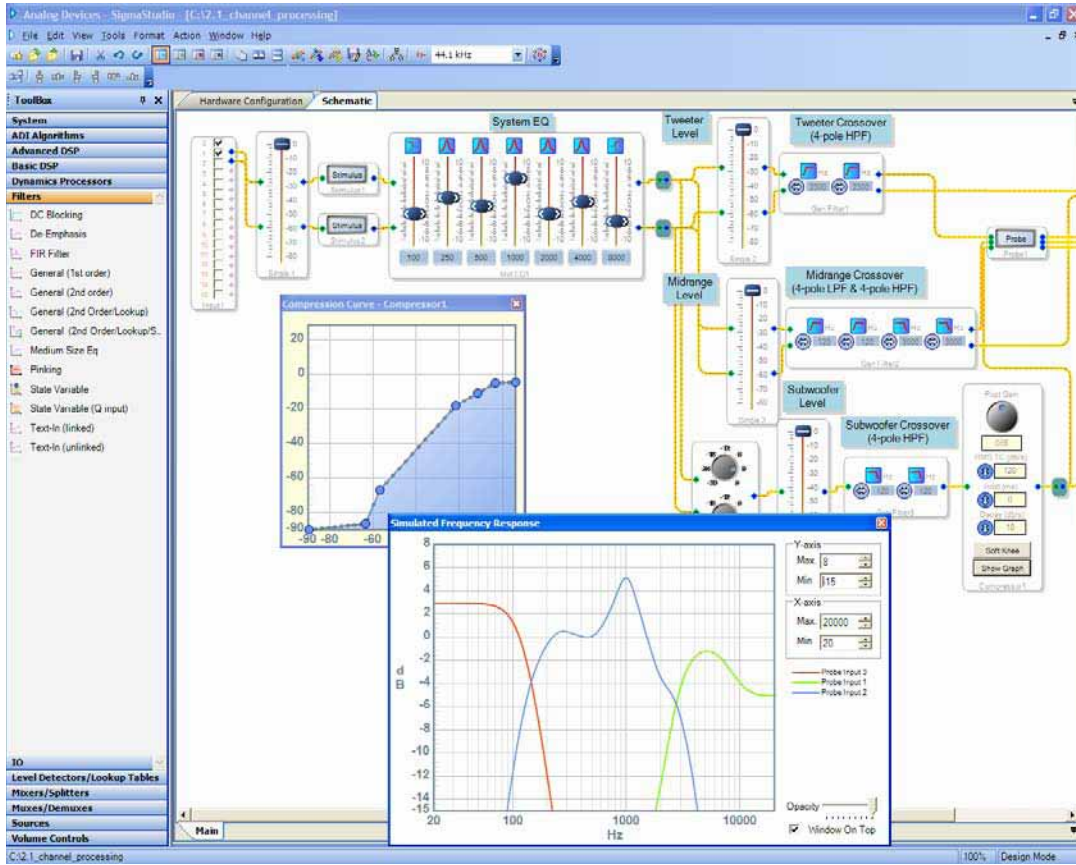


图53. SigmaStudio 屏幕截图

程序RAM、参数RAM和数据RAM

表27. RAM映射和读/写模式

存储器	尺寸	地址范围	读取	写入	写入模式
参数RAM	512 × 32	0至511(0x0000至0x01FF)	是	是	直接、安全加载
程序RAM	512 × 40	1024至1535(0x0400至0x05FF)	是	是	直接

表27显示了RAM映射(ADAU1781寄存器映射在控制寄存器映射部分提供)。地址空间涵盖一组寄存器和3个RAM：程序RAM、参数RAM和数据RAM。程序RAM和参数RAM在上电时并不初始化，在写入前一直处于未知状态。

程序RAM

程序RAM包含由内核执行的40位操作代码。SigmaStudio编译器针对项目计算每帧的最大指令，当值超过每帧最大容许指令(基于内核中信号的采样速率)时产生一个误差。

由于程序末端包含一个快速启动命令，未使用的程序RAM空间不必使用无操作(NOP)命令来填充。

参数RAM

参数RAM为32位宽，占用地址0至地址511。每个参数的MSB前都填充四个0，从而将28位字扩展为4字节宽。参数RAM的数据格式为二进制补码5.23，这意味着系数范围是+16.0(减1 LSB)至-16.0，1.0代表二进制字0000 1000 0000 0000 0000 0000或十六进制数字0x00 0x80 0x00 0x00。

参数RAM可直接写入或使用安全加载写入。直接写入工作模式通常在RAM的全新加载期间使用，使用突发模式寻址以避免输出产生任何咔嚓声或爆音。请注意，这种模式可以在程序执行过程中使用，但由于内核与控制端口之间不存在握手，因此在控制写操作期间DSP内核无法使用参数RAM，导致音频流中出现咔嚓声和爆音。

SigmaStudio会自动将前8个位置指定给安全加载参数；因此特定项目参数始于地址0x0008。

数据RAM

ADAU1781数据RAM用于存储处理用的音频数据字。RAM空间的大小为512字，用户无法直接从控制端口寻址该空间。

执行需要大量数据RAM空间的块(例如延迟)时，应考虑数据RAM利用情况。SigmaDSP内核以单采样增量处理延迟时间，因此，用户可用的总延迟池等于512乘以采样周期。当 $f_{s,DSP}$ 为48 kHz时，可用的延迟池最大值约为10 ms；其中 $f_{s,DSP}$ 是DSP内核采样速率。实际上，用户并没有如此多的数据存储器可用，因为设计中的每个模块都会使用若干数据存储器位置以供处理。在大多数DSP程序中，这不会显著影响总延迟时间。SigmaStudio编译器管理数据RAM，并会指出设计所需的地址数量是否超过可用的最大数量。

读取/写入数据格式

控制端口的读/写格式以字节为导向，以便能够轻松设置常用的微控制器芯片。为了适应字节导向的格式，数据域的MSB前添加0，以将数据字扩展为8位。例如，写入参数RAM的28位字添加4个前置0，变成32位(4字节)；写入程序RAM的40位字则不添加0，因为它已经是5字节。这些填充0的数据域被迫加到一个3字节域，后者包括一个7位芯片地址、一个读/写位和一个16位RAM/寄存器地址。根据前三个字节提供的地址，控制端口知道要处理多少个数据字节。

单位置写命令的总字节数从1字节(控制寄存器写操作)到5字节(程序RAM写操作)不等。可以适应突发模式来填充连续的寄存器或RAM位置。突发模式写操作从写入第一个要写入的RAM或寄存器位置的地址和数据开始，接下来不是像单地址写操作那样结束控制端口处理(I²C模式下是发送停止命令，SPI模式下是将CLATCH信号拉高)，而是立即写入下一个数据字，不必提供其地址。ADAU1781控制端口自动递增每次写操作的地址，甚至能跨越不同RAM和寄存器的边界。表29和表31显示了突发模式写操作的例子。

表28. 参数RAM读/写格式(单地址)

字节 0	字节 1	字节 2	字节 3	字节[4:6]
CHIP_ADR[6:0], R/W	PARAM_ADR[15:8]	PARAM_ADR[7:0]	0000, PARAM[27:24]	PARAM[23:0]

表29. 参数RAM块读/写格式(突发模式)

字节 0	字节 1	字节 2	字节 3	字节[4:6]	字节[7:10]	字节[11:14]
CHIP_ADR[6:0], R/W	PARAM_ADR[15:8]	PARAM_ADR[7:0]	0000, PARAM[27:24]	PARAM[23:0]		
←—PARAM_ADR—→					PARAM_ADR + 1	PARAM_ADR + 2

表30. 程序RAM读/写格式(单地址)

字节 0	字节 1	字节 2	字节[3:7]
CHIP_ADR[6:0], R/W	PROG_ADR[15:8]	PROG_ADR[7:0]	PROG[39:0]

表31. 程序RAM块读/写格式(突发模式)

字节 0	字节 1	字节 2	字节[3:7]	字节[8:12]	字节[13:17]
CHIP_ADR[6:0], R/W	PROG_ADR[15:8]	PROG_ADR[7:0]	PROG[39:0]		
			PROG_ADR	PROG_ADR + 1	PROG_ADR + 2

软件安全加载

为了实时更新参数，同时避免输出产生爆音与咔嚓声噪声，ADAU1781使用软件安全加载机制。软件安全加载机制使SigmaDSP内核可将新参数载入RAM内，同时保证参数未被使用。这样可防止出现新旧参数混用执行指令的情况。

SigmaStudio可自动针对新项目设置必需的代码和参数。安全加载代码和其他初始化代码一起填充程序RAM的前39个位置。前8个参数RAM位置(地址0x0000至地址0x0007)默认在SigmaStudio中配置，如表32所示。

表32. 软件安全加载参数RAM默认值

地址(十六进制)	功能
0x0000	模RAM大小
0x0001	安全加载数据1
0x0002	安全加载数据2
0x0003	安全加载数据3
0x0004	安全加载数据4
0x0005	安全加载数据5
0x0006	安全加载目标地址(-1偏移)
0x0007	写入/安全加载触发字数

控制模RAM大小的地址0x0000由SigmaStudio设置，并且基于项目的动态地址发生器模式。

参数RAM地址0x0001至地址0x0005是用于存储安全加载数据的五个数据槽。安全加载参数空间默认包含五个数据槽，因为大多数标准信号处理算法具有五个或更少参数。

地址0x0006是参数RAM内的目标地址(偏移为-1)。它指定要写入的首个地址。如果写入多个字，地址针对每个数据字自动递增。每个音频帧期间，最多五个连续参数RAM位置可通过安全加载更新。使用-1的目标地址偏移是因为写入地址相对于数据地址(从地址0x0001开始)计算得出。因此，要更新地址0x000A的参数，目标地址为0x0009。

地址0x0007指定安全加载期间要写入参数RAM的字数。双二阶滤波器使用所有五个安全加载数据地址。简单的单声道增益单元仅使用一个安全加载数据地址。对此地址执行写入也会触发下一个音频帧内的安全加载写入。

安全加载机制基于软件，每个音频帧执行一次。因此，系统设计人员设计通信协议时必须认真考虑。各安全加载写入之间需要一个等于或大于采样周期(采样频率的倒数)的延迟。48 kHz的采样速率等于至少21 μs的延迟。如果不遵守此延迟，下载的数据就会损坏。

软件压摆

当信号处理参数值突然发生实时变化时，有时会在音频输出端造成爆音与咔嚓声。为了避免爆音与咔嚓声，SigmaStudio中的一些算法实施软件压摆功能。使用软件压摆的算法为参数设置目标值，并连续更新该参数，直至其达到目标值。

目标值在参数RAM中占据额外空间，参数的当前值在数据RAM的非模部分更新。参数和非模数据RAM的分配由SigmaStudio编译器处理，且不需要手动编程。

压摆参数可遵循几种不同的曲线，包括RC型曲线和线性曲线。这些曲线类型针对各算法进行编码，且用户无法修改。

使用软件压摆的算法通常需要比非压摆算法更多的RAM，因此仅在参数在器件操作期间更改的情况下使用。

图54显示应用于正弦波的音量压摆的示例。

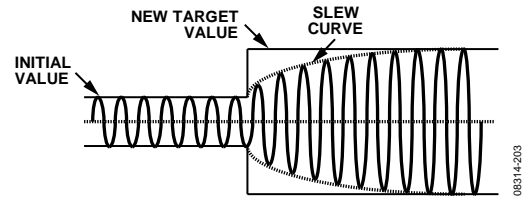


图54. 音量压摆示例

08314-203

应用信息

电源旁路电容

每个模拟和数字电源引脚都应通过一个100 nF电容旁路到其最近的适当接地引脚。电容各端的连接应尽可能短，走线应始终位于无通孔的单一层上。为获得最佳效果，电容与电源引脚和接地引脚的距离应相等；在无法进行等距放置的情况下，电容应略微靠近电源引脚。接地层的散热连接应位于电容的远端。

电路板上的每个电源信号也应通过一个大容量电容(10 μ F 至47 μ F)旁路。

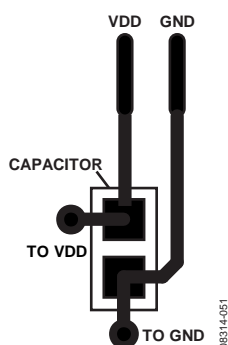


图55. 电源旁路电容的推荐布局

GSM噪声滤波器

在移动应用中，模拟电源引脚上的过大217 Hz GSM噪声会使音频信号质量下降。为了避免这一问题，建议在AVDD引脚的旁路电容上串联一个LC滤波器。此滤波器应由一个1.2 nH电感和一个9.1 pF电容构成，串联在AVDDx与地之间，如图56所示。

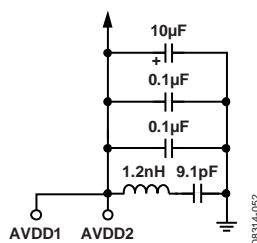


图56. 模拟电源引脚上的GSM滤波器

接地

应用布局中应使用单一接地层。模拟信号路径中的元件应远离数字信号放置。

扬声器驱动器电源走线(AVDD2)

为AVDD2引脚供电的走线具有比AVDD1引脚更高的电流要求(最高300 mA)。建议使用具有适当宽度的走线。

底部焊盘PCB设计

ADAU1781 LFCSP封装的底部有一个裸露焊盘。当利用输出驱动耳机负载时，此焊盘用于将封装耦合到PCB以便散热。设计ADAU1781的电路板时，应特别注意以下事项：

- 电路板从顶部到底部的所有层上都应有一个大小与底部焊盘相当的铜层，并且该铜层应在某处连接到专用铜板层(见图57)。
- 应设置通孔以连接所有铜层，实现有效散热和导电。例如，图58显示焊盘区域中有9个通孔，这些通孔以3英寸×3英寸的网格形式排列。

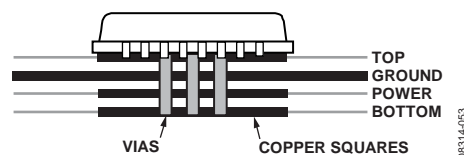


图57. 底部焊盘布局示例，侧视图

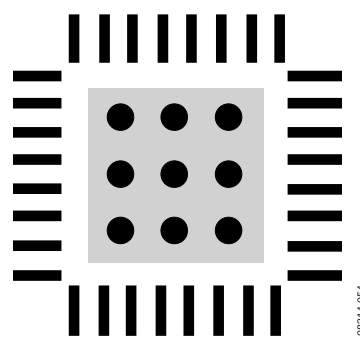


图58. 底部焊盘布局示例，俯视图

控制寄存器映射

除PLL控制寄存器外，所有寄存器均为1字节读写寄存器。

表33.

地址		名称
十六进制	十进制	
0x4000	16384	时钟控制
0x4001	16385	调节器控制
0x4002	16386	PLL控制(48位寄存器)
0x4008	16392	数字麦克风和模拟传呼控制
0x4009	16393	录音功耗管理
0x400E	16398	录音增益左PGA
0x400F	16399	录音增益右PGA
0x4010	16400	麦克风偏置控制和传呼使能
0x4015	16405	串行端口控制0
0x4016	16406	串行端口控制1
0x4017	16407	转换器控制0
0x4018	16408	转换器控制1
0x4019	16409	ADC控制
0x401A	16410	左ADC衰减器
0x401B	16411	右ADC衰减器
0x401C	16412	回放混频器左控制
0x401E	16414	回放混频器右控制
0x401F	16415	回放单声道混频器控制
0x4020	16416	回放箝位放大器控制
0x4025	16421	左线路输出静音
0x4026	16422	右线路输出静音
0x4027	16423	回放扬声器输出控制
0x4028	16424	传呼零交越检波器控制
0x4029	16425	回放功耗管理
0x402A	16426	DAC控制
0x402B	16427	左DAC衰减器
0x402C	16428	右DAC衰减器
0x402D	16429	串行端口焊盘控制0
0x402E	16430	串行端口焊盘控制1
0x402F	16431	通信端口焊盘控制0
0x4030	16432	通信端口焊盘控制1
0x4031	16433	MCKO控制
0x4032	16434	去抖动控制
0x4080	16512	数字关断0
0x4081	16513	数字关断1
0x40C6至0x40CA	16582至16586	GPIO引脚控制
0x03E8至0x03EC	1000至1004	GPIO引脚值寄存器
0x40E9至0x40EA	16617至16618	非模寄存器
0x40EB	16619	SigmaDSP内核帧速率
0x40F2	16626	串行输入路由控制
0x40F3	16627	串行输出路由控制
0x40F4	16628	串行数据/GPIO引脚配置
0x40F6	16630	SigmaDSP内核运行
0x40F8	16632	串行端口采样速率

时钟管理、内部调节器和PLL控制

时钟控制寄存器16384 (0x4000)

时钟控制寄存器设置ADAU1781的时钟方案。系统时钟可从PLL或直接从MCKI(主时钟输入)引脚产生。此外，可配置MCKO(主时钟输出)引脚。

MCKO频率位[6:5]

这些位将在MCKO上输出的频率设置为基本采样频率的倍数(32倍、64倍、128倍或256倍)。MCKO引脚可用于为数字麦克风提供时钟。

MCKO使能位4

此位使能或禁用MCKO引脚。

时钟源选择位3

时钟源选择位通过PLL路由由MCLK输入或旁路PLL。使用PLL时，PLL的输出始终是 $1024 \times f_s$ ，位[2:1]应设置为11。

PLL参数可在PLL控制寄存器中进行设置。直接来自MCKI的输入需要如输入主时钟频率部分、位[2:1]所述的准确时钟速率。

输入主时钟频率位[2:1]

允许的最大时钟速度为 1024×48 kHz。这些位为正确的时钟分频器值设置预期输入主时钟频率，以便输出 $256 \times f_s$ 的恒定系统时钟。使用PLL时，这些位必须始终设置为 $1024 \times f_s$ 。旁路PLL时，MCKI引脚上的外部时钟频率必须是 $256 \times f_s$ 、 $512 \times f_s$ 、 $768 \times f_s$ 或 $1024 \times f_s$ 。表35和表36分别针对44.1 kHz和48 kHz的基本采样频率显示系统时钟和内部主时钟间的关系。

内核时钟使能位0

此位使能内部主时钟以启动IC。

表34. 时钟控制寄存器

位	描述	默认值
7	保留	
[6:5]	MCKO频率 00: $32 \times f_s$ 01: $64 \times f_s$ 10: $128 \times f_s$ 11: $256 \times f_s$	00
4	MCKO使能 0: 禁用 1: 使能	0
3	时钟源选择 0: 直接来自MCKI引脚 1: PLL时钟	0
[2:1]	输入主时钟频率 00: $256 \times f_s$ 01: $512 \times f_s$ 10: $768 \times f_s$ 11: $1024 \times f_s$	00
0	内核时钟使能 0: 内核时钟禁用 1: 内核时钟使能	0

表35. $f_s = 44.1$ kHz时的内核时钟输出

MCLK输入设置	MCLK输入值	MCLK输入分频器	内核时钟
$256 \times f_s$	11.2896 MHz	1	11.2896 MHz
$512 \times f_s$	22.5792 MHz	2	11.2896 MHz
$768 \times f_s$	33.8688 MHz	3	11.2896 MHz
$1024 \times f_s$	45.1584 MHz	4	11.2896 MHz

表36. $f_s = 48$ kHz时的内核时钟输出

MCLK输入设置	MCLK输入值	MCLK输入分频器	内核时钟
$256 \times f_s$	12.288 MHz	1	12.288 MHz
$512 \times f_s$	24.576 MHz	2	12.288 MHz
$768 \times f_s$	36.864 MHz	3	12.288 MHz
$1024 \times f_s$	49.152 MHz	4	12.288 MHz

ADAU1781

调节器控制寄存器16385 (0x4001)

调节器输出电平位[2:1]

这些位为数字内核设置调节电压输出DVDDOUT。完成初始化序列后，调节器输出设置为1.4 V。当器件开始处理音频时，推荐调节器输出电平为1.5 V。因此，配置SigmaDSP内核时，此寄存器应设置为1.5 V。

PLL控制寄存器16386 (0x4002)

这是必须以单一突发写操作写入的48位寄存器。PLL操作参数用于将MCLK输入缩放至所需的时钟内核，以便获得适当的PLL时钟(PLL输出频率)。PLL可配置为小数N分频或整数N分频MCLK输入。

分母MSB位[47:40]

分母(M)的字节1，M[15:8]，用于反馈分频器的小数部分。此位与分母LSB M[7:0]连接。

分母LSB位[39:32]

分母(M)的字节0，M[7:0]，用于反馈分频器的小数部分。此位与分母MSB M[15:8]连接。

分子MSB位[31:24]

分子(N)的字节1，N[15:8]，用于反馈分频器的小数部分。此位与分子LSB N[7:0]连接。

分子LSB位[23:16]

分子(N)的字节0，N[7:0]，用于反馈分频器的小数部分。此位与分子MSB N[15:8]连接。

整数位[14:11]

用于整数N分频和小数PLL运算中的整数(R)参数。该值必须介于2和8之间。

输入分频器位[10:9]

输入分频器(X)分割输入时钟，以提供更广泛的输入时钟。

PLL类型位8

此位选择PLL运算类型：小数N分频或整数N分频。

小数型PLL

使用表39和表40中列出的参数(44.1 kHz和48 kHz的典型基本采样频率示例)将小数型MCLK输入相应缩放至所需的内核时钟输入。数值控制振荡器用于将PLL_CLK除以混合数字，该数字通过将整数部分(R)和小数部分(N/M)相加得出。

例如，如果MCLK为12 MHz，所需的时钟为12.288 MHz， f_s 为48 kHz，则PLL时钟为49.152 MHz，因为PLL时钟始终为 $1024 \times f_s$ ；所以

$$PLL\text{时钟}/MCLK = 4.096 = 4 + (12/125) = R + (N/M)$$

在此情况下，输入分频器为 $X = 1$ 。

这样MCLK输入便可以仿真所需时钟，并输出49.152 MHz PLL时钟。图29显示了PLL使用参数仿真所需12.288 MHz时钟的方式。

整数N分频型PLL

整数N分频MCLK输入是所需内核时钟的任意整数倍。小数部分(N/M)为0；不过，PLL类型位必须设为整数N分频。

PLL锁定位1

PLL锁定位是只读位。从该位读取1表示PLL已经锁定至输入主时钟。

PLL使能位0

此位使能PLL。

表37. 调节器控制寄存器

位	描述	默认值
[7:3]	保留	
[2:1]	调节器输出电平 00: 1.5 V 01: 1.4 V 10: 1.6 V 11: 1.7 V	01
0	保留	

表38. PLL控制寄存器

位	描述	默认值
[47:40]	分母MSB 00000000 和 00000000: M[15:8] 和 M[7:0] = 0 ... 00000000 和 11111101: M[15:8] 和 M[7:0] = 125 ... 11111111 和 11111111: M[15:8] 和 M[7:0] = 65,535	00000111
[39:32]	分母LSB 00000000 和 00000000: M[15:8] 和 M[7:0] = 0 ... 00000000 和 11111101: M[15:8] 和 M[7:0] = 125 ... 11111111 和 11111111: M[15:8] 和 M[7:0] = 65,535	01010011
[31:24]	分子MSB 00000000 和 00000000: N[15:8] 和 N[7:0] = 0 ... 00000000 和 00001100: N[15:8] 和 N[7:0] = 12 ... 11111111 和 11111111: N[15:8] 和 N[7:0] = 65,535	00000010
[23:16]	分子LSB 00000000 和 00000000: N[15:8] 和 N[7:0] = 0 ... 00000000 和 00001100: N[15:8] 和 N[7:0] = 12 ... 11111111 和 11111111: N[15:8] 和 N[7:0] = 65,535	10000111
15	保留	
[14:11]	整数 0010: R = 2 0011: R = 3 0100: R = 4 0101: R = 5 0110: R = 6 0111: R = 7 1000: R = 8	0011
[10:9]	输入分频器 00: 无分频 01: X = 2分频 10: X = 3分频 11: X = 4分频	00
8	PLL类型 0: 整数N分频 1: 小数	1
[7:2]	保留	
1	PLL锁定(只读) 0: 未锁定 1: 锁定(粘滞位)	1
0	PLL使能 0: 禁用 1: 使能	1

ADAU1781

表39. $f_s = 44.1$ kHz时的小数PLL参数设置($f_s = 44.1$ kHz, 内核时钟 = 256×44.1 kHz, PLL时钟 = 45.1584 MHz)

MCLK输入(MHz)	输入分频器(X)	整数(R)	分母(M)	分子(N)
12	1	3	625	477
13	1	3	8125	3849
14.4	1	3	125	17
19.2	1	2	125	44
19.68	1	2	2035	302
19.8	1	2	1375	386

表40. $f_s = 48$ kHz时的小数PLL参数设置($f_s = 48$ kHz, 内核时钟 = 256×48 kHz, PLL时钟 = 49.152 MHz)

MCLK输入(MHz)	输入分频器(X)	整数(R)	分母(M)	分子(N)
12	1	4	125	12
13	1	3	1625	1269
14.4	1	3	75	31
19.2	1	2	25	14
19.68	1	2	205	102
19.8	1	2	825	398

录音路径配置

数字麦克风和模拟传呼控制寄存器16392 (0x4008)

此寄存器控制数字麦克风设置和模拟传呼输入增益。

数字麦克风使能位[5:4]

这些位控制立体声数字麦克风的使能功能。使用数字麦克风时，模拟前端关断。

传呼输入静音位3

此位使传呼输入静音。

传呼输入增益位[2:0]

此位控制模拟传呼输入的增益设置；默认为0 dB，最高可设为32 dB。传呼信号必须在麦克风偏置控制和传呼使能寄存器16400 (0x4010)中使能。

表41. 数字麦克风和模拟传呼控制寄存器

位	描述	默认值
[7:6]	保留	
[5:4]	数字麦克风使能 00: 禁用 01: MICD1使能 10: MICD2使能 11: 保留	00
3	传呼输入静音 0: 静音 1: 取消静音	0
[2:0]	传呼输入增益。请注意，设为100表示将输入传呼增益设置为-23 dB。 000: 0 dB 001: +6 dB 010: +10 dB 011: +14 dB 100: -23 dB 101: +20 dB 110: +26 dB 111: +32 dB	000

ADAU1781

录音功耗管理寄存器16393 (0x4009)

此寄存器管理录音路径的功耗。具体来说，混频器增强、ADC、前端混频器和PGA的电流分配可以设置为四种模式之一。可影响器件性能的四工作模式是正常工作、省电模式、增强性能模式和超级省电模式。正常工作的基极电流为2.5 μA ，增强性能模式的基极电流为3 μA ，省电模式的基极电流为2 μA ，超级省电模式的基极电流为1.5 μA 。增强性能模式提供最高性能，但功耗也最高。

混频器放大器增强位[6:5]

这些位设置前端混频器增强的工作功耗模式。在较高AVDD1电平下，失真问题可能影响性能。每个增强级均会增强3.3 V AVDD1下的THD + N性能。

ADC偏置控制位[4:3]

这些位根据所选的工作模式设置ADC的偏置电流。

前端偏置控制位[2:1]

这些位设置前端录音路径中的PGA和混频器的偏置电流。

表42. 录音功耗管理寄存器

位	描述	默认值
7	保留	
[6:5]	混频器放大器增强 00: 正常工作 01: 增强级1 10: 增强级2 11: 增强级3	00
[4:3]	ADC偏置控制 00: 正常工作 01: 超级省电 10: 省电 11: 增强性能	00
[2:1]	前端偏置控制 00: 正常工作 01: 超级省电 10: 省电 11: 增强性能	00
0	保留	

录音增益左PGA寄存器16398 (0x400E)

录音增益左PGA控制寄存器控制左通道输入PGA。此寄存器配置差分或单端信号的输入，并设置左通道输入录音音量。

左输入增益位[7:5]

这些位设置左通道模拟麦克风输入PGA增益。

单端左输入使能位2

如果此位为高(使能)，单端输入可在LMIC引脚上输入，并由PGA提供增益。正差分输入引脚(LMICP)禁用，PGA互补输入切换至共模。

录音路径左静音位1

此位使左通道输入PGA静音。

左PGA使能位0

此位使能左通道输入PGA。

表43. 录音增益左PGA寄存器

位	描述	默认值
[7:5]	左输入增益 000: 0 dB 001: 6 dB 010: 10 dB 011: 14 dB 100: 17 dB 101: 20 dB 110: 26 dB 111: 32 dB	000
[4:3]	保留	
2	单端左输入使能 0: 禁用 1: 使能	0
1	录音路径左静音 0: 静音 1: 取消静音	0
0	左PGA使能 0: 禁用 1: 使能	0

ADAU1781

录音增益右PGA寄存器16399 (0x400F)

录音增益右PGA控制寄存器控制右通道输入PGA。此寄存器配置差分或单端信号的输入，并设置右通道输入录音音量。

右输入增益位[7:5]

这些位设置右通道模拟麦克风输入PGA增益。

单端右输入使能位2

如果此位为高(使能)，单端输入可在RMIC引脚上输入，并

由PGA提供增益。正差分输入引脚(RMICP)禁用，PGA互补输入切换至共模。

录音路径右静音位1

此位使整个右通道输入PGA静音。

右PGA使能位0

此位使能右通道输入PGA。

表44. 录音增益右PGA寄存器

位	描述	默认值
[7:5]	右输入增益 000: 0 dB 001: 6 dB 010: 10 dB 011: 14 dB 100: 17 dB 101: 20 dB 110: 26 dB 111: 32 dB	000
[4:3]	保留	
2	单端右输入使能 0: 禁用 1: 使能	0
1	录音路径右静音 0: 静音 1: 取消静音	0
0	右PGA使能 0: 禁用 1: 使能	0

麦克风偏置控制和传呼使能寄存器16400 (0x4010)

传呼输入使能位4

此位使能输入BEEP引脚的传呼信号。将此位设为0可使所有输出路径的传呼信号静音。

麦克风高性能位3

此位通过提供更多电流到麦克风，使麦克风偏置进入高性能模式。

麦克风增益位2

提供两个电压偏置选项： $0.65 \times AVDD1$ 和 $0.90 \times AVDD1$ 。高偏置有助于高麦克风增益。可从MICBIAS吸取的最大电流为5 mA。

麦克风偏置使能位0

此位使能MICBIAS输出。

表45. 麦克风偏置控制和传呼使能寄存器

位	描述	默认值
[7:5]	保留	
4	传呼输入使能 0: 禁用 1: 使能	0
3	麦克风高性能 0: 高功耗 1: 低性能	0
2	麦克风增益 0: 使能 1: 禁用	0
1	保留	
0	麦克风偏置使能 0: 禁用 1: 使能	0

ADAU1781

串行端口配置

串行端口控制0寄存器16405 (0x4015)

LRCLK模式位5

此位将串行端口帧时钟(LRCLK)设置为50%占空比波形或脉冲同步波形。在从机模式下，脉冲宽度至少应为1 BCLK周期，以保证数据传输正确。

BCLK极性位4

该位设置位时钟(BCLK)信号的极性。此设置决定数据和帧时钟信号是在BCLK信号的上升(+)沿还是下降(-)沿改变(参见图59)。标准I2S信号使用负BCLK极性。

LRCLK极性位3

LRCLK的极性决定左立体声通道是在LRCLK信号的上升(+)沿还是下降(-)沿启动(参见图60)。标准I2S信号使用负LRCLK极性。

每帧通道位[2:1]

这些位设置数据流内包含的通道数(参见图61)。可能的选择有立体声(用于标准I2S信号)、TDM 4(4通道时分多工流)或TDM 8(8通道时分多工流)。TDM输出模式是简单的多通道数据流，数据引脚在未输出数据期间不会变为高阻抗状态。

在TDM流内，通道成对分组，如图62所示。

串行数据端口模式位0

此位将时钟引脚设为主模式或从模式。主模式使能时，LRCLK和BCLK均为串行端口的总线主机。

表46. 串行端口控制0寄存器

位	描述	默认值
[7:6]	保留	
5	LRCLK模式 0: 50%占空比时钟 1: 脉冲模式；脉冲至少应为1 BCLK宽	0
4	BCLK极性 0: 数据在下降(-)沿改变 1: 数据在上升(+)沿改变	0
3	LRCLK极性 0: 左帧在下降(-)沿启动 1: 左帧在上升(+)沿启动	0
[2:1]	每帧通道 00: 立体声(2个通道) 01: TDM 4(4个通道) 10: TDM 8(8个通道) 11: 保留	00
0	串行数据端口模式 0: 从机模式 1: 主机模式	0

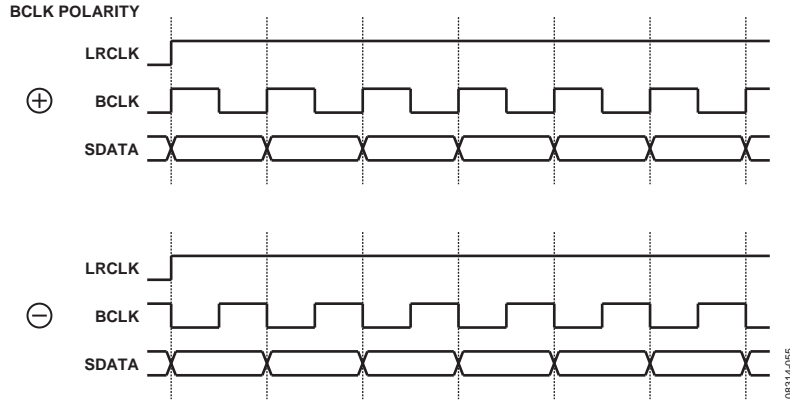


图59. 串行端口BCLK极性

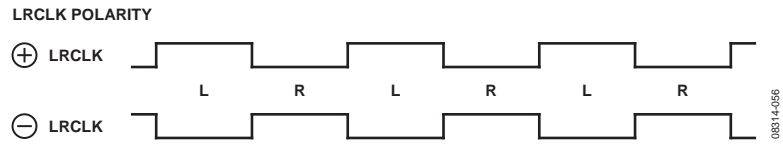


图60. 串行端口LRCLK极性

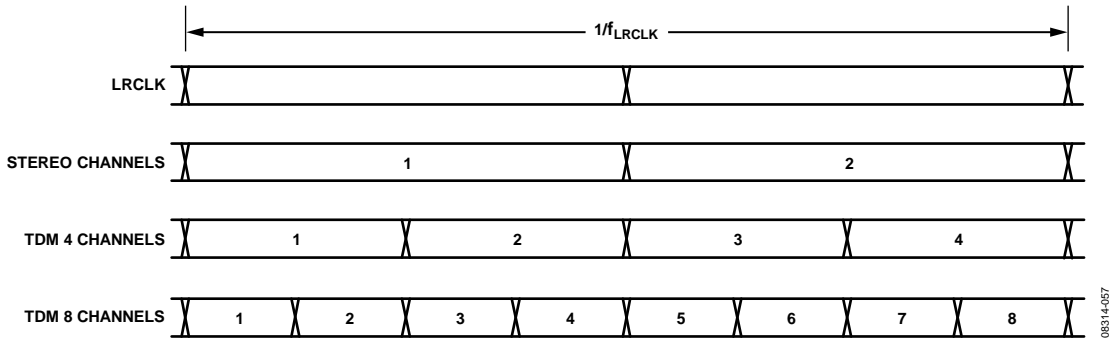


图61. 每帧通道

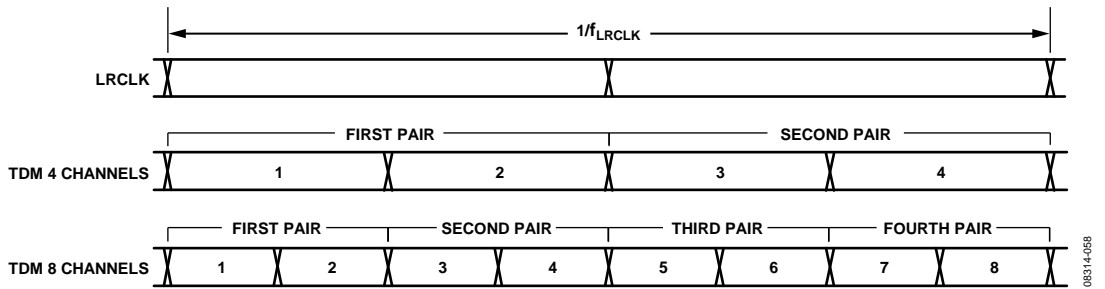


图62. TDM通道对

ADAU1781

串行端口控制1寄存器16406 (0x4016)

每帧位时钟周期数位[7:5]

这些位设置一个LRCLK周期内包含的BCLK周期数。BCLK的频率通过将每帧位时钟周期数乘以串行端口采样速率计算得出，单位为赫兹。图63和图64显示了这些位的不同设置示例。

TDM内ADC通道位置位4

此寄存器设置通过串行输出端口输出时的ADC通道顺序。设为0使各TDM通道对中的左通道优先。设为1使各TDM通道对中的右通道优先。此位应配合转换器控制1寄存器16408 (0x4018)的位[1:0](TDM模式下的片内ADC数据选择)进行设置，以便选择数据在TDM流中出现的位置。图65显示了0设置，图66显示了1设置。

TDM内DAC通道位置位3

此寄存器设置通过串行输出端口输出时的DAC通道顺序。设为0使各TDM通道对中的左通道优先。设为1使各TDM通道对中的右通道优先。此位应配合转换器控制0寄存器16407 (0x4017)的位[6:5](TDM模式下的片内DAC数据选择)进行设置，以便选择数据在TDM流中出现的位置。图65显示了0设置，图66显示了1设置。

MSB位置位2

此位设置数据流的位级字节序(或位序)。设为0为从大到小顺序，MSB在数据流内排在最前，LSB排在最后。设为1为从小到大顺序，LSB在数据流内排在最前，MSB排在最后。图67显示了使用MSB延迟0配置的24位音频流的两种设置示例。图67中，M代表MSB，L代表LSB。

自LRCLK边沿起的数据延迟位[1:0]

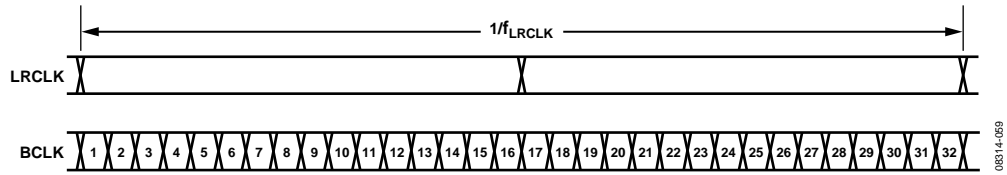
这些位设置LRCLK边沿和数据流内第一数据位之间的延迟。I²S标准是一个BCLK周期的延迟。图68显示不同数据延迟设置示例，其中使用每帧64 BCLK周期、24位音频数据、从大到小位序配置。图68中，M代表音频通道数据的最高有效位，L代表最低有效位。

图68中的第一个示例设置(延迟0)代表左对齐模式，因为最低有效位与音频帧的起点对准。第三个示例设置(延迟8)代表右对齐模式，因为最低有效位与音频帧的末端对准。延迟16设置在此模式下无效，因为音频数据会超出帧时钟周期的边界。

图69显示每帧64 BCLK周期的16位音频流的延迟16示例。

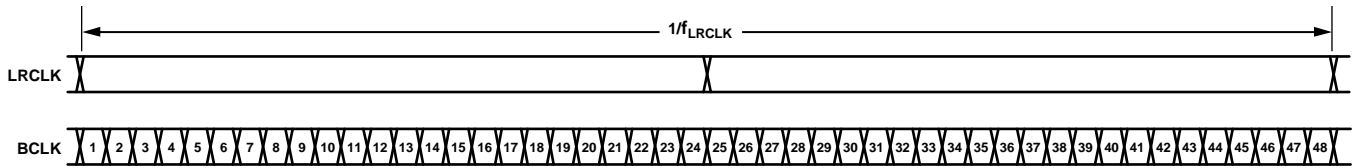
表47. 串行端口控制1寄存器

位	描述	默认值
[7:5]	每帧位时钟周期数 000: 64 001: 32 010: 48 011: 128 100: 256 101: 保留 110: 保留 111: 保留	000
4	TDM内ADC通道位置 0: 左优先 1: 右优先	0
3	TDM内DAC通道位置 0: 左优先 1: 右优先	0
2	MSB位置 0: MSB优先 1: MSB最后	0
[1:0]	自LRCLK边沿起的数据延迟 00: 1 BCLK周期 01: 0 BCLK周期 10: 8 BCLK周期 11: 16 BCLK周期	00



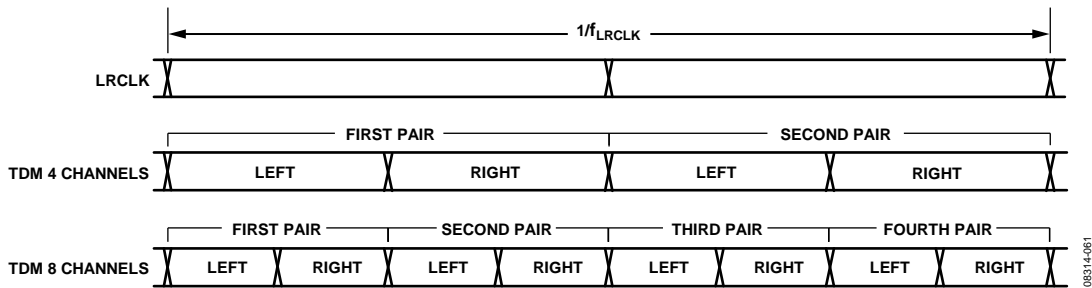
08314-069

图63. 示例：每帧32 BCLK周期



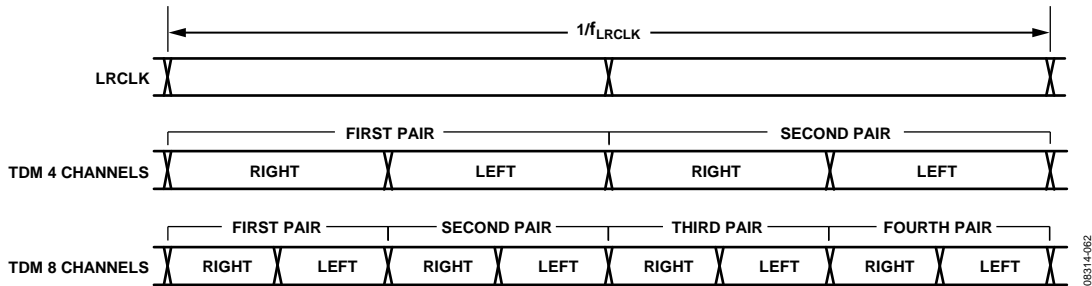
08314-060

图64. 示例：每帧48 BCLK周期



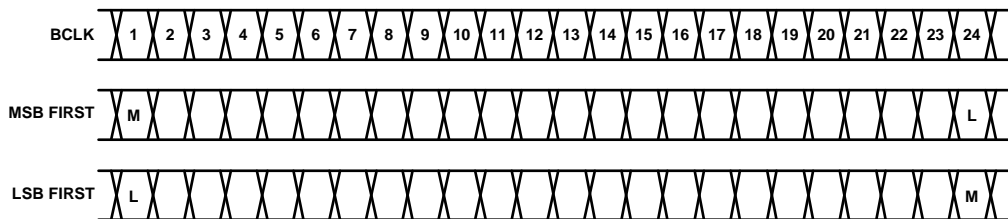
08314-061

图65. TDM内的左优先通道选择



08314-062

图66. TDM内的右优先通道选择



08314-063

图67. MSB位置设置

ADAU1781

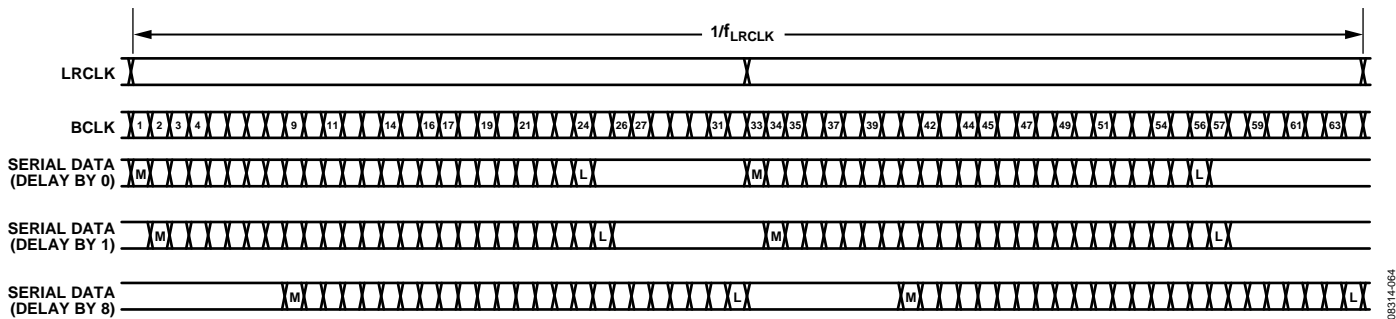


图68. 串行音频数据延迟示例设置

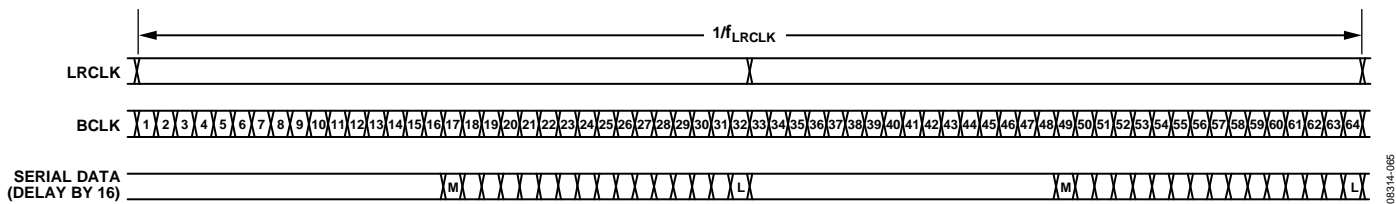


图69. 串行音频数据延迟16示例

音频转换器配置

转换器控制0寄存器16407 (0x4017)

TDM模式下的片内DAC数据选择位[6:5]

这些位设置TDM流上DAC输入通道的位置。TDM 4模式下，有效设置是第一对或第二对。TDM 8模式下，有效设置是第一对、第二对、第三对或第四对。这些位应配合串行端口控制1寄存器16406 (0x4016)的TDM内DAC通道位置位3进行设置，以便选择数据在TDM流中出现的位置。

图70、图71和图72显示了不同TDM设置的示例。

DAC过采样率位4

此位设置DAC相对于音频采样速率的过采样率。高速率可带来较好的音频质量，但会增加功耗。

ADC过采样率位3

此位设置ADC相对于音频采样速率的过采样率。高速率可带来较好的音频质量，但会增加功耗。

转换器采样速率位[2:0]

这些位设置音频ADC和DAC相对于SigmaDSP内核音频采样速率的采样速率。

表48. 转换器控制0寄存器

位	描述	默认值
7	保留	
[6:5]	TDM模式下的片内DAC数据选择 00: 第一对 01: 第二对 10: 第三对 11: 第四对	00
4	DAC过采样率 0: 128 1: 64	0
3	ADC过采样率 0: 128 1: 64	0
[2:0]	转换器采样速率；括号中的数字是针对48 kHz基本采样速率的示例值 000: f_s (48 kHz) 001: $f_s/6$ (8 kHz) 010: $f_s/4$ (12 kHz) 011: $f_s/3$ (16 kHz) 100: $f_s/2$ (24 kHz) 101: $f_s/1.5$ (32 kHz) 110: $f_s \times 2$ (96 kHz) 111: 保留	000

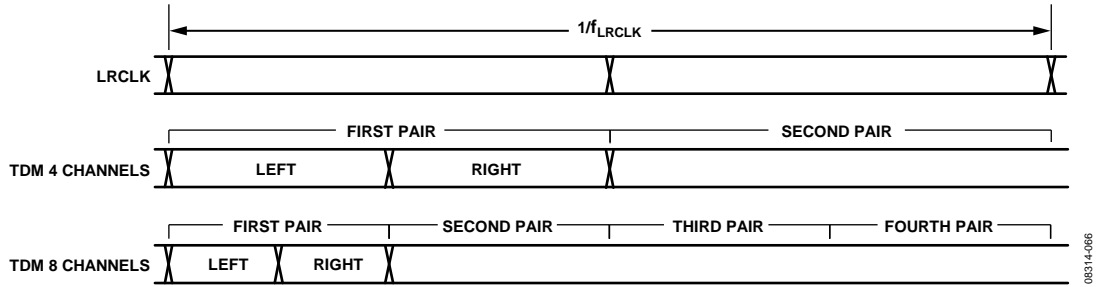


图70. 左通道优先示例，第一对TDM设置

08314-066

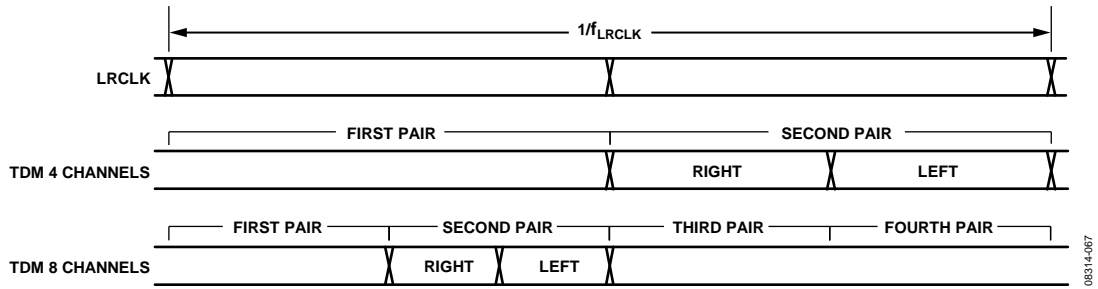


图71. 右通道优先示例，第二对TDM设置

08314-067

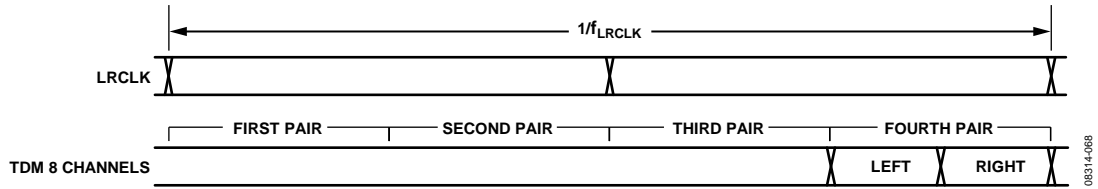


图72. 左通道优先示例，第四对TDM设置

08314-068

转换器控制1寄存器16408 (0x4018)

TDM模式下的片内ADC数据选择位[1:0]

这些位设置TDM流上ADC输出通道的位置。TDM 4模式下，有效设置是第一对或第二对。TDM 8模式下，有效设置是第一对、第二对、第三对或第四对。这些位应配合串

行端口控制1寄存器16406 (0x4016)的TDM内ADC通道位置位4进行设置，以便选择数据在TDM流中出现的位置。

图70、图71和图72显示了不同TDM设置的示例。

表49. 转换器控制1寄存器

位	描述	默认值
[7:2]	保留	
[1:0]	TDM模式下的片内ADC数据选择 00: 第一对 01: 第二对 10: 第三对 11: 第四对	00

ADAU1781

ADC控制寄存器16409 (0x4019)

反转输入极性位6

此位使能ADC路径内的可选极性反相器，后者是增益为-1的放大器，代表180°相移。

高通滤波器选择位5

此位使能ADC路径内的可选高通滤波器， $f_s = 48$ kHz时其截止频率为2 Hz。截止频率与 f_s 成线性比例关系。

数字麦克风数据极性交换位4

此位反转数字麦克风数据流的有效数据状态极性。典型PDM麦克风可将数据输出引脚驱动至高电平和低电平之一。此位必须执行相应配置，以识别麦克风的有效输出状态。默认状态为负，意味着ADAU1781将数字逻辑低电平信号识别为PDM信号内的脉冲。

表50. ADC控制寄存器

位	描述	默认值
7	保留	
6	反转输入极性 0: 正常 1: 反转	0
5	高通滤波器选择 0: 禁用 1: 使能	0
4	数字麦克风数据极性交换 0: 负 1: 正	0
3	数字麦克风通道交换 0: 标准模式 1: 交换模式	0
2	数字麦克风输入选择 0: 数字麦克风输入关闭 1: 选择数字麦克风输入，ADC关闭	0
[1:0]	ADC使能 00: 左右均关闭 01: 左使能 10: 右使能 11: 左右均使能	00

数字麦克风通道交换位3

此位允许数字麦克风输入的左右通道交换。标准模式是上升沿上是左通道，下降沿上是右通道。交换模式是上升沿上是右通道，下降沿上是左通道。

数字麦克风输入选择位2

要使用数字麦克风输入，必须使能此位。此位置位时，片内ADC关闭，BCLK为主时钟($128 \times f_s$)，ADC_SDATA的左右通道交错。要使用ADC，必须禁用此位。

ADC使能位[1:0]

要使用ADC，必须配置这些位。ADC通道可单独使能或禁用。

左ADC衰减器寄存器16410 (0x401A)

左ADC数字衰减器位[7:0]

这些位控制256步进、对数间隔音量控制，范围从0 dB至-95.625 dB，增量为0.375 dB。当新值进入此寄存器时，音量控制逐步摆动至新值，从而避免流程中产生爆音与咔嚓声。摆动斜坡是对数的，每个音频帧递增0.375 dB。

右ADC衰减器寄存器16411 (0x401B)

右ADC数字衰减器位[7:0]

这些位控制256步进、对数间隔音量控制，范围从0 dB至-95.625 dB，增量为0.375 dB。当新值进入此寄存器时，音量控制逐步摆动至新值，从而避免流程中产生爆音与咔嚓声。摆动斜坡是对数的，每个音频帧递增0.375 dB。

表51. 左ADC衰减器寄存器

位	描述	默认值
[7:0]	左ADC数字衰减器；衰减随每个压摆步进递增，增量为0.375 dB 00000000: 0 dB 00000001: -0.375 dB 00000010: -0.75 dB ... 11111110: -95.25 dB 11111111: -95.625 dB	00000000

表52. 右ADC衰减器寄存器

位	描述	默认值
[7:0]	右ADC数字衰减器；衰减随每个压摆步进递增，增量为0.375 dB 00000000: 0 dB 00000001: -0.375 dB 00000010: -0.75 dB ... 11111110: -95.25 dB 11111111: -95.625 dB	00000000

ADAU1781

回放路径配置

回放混频器左控制寄存器16412 (0x401C)

左DAC静音位5

此位使左DAC输出静音。无任何摆动，寄存器写操作完成后立即更新。这样可导致音频输出的突然截止，因此之前应在SigmaDSP内核中执行软静音或使用DAC衰减器进行压摆静音。

左回放传呼增益位[4:1]

这些位设置左回放路径内传呼信号的增益。如果激活零交越检波器，则在下一次检测到零交越或者超时周期届满时施加增益变化，以较早者为准。增益控制增量为3 dB，每次递增不应超过3 dB，以避免输出端产生声频伪像。

回放混频器右控制寄存器16414 (0x401E)

右DAC静音位6

此位使右DAC输出静音。无任何摆动，寄存器写操作完成后立即更新。这样可导致音频输出的突然截止，因此之前应在SigmaDSP内核中执行软静音或使用DAC衰减器进行压摆静音。

右回放传呼增益位[4:1]

这些位设置右回放路径内传呼信号的增益。如果激活零交越检波器，则在下一次检测到零交越或者超时周期届满时施加增益变化，以较早者为准。增益控制增量为3 dB，每次递增不应超过3 dB，以避免输出端产生声频伪像。

表53. 回放混频器左控制寄存器

位	描述	默认值
[7:6]	保留	
5	左DAC静音 0: 静音 1: 取消静音	0
[4:1]	左回放传呼增益 0000: 静音 0001: -15 dB 0010: -12 dB 0011: -9 dB 0100: -6 dB 0101: -3 dB 0110: 0 dB 0111: +3 dB 1000: +6 dB	0000
0	保留	

表54. 回放混频器右控制寄存器

位	描述	默认值
7	保留	
6	右DAC静音 0: 静音 1: 取消静音	0
5	保留	
[4:1]	右回放传呼增益 0000: 静音 0001: -15 dB ... 1000: +6 dB	0000
0	保留	

回放单声道混频器控制寄存器16415 (0x401F)

左DAC静音位7

此位使左DAC输出静音，但不会关断DAC。使用此位无省电效果。

右DAC静音位6

此位使右DAC输出静音，但不会关断DAC。使用此位无省电效果。

单声道回放传呼增益位[5:2]

这些位设置单声道模式下传呼输出信号的增益。如果零交越检波器处于活动状态，则传呼信号发生下一次零交越或发生超时增益改变，以较早者为准。

单声道输出静音位0

此位使单声道线路输出静音。

回放箝位放大器控制寄存器16416 (0x4020)

回放箝位放大器是线路输出路径上的放大器。如果使用左线路输出静音寄存器16421 (0x4025)或右线路输出静音寄存器16422 (0x4026)使线路输出静音，此放大器用于保持线路输出引脚上的共模电压。这有助于避免线路输出重新使能时产生爆音或咔嚓声。

箝位放大器省电模式位1

箝位放大器有两种工作模式：高功耗模式和低功耗模式。高功耗模式提供更多电流，以在输出引脚上保持稳定的共模电压。根据工作条件，低功耗模式可能不太稳定，但可节省数毫安。

箝位放大器控制位0

此位使能或禁用箝位放大器。默认情况下使能。在使用线路输出的系统中，箝位放大器通常应使能。

表55. 回放单声道混频器控制寄存器

位	描述	默认值
7	左DAC静音 0: 静音 1: 取消静音	0
6	右DAC静音 0: 静音 1: 取消静音	0
[5:2]	单声道回放传呼增益 0000: 静音 0001: -15 dB 0010: -12 dB 0011: -9 dB 0100: -6 dB 0101: -3 dB 0110: 0 dB 0111: +3 dB 1000: +6 dB	0000
1	保留	
0	单声道输出静音(低电平有效) 0: 静音 1: 取消静音	0

表56. 回放箝位放大器控制寄存器

位	描述	默认值
[7:2]	保留	
1	箝位放大器省电模式 0: 高功耗 1: 低功耗	1
0	箝位放大器省电模式 0: 高功耗 1: 低功耗	0

ADAU1781

左线路输出静音寄存器16421 (0x4025)

左线路输出静音位1

此位使左线路输出静音。它对扬声器输出无任何效果。

右线路输出静音寄存器16422 (0x4026)

右线路输出静音位1

此位使右线路输出静音。它对扬声器输出无任何效果。

表57. 左线路输出静音寄存器

位	描述	默认值
[7:2]	保留	
1	左线路输出静音(低电平有效) 0: 静音 1: 取消静音	0
0	保留	

表58. 右线路输出静音寄存器

位	描述	默认值
[7:2]	保留	
1	右线路输出静音(低电平有效) 0: 静音 1: 取消静音	0
0	保留	

回放扬声器输出控制寄存器16423 (0x4027)

扬声器输出增益控制位[7:6]

这些位控制扬声器输出的增益。一般而言，此参数应在系统级上进行调谐，在系统初始化期间设置一次，且在系统工作期间不改变。

扬声器输出使能位0

此位使能扬声器输出。它可以启动扬声器上电和掉电序列，如图35和图36所示。

传呼零交越检波器控制寄存器16424 (0x4028)

检波器超时位[4:3]

超时检波器在指定时间内等待传呼零交越，然后在回放路径传呼增益(即左回放传呼增益、右回放传呼增益和单声道回放传呼增益)内强制静音或取消静音。

零交越检波器使能位0

此位使能零交越检波器。使用传呼路径时，禁用传呼零交越检波器可导致输出端产生咔嚓声与爆音。

表59. 回放扬声器输出控制寄存器

位	描述	默认值
[7:6]	扬声器输出增益控制 00: 0 dB 01: 2 dB 10: 4 dB 11: 6 dB	00
[5:1]	保留	
0	扬声器输出使能 0: 禁用 1: 使能	0

表60. 传呼零交越检波器控制寄存器

位	描述	默认值
[7:5]	保留	
[4:3]	检波器超时 00: 20 ms 01: 10 ms 10: 5 ms 11: 2.5 ms	11
[2:1]	保留	
0	零交越检测器使能 0: 禁用 1: 使能	1

ADAU1781

回放功耗管理寄存器16425 (0x4029)

此寄存器控制供应至每个所述功能模块的单位电流。功能模块内的电流可以倍增。正常工作的基极电流为2.5 μ A，增强性能模式的基极电流为3 μ A，省电模式的基极电流为2 μ A，超级省电模式的基极电流为1.5 μ A。增强性能模式提供最佳音频质量，但使用的电流也最多。

扬声器放大器偏置控制位[7:6]

这些位控制分配给扬声器放大器的单位偏置电流量。

DAC偏置控制位[5:4]

这些位控制分配给DAC的单位偏置电流量。

后端偏置控制位[3:2]

这些位控制分配给回放混频器和放大器的单位偏置电流量。

后端右使能位1

此位使能回放混频器和放大器。

后端左使能位0

此位使能回放混频器和放大器。

表61. 回放功耗管理寄存器

位	描述	默认值
[7:6]	扬声器放大器偏置控制 00: 正常工作 01: 省电 10: 增强性能 00: 保留	00
[5:4]	DAC偏置控制 00: 正常工作 01: 超级省电 10: 省电 00: 增强性能	00
[3:2]	后端偏置控制 00: 正常工作 01: 超级省电 10: 省电 00: 增强性能	00
1	后端右使能 0: 禁用 1: 使能	0
0	后端左使能 0: 禁用 1: 使能	0

DAC控制寄存器16426 (0x402A)

单声道模式位[7:6]

这些位控制DAC的输出模式。将这些位设为00可输出左右两个不同通道。将这些位设为01可在左右输出上同时输出左输入通道，右输入通道丢失。将这些位设为10可在左右输出上同时输出右输入通道，左输入通道丢失。将这些位设为11可混合左右输入通道，并在左右输出上同时输出混合单声道信号。

反转输入极性位5

此位向DAC输出信号应用-1的增益或180°相移。

DAC去加重滤波器使能位2

此位使能去加重滤波器，应在预加重信号被输入DAC时使用。

DAC使能位[1:0]

这些位允许单独使能或禁用DAC。禁用未使用的DAC可以明显降低功耗。

表62. DAC控制寄存器

位	描述	默认值
[7:6]	单声道模式 00: 立体声输出 01: 左右均输出左通道 10: 左右均输出右通道 11: 左右均输出左/右混合	00
5	反转输入极性 0: 正常 1: 反转	0
[4:3]	保留	
2	DAC去加重滤波器使能 0: 禁用 1: 使能	0
[1:0]	DAC使能 00: 左右均关闭 01: 左使能 10: 右使能 11: 左右均使能	00

ADAU1781

左DAC衰减器寄存器16427 (0x402B)

左DAC数字衰减器位[7:0]

这些位控制256步进、对数间隔音量控制，范围从0 dB至-95.625 dB，增量为0.375 dB。当新值进入此寄存器时，音量控制逐步摆动至新值，从而避免流程中产生爆音与咔嚓声。摆动斜坡是对数的，每个音频帧递增0.375 dB。

右DAC衰减器寄存器16428 (0x402C)

右DAC数字衰减器位[7:0]

这些位控制256步进、对数间隔音量控制，范围从0 dB至-95.625 dB，增量为0.375 dB。当新值进入此寄存器时，音量控制逐步摆动至新值，从而避免流程中产生爆音与咔嚓声。摆动斜坡是对数的，每个音频帧递增0.375 dB。

表63. 左DAC衰减器寄存器

位	描述	默认值
[7:0]	左DAC数字衰减器，随每个压摆步进递增，增量为0.375 dB 00000000: 0 dB 00000001: -0.375 dB 00000010: -0.75 dB ... 11111110: -95.25 11111111: -95.625 dB	00000000

表64. 右DAC衰减器寄存器

位	描述	默认值
[7:0]	右DAC数字衰减器，随每个压摆步进递增，增量为0.375 dB 00000000: 0 dB 00000001: -0.375 dB 00000010: -0.75 dB ... 11111110: -95.25 11111111: -95.625 dB	00000000

焊盘配置

图73显示GPIO/串行端口和通信端口引脚的焊盘设计框图。

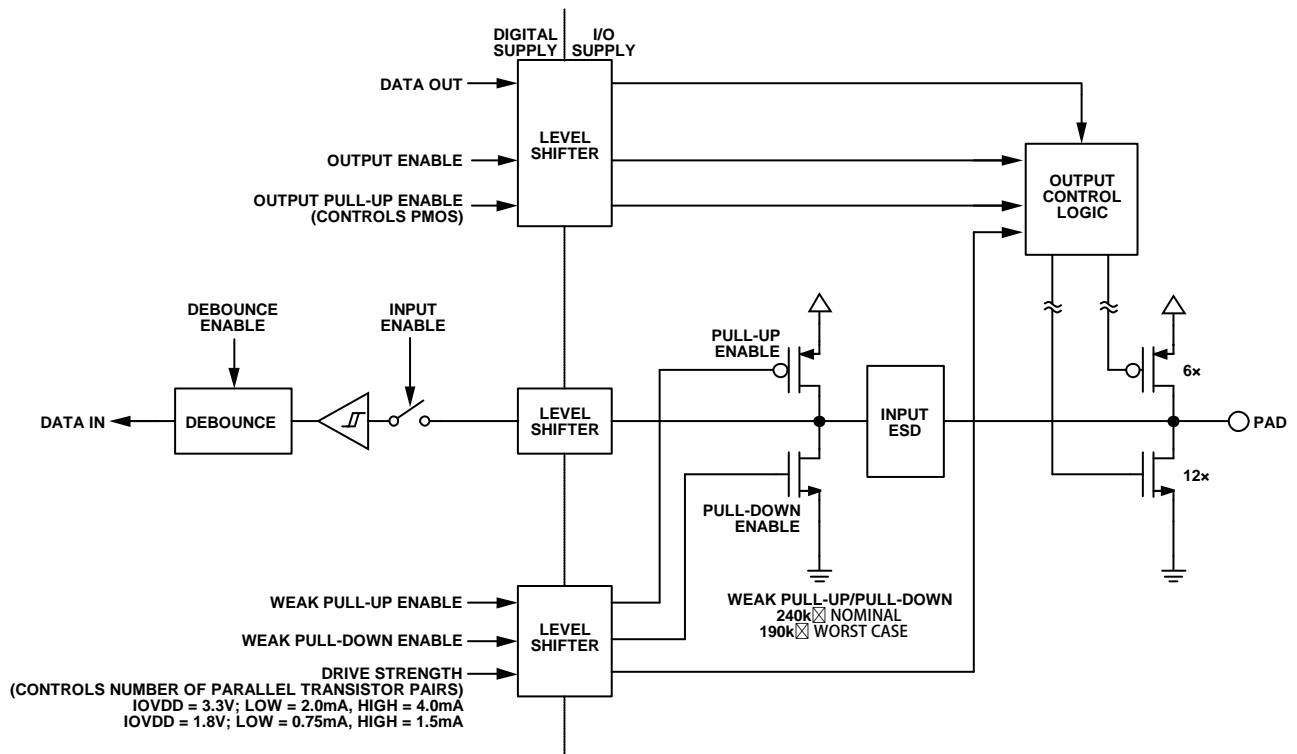


图73. 焊盘配置、内部设计

08314-089

ADAU1781

串行端口焊盘控制0寄存器16429 (0x402D)

ADC_SDATA焊盘上拉/下拉位[7:6]

这些位使能或禁用焊盘上的弱上拉或下拉器件。上拉或下拉器件的有效电阻标称值为240 kΩ。

DAC_SDATA焊盘上拉/下拉位[5:4]

这些位使能或禁用焊盘上的弱上拉或下拉器件。上拉或下拉器件的有效电阻标称值为240 kΩ。

LRCLK焊盘上拉/下拉位[3:2]

这些位使能或禁用焊盘上的弱上拉或下拉器件。上拉或下拉器件的有效电阻标称值为240 kΩ。

BCLK焊盘上拉/下拉位[1:0]

这些位使能或禁用焊盘上的弱上拉或下拉器件。上拉或下拉器件的有效电阻标称值为240 kΩ。

表65. 串行端口焊盘控制0寄存器

位	描述	默认值
[7:6]	ADC_SDATA焊盘上拉/下拉 00: 上拉 01: 保留 10: 无(默认) 11: 下拉	11
[5:4]	DAC_SDATA焊盘上拉/下拉 00: 上拉 01: 保留 10: 无(默认) 11: 下拉	11
[3:2]	LRCLK焊盘上拉/下拉 00: 上拉 01: 保留 10: 无(默认) 11: 下拉	11
[1:0]	LRCLK焊盘上拉/下拉 00: 上拉 01: 保留 10: 无(默认) 11: 下拉	11

串行端口焊盘控制1寄存器16430 (0x402E)**ADC_SDATA引脚驱动强度位3**

此位设置ADC_SDATA引脚的驱动强度。IOVDD = 3.3 V时低强度模式产生2 mA，IOVDD = 1.8 V时产生0.75 mA。IOVDD = 3.3 V时高强度模式产生4 mA，IOVDD = 1.8 V时产生1.5 mA。

DAC_SDATA引脚驱动强度位2

此位设置DAC_SDATA引脚的驱动强度。IOVDD = 3.3 V时低强度模式产生2 mA，IOVDD = 1.8 V时产生0.75 mA。IOVDD = 3.3 V时高强度模式产生4 mA，IOVDD = 1.8 V时产生1.5 mA。

LRCLK引脚驱动强度位1

此位设置LRCLK引脚的驱动强度。IOVDD = 3.3 V时低强度模式产生2 mA，IOVDD = 1.8 V时产生0.75 mA。IOVDD = 3.3 V时高强度模式产生4 mA，IOVDD = 1.8 V时产生1.5 mA。

BCLK引脚驱动强度位0

此位设置BCLK引脚的驱动强度。IOVDD = 3.3 V时低强度模式产生2 mA，IOVDD = 1.8 V时产生0.75 mA。IOVDD = 3.3 V时高强度模式产生4 mA，IOVDD = 1.8 V时产生1.5 mA。

表66. 串行端口焊盘控制1寄存器

位	描述	默认值
[7:4]	保留	
3	ADC_SDATA引脚驱动强度 0: 低 1: 高	0
2	DAC_SDATA引脚驱动强度 0: 低 1: 高	0
1	DAC_SDATA引脚驱动强度 0: 低 1: 高	0
0	BCLK引脚驱动强度 0: 低 1: 高	0

ADAU1781

通信端口焊盘控制0寄存器16431 (0x402F)

CDATA焊盘上拉/下拉位[7:6]

这些位使能或禁用焊盘上的弱上拉或下拉器件。上拉或下拉器件的有效电阻标称值为240 kΩ。

CLATCH焊盘上拉/下拉位[5:4]

这些位使能或禁用焊盘上的弱上拉或下拉器件。上拉或下拉器件的有效电阻标称值为240 kΩ。

SCL/CCLK焊盘上拉/下拉位[3:2]

这些位使能或禁用焊盘上的弱上拉或下拉器件。上拉或下拉器件的有效电阻标称值为240 kΩ。

SDA/COOUT焊盘上拉/下拉位[1:0]

这些位使能或禁用焊盘上的弱上拉或下拉器件。上拉或下拉器件的有效电阻标称值为240 kΩ。

表67. 通信端口焊盘控制0寄存器

位	描述	默认值
[7:6]	CDATA焊盘上拉/下拉 00: 上拉 01: 保留 10: 无(默认) 11: 下拉	11
[5:4]	CLATCH 焊盘上拉/下拉 00: 上拉 01: 保留 10: 无(默认) 11: 下拉	00
[3:2]	SCL/CCLK焊盘上拉/下拉 00: 上拉 01: 保留 10: 无(默认) 11: 下拉	11
[1:0]	SDA/COOUT焊盘上拉/下拉 00: 上拉 01: 保留 10: 无(默认) 11: 下拉	11

通信端口焊盘控制1寄存器16432 (0x4030)**CDATA引脚驱动强度位3**

此位设置CDATA引脚的驱动强度。IOVDD = 3.3 V时低强度模式产生2 mA，IOVDD = 1.8 V时产生0.75 mA。IOVDD = 3.3 V时高强度模式产生4 mA，IOVDD = 1.8 V时产生1.5 mA。

CLATCH引脚驱动强度位2

此位设置CLATCH引脚的驱动强度。IOVDD = 3.3 V时低强度模式产生2 mA，IOVDD = 1.8 V时产生0.75 mA。IOVDD = 3.3 V时高强度模式产生4 mA，IOVDD = 1.8 V时产生1.5 mA。

SCL/CCLK引脚驱动强度位1

此位设置SCL/CCLK引脚的驱动强度。IOVDD = 3.3 V时低强度模式产生2 mA，IOVDD = 1.8 V时产生0.75 mA。IOVDD = 3.3 V时高强度模式产生4 mA，IOVDD = 1.8 V时产生1.5 mA。

SDA/COUT引脚驱动强度位0

此位设置SDA/COUT引脚的驱动强度。IOVDD = 3.3 V时低强度模式产生2 mA，IOVDD = 1.8 V时产生0.75 mA。IOVDD = 3.3 V时高强度模式产生4 mA，IOVDD = 1.8 V时产生1.5 mA。

表68. 通信端口焊盘控制1寄存器

位	描述	默认值
[7:4]	保留	
3	CDATA引脚驱动强度 0: 低 1: 高	0
2	CLATCH 引脚驱动强度 0: 低 1: 高	0
1	SCL/CCLK引脚驱动强度 0: 低 1: 高	0
0	SDA/COUT引脚驱动强度 0: 低 1: 高	0

ADAU1781

MCKO控制寄存器16433 (0x4031)

MCKO引脚驱动强度位2

此位设置MCKO引脚的驱动强度。IOVDD = 3.3 V时低强度模式产生2 mA，IOVDD = 1.8 V时产生0.75 mA。IOVDD = 3.3 V时高强度模式产生4 mA，IOVDD = 1.8 V时产生1.5 mA。

MCKO上拉使能位1

此位使能或禁用焊盘上的弱上拉器件。上拉器件的有效电阻标称值为240 kΩ。

MCKO下拉使能位0

此位使能或禁用焊盘上的弱下拉器件。下拉器件的有效电阻标称值为240 kΩ。

表69. MCKO控制寄存器

位	描述	默认值
[7:3]	保留	
2	MCKO引脚驱动强度 0: 低 1: 高	0
1	MCKO上拉使能（低电平有效） 0: 下拉禁用 1: 下拉使能	0
0	MCKO下拉使能 0: 下拉禁用 1: 下拉使能	1

去抖动控制寄存器16434 (0x4032)

去抖动窗口大小位[7:0]

通过去抖动控制寄存器，不仅可以设置去抖动窗口的大小，还可以激活或旁路器件中的所有去抖动电路。在从机模式下，去抖动电路可防止抖动造成的重复或跳过的样本进入串行端口。在工作过程中禁用再使能器件的某些子系统，即ADC、串行端口、音频引擎/DSP内核和DAC等，可能会导致相关的去抖动电路无法工作。结果，音频数据将无法输出到器件中的下一个子系统。

当串行端口工作在主机模式时，可以将去抖动窗口设置为0以旁路去抖动电路。当串行端口工作在从机模式时，可以在从器件输出音频数据之前重新初始化去抖动电路，以保证音频数据能够输出到器件中的下一个子系统。如果音频必须通过ADC、串行端口、音频引擎/DSP内核或DAC，则可以将去抖动窗口大小设置为0，以旁路并复位去抖动电路。这样，只要将去抖动窗口大小设置为默认值5，就能立即重新激活去抖动电路，而无需等待。

表70. 去抖动控制寄存器

位	描述	默认值
[7:0]	去抖动窗口大小 00000000: 0内核时钟周期 00000101: 5内核时钟周期	00000101

ADAU1781

数字子系统配置

数字关断0寄存器16512 (0x4080)

ADC引擎位7

将此位设为0可禁用ADC和数字麦克风输入。

存储器控制器位6

将此位设为0可禁用所有存储器访问，即禁用SigmaDSP内核、ADC和DAC，同时禁止通过控制端口访问存储器。

时钟域传输位5

将此位设为0，并配合使用串行端口位4，可禁用串行端口。

串行端口位4

将此位设为0，并配合使用时钟域传输位5，可禁用串行端口。

串行输出路由位3

将此位设为0可禁用录音信号路径的路由路径，即从SigmaDSP内核至串行端口输出的路径。

串行输入路由位2

将此位设为0可禁用回放信号路径的路由路径，即从串行输入端口至SigmaDSP内核的路径。

串行端口、ADC、DAC和帧脉冲时钟发生器位1

将此位设为0可禁用内部时钟发生器，后者产生用于串行端口、SigmaDSP内核、ADC和DAC的所有主时钟。如果ADAU1781正在传递音频，则必须使能此位。

SigmaDSP内核位0

将此位设为0可禁用SigmaDSP内核，从而无法访问存储器。要处理音频和改变参数值，必须使能此位。

表71. 数字关断0寄存器

位	描述	默认值
7	ADC引擎 0: 禁用 1: 使能	0
6	存储器控制器 0: 禁用 1: 使能	0
5	时钟域传输(使用串行端口时) 0: 禁用 1: 使能	0
4	串行端口 0: 禁用 1: 使能	0
3	串行输出路由 0: 禁用 1: 使能	0
2	串行输入路由 0: 禁用 1: 使能	0
1	串行端口、ADC、DAC和帧脉冲时钟发生器 0: 禁用 1: 使能	0
0	SigmaDSP内核 0: 禁用 1: 使能	0

数字关断1寄存器16513 (0x4081)

输出预充电位3

输出预充电系统允许在使能输出前对其进行偏置，并防止输出端出现爆音或咔嚓声。此位应始终置1。

零交越检波器位2

将此位设为0可禁用用于传呼回放的零交越检波器。

数字麦克风位1

将此位设为0可禁用数字麦克风输入。

DAC引擎位0

将此位设为0可禁用DAC。

表72. 数字关断1寄存器

位	描述	默认值
[7:4]	保留	
3	输出预充电 0: 禁用 1: 使能	1
2	零交越检测器 0: 禁用 1: 使能	1
1	数字麦克风 0: 禁用 1: 使能	0
0	DAC引擎 0: 禁用 1: 使能	0

ADAU1781

GPIO引脚控制寄存器16582至寄存器16586(0x40C6至0x40CA)

GPIO引脚功能位[3:0]

GPIO引脚控制寄存器设置每个GPIO引脚的功能，如表74所示。GPIO0至GPIO3使用与串行端口相同的引脚，并且必须在串行数据/GPIO引脚配置寄存器16628 (0x40F4)中使能。引脚7是专用GPIO。

GPIO引脚可直接由SigmaDSP内核设置，因此应设置为

1011或1100(由SigmaDSP内核设置的输出)。为了使用GPIO0至GPIO3，应将其配置为1001或1010(由I2C/SPI端口设置的输出)。

有5个GPIO引脚值寄存器允许直接从控制端口写入或读取GPIO引脚的输入/输出数据值。对应地址如表75所示。每个值寄存器包含4字节，且仅可存储两个值之一：逻辑高电平或逻辑低电平。逻辑高电平存储为0x00、0x80、0x00、0x00。逻辑低电平存储为0x00、0x00、0x00、0x00。

表73. GPIO引脚控制寄存器

地址		寄存器	位	描述	默认值
十进制	十六进制				
16582	0x40C6	GPIO引脚控制	[7:4] [3:0]	保留 专用GPIO(引脚7)功能(参见表74)	1100
16583	0x40C7	GPIO0控制	[7:4] [3:0]	保留 GPIO0引脚功能(参见表74)	1100
16584	0x40C8	GPIO1控制	[7:4] [3:0]	保留 GPIO1引脚功能(参见表74)	1100
16585	0x40C9	GPIO2控制	[7:4] [3:0]	保留 GPIO2引脚功能(参见表74)	1100
16586	0x40CA	GPIO3控制	[7:4] [3:0]	保留 GPIO3引脚功能(参见表74)	1100

表74. GPIO引脚功能

GPIO位[3:0]	GPIO引脚功能
0000	无去抖输入
0001	带去抖输入(0.3 ms)
0010	带去抖输入(0.6 ms)
0011	带去抖输入(0.9 ms)
0100	带去抖输入(5 ms)
0101	带去抖输入(10 ms)
0110	带去抖输入(20 ms)
0111	带去抖输入(40 ms)
1000	由I2C/SPI端口控制的输入
1001	由I2C/SPI端口设置的输出，使用上拉
1010	由I2C/SPI端口设置的输出，不使用上拉
1011	由SigmaDSP内核设置的输出，使用上拉
1100	由SigmaDSP内核设置的输出，不使用上拉
1101	保留
1110	输出CRC误差(粘滞)
1111	输出看门狗误差(粘滞)

GPIO引脚值寄存器1000至寄存器1004(0x03E8至0x03EC)

表75. GPIO引脚值寄存器的地址

地址		寄存器
十进制	十六进制	
1000	0x03E8	GPIO引脚值, GPIO
1001	0x03E9	GPIO引脚值, GPIO0
1002	0x03EA	GPIO引脚值, GPIO1
1003	0x03EB	GPIO引脚值, GPIO2
1004	0x03EC	GPIO引脚值, GPIO3

非模寄存器16617和16618 (0x40E9和0x40EA)

这些寄存器设置SigmaDSP内核使用的非模RAM空间的边界。所有适当值会在初始化期间自动载入寄存器。此值绝对不能修改。

SigmaDSP内核帧速率寄存器16619 (0x40EB)

SigmaDSP内核帧速率位[3:0]

这些位设置帧开始脉冲的频率，它会被送入SigmaDSP内核，以开始各音频帧的处理。此值可有效决定SigmaDSP内核中音频的采样速率。该寄存器至少应比禁用SigmaDSP内核运行寄存器16630 (0x40F6)的SigmaDSP内核运行位0提前一帧设为0，以便SigmaDSP内核可在暂停前完成当前帧的处理。

表76. 非模寄存器

位	描述
[31:0]	保留

表77. SigmaDSP内核帧速率寄存器

位	保留	默认值
[7:4]	保留	
[3:0]	SigmaDSP内核帧速率 0000: $f_s \times 2$ (96 kHz) 0001: f_s (48 kHz) 0010: $f_s/1.5$ (32 kHz) 0011: $f_s/2$ (24 kHz) 0100: $f_s/3$ (16 kHz) 0101: $f_s/4$ (12 kHz) 0110: $f_s/6$ (8 kHz) 0111: 串行数据输入速率 1000: 串行数据输出速率 1001: $f_s \times 4$ (192 kHz) 1010: 无 ... 1111: 无	0000

ADAU1781

串行输入路由控制寄存器16626 (0x40F2)

输入路由位[3:0]

这些位选择将哪些串行数据输入通道路由至DAC(参见图74)。

表78. 串行输入路由控制寄存器

位	描述	默认值
[7:4]	保留	
[3:0]	输入路由 0000: 串行输入至SigmaDSP内核至DAC 0001: 串行输入[L0, R0]1至DAC [L, R] 0010: 保留 0011: 串行输入[L1, R1]1至DAC [L, R] 0100: 保留 0101: 串行输入[L2, R2]1至DAC [L, R] 0110: 保留 0111: 串行输入[L3, R3]1至DAC [L, R] 1000: 保留 1001: 串行输入[R0, L0]1至DAC [L, R] 1010: 保留 1011: 串行输入[R1, L1]1至DAC [L, R] 1100: 保留 1101: 串行输入[R2, L2]1至DAC [L, R] 1110: 保留 1111: 串行输入[R3, L3]1至DAC [L, R]	0000

¹ Lx = 通道x的左侧； Rx = 通道x的右侧。

串行输出路由控制寄存器16627 (0x40F3)

输出路由位[3:0]

这些位选择将ADC输出路由至串行数据流内的位置(参见图74)。

表79. 串行输出路由控制寄存器

位	描述	默认值
[7:4]	保留	
[3:0]	输出路由 0000: ADC至SigmaDSP内核至串行输出 0001: ADC [L, R]至串行输出[L0, R0] ¹ 0010: 保留 0011: ADC [L, R]至串行输出[L1, R1] ¹ 0100: 保留 0101: ADC [L, R]至串行输出[L2, R2] ¹ 0110: 保留 0111: ADC [L, R]至串行输出[L3, R3] ¹ 1000: 保留 1001: ADC [L, R]至串行输出[R0, L0] ¹ 1010: 保留 1011: ADC [L, R]至串行输出[R1, L1] ¹ 1100: 保留 1101: ADC [L, R]至串行输出[R2, L2] ¹ 1110: 保留 1111: ADC [L, R]至串行输出[R3, L3] ¹	0000

¹ Lx = 通道x的左侧； Rx = 通道x的右侧。

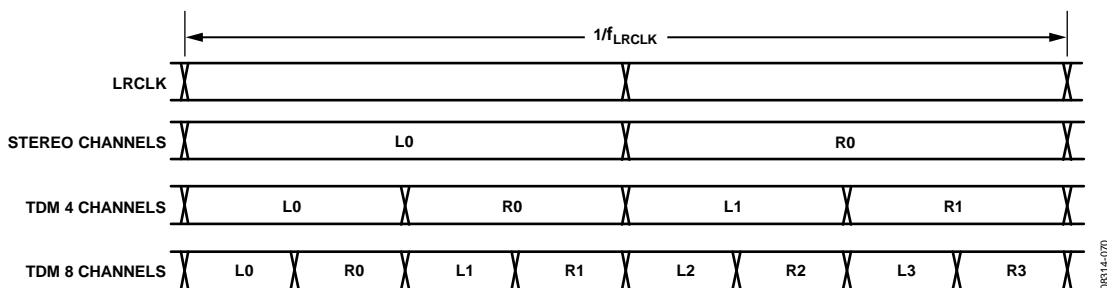


图74. 串行端口路由控制

ADAU1781

串行数据/GPIO引脚配置寄存器16628 (0x40F4)

GPIO[0:3]位[3:0]

串行数据/GPIO引脚配置寄存器控制串行数据端口引脚的功能。如果此寄存器中的位置1，则GPIO[0:3]引脚变为与SigmaDSP内核的GPIO接口。如果这些位设为0，则分别保持LRCLK、BCLK或串行端口数据引脚。

SigmaDSP内核运行寄存器16630 (0x40F6)

SigmaDSP内核运行位0

此位配合SigmaDSP内核帧速率使用，可在SigmaDSP内核中启动音频处理。此位使能时，程序计数器在新音频数据帧输入SigmaDSP内核时开始递增。此位禁用时，SigmaDSP内核进入待机模式。

进入待机模式前，必须执行以下序列：

1. 在寄存器16619至0x7F(无)中设置SigmaDSP内核帧速率。
2. 等待3 ms。
3. 在寄存器16630至0x00中设置SigmaDSP内核运行位。

重新使能SigmaDSP内核运行位时，必须执行以下序列：

1. 在寄存器16619中将SigmaDSP内核帧速率设置为适当值。
2. 在寄存器16630至0x01中设置SigmaDSP内核运行位。

串行端口采样速率寄存器16632 (0x40F8)

串行端口控制采样速率位[2:0]

这些位根据音频采样速率f_S设置串行端口采样速率。大多数应用中，串行端口采样速率、SigmaDSP内核采样速率、ADC和DAC采样速率应相等。

表80. 串行数据/GPIO引脚配置寄存器

位	描述	默认值
[7:4]	保留	
3	GPIO0 0: LRCLK 1: GPIO使能	0
2	GPIO1 0: BCLK 1: GPIO使能	0
1	GPIO2 0: 串行数据输出 1: GPIO使能	0
0	GPIO3 0: 串行数据输入 1: GPIO使能	0

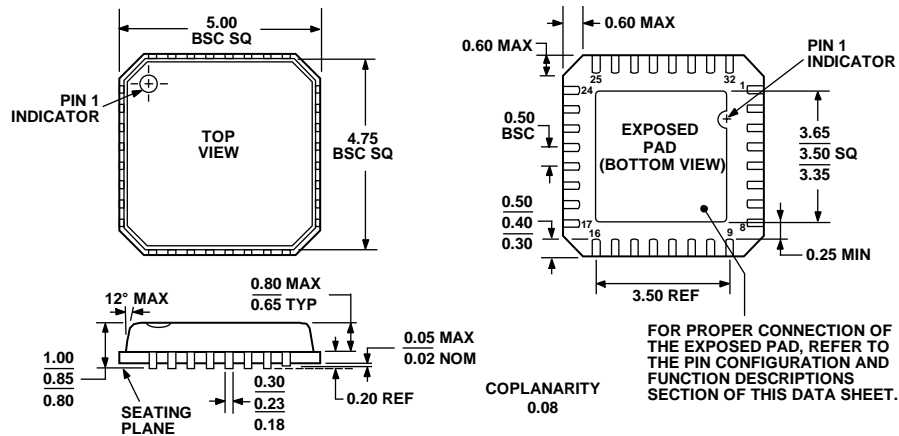
表81. SigmaDSP内核运行寄存器

位	描述	默认值
[7:1]	保留	
0	SigmaDSP内核运行 0: SigmaDSP内核待机 1: 运行SigmaDSP内核	0

表82. 串行端口采样速率寄存器

位	描述	默认值
[7:3]	保留	
[2:0]	串行端口控制采样速率 000: f _S /1 (48 kHz) 001: f _S /6 (8 kHz) 010: f _S /4 (12 kHz) 011: f _S /3 (16 kHz) 100: f _S /2 (24 kHz) 101: f _S /1.5 (32 kHz) 110: f _S /0.5 (96 kHz) 111: 保留	000

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VHHD-2

图75. 32引脚引脚架构芯片级封装[LFCSP_VQ], 5 mm x 5 mm
超薄四方体(CP-32-4) 图示尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
ADAU1781BCPZ	-25°C 至+85°C	32引脚 LFCSP_VQ	CP-32-4
ADAU1781BCPZ-RL7	-25°C 至+85°C	32引脚 LFCSP_WQ, 7"卷带和卷盘	CP-32-4
EVAL-ADAU1781Z		评估板	

¹ Z = RoHS兼容器件。

注释

注释

注释

如果系统符合Philips公司定义的I²C标准规范，则用户在购买ADI公司或其下属机构拥有Philips公司许可的I²C器件时，可以获得Philips公司I²C专利权之下的许可，以便在I²C系统中使用这些器件。