

**ANALOG  
DEVICES**

# 集成PLL的SigmaDSP立体声、 低功耗、96 kHz、24位音频编解码器

## ADAU1461

### 产品特性

- SigmaDSP 28/56位、50 MIPS数字音频处理器
- 可利用SigmaStudio图形工具实现完全编程
- 24位立体声音频ADC和DAC: >98 dB SNR
- 采样速率范围: 8 kHz至96 kHz
- 低功耗: 17 mW录音、18 mW回放(48 kHz)
- 6个模拟输入引脚, 可配置为单端或差分输入
- 灵活的模拟输入/复用器输出复用器
- 立体声数字麦克风输入
- 模拟输出: 2路差分立体声、2路单端立体声、1路单声道耳机驱动器输出
- PLL支持的输入时钟范围: 8 MHz至27 MHz
- 模拟自动电平控制(ALC)
- 麦克风偏置基准电压
- 模拟和数字I/O: 3.3 V
- I<sup>2</sup>C和SPI控制接口
- 数字音频串行数据I/O: 立体声和时分多路复用(TDM)模式
- 软件可控无杂音静音功能
- GPIO引脚用于数字控制和输出
- 32引脚、5 mm 5 mm LFCSP封装
- 工作温度范围: -40°C至+105°C
- 通过汽车应用认证

### 应用

- 汽车音响主机
- 汽车应用放大器
- 导航系统
- 后座娱乐系统

### 概述

ADAU1461是一款低功耗、集成数字音频处理功能的立体声音频编解码器, 支持立体声48 kHz录音和回放, 采用3.3 V模拟电源供电, 功耗为35 mW。立体声音频ADC和DAC支持8 kHz至96 kHz范围内的采样速率, 并支持数字音量控制。

SigmaDSP内核具有28位处理特性(56位双精度)。系统设计人员可以利用这款处理器, 通过均衡、多频段压缩、限幅和第三方算法来弥补麦克风、扬声器、功放和听音环境的实际限制, 从而明显改善音质体验。

可利用SigmaStudio图形开发工具对ADAU1461进行编程。该软件含有滤波器、动态范围处理、复用器复用器和简单DSP功能等音频处理模块, 可快速开发自定义信号流程。

录音路径包括一个集成麦克风偏置电路和六路输入。可以在ADC之前将这些输入多路复用, 或者可将其配置为旁路ADC。ADAU1461含有一路立体声数字麦克风输入。

ADAU1461内置五个高功率输出驱动器(两个差分、三个单端), 支持立体声耳机、听筒或其它输出传感器。该器件还支持交流耦合或无电容配置。所有模拟输出均支持独立精密电平控制。复用器分配输出交叉开关级允许设置音频通道。

### 功能框图

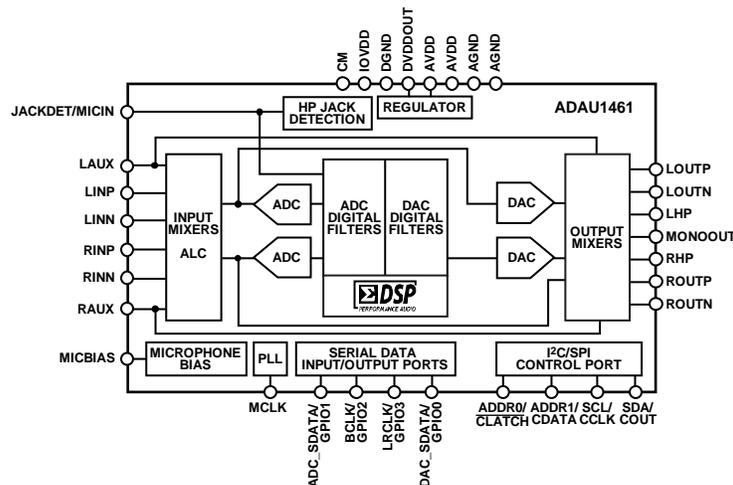


图1.

Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 [www.analog.com](http://www.analog.com)  
Fax: 781.461.3113 ©2010 Analog Devices, Inc. All rights reserved.

AD中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, AD不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考AD提供的最新英文版数据手册。

## 目录

特性.....	1	回放信号路径.....	33
应用.....	1	输出信号路径.....	33
概述.....	1	耳机输出.....	34
功能框图.....	1	爆音与咔嚓声抑制.....	35
修订历史.....	2	线路输出.....	35
技术规格.....	3	控制端口.....	36
模拟性能规格( $T_A = 25$ ).....	3	突发模式写入和读取.....	36
模拟性能规格( $-40^{\circ}\text{C} < T_A < +105^{\circ}\text{C}$ ).....	5	I <sup>2</sup> C端口.....	36
电源规格.....	7	SPI端口.....	39
数字滤波器.....	8	串行数据输入/输出端口.....	40
数字输入/输出规格.....	8	应用信息.....	42
数字时序规格.....	9	电源旁路电容.....	42
数字时序图.....	10	GSM噪声滤波器.....	42
绝对最大额定值.....	12	接地.....	42
热阻.....	12	裸露焊盘PCB设计.....	42
ESD警告.....	12	DSP内核.....	43
引脚配置和功能描述.....	13	信号处理.....	43
典型性能参数.....	15	架构.....	43
系统框图.....	18	程序计数器.....	43
工作原理.....	21	特性.....	43
启动、初始化和电源.....	22	启动.....	43
上电时序.....	22	数字格式.....	44
降低功耗模式.....	22	编程.....	44
数字电源.....	22	程序RAM、参数RAM和数据RAM.....	45
输入/输出电源.....	22	程序RAM.....	45
时钟产生和管理.....	22	参数RAM.....	45
时钟和采样速率.....	24	数据RAM.....	45
内核时钟.....	24	读取/写入数据格式.....	45
采样速率.....	25	软件安全加载.....	46
PLL.....	25	软件压摆.....	47
录音信号路径.....	27	通用输入/输出.....	48
输入信号路径.....	27	从控制端口设置GPIO引脚.....	48
模数转换器.....	29	控制寄存器.....	49
自动电平控制(ALC).....	30	控制寄存器详述.....	50
ALC参数.....	30	外形尺寸.....	88
噪声门功能.....	31	订购指南.....	88
		汽车应用级产品.....	88

## 修订历史

2010年6月—修订版0：初始版

## 技术规格

除非另有说明，电源电压(AVDD) = 3.3 V， $T_A = 25$ ，主时钟 = 12.288 MHz(48 kHz  $f_s$ ，256<sub>s</sub>模式)、输入采样速率 = 48 kHz，测量带宽 = 20 Hz至20 kHz，字宽 = 24位， $C_{LOAD}$ (数字输出) = 20 pF， $I_{LOAD}$ (数字输出) = 2 mA， $V_{IH} = 2$  V， $V_{IL} = 0.8$  V。所有通道的性能完全相同，不包括通道间增益不匹配和通道间相位偏差规格。

### 模拟性能规格( $T_A = 25$ )

IOVDD = 3.3 V。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
模数转换器	ADC复用器性能不包括复用器和PGA				
ADC分辨率	所有ADC		24		位
数字衰减步长			0.375		dB
数字衰减范围			95		dB
输入电阻					
单端线路输入	-12 dB增益		80.4		k $\Omega$
	0 dB增益		21		k $\Omega$
	6 dB增益		10.5		k $\Omega$
PGA反相输入	-12 dB增益		84.5		k $\Omega$
	0 dB增益		53		k $\Omega$
	35.25 dB增益		1.7		k $\Omega$
PGA同相输入	所有增益		105		k $\Omega$
单端线路输入					
满量程输入电压(0 dB)			1.0 (2.83)		V rms (V p-p)
动态范围	20 Hz至20 kHz，-60 dB输入				
采用A加权滤波器(RMS)		83.5	99		dB
无滤波器(RMS)		83	96		dB
总谐波失真加噪声	-1 dBFS		-90	-71	dB
信噪比					
采用A加权滤波器(RMS)			99		dB
无滤波器(RMS)			96		dB
复用器每步的输入复用器增益	范围：-12 dB至+6 dB	2.89	3	3.07	dB
静音衰减	LINPG[2:0], LINNG[2:0] = 000, RINPG[2:0], RINNG[2:0] = 000, MX1AUXG[2:0], MX2AUXG[2:0] = 000		-85.5	-77	dB
通道间增益不匹配		-0.3	+0.032	+0.3	dB
失调误差		-5	0	+5	mV
增益误差		-17	-12	-8	%
通道间隔离			68		dB
电源抑制比	CM电容 = 20 $\mu$ F，100 mV p-p (1 kHz)		67		dB
伪差分PGA输入					
满量程输入电压(0 dB)			1.0 (2.83)		V rms (V p-p)
动态范围	20 Hz至20 kHz，-60 dB输入				
采用A加权滤波器(RMS)		94	98		dB
无滤波器(RMS)		91	95		dB
总谐波失真加噪声	-1 dBFS		-89	-83	dB
信噪比					
采用A加权滤波器(RMS)			98		dB
无滤波器(RMS)			95		dB
PGA增强增益误差	20 dB增益设置(RDBOOST[1:0], LDBOOST[1:0] = 10)	-8	+0.4	+8	dB

# ADAU1461

参数	测试条件/注释	最小值	典型值	最大值	单位
静音衰减	PGA静音 LDMUTE, RDMUTE = 0 RDBOOST[1:0], LDBOOST[1:0] = 00		-76 -87	-73 -82	dB dB
通道间增益不匹配		-0.6	-0.073	+0.6	dB
失调误差		-6	0	+6	mV
增益误差		-24	-14	-3	%
通道间隔离			83		dB
共模抑制比	100 mV rms, 1 kHz 100 mV rms, 20 kHz	-52	-58 -48	-44	dB dB
全差分PGA输入	差分PGA输入		1.0 (2.83)		V rms (V p-p)
满量程输入电压(0 dB)					
动态范围	20 Hz至20 kHz, -60 dB输入				
采用A加权滤波器(RMS)		94	98		dB
无滤波器(RMS)		91	95		dB
总谐波失真加噪声 信噪比	-1 dBFS		-78	-74	dB
采用A加权滤波器(RMS)			98		dB
无滤波器(RMS)			95		dB
PGA增强增益误差	20 dB增益设置 (RDBOOST[1:0], LDBOOST[1:0] = 10)	-8	-0.15	+8	dB
静音衰减	PGA静音 LDMUTE, RDMUTE = 0 RDBOOST[1:0], LDBOOST[1:0] = 00		-76 -87	-73 -82	dB dB
通道间增益不匹配		-0.3	-0.0005	+0.3	dB
失调误差		-6	0	+6	mV
增益误差		-17	-14	-9	%
通道间隔离			83		dB
共模抑制比	100 mV rms, 1 kHz 100 mV rms, 20 kHz	-52	-58 -48	-44	dB dB
麦克风偏置	MBIEN = 1				
偏置电压					
0.65 × AVDD	MBI = 1, MPERF = 0 MBI = 1, MPERF = 1	2.00 2.04	2.145 2.13	2.19 2.21	V V
0.90 × AVDD	MBI = 0, MPERF = 0 MBI = 0, MPERF = 1	2.89 2.89	2.97 2.99	3.04 3.11	V V
偏置电流源	MBI = 0, MPERF = 1			3	mA
信号带宽中的噪声	1 kHz至20 kHz MBI = 0, MPERF = 0 MBI = 0, MPERF = 1 MBI = 1, MPERF = 0 MBI = 1, MPERF = 1		42 85 25 22		nV/√Hz nV/√Hz nV/√Hz nV/√Hz
13				36	
数模转换器	DAC复用器性能不包括复用和耳机 放大器 所有DAC		24 0.375 95		位 dB dB
DAC至线路输出			0.92 (2.60)		V rms (V p-p)
满量程输出电压(0 dB)					
动态范围	20 Hz至20 kHz, -60 dBFS输入, 线路输出模式				
采用A加权滤波器(RMS)		95	101		dB
无滤波器(RMS)		93.5	98		dB

参数	测试条件/注释	最小值	典型值	最大值	单位
总谐波失真加噪声	0 dBFS, 10 kΩ负载				
线路输出模式			-92	-77	dB
耳机输出模式			-89	-79	dB
信噪比	线路输出模式				
采用A加权滤波器(RMS)			101		dB
无滤波器(RMS)			98		dB
静音衰减					
复用器3和复用器4静音	MX3RM, MX3LM, MX4RM, MX4LM = 0, MX3AUXG[3:0], MX4AUXG[3:0] = 0000, MX3G1[3:0], MX3G2[3:0] = 0000, MX4G1[3:0], MX4G2[3:0] = 0000		-85	-78	dB
复用器5、复用器6和复用器7静音	MX5G3[1:0], MX5G4[1:0], MX6G3[1:0], MX6G4[1:0], MX7[1:0] = 00		-89	-80	dB
所有音量控制都静音	LOUTM, ROUTM = 0 MONOM, LHPM, RHPM = 0		-82 -74	-74 -69	dB dB
通道间增益不匹配		-0.3	-0.005	+0.3	dB
失调误差		-22	0	+22	mV
增益误差		-10	+3	+10	%
通道间隔离	1 kHz, 0 dBFS输入信号		100		dB
电源抑制比	CM电容 = 20 μF, 100 mV p-p (1 kHz)		70		dB
DAC至耳机输出	LOUTx、ROUTx、LHP、RHP为耳机输出模式; P <sub>o</sub> = 每通道输出功率				
满量程输出电压(0 dB)	与AVDD成线性比例关系		0.92 (2.60)		V rms (V p-p)
总谐波失真加噪声	-4 dBFS, 16 Ω负载, P <sub>o</sub> = 21.1 mW		-82		dB
无电容耳机模式	-4 dBFS, 32 Ω负载, P <sub>o</sub> = 10.6 mW		-82		dB
耳机输出模式	-2 dBFS, 16 Ω负载		-78	-71	dB
通道间隔离	-2 dBFS, 32 Ω负载		-75	-65	dB
电源抑制比	0 dBFS, 10 kΩ负载		-86	-77	dB
通道间隔离	1 kHz, 0 dBFS输入信号, 32 Ω负载 以GND为基准		73		dB
电源抑制比	以CM为基准(无电容耳机模式) CM电容 = 20 μF, 100 mV p-p (1 kHz)		50 67		dB dB
基准电压源					
共模基准电压输出	CM引脚	1.62	1.65	1.67	V

**模拟性能规格(-40 < T<sub>A</sub> < +105)**

IOVDD = 3.3 V。

**表2.**

参数	测试条件/注释	最小值	典型值	最大值	单位
单端线路输入					
动态范围	20 Hz至20 kHz, -60 dB输入				
采用A加权滤波器(RMS)		74			dB
无滤波器(RMS)		71			dB
总谐波失真加噪声	-1 dBFS			-67	dB
每步的输入复用器增益	范围: -12 dB至+6 dB	2.88		3.09	dB
静音衰减	LINPG[2:0], LINNG[2:0] = 000, RINPG[2:0], RINNG[2:0] = 000, MX1AUXG[2:0], MX2AUXG[2:0] = 000			-77	dB
通道间增益不匹配		-0.5		+0.5	dB
失调误差		-5		+5	mV
增益误差		-22		-6	%

# ADAU1461

参数	测试条件/注释	最小值	典型值	最大值	单位
伪差分PGA输入					
动态范围	20 Hz至20 kHz, -60 dB输入				
采用A加权滤波器(RMS)		94			dB
无滤波器(RMS)		91			dB
总谐波失真加噪声	-1 dBFS			-75	dB
PGA增强增益误差	20 dB增益设置(RDBOOST[1:0], LDBOOST[1:0] = 10)	-11		-7	dB
静音衰减	PGA静音 LDMUTE, RDMUTE = 0 RDBOOST[1:0], LDBOOST[1:0] = 00			-73	dB
通道间增益不匹配		-0.6		+0.6	dB
失调误差		-6		+6	mV
增益误差		-24		-3	%
共模抑制比	100 mV rms, 1 kHz 100 mV rms, 20 kHz	-64 -53		-38 -43	dB dB
全差分PGA输入	差分PGA输入				
动态范围	20 Hz至20 kHz, -60 dB输入				
采用A加权滤波器(RMS)		89			dB
无滤波器(RMS)		86			dB
总谐波失真加噪声	-1 dBFS			-70	dB
PGA增强增益误差	20 dB增益设置(RDBOOST[1:0], LDBOOST[1:0] = 10)	-11		-7	dB
静音衰减	PGA静音 LDMUTE, RDMUTE = 0 RDBOOST[1:0], LDBOOST[1:0] = 00			-73	dB
通道间增益不匹配		-0.4		+0.4	dB
失调误差		-6		+6	mV
增益误差		-21		-7	%
共模抑制比	100 mV rms, 1 kHz 100 mV rms, 20 kHz	-64 -53		-38 -43	dB dB
麦克风偏置	MBIEN = 1				
偏置电压					
0.65 × AVDD	MBI = 1, MPERF = 0	1.85		2.45	V
	MBI = 1, MPERF = 1	1.87		2.45	V
0.90 × AVDD	MBI = 0, MPERF = 0	2.65		3.40	V
	MBI = 0, MPERF = 1	2.65		3.40	V
信号带宽中的噪声	1 kHz至20 kHz	11		36	nV/√Hz
DAC至线路输出					
动态范围	20 Hz至20 kHz, -60 dB输入, 线路输出模式				
采用A加权滤波器(RMS)		85			dB
无滤波器(RMS)		78			dB
总谐波失真加噪声	0 dBFS, 10 kΩ负载				
线路输出模式				-76	dB
耳机输出模式				-78	dB
静音衰减					
复用器3和复用器4静音	MX3RM, MX3LM, MX4RM, MX4LM = 0, MX3AUXG[3:0], MX4AUXG[3:0] = 0000, MX3G1[3:0], MX3G2[3:0] = 0000, MX4G1[3:0], MX4G2[3:0] = 0000			-77	dB
复用器5、复用器6和复用器7静音	MX5G3[1:0], MX5G4[1:0], MX6G3[1:0], MX6G4[1:0], MX7[1:0] = 00			-77	dB
所有音量控制都静音	LOUTM, ROUTM = 0 MONOM, LHPM, RHPM = 0			-74 -69	dB dB

参数	测试条件/注释	最小值	典型值	最大值	单位
通道间增益不匹配		-0.3		+0.3	dB
失调误差		-22		+22	mV
增益误差		-10		+10	%
DAC至耳机输出	LOUTx、ROUTx、LHP、RHP为耳机输出模式； $P_o$ = 每通道输出功率				
总谐波失真加噪声 无电容耳机模式	-2 dBFS, 16 $\Omega$ 负载			-61	dB
	-2 dBFS, 32 $\Omega$ 负载			-63	dB
耳机输出模式	0 dBFS, 10 k $\Omega$ 负载			-76	dB
基准电压源 共模基准电压输出	CM引脚	1.47		1.83	V

### 电源规格

主时钟 = 12.288 MHz，输入采样速率 = 48 kHz，输入信号音 = 1 kHz，ADC输入在-1 dBFS，DAC输入在0 dBFS， $-40 < T_A < +105$ ，IOVDD = 3.3 V。计算总功耗需加上表3所列的IOVDD电流。

表3.

参数	测试条件/注释	最小值	典型值	最大值	单位
电源					
电压	DVDDOUT		1.56		V
	AVDD	2.97	3.3	3.65	V
	IOVDD	2.97	3.3	3.65	V
数字I/O电流(IOVDD)	所有数字引脚上都有20 pF容性负载				
从机模式	$f_s = 48$ kHz		0.48		mA
	$f_s = 96$ kHz		0.9		mA
主机模式	$f_s = 8$ kHz		0.13		mA
	$f_s = 48$ kHz		1.51		mA
	$f_s = 96$ kHz		3		mA
	$f_s = 8$ kHz		0.27		mA
模拟电流(AVDD)					
录音立体声差分至ADC	PLL旁路		5.24		mA
	整数PLL		6.57		mA
DAC立体声回放至线路输出	10 k $\Omega$ 负载				
	PLL旁路		5.55		mA
	整数PLL		6.90		mA
DAC立体声回放至耳机	32 $\Omega$ 负载				
	PLL旁路		30.9		mA
	整数PLL		32.25		mA
DAC立体声回放至无电容耳机	32 $\Omega$ 负载				
	PLL旁路		56.75		mA
	整数PLL		58		mA

# ADAU1461

## 数字滤波器

表4.

参数	模式	系数	最小值	典型值	最大值	单位	
ADC抽取滤波器	所有模式, 典型值在48 kHz下测量	0.4375 $f_s$		21		kHz	
通带							
通带纹波		0.5 $f_s$		24	±0.015	dB	
过渡带							
阻带		0.5625 $f_s$		27		kHz	
阻带衰减							
群延迟	22.9844/ $f_s$		479		μs		
DAC插值滤波器	48 kHz模式, 典型值在48 kHz下测量 96 kHz模式, 典型值在96 kHz下测量	0.4535 $f_s$		22		kHz	
通带							
通带纹波		0.3646 $f_s$		35		±0.01	dB
过渡带		0.5 $f_s$		24		±0.05	dB
阻带		0.5 $f_s$		48			kHz
阻带衰减		0.5465 $f_s$		26			kHz
群延迟		0.6354 $f_s$		61			kHz
	25/ $f_s$		521			μs	
							96 kHz模式, 典型值在96 kHz下测量
	11/ $f_s$		115			μs	

## 数字输入/输出规格

-40 < T<sub>A</sub> < +105, IOVDD = 3.3 V

表5.

参数	测试条件/注释	最小值	典型值	最大值	单位
输入规格					
输入高电压(V <sub>IH</sub> )		0.7 × IOVDD			V
输入低电压(V <sub>IL</sub> )				0.3 × IOVDD	V
输入漏电流					
上拉/下拉禁用	I <sub>IH</sub> @ V <sub>IH</sub> = 3.3 V	-0.17		+0.17	μA
	I <sub>IL</sub> @ V <sub>IL</sub> = 0 V	-0.17		+0.17	μA
	I <sub>IL</sub> @ V <sub>IL</sub> = 0 V (MCLK引脚)	-13.5		-0.5	μA
上拉使能	I <sub>IH</sub> @ V <sub>IH</sub> = 3.3 V	-0.7		+0.7	μA
	I <sub>IL</sub> @ V <sub>IL</sub> = 0 V	-13.5		-0.5	μA
下拉使能	I <sub>IH</sub> @ V <sub>IH</sub> = 3.3 V	2.7		8.3	μA
	I <sub>IL</sub> @ V <sub>IL</sub> = 0 V	-0.18		+0.18	μA
输入电容				5	pF
输出规格					
输出高电平(V <sub>OH</sub> )	I <sub>OH</sub> = 2 mA @ 3.3 V	0.8 × IOVDD			V
输出低电平(V <sub>OL</sub> )	I <sub>OL</sub> = 2 mA @ 3.3 V			0.1 × IOVDD	V

数字时序规格

-40 < T<sub>A</sub> < +105, IOVDD = 3.3 V

表6. 数字时序

参数	限值		单位	描述
	t <sub>MIN</sub>	t <sub>MAX</sub>		
主时钟				
t <sub>MP</sub>	74	488	ns	MCLK周期, 256 <sub>s</sub> 模式
t <sub>MP</sub>	37	244	ns	MCLK周期, 512 <sub>s</sub> 模式。
t <sub>MP</sub>	24.7	162.7	ns	MCLK周期, 768 <sub>s</sub> 模式。
t <sub>MP</sub>	18.5	122	ns	MCLK周期, 1024 <sub>s</sub> 模式。
串行端口				
t <sub>BIL</sub>	5		ns	BCLK脉宽低电平。
t <sub>BIH</sub>	5		ns	BCLK脉宽高电平。
t <sub>LIS</sub>	5		ns	LRCLK设置。到BCLK上升的时间。
t <sub>LIH</sub>	5		ns	LRCLK保持。自BCLK上升起的时间。
t <sub>SIS</sub>	5		ns	DAC_SDATA设置。到BCLK上升的时间。
t <sub>SIH</sub>	5		ns	DAC_SDATA保持。自BCLK上升起的时间。
t <sub>SODM</sub>		50	ns	ADC_SDATA延迟。主机模式下自BCLK下降起的时间。
SPI端口				
f <sub>CCLK</sub>		10	MHz	CCLK频率。
t <sub>CCPL</sub>	10		ns	CCLK脉宽低电平。
t <sub>CCPH</sub>	10		ns	CCLK脉宽高电平。
t <sub>CLS</sub>	5		ns	CLATCH 设置。到CCLK上升的时间。
t <sub>CLH</sub>	10		ns	CLATCH 保持。自CCLK上升起的时间。
t <sub>CLPH</sub>	10		ns	CLATCH 脉宽高电平
t <sub>CDS</sub>	5		ns	CDATA设置。到CCLK上升的时间。
t <sub>CDH</sub>	5		ns	CDATA保持。自CCLK上升起的时间。
t <sub>COD</sub>		50	ns	COUT三态。自CLATCH上升起的时间。
I <sup>2</sup> C端口				
f <sub>SCL</sub>		400	kHz	SCL频率。
t <sub>SCLH</sub>	0.6		μs	SCL高电平。
t <sub>SCLL</sub>	1.3		μs	SCL低电平。
t <sub>SCS</sub>	0.6		μs	设置时间; 与重复起始条件相关。
t <sub>SCH</sub>	0.6		μs	保持时间。此周期结束后, 产生首次时钟。
t <sub>DS</sub>	100		ns	数据设置时间。
t <sub>SCR</sub>		300	ns	SCL上升时间。
t <sub>SCF</sub>		300	ns	SCL下降时间。
t <sub>SDR</sub>		300	ns	SDA上升时间。
t <sub>SDF</sub>		300	ns	SDA下降时间。
t <sub>BFT</sub>	0.6		μs	总线空闲时间。停止与起始之间的时间。
数字麦克风				
t <sub>DCF</sub>		10	ns	R <sub>LOAD</sub> = 1 MΩ, C <sub>LOAD</sub> = 14 pF。 数字麦克风时钟下降时间。
t <sub>DCR</sub>		10	ns	数字麦克风时钟上升时间。
t <sub>DDV</sub>	22	30	ns	数字麦克风有效数据延迟时间。
t <sub>DDH</sub>	0	12	ns	数字麦克风数据三态延迟时间。

# ADAU1461

## 数字时序图

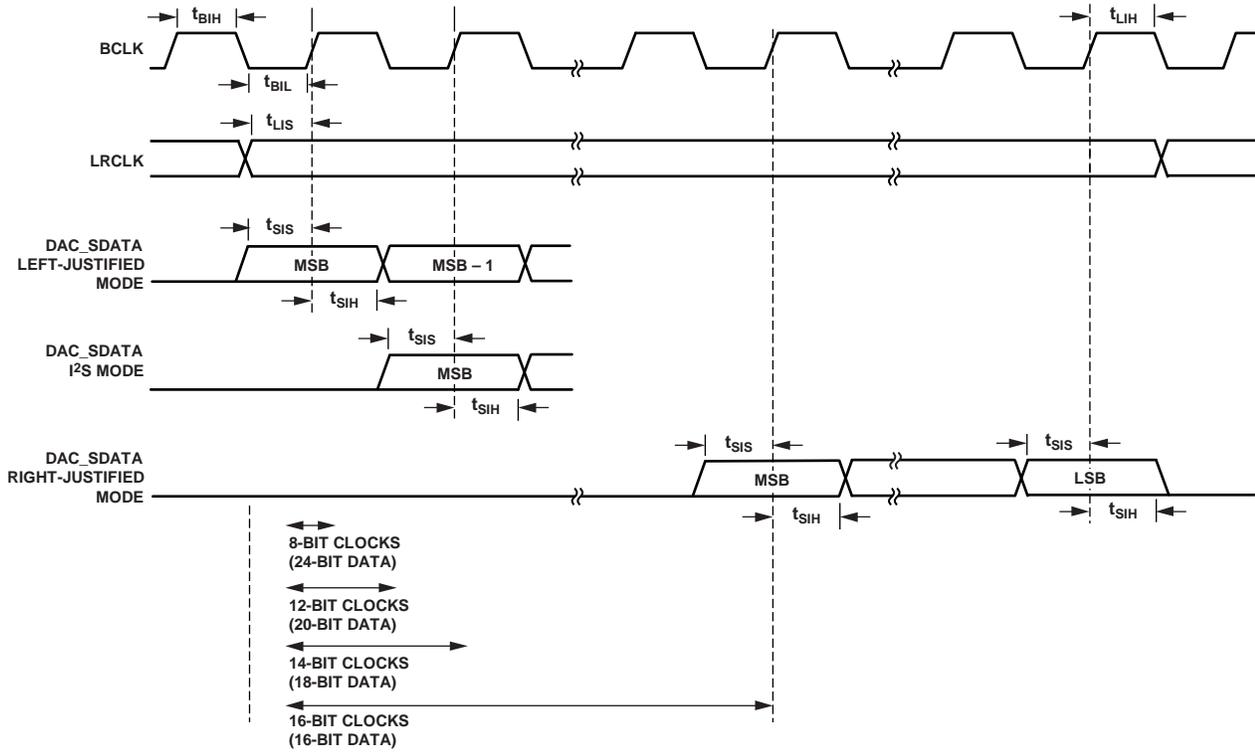


图2. 串行输入端口时序

08914-002

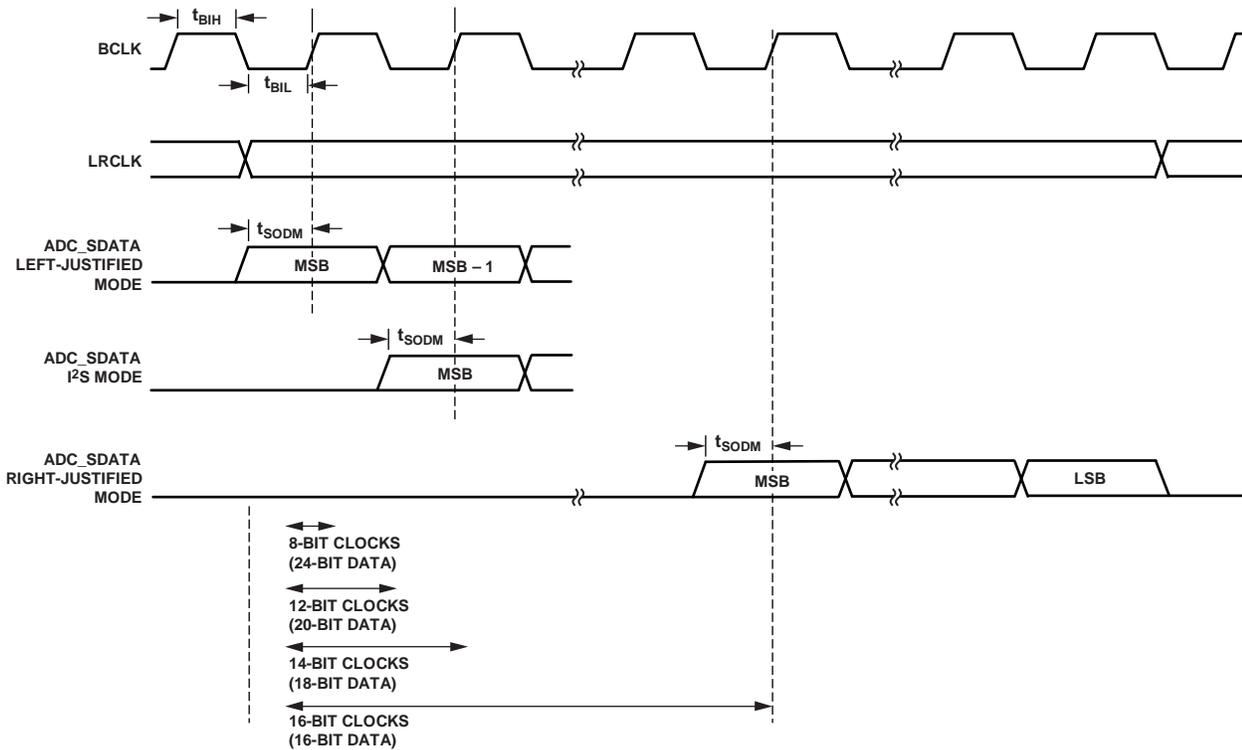


图3. 串行输出端口时序

08914-003

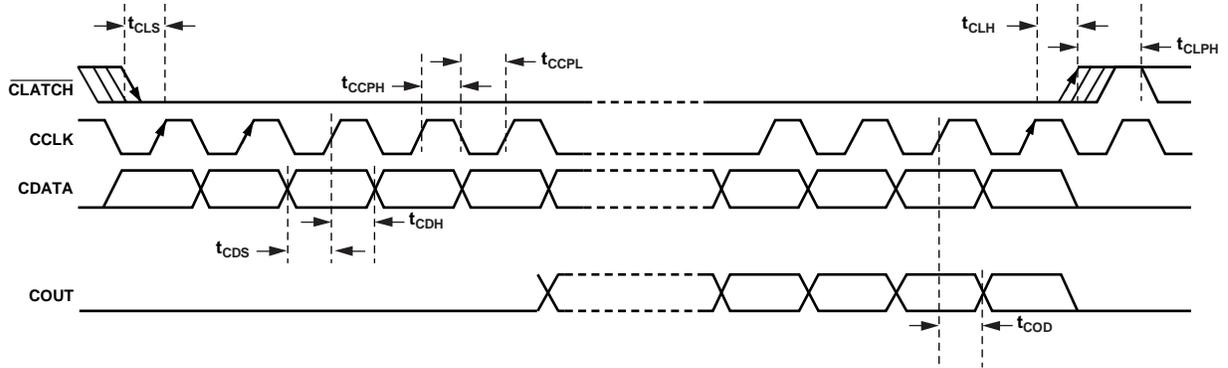


图4. SPI端口时序

08814-004

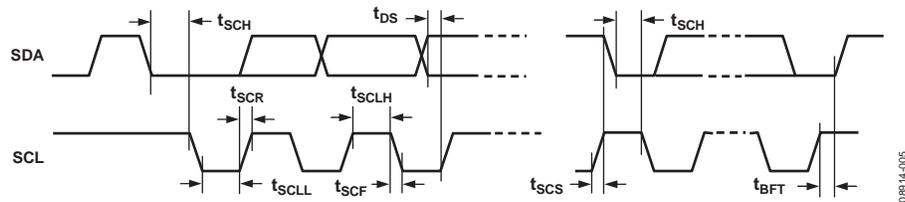


图5. I2C端口时序

08814-005

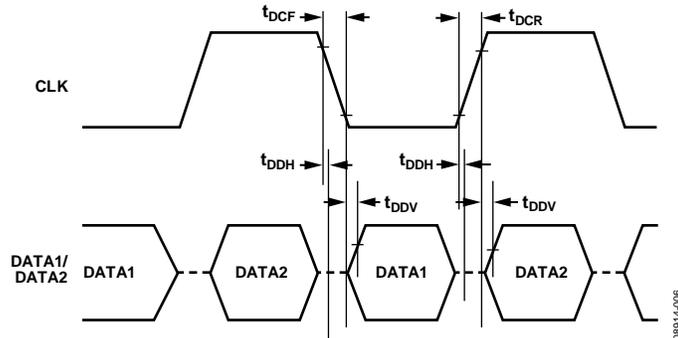


图6. 数字麦克风时序

08814-006

## 绝对最大额定值

表7.

参数	额定值
电源电压(AVDD)	-0.3 V至+3.65 V
输入电流(电源引脚除外)	±20 mA
模拟输入电压(信号引脚)	-0.3 V至AVDD + 0.3 V
数字输入电压(信号引脚)	-0.3 V至IOVDD + 0.3 V
工作温度范围	-40°C至+105°C
存储温度范围	-65°C至+150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

## 热阻

$\theta_{JA}$ 表示结至环境热阻， $\theta_{JC}$ 表示结至外壳热阻。所有特性均是利用4层电路板进行测量。

表8. 热阻

封装类型	$\theta_{JA}$	$\theta_{JC}$	单位
32引脚 LFCSP	50.1	17	°C/W

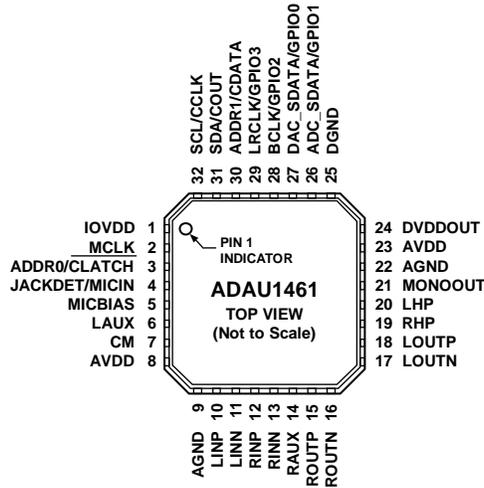
## ESD警告



### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

## 引脚配置和功能描述



**NOTES**  
1. THE EXPOSED PAD IS CONNECTED INTERNALLY TO THE ADAU1461 GROUNDS. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS AND MAXIMUM THERMAL CAPABILITY, IT IS RECOMMENDED THAT THE PAD BE SOLDERED TO THE GROUND PLANE.

08914-007

图7. 引脚配置

表9. 引脚功能描述

引脚编号	引脚名称	类型 <sup>1</sup>	描述
1	IOVDD	PWR	数字输入和输出引脚的电源。数字输出引脚由IOVDD供电，它还设置数字输入引脚上应当出现的最高输入电压。IOVDD应设置为3.3 V。此引脚吸取的电流是可变的，因为它取决于数字输出的负载。IOVDD应通过一个100 nF电容和一个10 μF电容去耦至DGND。
2	MCLK	D_IN	外部主时钟输入。
3	ADDR0/CLATCH	D_IN	I <sup>2</sup> C地址位0 (ADDR0)。SPI锁存信号(CLATCH)。在SPI处理开始时必须变为低电平，在处理结束时必须变为高电平。完成每次SPI处理所需的CCLK数可能不同，取决于SPI处理开始时发送的地址和读/写位。
4	JACKDET/MICIN	D_IN	检测耳机插头的插拔(JACKDET)。数字麦克风立体声输入(MICIN)。
5	MICBIAS	A_OUT	驻极体麦克风的偏置电压。
6	LAUX	A_IN	左声道单端辅助输入。AVDD/2偏置。
7	CM	A_OUT	AVDD/2 V共模基准电压。此引脚与AGND之间应连接一个10 μF到47 μF的标准去耦电容，以降低ADC与DAC之间的串扰。此引脚可用于偏置外部模拟电路，前提是外部电路不从CM吸取电流(例如运算放大器的同相输入端)。
8	AVDD	PWR	DAC和麦克风偏置的3.3 V模拟电源。此引脚应通过一个100 nF电容局部去耦至AGND。
9	AGND	PWR	模拟地。AGND和DGND引脚应在一个公共接地层上相连。AGND应通过一个100 nF电容局部去耦至AVDD。
10	LINP	A_IN	左声道同相输入或单端输入0。偏置AVDD/2。
11	LINN	A_IN	左声道反相输入或单端输入1。偏置AVDD/2。
12	RINP	A_IN	右声道同相输入或单端输入2。偏置AVDD/2。
13	RINN	A_IN	右声道反相输入或单端输入3。偏置AVDD/2。
14	RAUX	A_IN	右声道单端辅助输入。AVDD/2偏置。
15	ROUTP	A_OUT	右线路输出，正极。AVDD/2偏置。
16	ROUTN	A_OUT	右线路输出，负极。AVDD/2偏置。
17	LOUTN	A_OUT	左线路输出，负极。AVDD/2偏置。
18	LOUTP	A_OUT	左线路输出，正极。AVDD/2偏置。

# ADAU1461

引脚编号	引脚名称	类型 <sup>1</sup>	描述
19	RHP	A_OUT	右耳机输出。AVDD/2偏置。
20	LHP	A_OUT	左耳机输出。AVDD/2偏置。
21	MONOOUT	A_OUT	单声道输出或无电容耳机的虚拟地。当设置为单声道输出时，AVDD/2偏置。
22	AGND	PWR	模拟地。AGND和DGND引脚应在一个公共接地层上相连。AGND应通过一个100 nF电容局部去耦至AVDD。
23	AVDD	PWR	ADC、输出驱动器和数字电源调节器输入端的3.3 V模拟电源。此引脚应通过一个100 nF电容局部去耦至AGND。
24	DVDDOUT	PWR	数字内核电源去耦点。数字电源产生自片上稳压器，不需要外部电源。DVDDOUT应通过一个100 nF电容和一个10 μF电容去耦至DGND。
25	DGND	PWR	数字地。AGND和DGND引脚应在一个公共接地层上相连。DGND应通过100 nF电容和10 μF电容去耦至DVDDOUT和IOVDD。
26	ADC_SDATA/GPIO1	D_IO	ADC串行输出数据(ADC_SDATA)。通用输入/输出1 (GPIO1)。
27	DAC_SDATA/GPIO0	D_IO	DAC串行输入数据(DAC_SDATA)。通用输入/输出0 (GPIO0)。
28	BCLK/GPIO2	D_IO	串行数据端口位时钟(BCLK)。通用输入/输出2 (GPIO2)。
29	LRCLK/GPIO3	D_IO	串行数据端口帧时钟(LRCLK)。通用输入/输出3 (GPIO3)。
30	ADDR1/CDATA	D_IN	I <sup>2</sup> C地址位1 (ADDR1)。SPI数据输入(CDATA)。
31	SDA/COUT	D_IO	I <sup>2</sup> C数据(SDA)。此引脚为双向开集输入/输出。连接到此引脚的线路应有2 kΩ上拉电阻。SPI数据输出(COUT)。此引脚用于回读寄存器和存储器位置。当SPI读取非使能时，它处于三态。
32	SCL/CCLK	D_IN	I <sup>2</sup> C时钟(SCL)。在I <sup>2</sup> C控制模式下，此引脚始终为开集输入。连接到此引脚的线路应有2 kΩ上拉电阻。
EP	Exposed Pad		SPI时钟(CCLK)。此引脚可以连续工作，或者在SPI处理间隙关断。裸露焊盘。底部焊盘内部连接到ADAU1461接地。为提高焊接接头的可靠性并实现最大散热效果，建议将焊盘焊接到地层。详情参见“底部焊盘PCB设计”部分。

<sup>1</sup> A\_IN = 模拟输入，A\_OUT = 模拟输出，D\_IN = 数字输入，D\_IO = 数字输入/输出，PWR = 电源。

## 典型性能参数

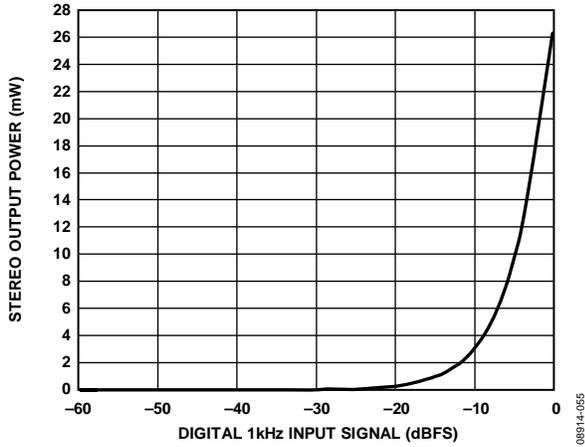


图8. 耳机放大器功率与输入电平的关系, 16 Ω负载

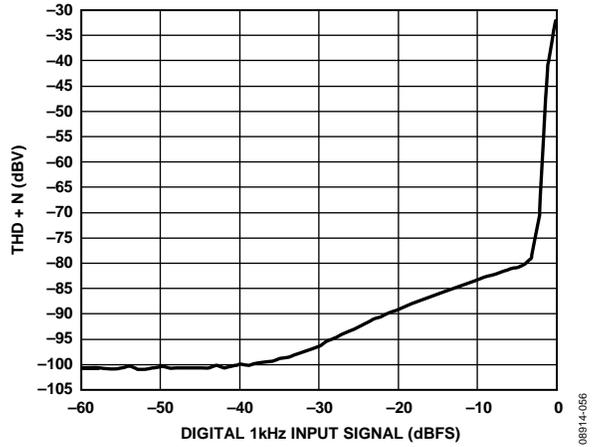


图11. 耳机放大器THD + N与输入电平的关系, 16 Ω负载

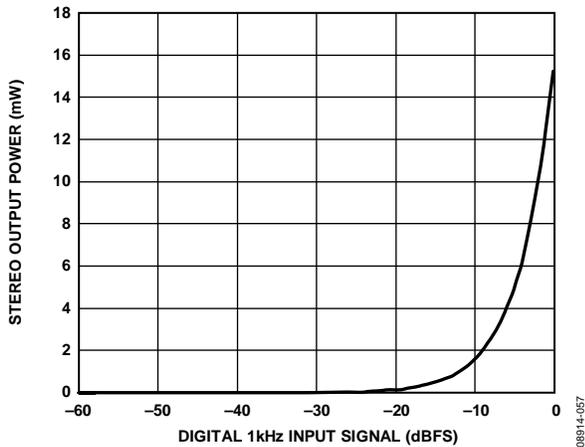


图9. 耳机放大器功率与输入电平的关系, 32 Ω负载

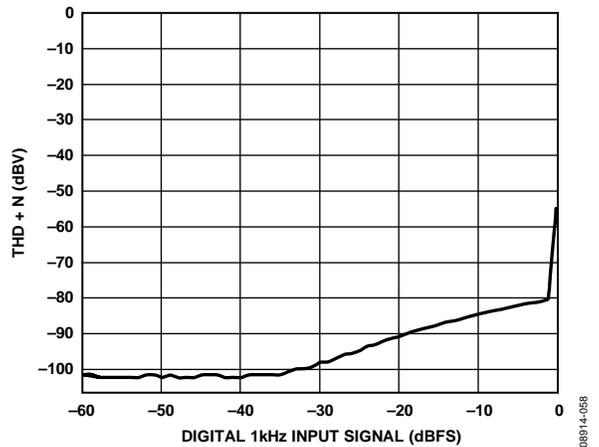


图12. 耳机放大器THD + N与输入电平的关系, 32 Ω负载

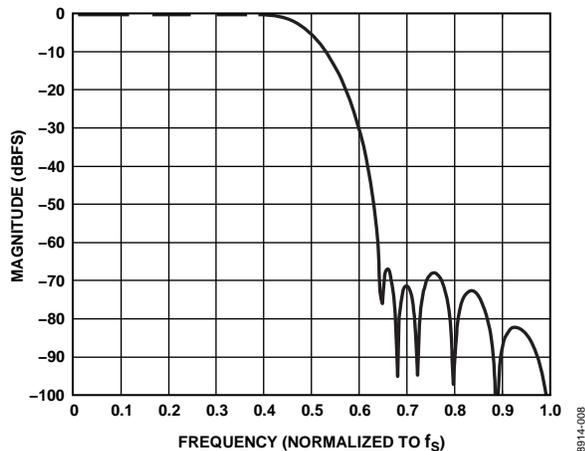


图10. ADC抽取滤波器, 64倍过采样, 归一化到 $f_s$

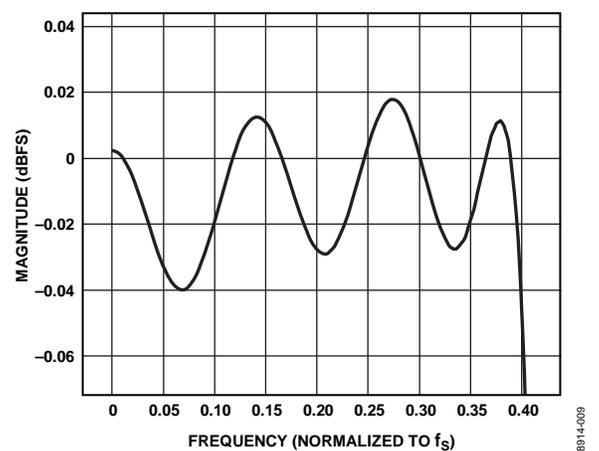


图13. ADC抽取滤波器通带纹波, 64倍过采样, 归一化到 $f_s$

# ADAU1461

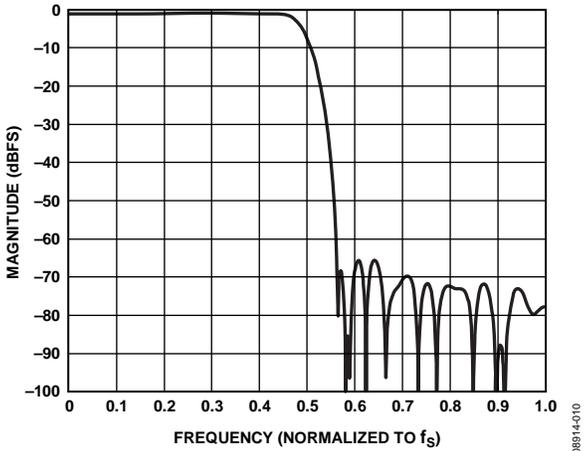


图14. ADC抽取滤波器, 128倍过采样, 归一化到 $f_s$

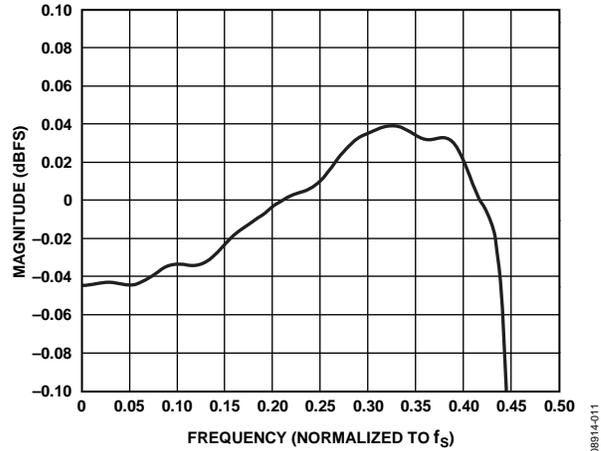


图17. ADC抽取滤波器通带纹波, 128倍过采样, 归一化到 $f_s$

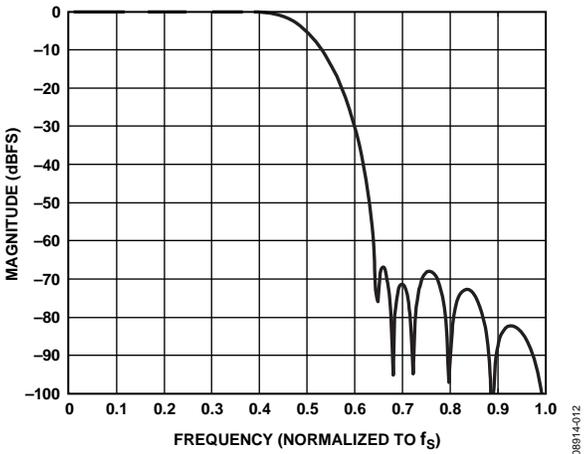


图15. ADC抽取滤波器, 128倍过采样, 双倍速率模式, 归一化到 $f_s$

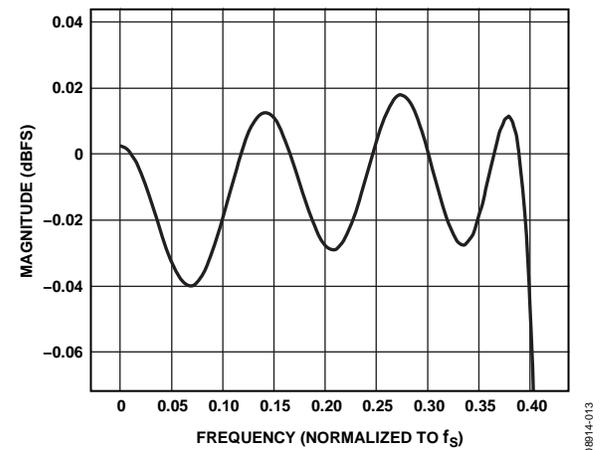


图18. ADC抽取滤波器通带纹波, 128倍过采样, 双倍速率模式, 归一化到 $f_s$

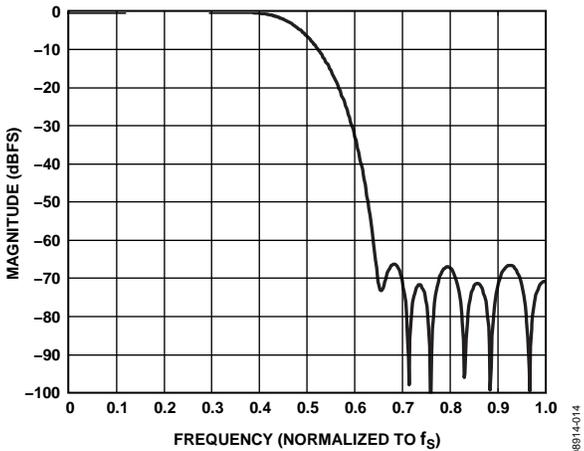


图16. DAC插值滤波器, 64倍过采样, 双倍速率模式, 归一化到 $f_s$

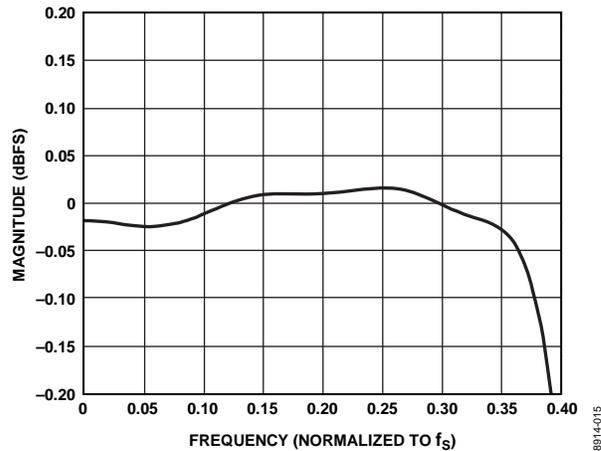


图19. DAC插值滤波器通带纹波, 64倍过采样, 双倍速率模式, 归一化到 $f_s$

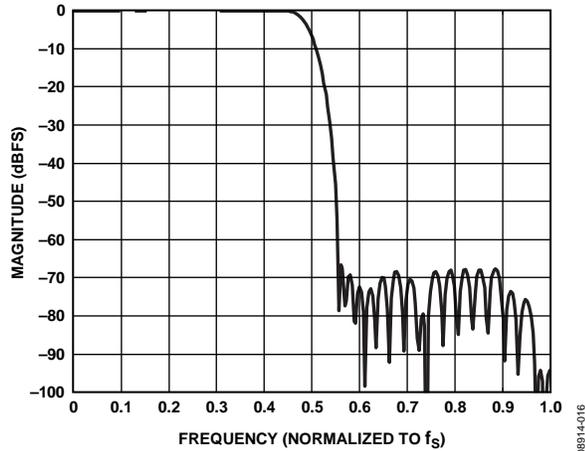


图20. DAC插值滤波器, 128倍过采样, 归一化到 $f_s$

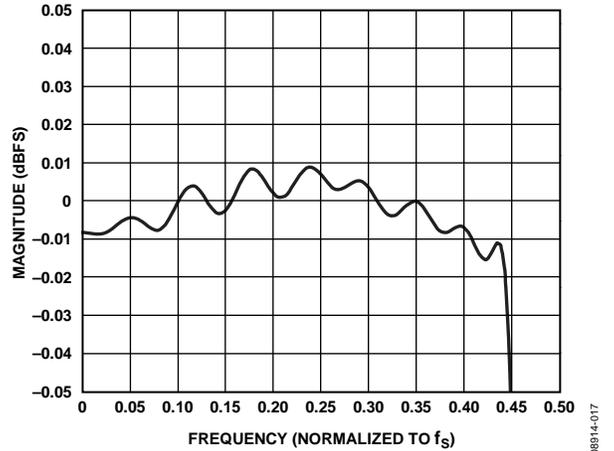


图23. DAC插值滤波器通带纹波, 128倍过采样, 归一化到 $f_s$

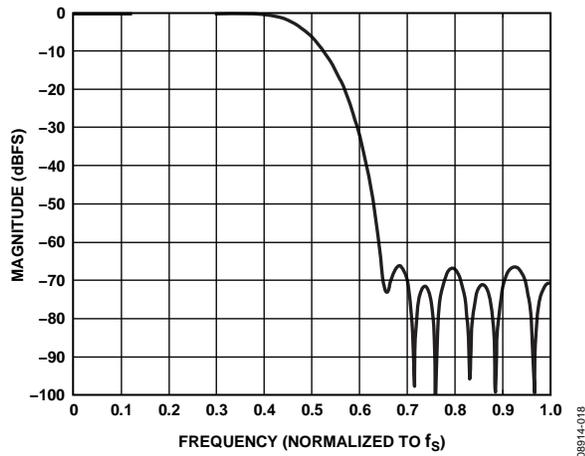


图21. DAC插值滤波器, 128倍过采样, 双倍速率模式, 归一化到 $f_s$

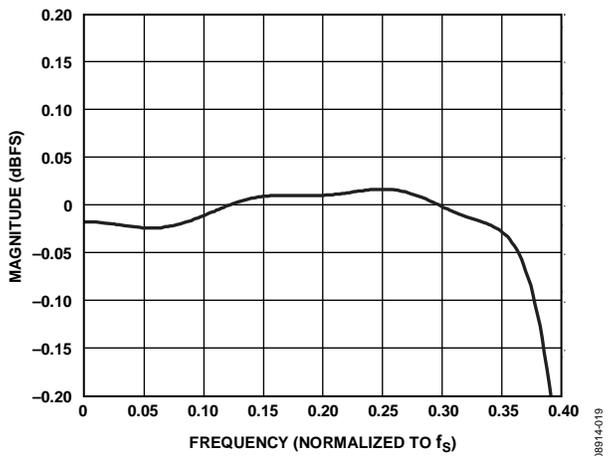


图24. DAC插值滤波器通带纹波, 128倍过采样, 双倍速率模式, 归一化到 $f_s$

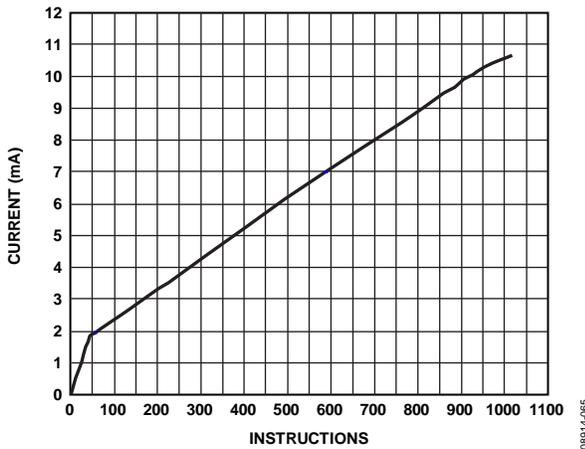


图22. 典型DSP吸电流

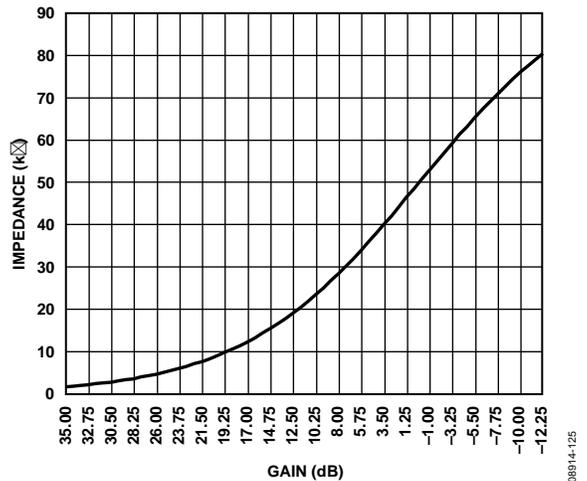


图25. 模拟输入的输入阻抗与增益的关系

# ADAU1461

## 系统框图

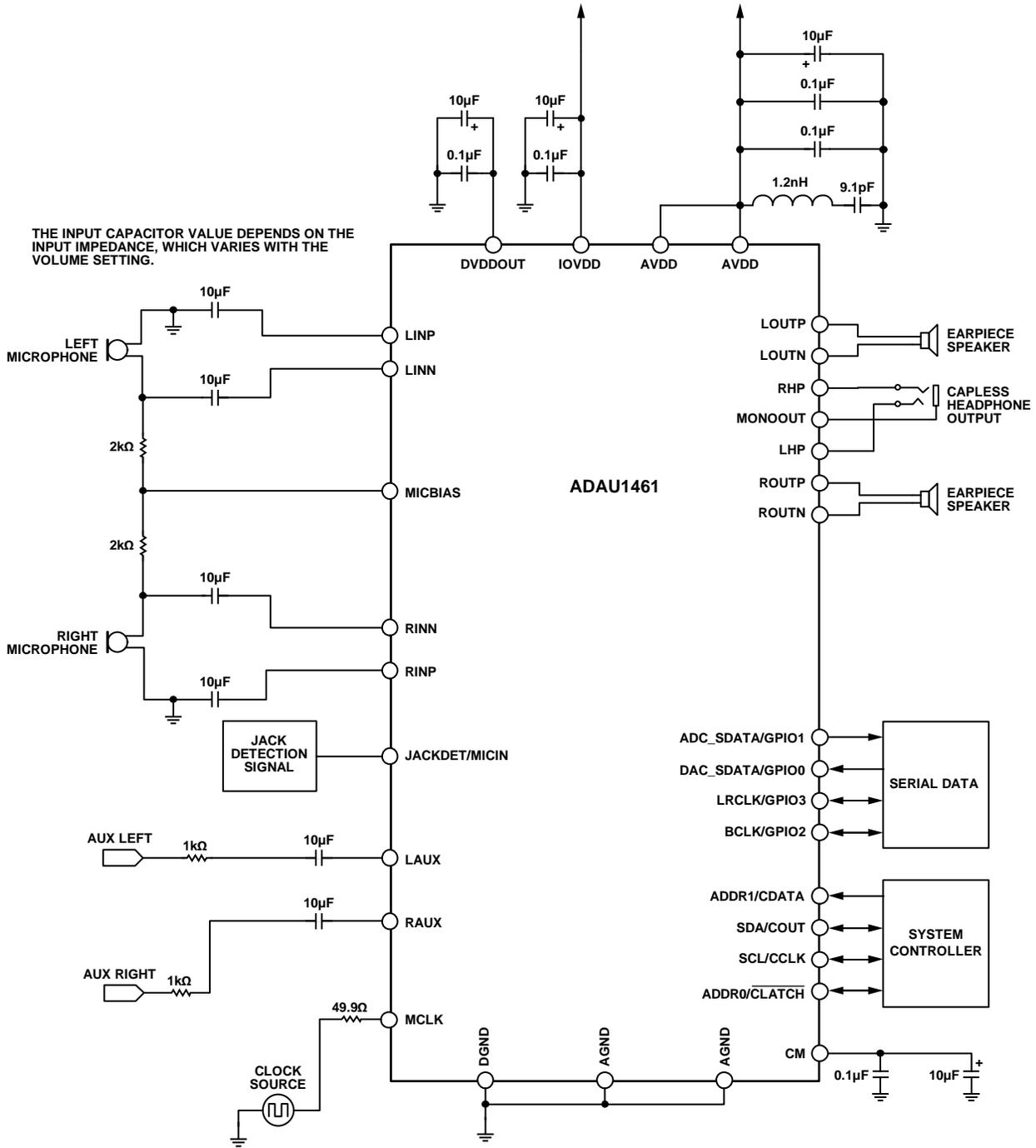


图26. 系统框图

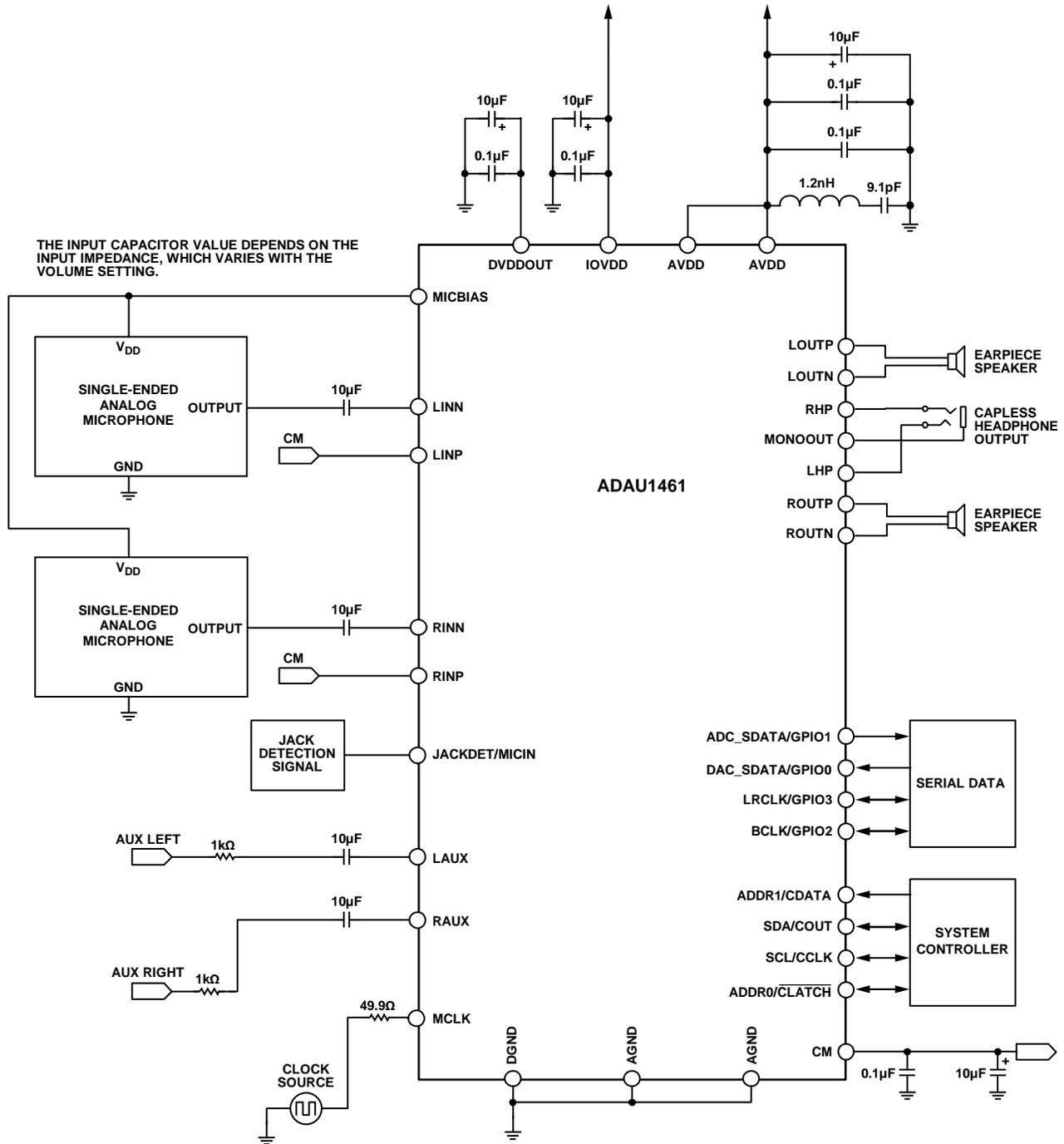


图27. 带模拟麦克风的系统框图

# ADAU1461

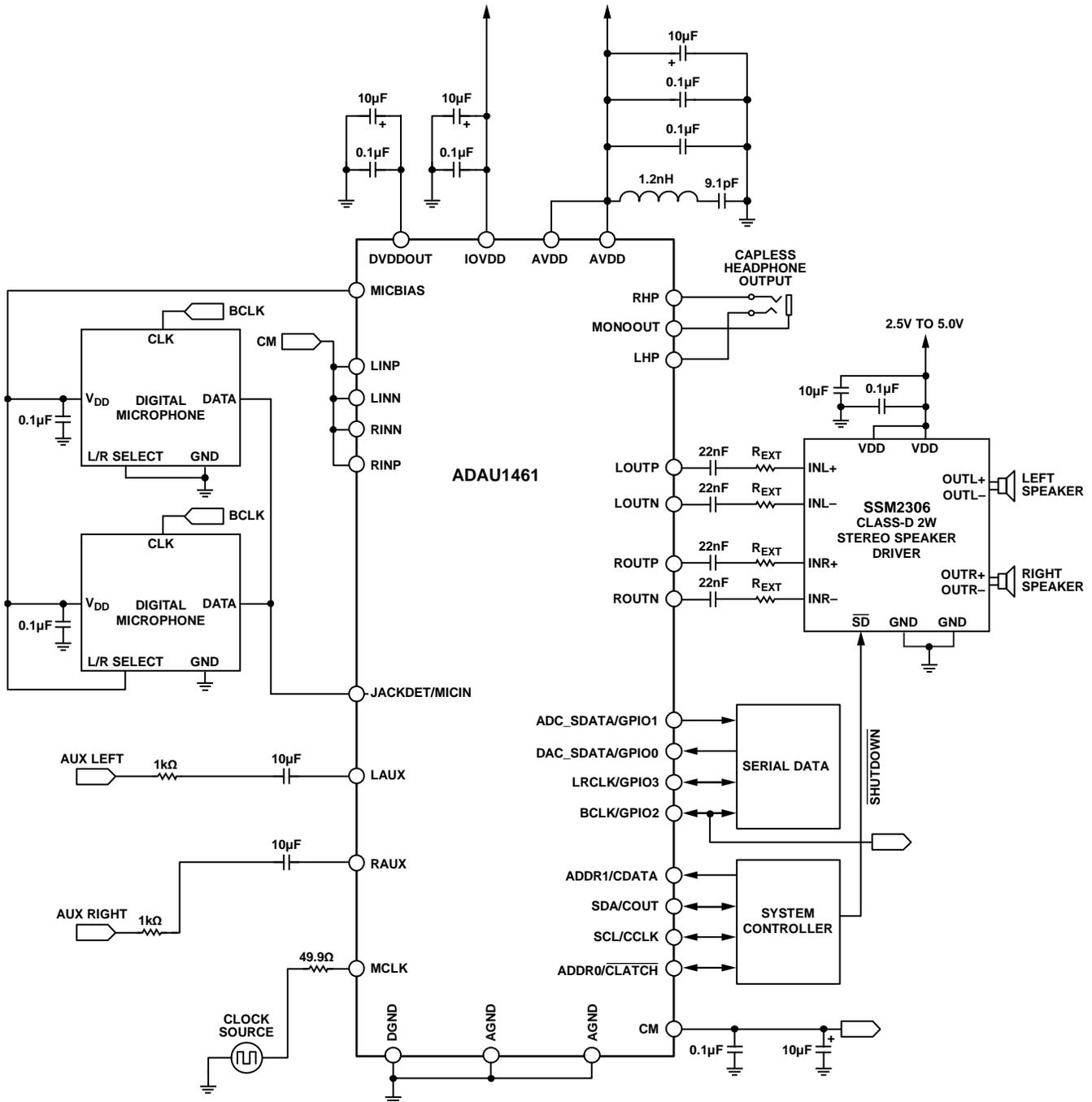


图28. 带数字麦克风和SSM2306 D类扬声器驱动器的系统框图

08914-060

## 工作原理

ADAU1461是一款低功耗音频编解码器，集成面向数据流型DSP内核，采用一体化封装，提供高质量音频、低功耗、小尺寸和许多其他高级特性。立体声ADC和立体声DAC各具有至少+98 dB的SNR和至少-90 dB的THD + N。串行数据端口兼容FS、左对齐、右对齐和TDM模式，可以与数字音频数据接口。工作电压为3.3 V，片上稳压器产生内部数字电源电压。

录音信号路径包括非常灵活的输入配置，可接受差分 and 单端模拟麦克风输入以及数字麦克风输入。麦克风偏置引脚支持与驻极体麦克风无缝接口。输入配置可接受最多6路单端模拟信号或多种形式的立体声差分、立体声单端信号，并具有2路辅助单端输入。每路输入信号都可以利用各自的可编程增益放大器(PGA)进行音量调整，并且可以旁路ADC，直接分配至回放路径输出复用器。此外还可以实现自动电平控制(ALC)，保持录音音量不变。

ADC和DAC均为高质量、24位 $\Sigma$ - $\Delta$ 型转换器，以可选的64倍或128倍过采样率工作。转换器的基本采样速率由输入时钟速率设置，可以利用转换器控制寄存器设置做进一步调整。转换器以8 kHz到96 kHz的采样速率工作。ADC和DAC还包括步长非常精密的数字音量控制功能。

回放路径允许将输入信号和DAC输出混频为各种输出配置。耳机驱动器可驱动立体声耳机输出，其它输出引脚则能够以差分方式驱动耳机扬声器。利用单声道输出作为虚拟地连接可以实现无电容耳机输出。立体声线路输出既可以用作单端或差分输出，也可以用作可选的混频下变频单声道输出。

DSP内核具有很多特性，使这款独一无二的编解码器针对音频处理而优化。程序和参数RAM可以利用定制音频处理信号流程加载，使用ADI公司的SigmaStudio图形编程软件可以构建该信号流程。参数RAM中存储的值控制各信号处理模块，如均衡滤波器、动态处理器、音频延迟和复用器电平等。

可以使用SigmaStudio软件通过控制端口来设置和控制SigmaDSP。除了设计和调整信号流外，还可以使用该工具配置所有DSP寄存器。任何人只要具备数字或模拟音频处理知识，就可以利用SigmaStudio图形界面轻松设计一个DSP信号流，并将其移植到目标应用中。同时，它还为经验丰富的DSP编程人员提供了充分的灵活性和编程能力，使其能深入地控制设计。在SigmaStudio中，用户可以连接图形模块(如双二阶滤波器、动态处理器、复用器和延迟等)、编译设计以及通过控制端口将程序和参数文件加载到ADAU1461存储器。在提供的库中包括下列信号处理模块：

- 增强立体声采集
- 单精度和双精度双二阶滤波器
- FIR滤波器
- 带峰值或均方根检波功能的动态处理器，用于单声道和多声道动态处理
- 复用器和分路器
- 单音和噪声发生器
- 固定和可变增益
- 响度
- 延迟
- 立体声增强
- 动态低音增强
- 噪声和单音源
- 电平检测器

我们还在开发更多处理模块。针对矩阵解码、低音增强和环绕声虚拟器等应用，ADI公司也提供专有算法和第三方算法。有关这些算法的授权事宜，请联系ADI公司([www.analog.com](http://www.analog.com))。

利用片上小数PLL，ADAU1461可以从各种各样的输入时钟产生内部时钟。PLL支持的输入范围为8 MHz至27 MHz。

ADAU1461采用32引脚、5 mm 5 mm小型LFCSP封装，配有底部焊盘。

## 启动、初始化和电源

本节介绍ADAU1461的正确启动程序。下面的序列提供了一种用来正确初始化系统的高级方法。

1. 给ADAU1461加电。
2. 让PLL锁定输入时钟(如果使用PLL)。
3. 使能内核时钟。
4. 加载寄存器设置。

有关正确启动序列的更多信息，参见“启动”部分。

### 上电时序

ADAU1461使用上电复位(POR)电路来在上电时复位寄存器。POR监控DVDDOUT引脚，只要给芯片加电，就会产生一个复位信号。复位期间，ADAU1461采用寄存器图所述的默认值进行设置(参见“控制寄存器”部分)。通常，在AVDD上有一个10 μF电容的情况下，POR约需14 ms。

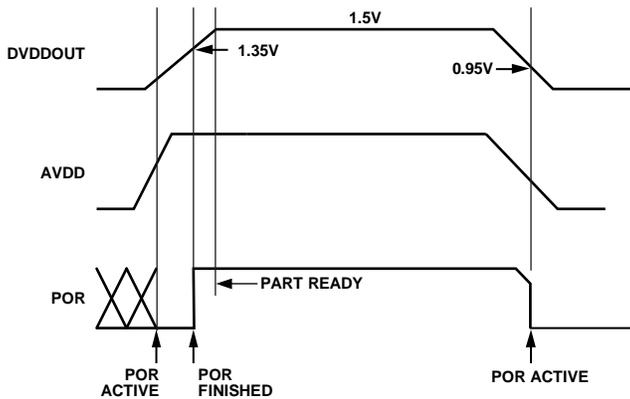


图29. 上电复位序列

PLL锁定时间取决于MCLK速率。典型锁定时间参见表10。PLL锁定后，可立即使能DSP。

表10. PLL锁定时间

PLL模式	MCLK频率	锁定时间(典型值)
小数	8 MHz	3.5 ms
小数	12 MHz	3.0 ms
整数	12.288 MHz	2.96 ms
小数	13 MHz	2.4 ms
小数	14.4 MHz	2.4 ms
小数	19.2 MHz	2.98 ms
小数	19.68 MHz	2.98 ms
小数	19.8 MHz	2.98 ms
小数	24 MHz	2.95 ms
整数	24.576 MHz	2.96 ms
小数	26 MHz	2.4 ms
小数	27 MHz	2.4 ms

### 降低功耗模式

ADAU1461芯片的多个部分可以根据需要开启或关闭，以便降低功耗。这些部分包括ADC、DAC、PLL和DSP内核。

ADC和DAC的数字滤波器各自均可以设置为64倍或128倍(默认)的过采样率。将这些滤波器的过采样率设置为64倍可以降低功耗，而对性能的影响则极小。关于这些滤波器的性能规格，请参见数字滤波器部分；关于工作曲线，请参见典型工作特性部分。

### 数字电源

ADAU1461的数字电源由内部调节器产生。此调节器产生1.5 V内部电源。此调节器的唯一外部连接是DVDDOUT旁路点。此引脚与DGND之间应连接一个100 nF电容和一个10 μF电容。

### 输入/输出电源

数字输出引脚的电源由IOVDD提供，它还设置数字输入引脚上应当出现的最高输入电压。IOVDD应设为3.3 V；数字输入信号的电平不得高于IOVDD上的电平。此引脚吸取的电流是可变的，因为它取决于数字输出的负载。IOVDD应通过一个100 nF电容和一个10 μF电容去耦至DGND。

### 时钟产生和管理

ADAU1461采用灵活的时钟方案，支持使用许多不同的输入时钟速率。PLL可以旁路或使用，这样就产生两种不同的时钟管理方法。有关时钟方案、PLL配置和采样速率的更多信息，请参见时钟和采样速率部分。

### 情形1：旁路PLL

如果旁路PLL，内核时钟将直接从MCLK输入获得。此时钟的速率必须通过寄存器R0(时钟控制寄存器，地址0x4000)的INFREQ[1:0]位正确设置。当PLL被旁路时，支持的外部时钟速率为256<sub>s</sub>、512<sub>s</sub>、768<sub>s</sub>和1024<sub>s</sub>，其中f<sub>s</sub>为基本采样速率。在芯片的内核时钟使能位(COREN)置位之前，内核时钟关闭。若速率低于1024<sub>s</sub>的时钟直接输入ADAU1461(旁路PLL)，则减少可用的SigmaDSP处理周期数，并且寄存器R57(地址0x40EB)中的DSPSR位也应相应调整。

## 情形2：使用PLL

在PLL锁定获取期间，整个芯片的内核时钟关闭。用户可以轮询锁定位，以确定PLL何时锁定。获取锁定后，就可以置位寄存器R0(时钟控制寄存器，地址0x4000)的内核时钟使能位(COREN)，以启动ADAU1461。此位使能ADAU1461所有内部模块的内核时钟。

## PLL锁定获取

在锁定获取期间，通过控制端口只能访问寄存器R0(地址0x4000)和寄存器R1(地址0x4002)。所有其它寄存器都需要有效的主时钟才能进行读写操作，因此请勿尝试访问。任何读或写操作都被禁止，直到内核时钟使能位(COREN)和锁定位均置位。

若要在时钟设置初始化或重新配置期间对PLL编程，必须遵循以下步骤：

1. 关断PLL。
2. 复位PLL控制寄存器。
3. 启动PLL。
4. 轮询锁定位。
5. 获取PLL锁定后，置位内核时钟使能位。

PLL控制寄存器(寄存器R1，地址0x4002)是一个48位寄存器，必须利用一个连续的写操作通过控制端口写入所有位。

## 时钟和采样速率

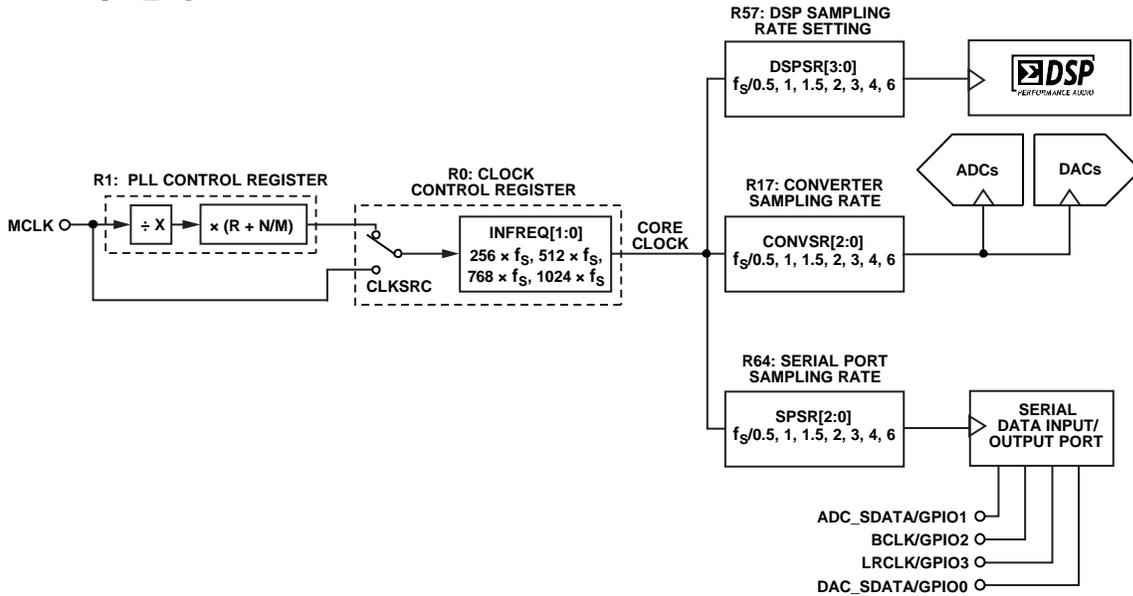


图30. 时钟树图

### 内核时钟

用于转换器、串行端口和DSP的时钟从内核时钟获得。内核时钟可以直接从MCLK获得，也可以由PLL产生。CLKSRC位(寄存器R0/地址0x4000的位3)决定时钟源。

INFREQ[1:0]位应根据CLKSRC所选的预期输入时钟速率进行设置，此值还决定内核时钟速率和基本采样频率 $f_s$ 。

例如，如果CLKSRC的输入为49.152 MHz(来自PLL)，则：

$$INFREQ[1:0] = 1024 \times f_s$$

$$f_s = 49.152 \text{ MHz} / 1024 = 48 \text{ kHz}$$

PLL输出时钟速率始终为 $1024 f_s$ ，当使用PLL时，时钟控制寄存器自动将INFREQ[1:0]位设置为 $1024 f_s$ 。当直接使用时钟时，INFREQ[1:0]频率应根据MCLK引脚时钟速率和所需的基本采样频率进行设置。

若要利用最大数量的DSP指令，则内核时钟运行速率应当为 $1024 f_s$ 。

表11. 时钟控制寄存器(寄存器R0, 地址0x4000)

位	位的名称	设置
3	CLKSRC	0: 直接来自MCLK引脚(默认) 1: PLL时钟
[2:1]	INFREQ[1:0]	00: $256 \times f_s$ (默认) 01: $512 \times f_s$ 10: $768 \times f_s$ 11: $1024 \times f_s$
0	COREN	0: 内核时钟禁用(默认) 1: 内核时钟使能

**采样速率**

ADC、DAC和串行端口使用相同的采样速率，它在寄存器R17(转换器控制0寄存器，地址0x4017)中进行设置。CONVSR[2:0]位将该采样速率设置为基本采样频率的比值。DSP采样速率在寄存器R57(DSP采样速率设置寄存器，地址0x40EB)中通过DSPSR[3:0]位设置，而串行端口采样速率在寄存器R64(串行端口采样速率寄存器，地址0x40F8)中通过SPSR[2:0]位设置。

除非在DSP中完成适当的补偿滤波，否则建议将转换器、串行端口和DSP的采样速率设置为相同值。表12和表13列出了常用基本采样速率的分频结果。

**表12. 48 kHz基本采样速率分频结果**

基本采样频率	采样速率比例	采样速率
$f_s = 48 \text{ kHz}$	$f_s/1$	48 kHz
	$f_s/6$	8 kHz
	$f_s/4$	12 kHz
	$f_s/3$	16 kHz
	$f_s/2$	24 kHz
	$f_s/1.5$	32 kHz
	$f_s/0.5$	96 kHz

**表13. 44.1 kHz基本采样速率分频结果**

基本采样频率	采样速率比例	采样速率
$f_s = 44.1 \text{ kHz}$	$f_s/1$	44.1 kHz
	$f_s/6$	7.35 kHz
	$f_s/4$	11.025 kHz
	$f_s/3$	14.7 kHz
	$f_s/2$	22.05 kHz
	$f_s/1.5$	29.4 kHz
	$f_s/0.5$	88.2 kHz

**表14. PLL控制寄存器(寄存器R1，地址0x4002)**

位	位的名称	描述
[47:32]	M[15:0]	小数PLL的分母：16位二进制数 0x00FD；M = 253(默认值)
[31:16]	N[15:0]	小数PLL的分子：16位二进制数 0x000C；N = 12(默认值)
[14:11]	R[3:0]	PLL的整数部分：4位，仅2到8范围内的值有效 0010: R = 2(默认) 0011: R = 3 0100: R = 4 0101: R = 5 0110: R = 6 0111: R = 7 1000: R = 8

**PLL**

PLL使用MCLK作为产生内核时钟的参考。PLL设置在寄存器R1(PLL控制寄存器，地址0x4002)中进行设置。根据MCLK频率的不同，必须将PLL设置为整数或小数模式。PLL可以接受8 MHz至27 MHz范围内的输入频率。

PLL控制寄存器的所有6个字节必须利用一个连续的写操作通过控制端口写入。

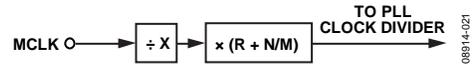


图31. PLL功能框图

**整数模式**

当MCLK为PLL输出(1024<sub>s</sub>)的整数(R)倍时，使用整数模式。

例如，如果MCLK = 12.288 MHz且 $f_s = 48 \text{ kHz}$ ，则：

$$PLL \text{ 所需输出} = 1024 \times 48 \text{ kHz} = 49.152 \text{ MHz}$$

$$R = 49.152 \text{ MHz} / 12.288 \text{ MHz} = 4$$

在整数模式下，忽略M和N的值。

**小数模式**

当MCLK为PLL输出的小数( $R + (N/M)$ )倍数时，使用小数模式。

例如，如果MCLK = 12 MHz且 $f_s = 48 \text{ kHz}$ ，则：

$$PLL \text{ 所需输出} = 1024 \times 48 \text{ kHz} = 49.152 \text{ MHz}$$

$$R + (N/M) = 49.152 \text{ MHz} / 12 \text{ MHz} = 4 + (12/125)$$

表15和表16给出了44.1 kHz和48 kHz采样速率的常用小数PLL参数设置。

PLL输出41 MHz至54 MHz范围内的时钟，计算PLL值和MCLK频率时应考虑到这一点。

# ADAU1461

位	位的名称	描述
[10:9]	X[1:0]	PLL输入时钟分频器 00: X = 1(默认) 01: X = 2 10: X = 3 11: X = 4
8	类型	PLL工作模式 0: 整数(默认) 1: 小数
1	锁定	PLL锁定(只读位) 0: PLL未锁定(默认) 1: PLL锁定
0	PLLEN	PLL使能 0: PLL禁用(默认) 1: PLL使能

表15. 小数PLL参数设置:  $f_s = 44.1 \text{ kHz}$ (PLL输出 =  $45.1584 \text{ MHz} = 1024_s$ )

MCLK输入(MHz)	输入分频器(X)	整数(R)	分母(M)	分子(N)	R2: PLL控制设置(十六进制)
8	1	5	625	403	0x0271 0193 2901
12	1	3	625	477	0x0271 01DD 1901
13	1	3	8125	3849	0x1FBD 0F09 1901
14.4	2	6	125	34	0x007D 0022 3301
19.2	2	4	125	88	0x007D 0058 2301
19.68	2	4	1025	604	0x0401 025C 2301
19.8	2	4	1375	772	0x055F 0304 2301
24	2	3	625	477	0x0271 01DD 1B01
26	2	3	8125	3849	0x1FBD 0F09 1B01
27	2	3	1875	647	0x0753 0287 1B01

表16. 小数PLL参数设置:  $f_s = 48 \text{ kHz}$ (PLL输出 =  $49.152 \text{ MHz} = 1024_s$ )

MCLK输入(MHz)	输入分频器(X)	整数(R)	分母(M)	分子(N)	R2: PLL控制设置(十六进制)
8	1	6	125	18	0x007D 0012 3101
12	1	4	125	12	0x007D 000C 2101
13	1	3	1625	1269	0x0659 04F5 1901
14.4	2	6	75	62	0x004B 003E 3301
19.2	2	5	25	3	0x0019 0003 2B01
19.68	2	4	205	204	0x00CD 00CC 2301
19.8	2	4	825	796	0x0339 031C 2301
24	2	4	125	12	0x007D 000C 2301
26	2	3	1625	1269	0x0659 04F5 1B01
27	2	3	1125	721	0x0465 02D1 1B01

表17. 整数PLL参数设置:  $f_s = 48 \text{ kHz}$ (PLL输出 =  $49.152 \text{ MHz} = 1024_s$ )

MCLK输入(MHz)	输入分频器(X)	整数(R)	分母(M)	分子(N)	R2: PLL控制设置(十六进制) <sup>1</sup>
12.288	1	4	无关	无关	0xFFFF XXXX 2001
24.576	1	2	无关	无关	0xFFFF XXXX 1001

<sup>1</sup> X = 无关位。

## 录音信号路径

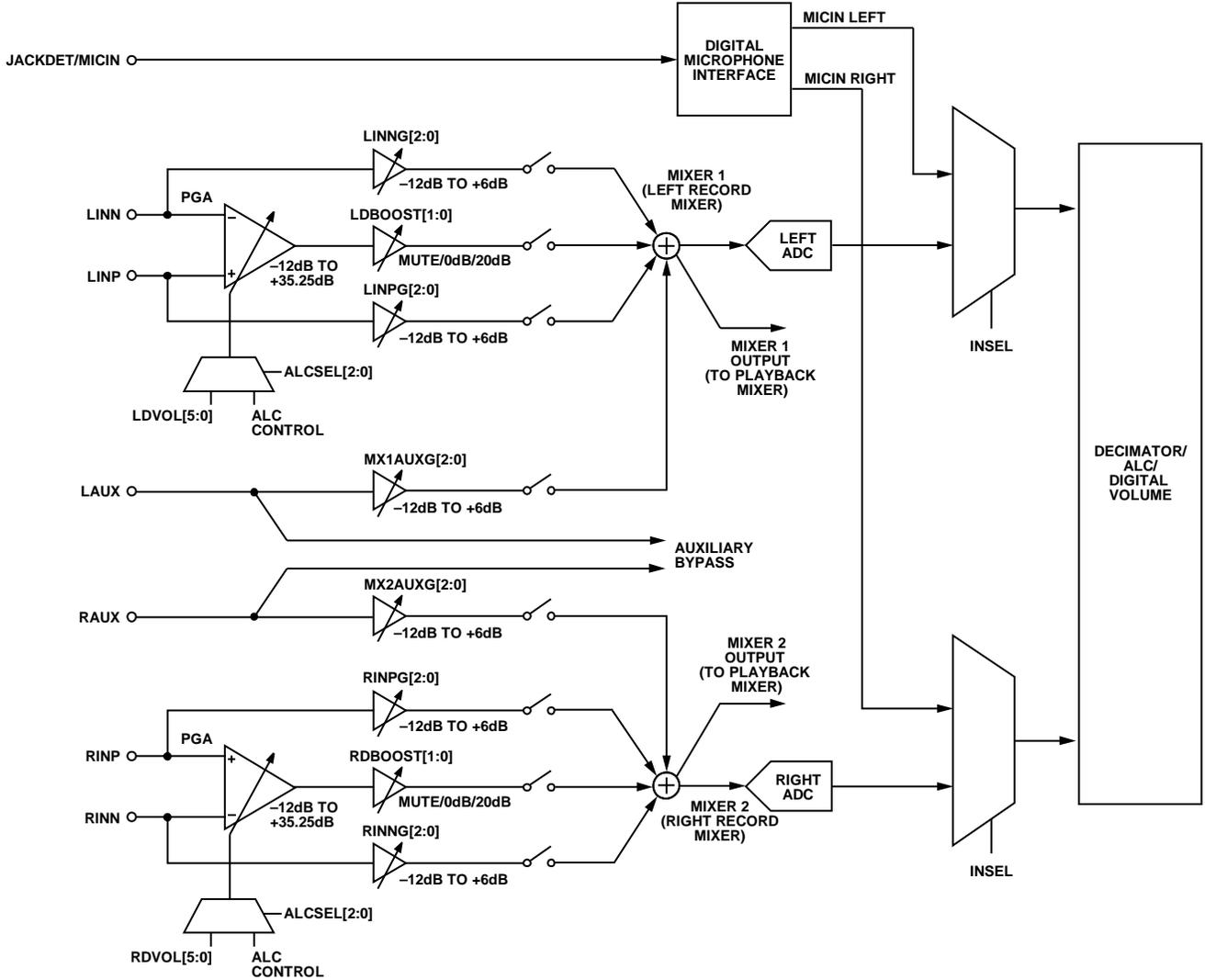


图32. 录音信号路径

### 输入信号路径

ADAU1461可以接受线路电平和麦克风输入。模拟输入可以配置为单端或差分配置。此外还有一路数字麦克风输入。模拟输入偏置AVDD/2。不用的输入引脚应连接到CM。

6路模拟输入各自均有增益控制(增强或减弱)。分配输入信号经过复用器后分配至ADC。混频后的输入信号也可以旁路ADC，直接分配至回放复用器。左声道输入在左ADC之前进行混频，但也可以将混频后的模拟信号绕过ADC分配，将其输出到左或右输出通道。同样的处理方法也适用于右声道和右ADC。

信号通过PGA和复用器后会反转。这种反转导致通过PGA的差分信号输入以与输入相同的极性从ADC输出。通过复用器但不通过PGA的单端输入不反转。ADC不提供反转功能。

模拟输入端的输入阻抗随PGA的增益而变化。此阻抗的变化范围是1.7 kΩ(35.25 dB增益设置)至80.4 kΩ(-12 dB增益设置)。图25显示了该范围。

# ADAU1461

## 模拟麦克风输入

针对麦克风输入，应将器件配置为立体声伪差分模式或立体声全差分模式。

LINN和LINP引脚分别是左声道的反相和同相输入端。RINN和RINP引脚分别是右声道的反相和同相输入端。

针对差分麦克风输入，应将正信号连接到PGA的同相输入端，将负信号连接到PGA的反相输入端，如图33所示。PGA设置由寄存器R8(左差分输入音量控制寄存器，地址0x400E)和寄存器R9(右差分输入音量控制寄存器，地址0x400F)控制。首先必须将RDEN位和LDEN位置1以使能PGA。

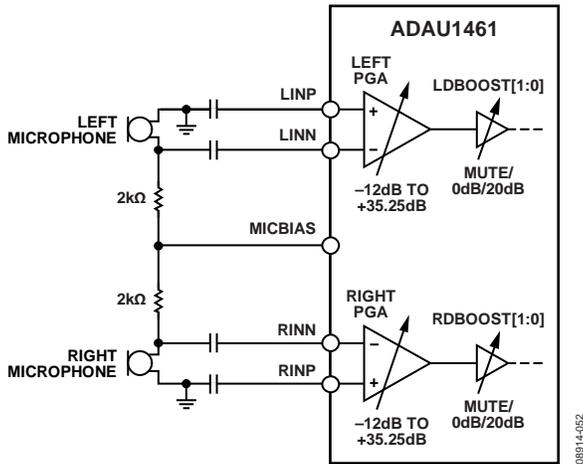


图33. 立体声差分麦克风配置

PGA也可以用于单端麦克风输入。LINN和/或RINP连接到CM引脚。在这种配置中，信号连接到PGA的反相输入端LINN和/或RINN，如图34所示。

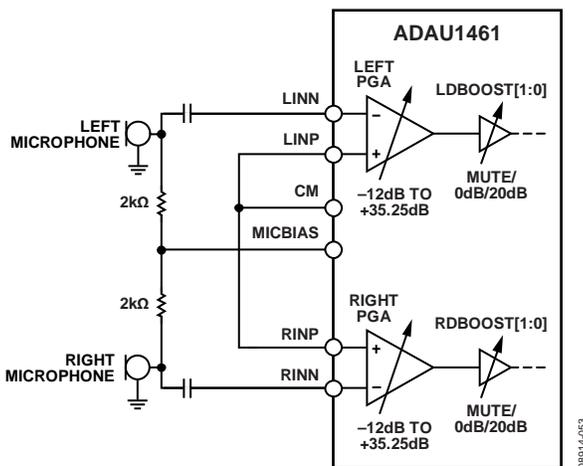


图34. 立体声单端麦克风配置

## 模拟线路输入

任何模拟输入端都可以接受线路输入信号。可以将RINN、RINP、LINN和LINP分配引脚上的信号绕过差分放大器分配至其自有放大器，并且禁用LDEN位和RDEN位(寄存器R8/地址0x400E的位0和寄存器R9/地址0x400F的位0)，以将这些引脚用作单端线路输入端。图35给出了使用RINN和LINN引脚的立体声单端线路输入配置。

LAUX和RAUX引脚是单端线路输入，可以将其一起用作立体声单端辅助输入，如图35所示。这些输入可以旁路输入增益控制、复用器和ADC，直接连接到输出回放复用器(参见图32中的辅助旁路)。

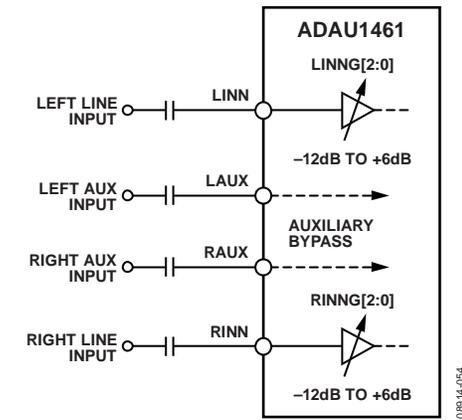


图35. 带立体声辅助旁路的立体声单端线路输入

### 数字麦克风输入

当将数字麦克风输入连接到JACKDET/MICIN引脚时，寄存器R2(地址0x4008)的JDFUNC[1:0]位必须设置为10，以启用麦克风输入并禁用插孔检测功能。ADAU1461必须工作在主机模式，并且将BCLK输入到数字麦克风的输入时钟。要使数字麦克风正常工作，还必须置位寄存器R62(DSP运行寄存器，地址0x40F6)内的DSRUN位。

数字麦克风信号旁路录音路径复用器和ADC，分配直接分配到抽取滤波器。数字麦克风和ADC共用抽取滤波器，因此二者不能同时使用。数字麦克风输入选择位INSEL可以在寄存器R19(ADC控制寄存器，地址0x4019)中设置。图36显示了数字麦克风接口和信号分配。

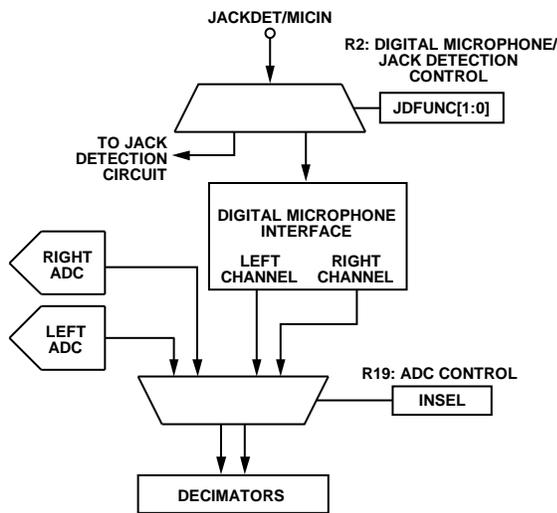


图36. 数字麦克风接口框图

08914-023

### 麦克风偏置

MICBIAS引脚为驻极体模拟麦克风提供基准电压。MICBIAS电压在寄存器R10(录音麦克风偏置控制寄存器，地址0x4010)中进行设置。通过此寄存器可以启用或禁用MICBIAS输出。其它选项包括高性能工作模式和增益增强。增益增强功能提供两种不同的电压偏置：0.65或0.90。当启用时，高性能位会提高麦克风偏置电路的电源电流，以降低均方根输入噪声。

MICBIAS引脚也可以用来从独立的电源引脚为数字麦克风或模拟麦克风提供干净的电源电压。

### 模数转换器

ADAU1461采用两个具有可选过采样率(64倍或128倍，通过寄存器R17/地址0x4017的位3选择)的24位 $\Sigma$ - $\Delta$ 型模数转换器(ADC)。

### ADC满量程电平

AVDD = 3.3 V时，ADC的满量程输入(0 dBFS)为1.0 V rms。此满量程模拟输入将输出一个-1.38 dBFS的数字信号。ADAU1461已内置此增益失调，以防止削波。满量程输入电平与AVDD电平成线性比例关系。

对于单端和伪差分信号，满量程值对应于这些引脚的信号电平0 dBFS。

全差分满量程输入电平是在差分放大器之后进行测量，对应于各引脚的-6 dBFS信号电平。

高于满量程值的信号电平会导致ADC削波。

### 数字ADC音量控制

DSP处理前，数字ADC音量可以利用寄存器R20(左输入数字音量寄存器，地址0x401A)和寄存器R21(右输入数字音量寄存器，地址0x401B)进行衰减。

### 高通滤波器

默认情况下，ADC路径中会使用一个高通滤波器来消除直流失调。此滤波器可以通过寄存器R19(ADC控制寄存器，地址0x4019)启用或禁用。当 $f_s = 48$  kHz时，此高通滤波器的转折频率为2 Hz。

## 自动电平控制(ALC)

ADAU1461内置硬件自动电平控制(ALC)功能。ALC的作用是连续调整PGA增益，使录音音量保持恒定，不随输入电平变化而变化。

为实现最佳噪声性能，ALC使用模拟PGA而不是数字方法来调整增益。这可确保在信号电平较低时不会放大ADC噪声。为了确保在增益变化期间获得高质量音频，ALC使用极小的增益步长。

要使用ALC功能，必须以差分方式或伪差分方式将输入施加到左声道的LINN和LINP输入引脚以及右声道的RINN和RINP输入引脚。ALC功能无法用于辅助线路输入引脚LAUX和RAUX。

ALC模块的功能框图如图37所示。ALC逻辑接收ADC输出信号，并分析这些数字信号以设置PGA增益。ALC控制寄存器用来控制时间常数和输出电平，如本部分所述。

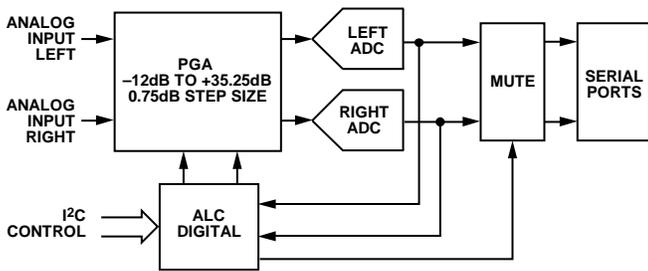


图37. ALC结构

### ALC参数

ALC功能通过ALC控制寄存器(地址0x4011至0x4014)进行控制，其参数如下：

- ALCSEL[2:0]：ALC选择位，用于使能ALC并将模式设置为仅左声道、仅右声道、立体声或DSP。在立体声模式下，使用左右输入中的较大者来计算增益，然后将同样的增益应用于左右两个声道。在DSP模式下，PGA增益通过SigmaDSP内核控制。

- ALCTARG[3:0]：ALC目标值，即ALC试图实现的理想输入录音电平。
- ALCATCK[3:0]：ALC启动时间，用于设置当输入电平突然提高到ALC目标值以上之后，ALC在多长时间开始进行衰减。虽然看似应将启动时间设置得尽可能短，以避免瞬变时削波，不过使用适中的值可以获得更好的整体音质。如果该值太短，ALC将对非常短的瞬变做出过度反应，导致可听到的增益泵效应，这比使用适中的值以允许短时间的瞬变削波来说更差。音乐录音的典型设置为384 ms，语音录音的典型设置为24 ms。
- ALCHOLD[3:0]：这些位设置ALC保持时间。当输出信号降至目标输出电平以下时，增益不会立即提高，而是等到输出持续低于目标电平一定的时间之后才提高；该时间即为由保持时间位设置的保持时间，其作用是防止增益调制稳定的低频正弦波信号，以免引起失真。
- ALCDEC[3:0]：ALC衰减时间设置当输入电平突然降低到ALC目标值以下之后，ALC在多长时间提高PGA增益。如果ALC的主要作用是设置音乐录音电平，则可以使用非常慢的设置。如果ALC的作用是压缩语音录音的动态范围，则可以使用较快的设置。使用非常短的衰减时间可能会引起声频伪像，例如噪声泵或失真等。音乐录音的典型设置为24.58秒，语音录音的典型设置为1.54秒。
- ALCMAX[2:0]：ALC最大增益，用于限制ALC可编程的最大增益。当对小输入信号进行录音时，利用此设置可以防止过大的噪声。请注意，如果将此参数设置得过低，可能会阻碍ALC达到其目标输出电平，不过为了实现最佳整体音质，常常需要这一设置。

图38显示了针对猝发音输入的PGA增益动态行为。图中针对三种不同的输入电平实现了目标输出，并且显示了启动、保持和衰减的效果。请注意，对于非常小的信号，最大PGA增益可能会阻碍ALC实现其目标电平。同理，对于非常大的输入，最小PGA增益可能会阻碍ALC实现其目标电平(假设目标输出电平设置得非常低)。PGA增益限制的效果如图39的输入/输出图所示。

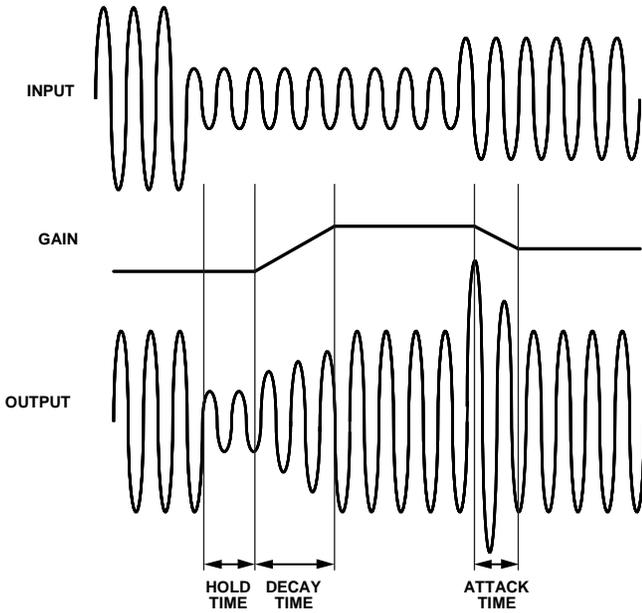


图38. ALC基本操作

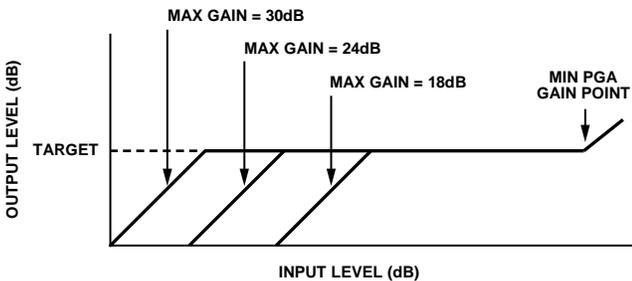


图39. 改变最大增益参数的效果

**噪声门功能**

使用ALC时，一个潜在问题是对于小输入信号，PGA增益可能会变得非常大。其副作用是噪声随同目标信号被放大。为避免这种现象，可以使用ADAU1461的噪声门。当信号电平低于设定的阈值时，噪声门会截断ADC输出。噪声门通过ALC控制3寄存器(地址0x4014)中的下列参数进行控制：

- NGTYP[1:0]：噪声门类型，写入NGTYP[1:0]位可以将其设置为四种模式之一。
- NGEN：写入NGEN位可以使能噪声门功能。
- NGTHR[4:0]：写入NGTHR[4:0]位可以设置输出静音的阈值。

噪声门功能的一个常见问题是震颤，即当一个接近噪声门阈值的小信号不断改变幅度时，会导致噪声门功能快速开启和关闭。这会产生难听的声音。

为了减小这种效应，ADAU1461的噪声门综合运用超时间和迟滞。超时时间设置为250 ms，信号必须持续低于阈值

250 ms才能使噪声门动作。迟滞的作用是让脱离静音状态的阈值比进入静音状态的阈值高6 dB。噪声门有四种工作模式。

将NGTYP[1:0]位设置为00时，选择噪声门模式0(见图40)。在这种模式下，当噪声门逻辑被激活时，PGA增益保持其当前状态。这可以防止静音期间的背景噪声大幅增加。采用这种模式时，建议使用相对较长的衰减时间。这是因为噪声门至少需要250 ms才能激活，如果在此期间PGA增益已经提高到很大的值，则增益的保持值也会很大。

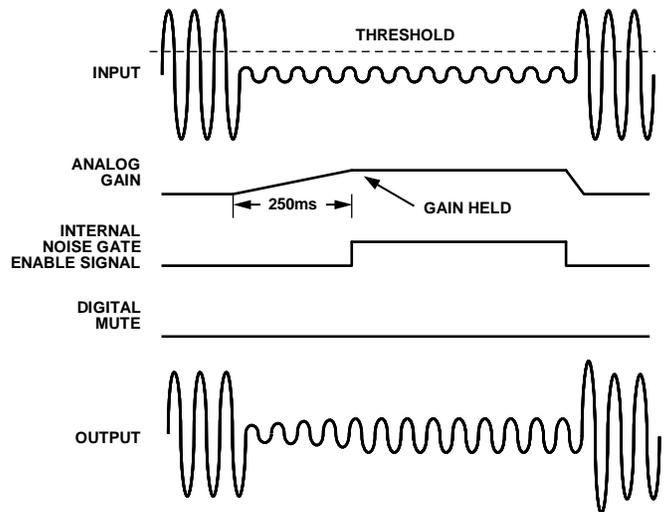


图40. 噪声门模式0(PGA增益保持)

将NGTYP[1:0]位设置为01时，选择噪声门模式1(见图41)。在这种模式下，ADAU1461简单地对ADC输出实行数字静音。虽然这种模式会完全消除背景噪声，但突然静音可能会令人感到不舒服。

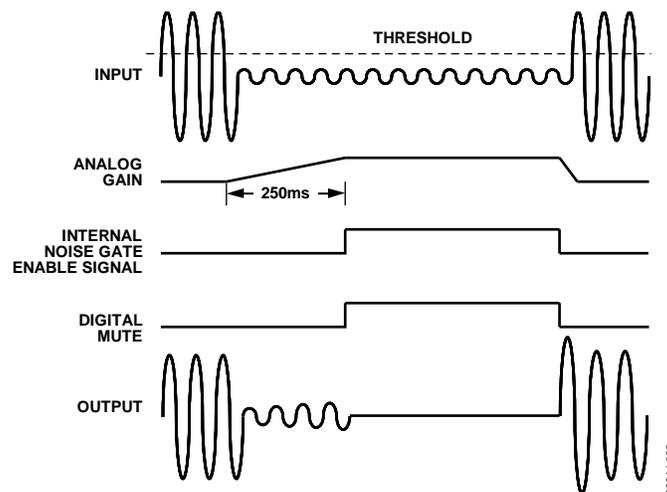


图41. 噪声门模式1(数字静音)

# ADAU1461

将NGTYP[1:0]位设置为10时，选择噪声门模式2(见图42)。在这种模式下，ADAU1461首先会在大约100 ms的时间内将PGA增益衰减到最小PGA增益值，从而改善噪声门操作的声音。ADAU1461不会在衰减完成后强行静音，因此一些小的背景噪声仍将存在。

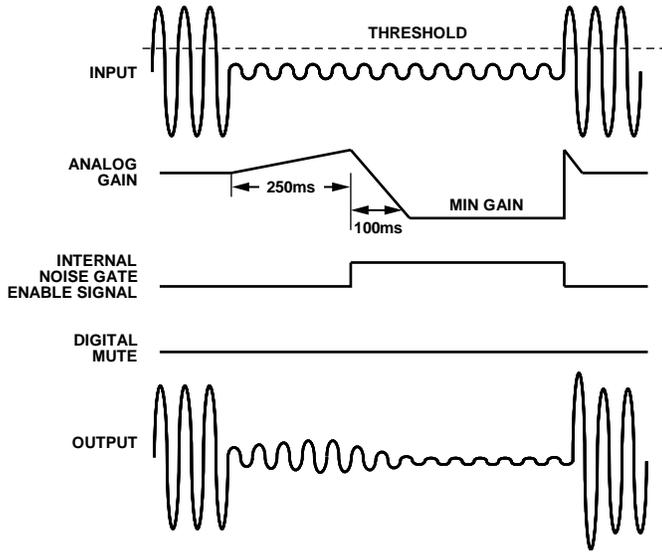


图42. 噪声门模式2(模拟衰减)

将NGTYP[1:0]位设置为11时，选择噪声门模式3(见图43)。除了在PGA增益衰减时间结束时执行数字静音之外，此模式与模式2完全相同。一般而言，此模式是最佳的声音模式，因为在静音发生之前，增益已经衰减到较低的水平，数字硬静音的声频效应因此得以减小。

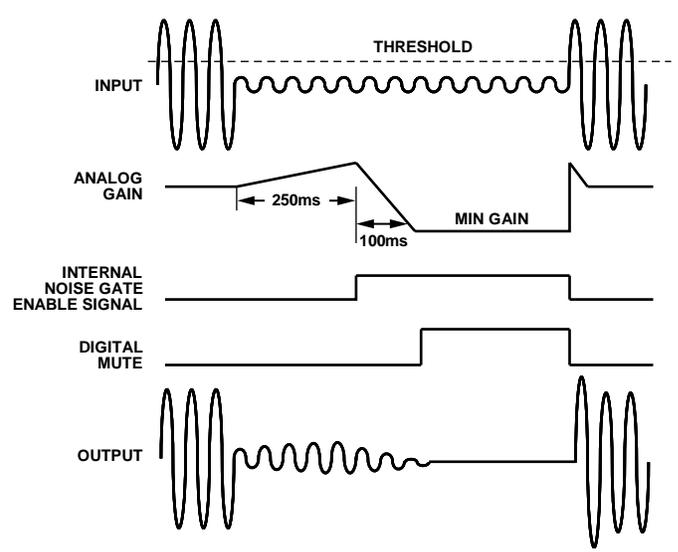


图43. 噪声门模式3(模拟衰减/数字静音)

## 回放信号路径

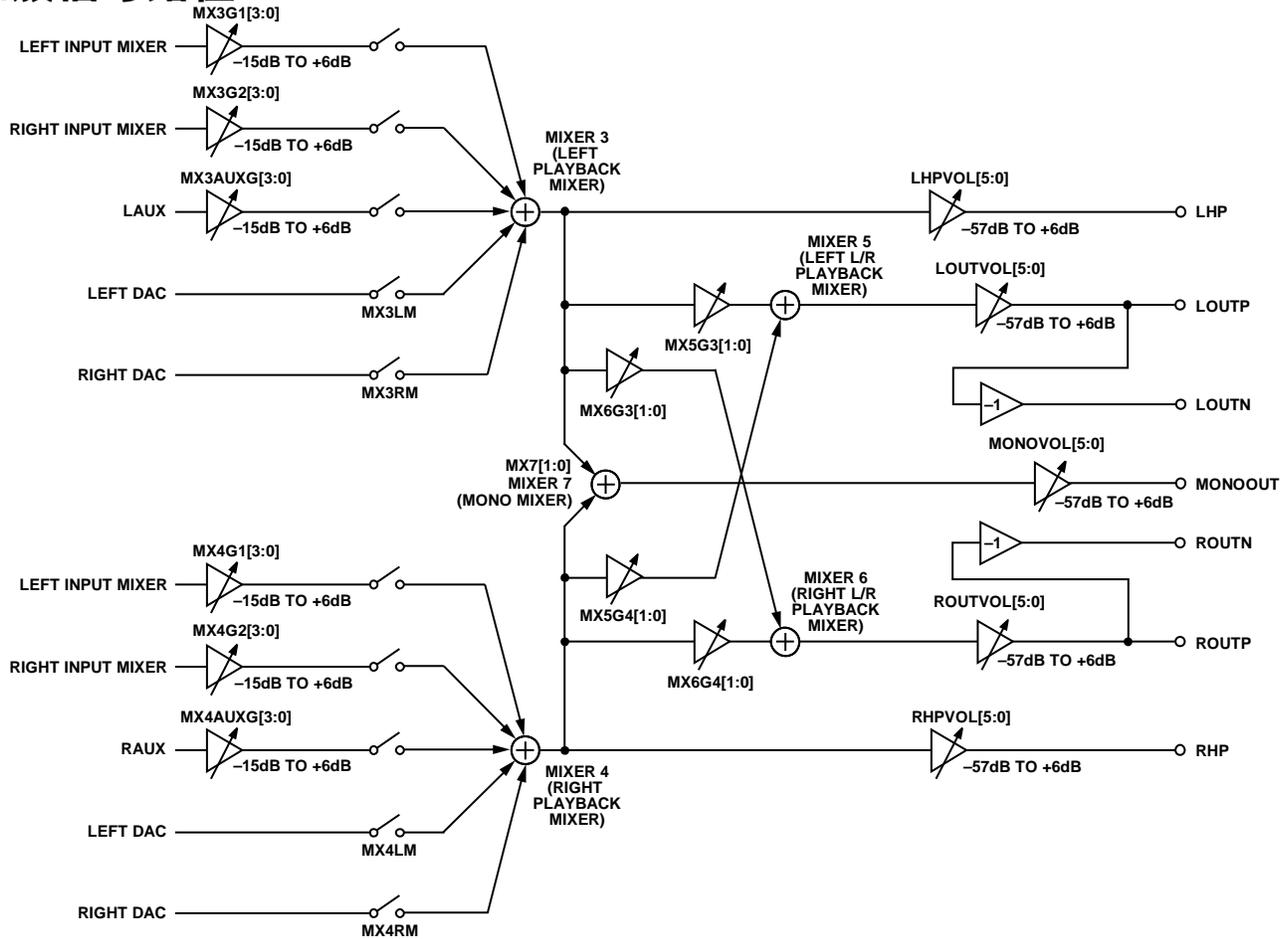


图44. 回放信号路径

## 输出信号路径

ADAU1461的输出可以配置为多种不同的差分或单端输出。所有模拟输出因都能驱动耳机或耳机扬声器。立体声信号或下混频单声道输出可以选择输出路径。线路输出可以驱动至少10 kΩ的负载，或者也可以配置为HP模式以驱动耳机或耳机扬声器。模拟输出引脚偏置AVDD/2。

对于0 dBFS数字输入，当AVDD = 3.3 V时，满量程输出电平为920 mV rms。

信号通过复用器和音量控制部分后会反转，其结果是差分输出和耳机输出的极性得以保留。单端单声道输出不反转。DAC不提供反转功能。

## 分配灵活性

回放路径包含5个复用器(复用器3至复用器7)，执行如下功能：

- 混合来自录音路径和DAC的信号。
- 混合或交换左右声道。
- 混合单声道信号或产生共模输出。

复用器3和复用器4专门用于混合来自录音路径和DAC的信号。这两个复用器各自均可接受来自左右DAC、左右输入复用器和专用通道辅助输入的信号。来自录音路径的信号可以在回放复用器之前进行增强或减弱。

例如，MX4G2[3:0]位设置从复用器2(右录音通道)的输出端到复用器4的输入端的增益，该参数的名称即由此而来。

来自DAC的信号具有数字音量衰减控制功能，可以通过寄存器R20(左输入数字音量寄存器，地址0x401A)和寄存器R21(右输入数字音量寄存器，地址0x401B)进行设置。

# ADAU1461

## 耳机输出

LHP和RHP引脚可以由线路输出驱动器或耳机驱动器驱动，具体是通过寄存器R30(回放耳机右音量控制寄存器，地址0x4024)的HPMODE位进行设置。耳机输出可以驱动至少16 Ω的负载。

左右声道的音量控制是独立的，范围为-57 dB至+6 dB。利用寄存器R34(回放爆音/咔嚓声抑制寄存器，地址0x4028)的ASLEW[1:0]位，可以对所有回放音量控制应用压摆。

## 无电容耳机配置

耳机输出可以配置为无电容输出配置，将MONOOUT引脚用作直流虚拟地参考。图45显示了无电容耳机配置中的典型回放路径。表18列出了这种配置的寄存器设置。如表中所示，MONOOUT引脚输出共模电平(AVDD/2)，用作虚拟耳机基准电压。

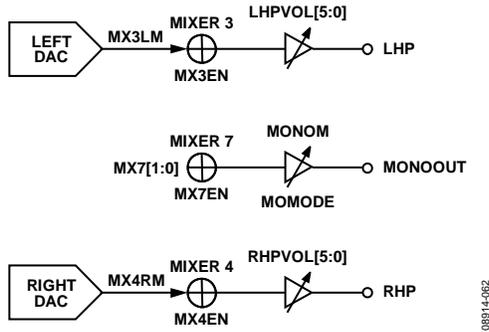


图45. 无电容耳机配置图

表18. 无电容耳机寄存器设置

寄存器	位的名称	设置
R36	DACEN[1:0]	11 = 两个DAC均使能
R22	MX3EN	1 = 使能复用器3
	MX3LM	1 = 左DAC输入取消静音
R24	MX4EN	1 = 使能复用器4
	MX4RM	1 = 右DAC输入取消静音
R28	MX7EN	1 = 使能复用器7
	MX7[1:0]	00 = 共模输出
R33	MONOM	1 = 单声道输出取消静音
	MOMODE	1 = 耳机输出
R29	LHPVOL[5:0]	LHP输出的理想音量
	LHPM	1 = 左耳机输出取消静音
R30	HPMODE	1 = 耳机输出
	RHPVOL[5:0]	RHP输出的理想音量
	RHPM	1 = 右耳机输出取消静音

## 耳机输出上电/掉电序列

利用HPMODE位使能耳机输出后，为防止打开耳机输出时出现爆音，用户必须等待至少4 ms才能使这些输出取消静音。这是因为在使用这些输出之前，内部电容必须充电。图46和图47显示了耳机上电/掉电序列。

对于无电容耳机，应在使耳机输出取消静音之前配置MONOOUT引脚。

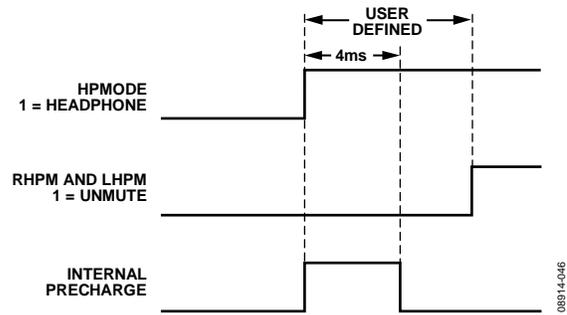


图46. 耳机输出上电时序

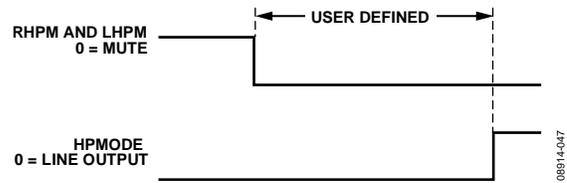


图47. 耳机输出掉电时序

## 以地为中心的耳机配置

通过在LHP和RHP引脚上放置耦合电容，也可以将耳机输出配置为以地为中心的输出。以地为中心的耳机应使用AGND引脚作为地参考。

以这种方式配置耳机输出时，这些电容会在输出端创建一个高通滤波器。此滤波器的转折频率(3 dB衰减点)通过下式计算：

$$f_{3dB} = 1/(2\pi \times R \times C)$$

其中：

C为电容值。

R为耳机的阻抗。

对于16 Ω的典型耳机阻抗和47 μF电容，转折频率为211 Hz。

**插孔检测**

如果JACKDET/MICIN引脚被设置为插孔检测功能，则当有耳机插入插孔时，就可以利用此引脚的标志位来使线路输出静音。此引脚可以通过寄存器R2(数字麦克风/插孔检测控制寄存器，地址0x4008)中进行配置。JDFUNC[1:0]位设置JACKDET/MICIN引脚的功能。

插孔检测的其它设置包括去抖时间(JDDB[1:0]位)和检测极性(JDPOL位)。由于插孔检测和数字麦克风共用一个引脚，因此二者不能同时使用。

**爆音与咔嚓声抑制**

上电时，预充电电路使能以抑制爆音和咔嚓声。上电后，可以利用寄存器R34(回放爆音/咔嚓声抑制寄存器，地址0x4028)的POPMODE位将预充电电路置于低功耗模式。

预充电时间取决于CM引脚上的电容值和负载的RC时间常数。对于典型的线路输出负载，预充电时间在2 ms到3 ms之间。预充电时间结束之后，可以将POPMODE位设置为低功耗模式。

改变任何会影响信号路径的寄存器设置都可能导致模拟输出端出现爆音和咔嚓声。为避免爆音和咔嚓声，应利用寄存器R29至寄存器R32(地址0x4023至0x4026)使相应的输出静音。变更完成后，取消模拟输出的静音。

**线路输出**

线路输出引脚(LOUTP、LOUTN、ROUTP和ROUTN)可以用来驱动差分和单端负载。在默认设置下，这些引脚可以驱动10 kΩ或更大的典型线路负载，但也可以通过设置寄存器R31(回放线路输出左音量控制寄存器，地址0x4025)的LOMODE位和寄存器R32(回放线路输出右音量控制寄存器，地址0x4026)的ROMODE位，将这些引脚置于耳机模式。在耳机模式下，线路输出引脚能够驱动16 Ω或更大的耳机和耳机扬声器。线路输出的输出阻抗约为1 kΩ。

在单端模式下使用线路输出引脚时，应利用LOUTP和ROUTP来输出信号，LOUTN和ROUTN不连接。

这些输出的音量控制范围为-57 dB至+6 dB。利用寄存器R34(回放爆音/咔嚓声抑制寄存器，地址0x4028)的ASLEW[1:0]位，可以对所有回放音量控制应用压摆。

MX5G4[1:0]、MX5G3[1:0]、MX6G3[1:0]和MX6G4[1:0]位均能向线路输出提供6 dB的增益增强。通过此增益增强，单端输出信号可以达到0 dBV (1.0 V rms)，差分输出信号可以达到6 dBV (2.0 V rms)。欲了解更多信息，请参见寄存器R26(回放L/R复用器左(复用器5)线路输出控制寄存器，地址0x4020)和寄存器R27(回放L/R复用器右(复用器6)线路输出控制寄存器，地址0x4021)。

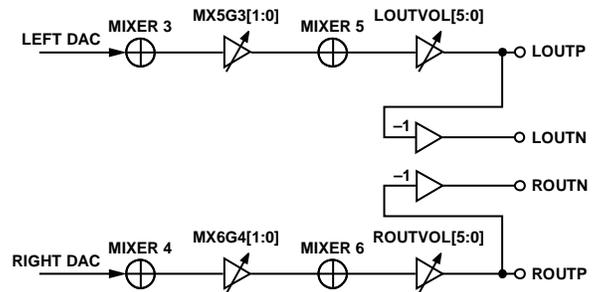


图48. 差分线路输出配置

## 控制端口

ADAU1461有两种控制模式：

- I<sup>2</sup>C控制
- SPI控制

ADAU1461具有一个4线SPI控制端口和一个2线I<sup>2</sup>C总线控制端口。两个端口均可以用来设置寄存器。器件默认采用I<sup>2</sup>C模式，但通过将CLATCH引脚拉低三次，就可以将其置于SPI控制模式。

控制端口能够对所有可寻址的寄存器执行全面的读写操作。对于除寄存器R0(地址0x4000)和R1(地址0x4002)外的所有寄存器，ADAU1461必须具有有效的主时钟才能写入。

单地址模式和突发模式下均能访问所有地址。一个控制端口写操作的首字节(字节0)包含7位芯片地址和R/W位。接下来的两个字节(字节1和字节2)共同构成ADAU1461内寄存器位置的子地址。此子地址必须为双字节长，因为ADAU1461内的存储器位置是可以直接寻址的，其大小超过了单字节寻址的范围。后续的所有字节(从字节3开始)包含数据，如控制端口数据、程序数据或参数数据。每个字的字节数取决于写入数据的类型。

ADAU1461有多种机制来实时更新信号处理参数，同时不会引起爆音或咔嚓声。如果需要下载大数据块，可以暂停DSP内核的输出(使用DSP运行寄存器(地址0x40F6)的DSRUN位)，加载新数据，然后重新启动器件。这通常是在启动时的引导序列中或向RAM加载新程序时执行。

控制端口引脚是多功能引脚，具体功能取决于器件的工作模式。表19列出了这些功能。

**表19：控制端口引脚功能**

引脚名称	I <sup>2</sup> C模式	SPI模式
SCL/CCLK	SCL：输入时钟	CCLK：输入时钟
SDA/COOUT	SDA：开集输入/输出	COOUT：输出
ADDR1/CDATA	I <sup>2</sup> C地址位1：输入	CDATA：输入
ADDR0/CLATCH	I <sup>2</sup> C地址位0：输入	CLATCH：输入

### 突发模式写入和读取

突发模式寻址可以用于将大量数据写入相邻的寄存器。在这种模式下，子地址会在字边界处自动递增。这种递增在单字写入或读取后自动发生，除非遇到停止条件(I<sup>2</sup>C)或者CLATCH被拉高(SPI)。突发写入开始时像单字写入，但写完第一个数据字后，可以立即写入下一个相邻地址的数据字，而无需发送其双字节地址。

除了6字节宽的PLL控制寄存器以外，ADAU1461的寄存器均为1字节宽。自动递增特性知道各子地址的字长，因此在突发写入过程中，无需为各地址手动指定子地址。

每读取或写入一个数据字后，子地址自动递增1，无论该地址是否存在有效的寄存器或RAM字。可以写入或读取寄存器图中的地址漏洞，而无任何不良后果。在ADAU1461中，地址漏洞有地址0x4001、地址0x4003至地址0x4007、地址0x402E、地址0x4032至地址0x4035、地址0x4037至地址0x40BF、地址0x40C5、地址0x40CA至地址0x40CF、地址0x40D5至地址0x40EA，以及地址0x40EC至地址0x40F1。ADAU1461会忽略对这些寄存器的单字节写入，读取这些寄存器时返回单字节0x00。

### I<sup>2</sup>C端口

ADAU1461支持2线串行(I<sup>2</sup>C兼容)微处理器总线驱动多个外设。两个引脚——串行数据(SDA)和串行时钟(SCL)——承载ADAU1461与系统I<sup>2</sup>C主控制器之间的信息。在I<sup>2</sup>C模式下，ADAU1461始终是总线上的从机，意味着它不能启动数据传输。每个从机都通过一个唯一的地址识别。表20给出了地址和R/W字节格式。地址存在于I<sup>2</sup>C写操作的前7位。ADAU1461 I<sup>2</sup>C地址的位[5:6]由ADDR1和ADDR0引脚上的电平设置。地址的LSB——R/W位——指定是读操作还是写操作。逻辑电平1对应于读操作，逻辑电平0对应于写操作。

**表20. ADAU1461 I<sup>2</sup>C地址和Read/Write字节格式**

位0	位1	位2	位3	位4	位5	位6	位7
0	1	1	1	0	ADDR1	ADDR0	R/W

SDA和SCL引脚各自线路上应连接一个2 kΩ上拉电阻。这些信号线上的电压不应高于IOVDD(3.3 V)。

### 寻址

开始时，I<sup>2</sup>C总线上的各器件均处于空闲状态，并监控SDA和SCL线有无起始条件和适当的地址。I<sup>2</sup>C主机通过建立起始条件而启动数据传输；起始条件要求SDA发生高低转换，同时SCL保持高电平。这表示随后将出现地址/数据流。总线上的所有器件都对起始条件做出响应，并对接下来的8个位(7位地址加R/W位)以MSB优先方式移位。在第9个时钟脉冲期间，能够识别所发送地址的器件通过将数据线拉低来做出响应。此第9位称为应答位。此时，所有其它器件从总线退出，返回空闲状态。

R/W位决定数据的方向。如果第一个字节的LSB为逻辑0，则意味着主机将写入信息到外设，而逻辑1则意味着主机将在写入子地址并重复起始地址之后从外设读取信息。数据传输将持续到发生停止条件。停止条件是指在SCL处于高电平时，SDA上发生低电平至高电平跃迁。图49显示了I<sup>2</sup>C写操作的时序，图50显示了I<sup>2</sup>C读操作的时序。

数据传输过程中的任何阶段都可以检测停止和起始条件。如果这些条件的置位打破了正常的读写操作顺序，ADAU1461将立即跳出到空闲状态。在给定的SCL高电平期间，用户

只应发送一个起始条件或一个停止条件，或者先发送单一停止条件，再发送单一起始条件。如果用户发送的子地址无效，ADAU1461不会发送应答，而是直接返回到空闲状态。

在自动递增模式下，如果用户地址超过了最高子地址，则器件会采取以下两种措施的一种。在读取模式下，ADAU1461输出最高子地址寄存器的内容，直到主机发送不应答，表示读取结束。不应答条件是指在SCL的第9个时钟脉冲期间，SDA线未被拉低。在写入模式下，ADAU1461不会将无效字节的数据载入任何子地址寄存器，而是发送不应答，然后返回空闲状态。

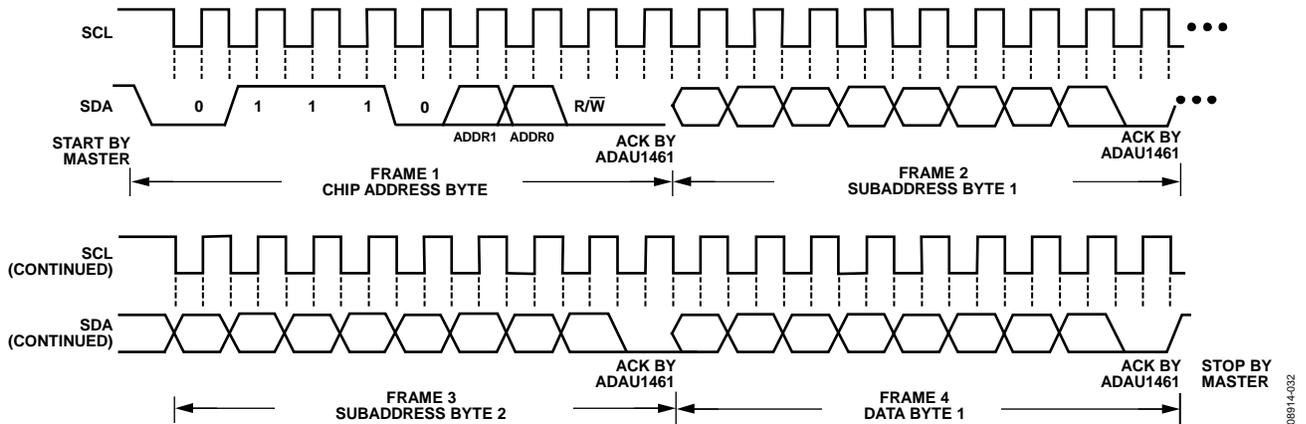


图49. I<sup>2</sup>C写入ADAU1461的时序

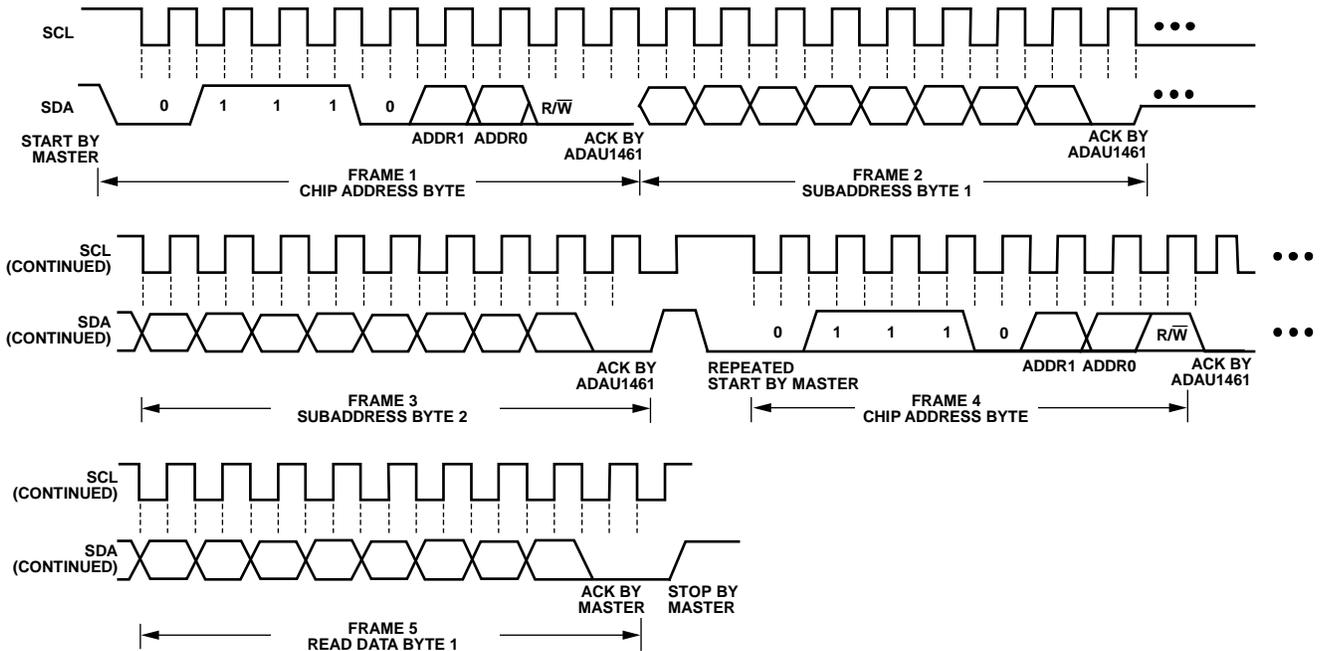


图50. I<sup>2</sup>C读取ADAU1461的时序

# ADAU1461

## I<sup>2</sup>C读和写操作

图51给出了单字写操作的格式。在每第9个时钟脉冲，ADAU1461都会通过拉低SDA来发送应答。

图52给出了突发模式写序列的格式。该图显示了一个顺次写入单字节寄存器的例子。ADAU1461在写完一个字节后即递增其子地址寄存器，因为请求的子地址对应于1字节字长的寄存器或存储器区域。

图53给出了单字读操作的格式。注意第一个R/W位为0，表示写操作。这是因为仍然需要写入子地址，以便设置内部地址。在ADAU1461确认接收到子地址后，主机必须发送一个重复起始命令，然后再发送R/W位设置为1(表示读操作)的芯片地址字节。

这将导致ADAU1461 SDA反向，并开始向主机回传数据。然后，主机在每第9个脉冲做出响应，向ADAU1461发送应答脉冲。

图54给出了突发模式读序列的格式。该图显示了一个顺次读取单字节寄存器的例子。ADAU1461在写完一个字节后即递增其子地址寄存器，因为请求的子地址对应于1字节字长的寄存器或存储器区域。ADAU1461总是解码子地址并设置自动递增电路，使得地址在读取适当数量的字节之后递增。

图51至图54使用了以下缩写：

S = 起始位

P = 停止位

AM = 主机应答

AS = 从机应答

S	芯片地址， R/W = 0	AS	子地址，高字节	AS	子地址，低字节	AS	数据字节1	P
---	------------------	----	---------	----	---------	----	-------	---

图51. 单字I<sup>2</sup>C写格式

S	芯片地址， R/W = 0	AS	子地址， 高字节	AS	子地址， 低字节	AS	数据 字节1	AS	数据 字节2	AS	数据 字节3	AS	数据 字节4	AS	...	P
---	------------------	----	-------------	----	-------------	----	-----------	----	-----------	----	-----------	----	-----------	----	-----	---

图52. 突发模式I<sup>2</sup>C写格式

S	芯片地址， R/W = 0	AS	子地址，高字节	AS	子地址，低字节	AS	S	芯片地址， R/W = 1	AS	数据 字节1	P
---	------------------	----	---------	----	---------	----	---	------------------	----	-----------	---

图53. 单字I<sup>2</sup>C读格式

S	芯片地址， R/W = 0	AS	子地址， 高字节	AS	子地址， 低字节	AS	S	芯片地址， R/W = 1	AS	数据 字节1	AM	数据 字节2	AM	...	P
---	------------------	----	-------------	----	-------------	----	---	------------------	----	-----------	----	-----------	----	-----	---

图54. 突发模式I<sup>2</sup>C读格式

**SPI端口**

ADAU1461默认采用I<sup>2</sup>C模式，但通过将 $\overline{\text{CLATCH}}$ 引脚拉低三次，就可以将其置于SPI控制模式。这可以通过对SPI端口执行三个伪写操作来完成(ADAU1461不会应答这些操作)。从第四个SPI写操作开始，该IC可以读写数据。要使ADAU1461离开SPI模式，必须通过周期供电启动全面复位过程。

SPI端口使用4线接口，包括 $\overline{\text{CLATCH}}$ 、CCLK、CDATA和COUT信号，始终是一个从机端口。 $\overline{\text{CLATCH}}$ 信号在处理开始时应变为低电平，在处理结束时应变为高电平。CCLK信号在低高转换时锁存CDATA。COUT数据在CCLK下降沿移出ADAU1461，应在CCLK上升沿输入一个接收器件，如微控制器等。CDATA信号承载串行输入数据，COUT信号承载串行输出数据。在请求执行读操作之前，COUT信号处于三态。这样，其它SPI兼容外设可以共享同一回读线路。所有SPI处理都具有表22所示的相同基本格式。时序图见图4。所有数据都应以MSB优先方式写入。

**芯片地址 $\overline{\text{R/W}}$**

SPI处理的第一个字节的LSB为 $\overline{\text{R/W}}$ 位。此位决定通信是读操作(逻辑电平1)还是写操作(逻辑电平0)。表21显示了其格式。

**表21. ADAU1461 SPI地址和Read/Write字节格式**

位0	位1	位2	位3	位4	位5	位6	位7
0	0	0	0	0	0	0	R/ $\overline{\text{W}}$

**子地址**

16位子地址字解码为一个寄存器的位置。此子地址即为相应寄存器的位置。子地址的MSB通过填充0来使字长为2个字节。

**数据字节**

数据字节数取决于所访问的寄存器。在突发模式写入中，初始子地址之后是连续的数据序列，以供写入连续的寄存器位置。

图55给出了对一个寄存器执行单字SPI写操作的示例时序图。图56给出了单字SPI读操作的示例时序图。在字节3开始时，COUT引脚从三态变为高电平。本例中，字节0至字节2包含地址和 $\overline{\text{R/W}}$ 位，后续字节承载数据。

**表22. 通用控制字格式**

字节0	字节1	字节2	字节3	字节4 <sup>1</sup>
chip_adr[6:0], R/ $\overline{\text{W}}$	subaddr[15:8]	subaddr[7:0]	数据	数据

<sup>1</sup> 持续到数据结束。

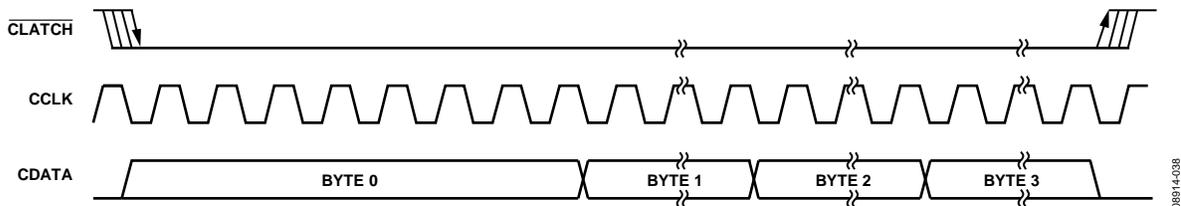


图55. SPI写入ADAU1461的时序(单字写模式)

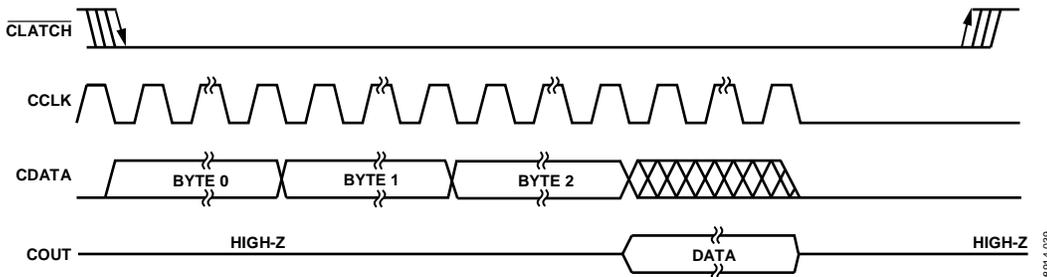


图56. SPI读取ADAU1461的时序(单字读模式)

# ADAU1461

## 串行数据输入/输出端口

ADAU1461灵活的串行数据输入和输出端口可以设置为以2通道格式、4通道或8通道TDM流格式接收或发送数据，以便与外部ADC或DAC接口。数据以二进制补码、MSB优先格式进行处理。在2通道流中，左声道数据字段始终先于右声道数据字段。在TDM模式下，时隙0至时隙3是音频帧的前半部分，时隙4至时隙7是音频帧的后半部分。串行模式和数据在帧中的位置通过寄存器R15至R18(串行端口和转换器控制寄存器，地址0x4015至0x4018)进行设置。

如果不使用PLL，串行数据始终必须与ADAU1461主时钟输入同步。LRCLK和BCLK引脚用于为串行输入和输出端口提供时钟。ADAU1461可以设置为系统中的主机或从机。由于只有一组串行数据时钟，因此输入和输出端口必须同时为主机或同时为从机。

寄存器R15和R16(串行端口控制寄存器，地址0x4015和0x4016)可以控制时钟极性和数据输入模式。有效数据格式包括I<sup>2</sup>S、左对齐、右对齐(24/20/18/16位)和TDM。在除右对齐模式以外的所有其它模式下，串行端口输入最多24位的任意位数。多余的位不会导致错误，但会被内部截断。

在每个LRCLK帧中，串行端口允许BCLK发生任意次转换。在TDM模式下，LRCLK可以作为50%占空比时钟或一位宽脉冲输入ADAU1461。

当LRCLK设置为脉冲时，LRCLK引脚与地之间应连接一个47 pF电容(见图57)。为使LRCLK信号与串行数据流正确对齐，主机模式和从机模式均需要此电容。

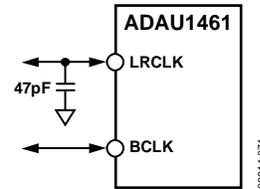


图57. LRCLK电容对齐, TDM脉冲模式

在TDM 8模式下，对于48 kHz以下的 $f_s$ ，ADAU1461可以是一个主机。表23列出了串行输出端口的工作模式。

表23. 串行输出端口主机/从机模式能力

$f_s$	2通道模式(I <sup>2</sup> S、左对齐、右对齐)	8通道TDM
48 kHz	主机和从机	主机和从机
96 kHz	主机和从机	从

表24给出了标准音频数据格式的正确配置。

表24. 数据格式配置

格式	LRCLK极性(LRPOL)	LRCLK模式(LRMOD)	BCLK极性(BPOL)	BCLK周期数/音频帧(BPF[2:0])	自LRCLK边沿起的数据延迟(LRDEL[1:0])
I <sup>2</sup> S (见图58)	帧在下降沿开始	50%占空比	数据在下降沿改变	32至64	从LRCLK边沿起延迟1 BCLK
左对齐(见图59)	帧在上升沿开始	50%占空比	数据在下降沿改变	32至64	与LRCLK边沿对齐
右对齐(见图60)	帧在上升沿开始	50%占空比	数据在下降沿改变	32至64	从LRCLK边沿起延迟8或16 BCLK
采用时钟的TDM (见图61)	帧在下降沿开始	50%占空比	数据在下降沿改变	64至256	从字时钟开始起延迟1 BCLK
采用脉冲的TDM (见图62)	帧在上升沿开始	脉冲	数据在下降沿改变	64至256	从字时钟开始起延迟1 BCLK

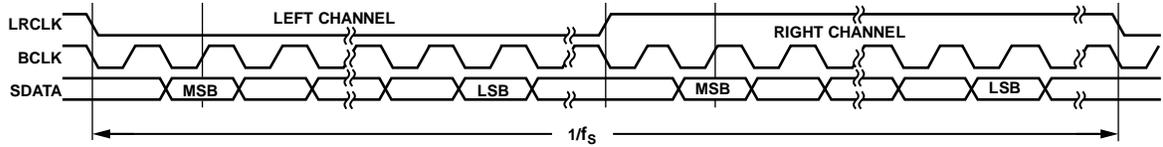


图58. P5模式：每通道16位到24位

08914-040

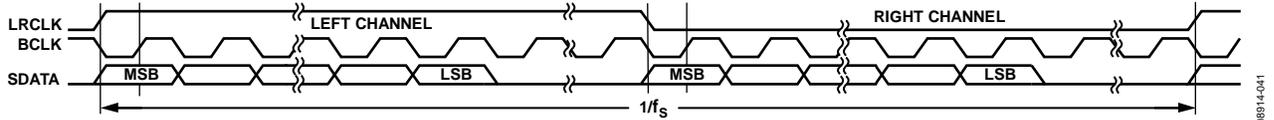


图59. 左对齐模式：每通道16位到24位

08914-041

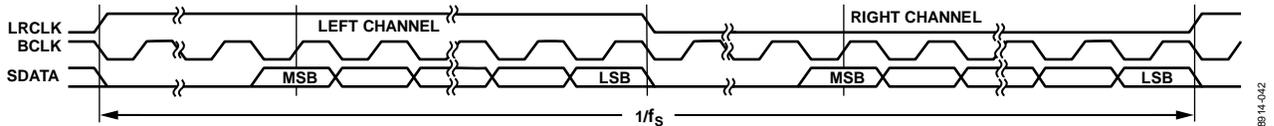


图60. 右对齐模式：每通道16位到24位

08914-042

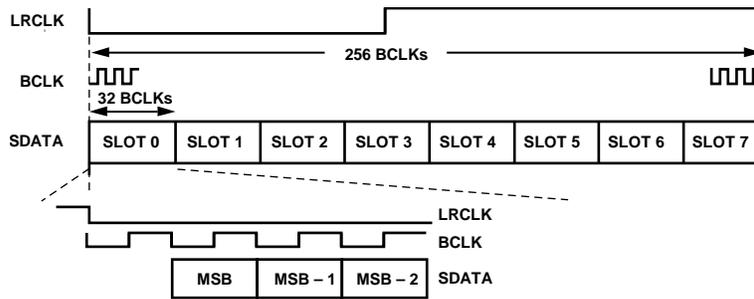


图61. TDM 8模式

08914-043

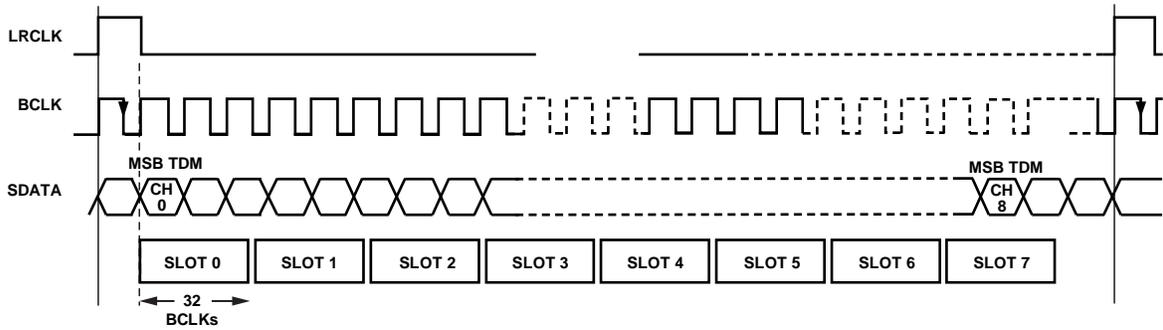


图62. 采用脉冲字时钟的TDM 8模式

08914-044

## 应用信息

### 电源旁路电容

每个模拟和数字电源引脚都应通过一个100 nF电容旁路到其最近的适当接地引脚。电容各端的连接应尽可能短，走线应始终位于无通孔的单一层上。为获得最佳效果，电容与电源引脚和接地引脚的距离应相等；在无法进行等距放置的情况下，电容应略微靠近电源引脚。接地层的散热连接应位于电容的远端。

电路板上的每个电源信号也应通过一个大容量电容(10  $\mu\text{F}$ 至47  $\mu\text{F}$ )旁路。

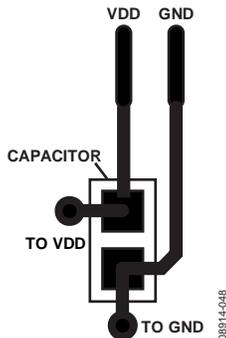


图63. 电源旁路电容的推荐布局

### GSM噪声滤波器

在手机应用中，模拟电源引脚上的过大217 Hz GSM噪声会使音频质量下降。为了避免这一问题，建议在AVDD引脚的旁路电容上串联一个L-C滤波器。此滤波器应由一个1.2 nH电感和一个9.1 pF电容构成，串联在AVDD与地之间，如图64所示。

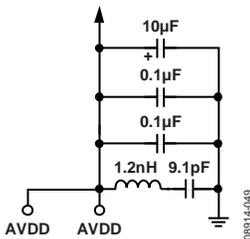


图64. 模拟电源引脚上的GSM滤波器

### 接地

应用布局中应使用单一接地层。模拟信号路径中的元件应远离数字信号放置。

### 底部焊盘PCB设计

ADAU1461在LFCSP封装的底部有一个裸露焊盘。当利用输出驱动耳机负载时，此焊盘用于将封装耦合到PCB以便散热。设计ADAU1461的电路板时，应特别注意以下事项：

- 电路板从顶部到底部的所有层上都应有一个大小与底部焊盘相当的铜层，并且该铜层应在某处连接到专用铜板层(见图65)。
- 应设置通孔以连接所有铜层，实现有效散热和导电。例如，图66显示焊盘区域中有9个通孔，这些通孔以3英寸英寸的网格形式排列。

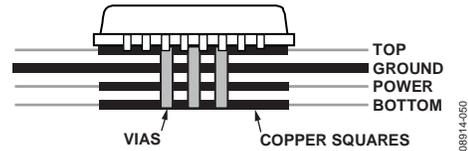


图65. 底部焊盘布局示例，侧视图

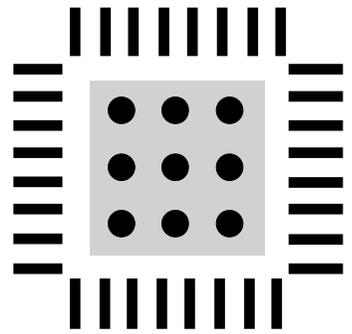


图66. 底部焊盘布局示例，俯视图

## DSP内核

### 信号处理

ADAU1461旨在提供立体声或单声道低功耗录音和回放系统常用的全部音频信号处理功能。信号处理流程利用SigmaStudio软件设计，它支持图形化输入和实时控制所有信号处理功能。

许多信号处理功能采用完整的56位双精度算法数据编码。DSP内核的输出和输出字长为24位。处理器使用4个额外的裕量位，内部增益最高可达24 dB而不会削波。通过在DSP信号流中调低初始输入信号，可以实现更高增益。

### 架构

DSP内核由一个简单的28/56位乘加单元(MAC)和以下两个源组成：一个数据源和一个系数源。数据源可以来自数据RAM、常用常数值ROM表或内核音频输入。系数源可以来自参数RAM，或来自常用常数值ROM表。

两个来源在28位定点乘法器中相乘，接着将信号输入56位加法器；结果通常存储在三个56位累加器寄存器之一中。累加器可(以28位格式)从内核输出，或者可选择性地写回数据或参数RAM。

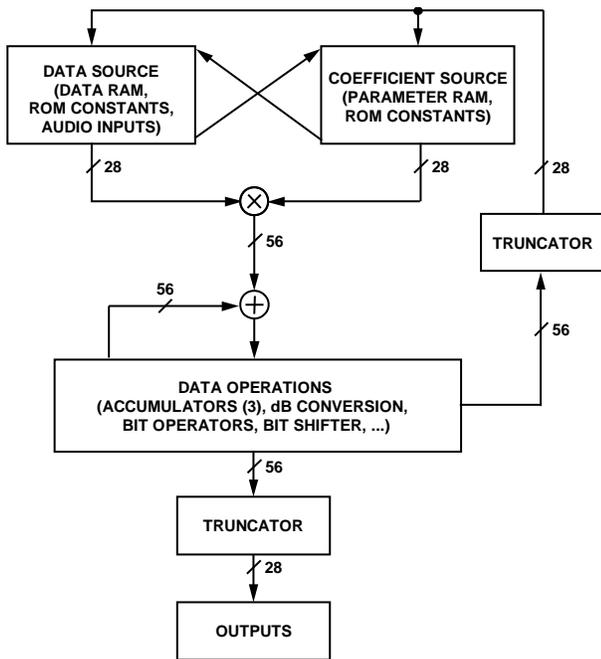


图67. 简化DSP内核架构

### 程序计数器

内核内的指令执行由程序计数器控制，后者按顺序执行程序RAM的地址。每次音频帧输入内核时，程序计数器就会开始。SigmaStudio将快速启动命令插入每个程序的末端。程序计数器按顺序递增，直至到达此命令，然后跳至程序起始地址，并等待下一音频帧输入内核。

### 产品特性

SigmaDSP内核专为音频处理而设计，因此包括几项旨在最大化电源效率的特性，包括硬件dB(分贝)转换和特定音频ROM常数。

### 启动

设置DSPRUN位或将设置写入参数RAM之前，DSP内核必须通过设置寄存器R61(地址0x40F5)中的DSPEN位使能。

每次新的程序载入SigmaDSP内核，或者无论何时禁用DSPRUN然后重新使能，都应执行下列步骤：

1. 将寄存器R57(地址0x40EB)的DSPSR[3:0]位设置为1111(无)。
2. 将寄存器R62(地址0x40F6)的DSPRUN位设置为0。
3. 下载寄存器、程序RAM和参数RAM的其余内容。
4. 将寄存器R62的DSPRUN位设置为1。
5. 将寄存器R57的DSPSR[3:0]位设置为可工作(默认值为0001)。

改变任何寄存器设置或RAM都可能导致模拟输出端出现爆音和咔嚓声。为避免爆音和咔嚓声，应利用寄存器R29至寄存器R32(地址0x4023至0x4026)使相应的输出静音。完成启动步骤后，取消模拟输出的静音。

08914-067

# ADAU1461

## 数字格式

DSP系统通常使用标准数字格式。小数系统指定为A.B格式，其中A表示小数点左边的位数，B表示小数点右边的位数。

ADAU1461的参数和数据值使用数字格式5.23。

## 数字格式5.23

线性范围：-16.0至(+16.0 - 1 LSB)

示例：

1000 0000 0000 0000 0000 0000 0000 = -16.0  
1110 0000 0000 0000 0000 0000 0000 = -4.0  
1111 1000 0000 0000 0000 0000 0000 = -1.0  
1111 1110 0000 0000 0000 0000 0000 = -0.25  
1111 1111 0011 0011 0011 0011 0011 = -0.1  
1111 1111 1111 1111 1111 1111 1111 = (比0小1 LSB)  
0000 0000 0000 0000 0000 0000 0000 = 0  
0000 0000 1100 1100 1100 1100 1101 = 0.1  
0000 0010 0000 0000 0000 0000 0000 = 0.25  
0000 1000 0000 0000 0000 0000 0000 = 1.0  
0010 0000 0000 0000 0000 0000 0000 = 4.0  
0111 1111 1111 1111 1111 1111 1111 = (16.0 - 1 LSB)

串行端口接受最多24位的输入，通过符号扩展为DSP内核的完整28位。这样，内部增益最高可达24 dB而不会发生内部削波。

DSP内核输出端与DAC或串行端口输出端之间有一个数字削波电路(见图68)，此电路截除信号的高4位以产生1.0(减1 LSB)至-1.0范围内的24位输出。图68以二进制和dB形式显示了数据流中各点的最高信号电平。

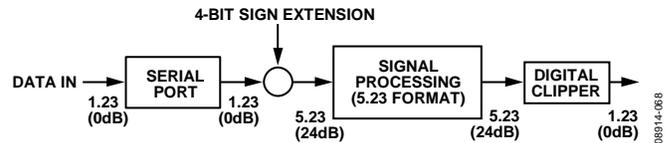


图68. 数字精度和削波结构

## 编程

上电时，ADAU1461必须配置一种时钟方案，然后加载寄存器设置。设置编解码器信号路径后，便可对DSP内核进行编程。每个音频采样有1024个指令周期，因此 $f_s = 48 \text{ kHz}$ 时内部时钟速率为49.152 MHz。

利用ADI公司的图形工具SigmaStudio，可以对该器件轻松编程(参见图69)。用户无需具有编写DSP代码的知识。有关SigmaStudio的更多信息，请访问：[www.analog.com](http://www.analog.com)。

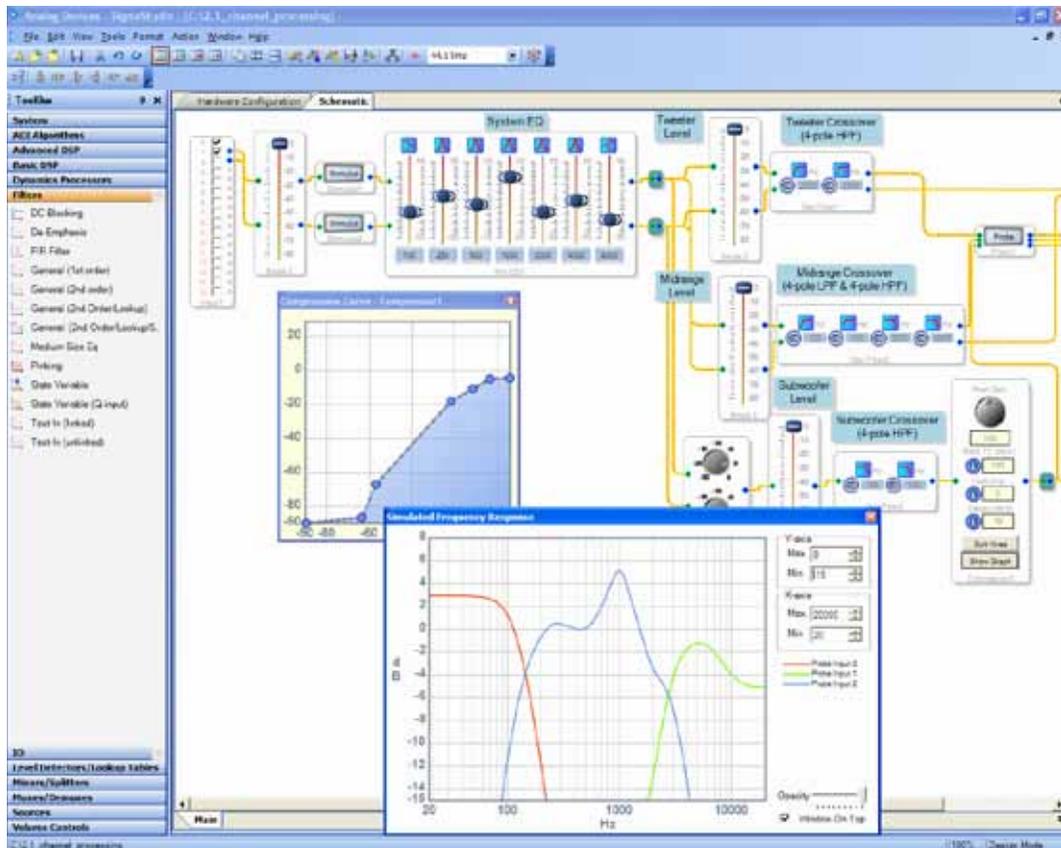


图69. SigmaStudio 屏幕截图

## 程序RAM、参数RAM和数据RAM

表25. RAM映射和读/写模式

存储器	尺寸	地址范围	读取	写入	写入模式
参数RAM	1024 × 32	0至1023(0x0000至0x03FF)	是	是	直接、安全加载
程序RAM	1024 × 40	2048至3071(0x0800至0x0BFF)	是	是	直接

表25显示了RAM映射(ADAU1461寄存器映射在控制寄存器部分提供)。地址空间涵盖一组寄存器和3个RAM：程序、参数和数据。程序RAM和参数RAM在上电时并不初始化，在写入前一直处于未知状态。

### 程序RAM

程序RAM包含由内核执行的40位操作代码。SigmaStudio编译器针对项目计算每帧的最大指令，当值超过每帧最大容许指令(基于内核中信号的采样速率)时产生一个误差。

由于程序末端包含一个快速启动命令，未使用的程序RAM空间不必使用无操作(NOP)命令来填充。

### 参数RAM

参数RAM为32位宽，占用地址0至地址1023。每个参数的MSB前都填充四个0，从而将28位字扩展为4字节宽。参数RAM的数据格式为二进制补码5.23，这意味着系数范围是+16.0(减1 LSB)至-16.0，1.0代表二进制字0000 1000 0000 0000 0000 0000或十六进制数字0x00 0x80 0x00 0x00。

参数RAM可直接写入或使用安全加载写入。直接写入工作模式通常在RAM的全新加载期间使用，使用突发模式寻址以避免输出产生任何咔嚓声或爆音。请注意，这种模式可以在程序执行过程中使用，但由于内核与控制端口之间不存在握手，因此在控制写操作期间DSP内核无法使用参数RAM，导致音频流中出现爆音和咔嚓声。

SigmaStudio会自动将前8个位置指定给安全加载参数；因此特定项目参数始于地址0x0008。

直到在寄存器R61(地址0x40F5)中设置DSPEN位之前，都不应当写入参数RAM。

### 数据RAM

ADAU1461数据RAM用于存储用于处理的音频数据字，以及某些运行参数。SigmaStudio提供数据和地址信息，用于写入数据RAM，或从数据RAM读出这些信息。

执行需要大量数据RAM空间的块(例如延迟)时，应考虑数据RAM利用情况。SigmaDSP内核以单采样增量处理延迟时间，因此，用户可用的总延迟池等于4096乘以采样周期。当 $f_{s,DSP}$ 为48 kHz时，可用的延迟池最大值约为86 ms，其中 $f_{s,DSP}$ 是DSP内核采样速率。实际上，用户并没有如此多的数据存储器可用，因为设计中的每个模块都会使用若干数据存储器位置以供处理。在大多数DSP程序中，这不会显著影响总延迟时间。SigmaStudio编译器管理数据RAM，并会指出设计所需的地址数量是否超过可用的最大数量。

### 读取/写入数据格式

控制端口的读/写格式以字节为导向，以便能够轻松设置常用的微控制器芯片。为了适应字节导向的格式，数据域的MSB前添加0，以将数据字扩展为8位。例如，在写入参数RAM的28位字之前添加4个前置0，变成32位(4字节)；在写入程序RAM的40位字之前则不添加0，因为它已经是5字节。这些填充0的数据域被追加到一个3字节域，后者包括一个7位芯片地址、一个读/写位和一个16位RAM/寄存器地址。根据前三个字节提供的地址，控制端口知道要处理多少个数据字节。

单位置写命令的总字节数从1字节(控制寄存器写操作)到5字节(程序RAM写操作)不等。可以适应突发模式来填充连续的寄存器或RAM位置。突发模式写操作从写入第一个要写入的RAM或寄存器位置的地址和数据开始，接下来不是像单地址写操作那样结束控制端口处理(I<sup>2</sup>C模式下是发送停止命令，SPI模式下是将CLATCH信号拉高)，而是立即写入下一个数据字，不必提供其地址。ADAU1461控制端口自动递增每次写操作的地址，甚至能跨越不同RAM和寄存器的边界。表27和表29显示了突发模式写操作的例子。

# ADAU1461

**表26. 参数RAM读/写格式(单地址)**

字节0	字节1	字节2	字节3	字节[4:6]
chip_adr[6:0], R/W	param_adr[15:8]	param_adr[7:0]	0000, param[27:24]	param[23:0]

**表27. 参数RAM块读/写格式(突发模式)**

字节0	字节1	字节2	字节3	字节[4:6]	字节[7:10]	字节[11:14]
chip_adr[6:0], R/W	param_adr[15:8]	param_adr[7:0]	0000, param[27:24]	param[23:0]		
←param_adr→					param_adr + 1	param_adr + 2

**表28. 程序RAM读/写格式(单地址)**

字节0	字节1	字节2	字节[3:7]
chip_adr[6:0], R/W	prog_adr[15:8]	prog_adr[7:0]	prog[39:0]

**表29. 程序RAM块读/写格式(突发模式)**

字节0	字节1	字节2	字节[3:7]	字节[8:12]	字节[13:17]
chip_adr[6:0], R/W	prog_adr[15:8]	prog_adr[7:0]	prog[39:0]		
←prog_adr→				prog_adr + 1	prog_adr + 2

## 软件安全加载

为了实时更新参数，同时避免输出产生爆音与咔嚓声噪声，ADAU1461使用软件安全加载机制。软件安全加载机制使SigmaDSP内核可将新参数载入RAM内，同时保证参数未被使用。这样可防止出现新旧参数混用执行指令的情况。

SigmaStudio可自动针对新项目设置必需的代码和参数。安全加载代码和其他初始化代码一起填充程序RAM的前39个位置。前8个参数RAM位置(地址0x0000至地址0x0007)默认在SigmaStudio中配置，如表30所示。

**表30. 软件安全加载参数RAM默认值**

地址(十六进制)	功能
0x0000	模RAM大小
0x0001	安全加载数据1
0x0002	安全加载数据2
0x0003	安全加载数据3
0x0004	安全加载数据4
0x0005	安全加载数据5
0x0006	安全加载目标地址(-1偏移)
0x0007	写入/安全加载触发字数

控制模RAM大小的地址0x0000由SigmaStudio设置，并且基于项目的动态地址发生器模式。

参数RAM地址0x0001至地址0x0005是用于存储安全加载数据的五个数据槽。安全加载参数空间默认包含五个数据槽，因为大多数标准信号处理算法具有五个或更少参数。

地址0x0006是参数RAM内的目标地址(偏移为-1)。它指定要写入的首个地址。如果写入多个字，地址针对每个数据字自动递增。每个音频帧期间，最多五个连续参数RAM位置可通过安全加载更新。使用-1的目标地址偏移是因为写入地址相对于数据地址(从地址0x0001开始)计算得出。因此，要更新地址0x000A的参数，目标地址为0x0009。

地址0x0007指定安全加载期间要写入参数RAM的字数。双二阶滤波器使用所有五个安全加载数据地址。简单的单声道增益单元仅使用一个安全加载数据地址。对地址0x0007执行写入也会触发下一个音频帧内的安全加载写入。

安全加载机制基于软件，每个音频帧执行一次。因此，系统设计人员设计通信协议时必须认真考虑。各安全加载写入之间需要一个等于或大于采样周期(采样频率的倒数)的延迟。48 kHz的采样速率等于至少21的延迟。如果不遵守此延迟，下载的数据就会损坏。



## 通用输入/输出

通用输入/输出功能共享串行数据输入/输出引脚(引脚26至引脚29)。这四个引脚中的每个引脚仅可设为这些功能中的一个功能。引脚功能在串行数据/GPIO引脚配置寄存器(寄存器R60, 地址0x40F4)中设置。

GPIOx引脚可用作输入或输出。这些引脚是可读引脚, 可以通过控制端口或直接由SigmaDSP内核设置。配置为输入时, GPIOx引脚可以与按钮开关或旋转编码器一起使用来控制DSP程序设置。这些引脚还可配合数字输出驱动LED或外部逻辑, 以指示内部信号的状态并控制其它器件。这种用途的例子包括指示信号过载、信号有无和按钮按下确认等。

配置为输出时, 每个GPIO引脚通常可驱动2 mA, 这一电流值足以直接驱动某些高效率LED。标准LED需要大约20 mA的电流, 可以利用外部电阻或缓冲器从GPIO输出驱动。由于许多引脚同时驱动或吸收大量电流可能引起问题, 因此在应用设计中, 应注意避免将高效率LED直接连到许多或全部GPIO引脚。

如果需要使用许多LED, 应使用外部驱动器。当GPIO引脚配置为开集输出时, 应将其上拉至最高等于IOVDD上设置的电压。

GPIO功能配置可在GPIO引脚控制寄存器中设置(寄存器R48至寄存器R51, 地址0x40C6至地址0x40C9)。

### 从控制端口设置GPIO引脚

GPIO引脚也可配置成直接从I<sup>2</sup>C/SPI控制端口进行控制。当引脚设置为此模式时, 为GPIO引脚设置使能4个存储器位置。GPIO引脚的物理设置可反映这些4字节宽存储器位置的LSB设置。

**表31. GPIOx引脚存储器设置(从控制端口设置)**

存储器位置		位[31:1]	位0
十进制	十六进制		
1568	0x0620	保留	GPIO0SET
1569	0x0621	保留	GPIO1SET
1570	0x0622	保留	GPIO2SET
1571	0x0623	保留	GPIO3SET

# 控制寄存器

表32. 寄存器存储区分配

寄存器	地址	名称	位7	位6	位5	位4	位3	位2	位1	位0	默认值		
R0	0x4000	时钟控制	保留				CLKSRC	INFREQ[1:0]		COREN	00000000		
R1	0x4002	PLL控制	M[15:8]								00000000		
			M[7:0]								11111101		
			N[15:8]								00000000		
			N[7:0]								00001100		
			保留	R[3:0]			X[1:0]		类型	00010000			
R2	0x4008	数字麦克风/插孔检测	JDDDB[1:0]		JDFUNC[1:0]		Reserved		JDPOL	00000000			
R3	0x4009	保留	保留									00000000	
R4	0x400A	录音复用器左0	保留	LINPG[2:0]			LINNG[2:0]			MX1EN	00000000		
R5	0x400B	录音复用器左1	保留			LDBOOST[1:0]		MX1AUXG[2:0]			00000000		
R6	0x400C	录音复用器右0	保留	RINPG[2:0]			RINNG[2:0]			MX2EN	00000000		
R7	0x400D	录音复用器右1	保留			RDBOOST[1:0]		MX2AUXG[2:0]			00000000		
R8	0x400E	左差分输入音量	LDVOL[5:0]						LDMUTE	LDEN	00000000		
R9	0x400F	右差分输入音量	RDVOL[5:0]						RDMUTE	RDEN	00000000		
R10	0x4010	录音麦克风偏置	保留				MPERF	MBI	保留	MBIEN	00000000		
R11	0x4011	ALC 0	PGASLEW[1:0]		ALCMA[2:0]		ALCSEL[2:0]			00000000			
R12	0x4012	ALC 1	ALCHOLD[3:0]				ALCTARG[3:0]			00000000			
R13	0x4013	ALC 2	ALCATCK[3:0]				ALCDEC[3:0]			00000000			
R14	0x4014	ALC 3	NGTYP[1:0]		NGEN		NGTHR[4:0]			00000000			
R15	0x4015	串行端口0	保留	SPSRS	LRMOD	BPOL	LRPOL	CHPF[1:0]		MS	00000000		
R16	0x4016	串行端口1	BPF[2:0]			ADTDM	DATDM	MSBP	LRDEL[1:0]		00000000		
R17	0x4017	转换器0	保留	DAPAIR[1:0]		DAOSR	ADOSR	CONVSR[2:0]			00000000		
R18	0x4018	转换器1	保留							ADPAIR[1:0]		00000000	
R19	0x4019	ADC控制	保留	ADCPOL	HPF	DMPOL	DMSW	INSEL	ADCEN[1:0]		00010000		
R20	0x401A	左数字音量	LADVOL[7:0]									00000000	
R21	0x401B	右数字音量	RADVOL[7:0]									00000000	
R22	0x401C	回放复用器左0	保留	MX3RM	MX3LM	MX3AUXG[3:0]			MX3EN	00000000			
R23	0x401D	回放复用器左1	MX3G2[3:0]				MX3G1[3:0]				00000000		
R24	0x401E	回放复用器右0	保留	MX4RM	MX4LM	MX4AUXG[3:0]			MX4EN	00000000			
R25	0x401F	回放复用器右1	MX4G2[3:0]				MX4G1[3:0]				00000000		
R26	0x4020	回放L/R复用器左	保留			MX5G4[1:0]		MX5G3[1:0]		MX5EN	00000000		
R27	0x4021	回放L/R复用器右	保留			MX6G4[1:0]		MX6G3[1:0]		MX6EN	00000000		
R28	0x4022	回放L/R复用器单声道	保留					MX7[1:0]		MX7EN	00000000		
R29	0x4023	回放耳机左音量	LHPVOL[5:0]						LHPM	HPEN	00000010		
R30	0x4024	回放耳机右音量	RHPVOL[5:0]						RHPM	HPMODE	00000010		
R31	0x4025	线路输出左音量	LOUTVOL[5:0]						LOUTM	LOMODE	00000010		
R32	0x4026	线路输出右音量	ROUTVOL[5:0]						ROUTM	ROMODE	00000010		
R33	0x4027	回放单声道输出	MONOVOL[5:0]						MONOM	MOMODE	00000010		
R34	0x4028	爆音与咔嚓声抑制	保留			POPMODE	POPLESS	ASLEW[1:0]		保留	00000000		
R35	0x4029	回放功耗管理	保留							PREN	PLEN	00000000	
R36	0x402A	DAC控制0	DACMONO[1:0]		DACPOL	保留		DEMPPH	DACEN[1:0]		00000000		
R37	0x402B	DAC控制1	LDAVOL[7:0]									00000000	
R38	0x402C	DAC控制2	RDAVOL[7:0]									00000000	
R39	0x402D	串行端口焊盘	ADCSDP[1:0]		DACSDP[1:0]		LRCLKP[1:0]		BCLKP[1:0]		10101010		
R40	0x402F	控制端口焊盘0	CDATP[1:0]		CLCHP[1:0]		SCLP[1:0]		SDAP[1:0]		10101010		
R41	0x4030	控制端口焊盘1	保留									SDASTR	00000000
R42	0x4031	插孔检测引脚	保留		JDSTR	保留	JDP[1:0]		保留		00001000		
R67	0x4036	去抖动控制	DEJIT[7:0]									00000011	
R43	0x40C0	循环冗余校验	CRC[31:24]									00000000	
R44	0x40C1		CRC[23:16]									00000000	
R45	0x40C2		CRC[15:8]									00000000	
R46	0x40C3		CRC[7:0]									00000000	

# ADAU1461

寄存器	地址	名称	位7	位6	位5	位4	位3	位2	位1	位0	默认值	
R47	0x40C4	CRC使能	保留							CRCEN	00000000	
R48	0x40C6	GPIO0引脚控制	保留			GPIO0[3:0]				00000000		
R49	0x40C7	GPIO1引脚控制	保留			GPIO1[3:0]				00000000		
R50	0x40C8	GPIO2引脚控制	保留			GPIO2[3:0]				00000000		
R51	0x40C9	GPIO3引脚控制	保留			GPIO3[3:0]				00000000		
R52	0x40D0	看门狗使能	保留							DOGEN	00000000	
R53	0x40D1	看门狗值	DOG[23:16]							00000000		
R54	0x40D2		DOG[15:8]							00000000		
R55	0x40D3		DOG[7:0]							00000000		
R56	0x40D4	看门狗误差	保留							DOGER	00000000	
R57	0x40EB	DSP采样速率设置	保留			DSPSR[3:0]				00000001		
R58	0x40F2	串行输入分配控制	保留			SINRT[3:0]				00000000		
R59	0x40F3	串行输出分配控制	保留			SOUTRT[3:0]				00000000		
R60	0x40F4	串行数据/GPIO引脚配置	保留			LRGP3	BGP2	SDOGP1	SDIGP0	00000000		
R61	0x40F5	DSP使能	保留							DSPEN	00000000	
R62	0x40F6	DSP运行	保留							DSPRUN	00000000	
R63	0x40F7	DSP压摆模式	保留		MOSLW	ROSLW	LOSLW	RHPSLW	LHPSLW	00000000		
R64	0x40F8	串行端口采样速率	保留				SPSR[2:0]				00000000	
R65	0x40F9	时钟使能0	保留	SLEWPD	ALCPD	DECPD	SOUTPD	INTPD	SINPD	SPPD	00000000	
R66	0x40FA	时钟使能1	保留							CLK1	CLK0	00000000

## 控制寄存器详解

除PLL控制寄存器外，所有寄存器均为1字节读写寄存器。

### R0: 时钟控制, 16,384 (0x4000)

位7	位6	位5	位4	位3	位2	位1	位0
保留				CLKSRC	INFREQ[1:0]		COREN

表33. 时钟控制寄存器

位	位的名称	描述										
3	CLKSRC	时钟源选择。 0 = 直接来自MCLK引脚(默认)。 1 = PLL时钟。										
[2:1]	INFREQ[1:0]	输入时钟频率。设置产生内核时钟的内核时钟速率。如果使用PLL，则此值自动设为 $1024 \times f_s$ 。										
		<table border="1"> <thead> <tr> <th>设置</th> <th>输入时钟频率</th> </tr> </thead> <tbody> <tr> <td>00</td> <td><math>256 \times f_s</math>(默认)</td> </tr> <tr> <td>01</td> <td><math>512 \times f_s</math></td> </tr> <tr> <td>10</td> <td><math>768 \times f_s</math></td> </tr> <tr> <td>11</td> <td><math>1024 \times f_s</math></td> </tr> </tbody> </table>	设置	输入时钟频率	00	$256 \times f_s$ (默认)	01	$512 \times f_s$	10	$768 \times f_s$	11	$1024 \times f_s$
设置	输入时钟频率											
00	$256 \times f_s$ (默认)											
01	$512 \times f_s$											
10	$768 \times f_s$											
11	$1024 \times f_s$											
0	COREN	内核时钟使能。当此位置0时(内核时钟禁用)，只能访问R0和R1寄存器。 0 = 内核时钟禁用(默认)。 1 = 内核时钟使能。										

**R1: PLL控制, 16,386 (0x4002)**

字节	位7	位6	位5	位4	位3	位2	位1	位0	
0					M[15:8]				
1					M[7:0]				
2					N[15:8]				
3					N[7:0]				
4	保留		R[3:0]				X[1:0]		类型
5			保留				锁定	PLLEN	

**表34. PLL控制寄存器**

字节	位	位的名称	描述																		
0	[7:0]	M[15:8]	PLL分母MSB。此值与M[7:0]连接构成一个16位数。																		
1	[7:0]	M[7:0]	PLL分母LSB。此值与M[15:8]连接构成一个16位数。																		
			<table border="1"> <thead> <tr> <th>M[15:8] (MSB)</th> <th>M[7:0] (LSB)</th> <th>M值</th> </tr> </thead> <tbody> <tr> <td>00000000</td> <td>00000000</td> <td>0</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>00000000</td> <td>11111101</td> <td>253(默认值)</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>11111111</td> <td>11111111</td> <td>65,535</td> </tr> </tbody> </table>	M[15:8] (MSB)	M[7:0] (LSB)	M值	00000000	00000000	0	...	...	...	00000000	11111101	253(默认值)	...	...	...	11111111	11111111	65,535
M[15:8] (MSB)	M[7:0] (LSB)	M值																			
00000000	00000000	0																			
...	...	...																			
00000000	11111101	253(默认值)																			
...	...	...																			
11111111	11111111	65,535																			
2	[7:0]	N[15:8]	PLL分子MSB。此值与N[7:0]连接构成一个16位数。																		
3	[7:0]	N[7:0]	PLL分子LSB。此值与N[15:8]连接构成一个16位数。																		
			<table border="1"> <thead> <tr> <th>N[15:8] (MSB)</th> <th>N[7:0] (LSB)</th> <th>N值</th> </tr> </thead> <tbody> <tr> <td>00000000</td> <td>00000000</td> <td>0</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>00000000</td> <td>00001100</td> <td>12(默认值)</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>11111111</td> <td>11111111</td> <td>65,535</td> </tr> </tbody> </table>	N[15:8] (MSB)	N[7:0] (LSB)	N值	00000000	00000000	0	...	...	...	00000000	00001100	12(默认值)	...	...	...	11111111	11111111	65,535
N[15:8] (MSB)	N[7:0] (LSB)	N值																			
00000000	00000000	0																			
...	...	...																			
00000000	00001100	12(默认值)																			
...	...	...																			
11111111	11111111	65,535																			
4	[6:3]	R[3:0]	PLL整数设置。																		
			<table border="1"> <thead> <tr> <th>设置</th> <th>R值</th> </tr> </thead> <tbody> <tr> <td>0010</td> <td>2(默认值)</td> </tr> <tr> <td>0011</td> <td>3</td> </tr> <tr> <td>0100</td> <td>4</td> </tr> <tr> <td>0101</td> <td>5</td> </tr> <tr> <td>0110</td> <td>6</td> </tr> <tr> <td>0111</td> <td>7</td> </tr> <tr> <td>1000</td> <td>8</td> </tr> </tbody> </table>	设置	R值	0010	2(默认值)	0011	3	0100	4	0101	5	0110	6	0111	7	1000	8		
设置	R值																				
0010	2(默认值)																				
0011	3																				
0100	4																				
0101	5																				
0110	6																				
0111	7																				
1000	8																				
4	[2:1]	X[1:0]	PLL输入时钟分频器。																		
			<table border="1"> <thead> <tr> <th>设置</th> <th>X值</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>1(默认值)</td> </tr> <tr> <td>01</td> <td>2</td> </tr> <tr> <td>10</td> <td>3</td> </tr> <tr> <td>11</td> <td>4</td> </tr> </tbody> </table>	设置	X值	00	1(默认值)	01	2	10	3	11	4								
设置	X值																				
00	1(默认值)																				
01	2																				
10	3																				
11	4																				
4	0	类型	PLL的类型。当设置为整数模式时，忽略M和N的值。 0 = 整数(默认)。 1 = 小数。																		
5	1	锁定	PLL锁定。当PLL完成锁定时，此只读标志位置1。 0 = PLL未锁定(默认)。 1 = PLL锁定。																		
5	0	PLLEN	PLL使能。 0 = PLL禁用(默认)。 1 = PLL使能。																		

# ADAU1461

## R2: 数字麦克风/插孔检测控制, 16,392 (0x4008)

位7	位6	位5	位4	位3	位2	位1	位0
JDDB[1:0]		JDFUNC[1:0]		保留			JDPOL

表35. 数字麦克风/插孔检测控制寄存器

位	位的名称	描述	
[7:6]	JDDB[1:0]	插孔检测去抖时间。	
		<b>设置</b>	<b>去抖时间</b>
		00	5 ms(默认)
		01	10 ms
		10	20 ms
		11	40 ms
[5:4]	JDFUNC[1:0]	JACKDET/MICIN引脚功能。使能或禁用插孔检测功能，或者将该引脚配置为数字麦克风输入。	
		<b>设置</b>	<b>引脚功能</b>
		00	插孔检测关闭(默认)
		01	插孔检测开启
		10	数字麦克风输入
		11	保留
0	JDPOL	插孔检测极性。检测高电平或低电平信号。 0 = 检测高电平信号(默认)。 1 = 检测低电平信号。	

## R4: 录音复用器左(复用器1)控制0, 16,394 (0x400A)

此寄存器控制左声道录音路径的单端输入增益。左声道录音复用器称为复用器1。

位7	位6	位5	位4	位3	位2	位1	位0
保留	LINPG[2:0]			LINNG[2:0]			MX1EN

表36. 录音复用器左(复用器1)控制0寄存器

位	位的名称	描述	
[6:4]	LINPG[2:0]	来自LINP引脚的左声道单端输入的增益，输入复用器1。	
		<b>设置</b>	<b>增益</b>
		000	静音(默认)
		001	-12 dB
		010	-9 dB
		011	-6 dB
		100	-3 dB
		101	0 dB
		110	3 dB
[3:1]	LINNG[2:0]	来自LINN引脚的左声道单端输入的增益，输入复用器1。	
		<b>设置</b>	<b>增益</b>
		000	静音(默认)
		001	-12 dB
		010	-9 dB
		011	-6 dB
		100	-3 dB
		101	0 dB
		110	3 dB
0	MX1EN	录音路径中的左声道复用器使能。称为复用器1。 0 = 复用器禁用(默认)。 1 = 复用器使能。	

**R5: 录音复用器左(复用器1)控制1, 16,395 (0x400B)**

此寄存器控制录音路径中左声道差分PGA输入的增益增强和左声道辅助输入的增益。左声道录音复用器称为复用器1。

位7	位6	位5	位4	位3	位2	位1	位0
保留			LDBOOST[1:0]		MX1AUXG[2:0]		

**表37. 录音复用器左(复用器1)控制1寄存器**

位	位的名称	描述	
[4:3]	LDBOOST[1:0]	左声道差分PGA输入增益增强，输入复用器1。左差分输入使用LINP(正信号)和LINN(负信号)引脚。	
		<b>设置</b>	<b>增益增强</b>
		00	静音(默认)
		01	0 dB
		10	20 dB
		保留	
[2:0]	MX1AUXG[2:0]	来自录音路径中LAUX引脚的左单端辅助输入增益，输入复用器1。	
		<b>设置</b>	<b>辅助输入增益</b>
		000	静音(默认)
		001	-12 dB
		010	-9 dB
		011	-6 dB
		100	-3 dB
		101	0 dB
		110	3 dB
111	6 dB		

# ADAU1461

## R6: 录音复用器右(复用器2)控制0, 16,396 (0x400C)

此寄存器控制右声道录音路径的单端输入增益。右声道录音复用器称为复用器2。

位7	位6	位5	位4	位3	位2	位1	位0
保留	RINPG[2:0]			RINNG[2:0]			MX2EN

表38. 录音复用器右(复用器2)控制0寄存器

位	位的名称	描述	
[6:4]	RINPG[2:0]	来自RINP引脚的右声道单端输入的增益，输入复用器2。	
		<b>设置</b>	<b>增益</b>
		000	静音(默认)
		001	-12 dB
		010	-9 dB
		011	-6 dB
		100	-3 dB
		101	0 dB
		110	3 dB
		111	6 dB
[3:1]	RINNG[2:0]	来自RINN引脚的右声道单端输入的增益，输入复用器2。	
		<b>设置</b>	<b>增益</b>
		000	静音(默认)
		001	-12 dB
		010	-9 dB
		011	-6 dB
		100	-3 dB
		101	0 dB
		110	3 dB
		111	6 dB
0	MX2EN	录音路径中的右声道复用器使能。称为复用器2。 0 = 复用器禁用(默认)。 1 = 复用器使能。	

**R7: 录音复用器右(复用器2)控制1, 16,397 (0x400D)**

此寄存器控制录音路径中右声道差分PGA输入的增益增强和右声道辅助输入的增益。右声道录音复用器称为复用器2。

位7	位6	位5	位4	位3	位2	位1	位0
保留			RDBOOST[1:0]		MX2AUXG[2:0]		

**表39. 录音复用器右(复用器2)控制1寄存器**

位	位的名称	描述
[4:3]	RDBOOST[1:0]	右声道差分PGA输入增益增强, 输入复用器2。右差分输入使用RINP(正信号)和RINN(负信号)引脚。
		<b>设置</b>
		00
		01
		10
[2:0]	MX2AUXG[2:0]	来自录音路径中RAUX引脚的右单端辅助输入增益, 输入复用器2。
		<b>设置</b>
		000
		001
		010
		011
		100
		101
		110
		111

**R8: 左差分输入音量控制, 16,398 (0x400E)**

此寄存器用于使能差分路径并设置左差分PGA输入的音量控制。

位7	位6	位5	位4	位3	位2	位1	位0
LDVOL[5:0]						LDMUTE	LDEN

**表40. 左差分输入音量控制寄存器**

位	位的名称	描述
[7:2]	LDVOL[5:0]	左声道差分PGA输入音量控制。左差分输入使用LINP(正信号)和LINN(负信号)引脚。每步相当于增益提高0.75 dB。音量设置完整列表参见表90。
		<b>设置</b>
		000000
		000001
		...
		010000
		...
		111110
		111111
		1
0	LDEN	左差分PGA使能。使能时, LINP和LINN引脚用作全差分对。禁用时, 这两个引脚配置为两路单端输入, 信号绕过PGA分配。 0 = 禁用(默认)。 1 = 使能。

# ADAU1461

## R9: 右差分输入音量控制, 16,399 (0x400F)

此寄存器用于使能差分路径并设置右差分PGA输入的音量控制。

位7	位6	位5	位4	位3	位2	位1	位0
RDVOL[5:0]						RDMUTE	RDEN

表41. 右差分输入音量控制寄存器

位	位的名称	描述																
[7:2]	RDVOL[5:0]	右声道差分PGA输入音量控制。右差分输入使用RINP(正信号)和RINN(负信号)引脚。每步相当于增益提高0.75 dB。音量设置完整列表参见表90。 <table border="1"> <thead> <tr> <th>设置</th> <th>音量</th> </tr> </thead> <tbody> <tr> <td>000000</td> <td>-12 dB(默认)</td> </tr> <tr> <td>000001</td> <td>-11.25 dB</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>010000</td> <td>0 dB</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>111110</td> <td>34.5 dB</td> </tr> <tr> <td>111111</td> <td>35.25 dB</td> </tr> </tbody> </table>	设置	音量	000000	-12 dB(默认)	000001	-11.25 dB	...	...	010000	0 dB	...	...	111110	34.5 dB	111111	35.25 dB
设置	音量																	
000000	-12 dB(默认)																	
000001	-11.25 dB																	
...	...																	
010000	0 dB																	
...	...																	
111110	34.5 dB																	
111111	35.25 dB																	
1	RDMUTE	右差分输入静音控制。 0 = 静音(默认)。 1 = 取消静音。																
0	RDEN	右差分PGA使能。使能时, RINP和RINN引脚用作全差分对。禁用时, 这两个引脚配置为两路单端输入, 信号绕过PGA分配。 0 = 禁用(默认)。 1 = 使能。																

## R10: 录音麦克风偏置控制, 16,400 (0x4010)

此寄存器控制用于偏置驻极体型模拟麦克风的MICBIAS引脚设置。

位7	位6	位5	位4	位3	位2	位1	位0
保留				MPERF	MBI	保留	MBIEN

表42. 录音麦克风偏置控制寄存器

位	位的名称	描述
3	MPERF	使能麦克风偏置的高性能或正常工作。高性能工作模式会向麦克风提供更多的电流。 0 = 正常工作(缺省)。 1 = 高性能。
2	MBI	麦克风偏置电压是AVDD的一部分。 0 = 0.90 (默认)。 1 = 0.65。
0	MBIEN	使能MICBIAS输出。 0 = 禁用(默认)。 1 = 使能。

**R11: ALC控制0, 16,401 (0x4011)**

位7	位6	位5	位4	位3	位2	位1	位0
PGASLEW[1:0]		ALCMAX[2:0]			ALCSEL[2:0]		

**表43. ALC控制0寄存器**

位	位的名称	描述	
[7:6]	PGASLEW[1:0]	ALC关闭时的PGA音量压摆时间。压摆时间指音量以斜坡方式增大或减小到目标音量(由左/右差分输入音量控制寄存器R8和R9设置)所需的时间。	
		<b>设置</b>	<b>压摆时间</b>
		00	24 ms(默认)
		01 10 11	48 ms 96 ms 断开
[5:3]	ALCMAX[2:0]	最大ALC增益，为ALC能够提供给输入信号的增益量设置一个限制，以免小信号被过度放大。	
		<b>设置</b>	<b>最大ALC增益</b>
		000	-12 dB(默认)
		001	-6 dB
		010	0 dB
		011	6 dB
		100	12 dB
		101 110 111	18 dB 24 dB 30 dB
[2:0]	ALCSEL[2:0]	ALC选择。这些位设置ALC控制的通道。当设置为“仅右声道”时，ALC仅响应右声道输入，并且仅控制右PGA放大器的增益。当设置为“仅左声道”时，ALC仅响应左声道输入，并且仅控制左PGA放大器的增益。当设置为“立体声”时，ALC响应左右声道中的较大者，并且控制左右两个PGA放大器的增益。DSP控制允许将PGA增益设在DSP范围内，或从外部GPIO输入设置。如果希望手动控制音量，则这些位应置0。	
		<b>设置</b>	<b>通道</b>
		000	关闭(默认)
		001	仅右声道
		010	仅左声道
		011	立体声
		100	DSP控制
		101	保留
		110	保留
111	保留		

# ADAU1461

## R12: ALC控制1, 16,402 (0x4012)

位7	位6	位5	位4	位3	位2	位1	位0
ALCHOLD[3:0]				ALCTARG[3:0]			

表44. ALC控制1寄存器

位	位的名称	描述	
[7:4]	ALCHOLD[3:0]	ALC保持时间。ALC保持时间指输入电平降低后增益提高以实现目标电平之前ALC的等待时间。为防止低频信号失真, 推荐的最小设置为21 ms (0011)。每增大1位, 保持时间延长一倍。	
		<b>设置</b>	<b>保持时间</b>
		0000	2.67 ms(默认)
		0001	5.34 ms
		0010	10.68 ms
		0011	21.36 ms
		0100	42.72 ms
		0101	85.44 ms
		0110	170.88 ms
		0111	341.76 ms
		1000	683.52 ms
		1001	1.367 sec
		1010	2.7341 sec
		1011	5.4682 sec
1100	10.936 sec		
1101	21.873 sec		
1110	43.745 sec		
1111	87.491 sec		
[3:0]	ALCTARG[3:0]	ALC目标值。ALC目标值设置所需的ADC输入电平。ALC调整PGA增益以达到此目标电平。建议将目标电平设置在-16 dB至-10 dB之间, 以免受瞬变影响而造成ADC削波。	
		<b>设置</b>	<b>ALC目标值</b>
		0000	-28.5 dB(默认)
		0001	-27 dB
		0010	-25.5 dB
		0011	-24 dB
		0100	-22.5 dB
		0101	-21 dB
		0110	-19.5 dB
		0111	-18 dB
		1000	-16.5 dB
		1001	-15 dB
		1010	-13.5 dB
		1011	-12 dB
1100	-10.5 dB		
1101	-9 dB		
1110	-7.5 dB		
1111	-6 dB		

**R13: ALC控制2, 16,403 (0x4013)**

位7	位6	位5	位4	位3	位2	位1	位0
ALCATCK[3:0]				ALCDEC[3:0]			

**表45. ALC控制2寄存器**

位	位的名称	描述	
[7:4]	ALCATCK[3:0]	ALC启动时间。启动时间设置当输入电平提高到目标值以上之后，ALC在多长时间开始进行衰减。音乐录音的典型设置为384 ms，语音录音的典型设置为24 ms。	
		<b>设置</b>	<b>启动时间</b>
		0000	6 ms(默认)
		0001	12 ms
		0010	24 ms
		0011	48 ms
		0100	96 ms
		0101	192 ms
		0110	384 ms
		0111	768 ms
		1000	1.54 sec
		1001	3.07 sec
		1010	6.14 sec
		1011	12.29 sec
		1100	24.58 sec
1101	49.15 sec		
1110	98.30 sec		
1111	196.61 sec		
[3:0]	ALCDEC[3:0]	ALC衰减时间。衰减时间设置当输入电平降低到目标值以下之后，ALC在多长时间提高PGA增益。音乐录音的典型设置为24.58秒，语音录音的典型设置为1.54秒。	
		<b>设置</b>	<b>衰减时间</b>
		0000	24 ms
		0001	48 ms
		0010	96 ms
		0011	192 ms
		0100	384 ms
		0101	768 ms
		0110	1.54 sec
		0111	3.07 sec
		1000	6.14 sec
		1001	12.29 sec
		1010	24.58 sec
		1011	49.15 sec
		1100	98.30 sec
1101	196.61 sec		
1110	393.22 sec		
1111	786.43 sec		

# ADAU1461

## R14: ALC控制3, 16,404 (0x4014)

位7	位6	位5	位4	位3	位2	位1	位0
NGTYP[1:0]		NGEN	NGTHR[4:0]				

表46. ALC控制3寄存器

位	位的名称	描述	
[7:6]	NGTYP[1:0]	噪声门类型。当输入信号降至阈值以下并持续250 ms时，噪声门可以保持一个恒定的PGA增益，使ADC输出静音，使PGA增益衰减至最小增益值，或者衰减后静音。	
		<b>设置</b>	<b>噪声门</b>
		00	保持PGA恒定(默认)
		01	使ADC输出静音(数字静音)
		10	衰减至PGA最小值(模拟衰减)
		11	衰减后静音(模拟衰减/数字静音)
5	NGEN	噪声门使能。 0 = 禁用(默认)。 1 = 使能。	
[4:0]	NGTHR[4:0]	噪声门阈值。当输入信号降至阈值以下并持续250 ms时，噪声门激活。增加1 LSB相当于改变-1.5 dB。阈值设置完整列表参见表91。	
		<b>设置</b>	<b>阈值</b>
		00000	-76.5 dB(默认)
		00001	-75 dB
		...	...
		11110	-31.5 dB
		11111	-30 dB

## R15: 串行端口控制0, 16,405 (0x4015)

位7	位6	位5	位4	位3	位2	位1	位0
保留	SPSRS	LRMOD	BPOL	LRPOL	CHPF[1:0]		MS

表47. 串行端口控制0寄存器

位	位的名称	描述	
6	SPSRS	串行端口采样速率源。 0 = 转换器速率在寄存器R17中设置(默认)。 1 = DSP速率在寄存器R57中设置。	
5	LRMOD	LRCLK模式可将LRCLK设置为50%占空比或一个脉冲。脉冲模式至少应为1 BCLK宽。 0 = 50%占空比(默认)。 1 = 脉冲模式。	
4	BPOL	BCLK极性设置用于触发音频数据改变的BCLK边沿。可以设置为BCLK的下降沿或上升沿。 0 = 下降沿(默认)。 1 = 上升沿。	
3	LRPOL	LRCLK极性设置用于触发左声道音频帧开始的LRCLK边沿。可以设置为LRCLK的下降沿或上升沿。 0 = 下降沿(默认)。 1 = 上升沿。	
[2:1]	CHPF[1:0]	每帧通道数设置每个LRCLK帧的通道数。	
		<b>设置</b>	<b>每个LRCLK帧的通道数</b>
		00	Stereo(默认)
		01	TDM 4
		10	TDM 8
		11	保留
0	MS	串行数据端口总线模式。当设置为主机模式时，LRCLK和BCLK均为串行端口的主机；当设置为从机模式时，LRCLK和BCLK均为串行端口的从机。 0 = 从机模式(默认)。 1 = 主机模式。	

**R16: 串行端口控制1, 16,406 (0x4016)**

位7	位6	位5	位4	位3	位2	位1	位0
BPF[2:0]			ADTDM	DATDM	MSBP	LRDEL[1:0]	

**表48. 串行端口控制1寄存器**

位	位的名称	描述	
[7:5]	BPF[2:0]	每个LRCLK音频帧的位时钟周期数。	
		<b>设置</b>	<b>位时钟周期数</b>
		000	64(默认)
		001	保留
		010	48
		011	128
		100	256
		101	保留
		110	保留
111	保留		
4	ADTDM	TDM模式下的ADC串行音频数据通道位置。 0 = 左优先(默认)。 1 = 右优先。	
3	DATDM	TDM模式下的DAC串行音频数据通道位置。 0 = 左优先(默认)。 1 = 右优先。	
2	MSBP	LRCLK帧中的MSB位置。 0 = MSB优先(默认)。 1 = LSB优先。	
[1:0]	LRDEL[1:0]	自LRCLK边沿起的数据延迟(单位BCLK)。	
		<b>设置</b>	<b>延迟(位时钟周期数)</b>
		00	1(默认)
		01	0
		10	8
11	16		

# ADAU1461

## R17: 转换器控制0, 16,407 (0x4017)

位7	位6	位5	位4	位3	位2	位1	位0
保留	DAPAIR[1:0]		DAOSR	ADOSR	CONVSR[2:0]		

表49. 转换器控制0寄存器

位	位的名称	描述		
[6:5]	DAPAIR[1:0]	TDM 4或TDM 8模式下的片内DAC串行数据选择。		
		设置	线对	
		00	第一对(默认)	
		01	第二对	
		10	第三对	
11	第四对			
4	DAOSR	DAC过采样率。当CONVSR[2:0]设置为96 kHz时, 此位不能设置为64倍。 0 = 128倍(默认)。 1 = 64。		
3	ADOSR	ADC过采样率。当CONVSR[2:0]设置为96 kHz时, 此位不能设置为64倍。 0 = 128倍(默认)。 1 = 64。		
[2:0]	CONVSR[2:0]	转换器采样速率。ADC和DAC以此寄存器设置的采样速率工作。所选的转换器速率是基本采样速率 $f_s$ 的比值。基本采样速率由内核时钟的工作频率决定。		
		设置	采样速率	基本采样速率( $f_s = 48 \text{ kHz}$ )
		000	$f_s$	48 kHz, 基本(默认)
		001	$f_s/6$	8 kHz
		010	$f_s/4$	12 kHz
		011	$f_s/3$	16 kHz
		100	$f_s/2$	24 kHz
		101	$f_s/1.5$	32 kHz
		110	$f_s/0.5$	96 kHz
		111	保留	

## R18: 转换器控制1, 16,408 (0x4018)

位7	位6	位5	位4	位3	位2	位1	位0
保留						ADPAIR[1:0]	

表50. 转换器控制1寄存器

位	位的名称	描述		
[1:0]	ADPAIR[1:0]	TDM 4或TDM 8模式下的片内ADC串行数据选择。		
		设置	线对	
		00	第一对(默认)	
		01	第二对	
		10	第三对	
11	第四对			

**R19: ADC控制, 16,409 (0x4019)**

位7	位6	位5	位4	位3	位2	位1	位0
保留	ADCPOL	HPF	DMPOL	DMSW	INSEL	ADCEN[1:0]	

**表51. ADC控制寄存器**

位	位的名字	描述										
6	ADCPOL	反转输入极性。 0 = 正常(默认)。 1 = 反转。										
5	HPF	ADC高通滤波器选择。48 kHz时, $f_{3dB} = 2$ Hz。 0 = 关(默认)。 1 = 开。										
4	DMPOL	数字麦克风数据极性交换。 0 = 反转极性。 1 = 正常(默认)。										
3	DMSW	数字麦克风声道交换。正常工作时, 在时钟的上升沿发送左声道, 在时钟的下降沿发送右声道。 0 = 正常(默认)。 1 = 左右声道互换。										
2	INSEL	数字麦克风输入选择。置位时, 片内ADC关闭, BCLK为主时钟(128 $\phi$ ), ADC_SDATA的左右声道交错。 0 = 数字麦克风输入关闭, ADC使能(默认)。 1 = 数字麦克风输入使能, ADC关闭。										
[1:0]	ADCEN[1:0]	ADC使能。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>设置</th> <th>ADC使能</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>左右均关闭(默认)</td> </tr> <tr> <td>01</td> <td>左使能</td> </tr> <tr> <td>10</td> <td>右使能</td> </tr> <tr> <td>11</td> <td>左右均使能</td> </tr> </tbody> </table>	设置	ADC使能	00	左右均关闭(默认)	01	左使能	10	右使能	11	左右均使能
设置	ADC使能											
00	左右均关闭(默认)											
01	左使能											
10	右使能											
11	左右均使能											

**R20: 左输入数字音量, 16,410 (0x401A)**

位7	位6	位5	位4	位3	位2	位1	位0
LADVOL[7:0]							

**表52. 左输入数字音量寄存器**

位	位的名字	描述														
[7:0]	LADVOL[7:0]	控制来自左ADC或左数字麦克风输入的左声道输入的数字音量衰减。设置之间每相差一位相当于0.375 dB的压摆步长。音量设置完整列表参见表92。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>设置</th> <th>音量衰减</th> </tr> </thead> <tbody> <tr> <td>00000000</td> <td>0 dB(默认)</td> </tr> <tr> <td>00000001</td> <td>-0.375 dB</td> </tr> <tr> <td>00000010</td> <td>-0.75 dB</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>11111110</td> <td>-95.25 dB</td> </tr> <tr> <td>11111111</td> <td>-95.625 dB</td> </tr> </tbody> </table>	设置	音量衰减	00000000	0 dB(默认)	00000001	-0.375 dB	00000010	-0.75 dB	...	...	11111110	-95.25 dB	11111111	-95.625 dB
设置	音量衰减															
00000000	0 dB(默认)															
00000001	-0.375 dB															
00000010	-0.75 dB															
...	...															
11111110	-95.25 dB															
11111111	-95.625 dB															

# ADAU1461

## R21: 右输入数字音量, 16,411 (0x401B)

位7	位6	位5	位4	位3	位2	位1	位0
RADVOL[7:0]							

**表53. 右输入数字音量寄存器**

位	位的名称	描述	
[7:0]	RADVOL[7:0]	控制来自右ADC或右数字麦克风输入的右声道输入的数字音量衰减。设置之间每相差一位相当于0.375 dB的压摆步长。音量设置完整列表参见表92。	
		设置	音量衰减
		00000000	0 dB(默认)
		00000001	-0.375 dB
		00000010	-0.75 dB
		...	...
		11111110	-95.25 dB
		11111111	-95.625 dB

## R22: 回放复用器左(复用器3)控制0, 16,412 (0x401C)

位7	位6	位5	位4	位3	位2	位1	位0
保留	MX3RM	MX3LM	MX3AUXG[3:0]				MX3EN

**表54. 回放复用器左(复用器3)控制0寄存器**

位	位的名称	描述	
6	MX3RM	复用器输入静音。使左声道回放复用器(复用器3)的右DAC输入静音。 0 = 静音(默认)。 1 = 取消静音。	
5	MX3LM	复用器输入静音。使左声道回放复用器(复用器3)的左DAC输入静音。 0 = 静音(默认)。 1 = 取消静音。	
[4:1]	MX3AUXG[3:0]	复用器输入增益。控制左声道回放复用器(复用器3)的左声道辅助输入增益。	
		设置	增益
		0000	静音(默认)
		0001	-15 dB
		0010	-12 dB
		0011	-9 dB
		0100	-6 dB
		0101	-3 dB
		0110	0 dB
		0111	3 dB
		1000	6 dB
0	MX3EN	复用器3使能。 0 = 禁用(默认)。 1 = 使能。	

**R23: 回放复用器左(复用器3)控制1, 16,413 (0x401D)**

位7	位6	位5	位4	位3	位2	位1	位0
MX3G2[3:0]				MX3G1[3:0]			

**表55. 回放复用器左(复用器3)控制1寄存器**

位	位的名称	描述	
[7:4]	MX3G2[3:0]	旁路增益控制。来自右声道录音复用器(复用器2)的信号旁路转换器，增益可以在左声道回放复用器(复用器3)之前施加。	
		设置	增益
		0000	静音(默认)
		0001	-15 dB
		0010	-12 dB
		0011	-9 dB
		0100	-6 dB
		0101	-3 dB
		0110	0 dB
		0111	3 dB
1000	6 dB		
[3:0]	MX3G1[3:0]	旁路增益控制。来自左声道录音复用器(复用器1)的信号旁路转换器，增益可以在左声道回放复用器(复用器3)之前施加。	
		设置	增益
		0000	静音(默认)
		0001	-15 dB
		0010	-12 dB
		0011	-9 dB
		0100	-6 dB
		0101	-3 dB
		0110	0 dB
		0111	3 dB
1000	6 dB		

# ADAU1461

## R24: 回放复用器右(复用器4)控制0, 16,414 (0x401E)

位7	位6	位5	位4	位3	位2	位1	位0
保留	MX4RM	MX4LM	MX4AUXG[3:0]				MX4EN

表56. 回放复用器右(复用器4)控制0寄存器

位	位的名称	描述																				
6	MX4RM	复用器输入静音。使右声道回放复用器(复用器4)的右DAC输入静音。 0 = 静音(默认)。 1 = 取消静音。																				
5	MX4LM	复用器输入静音。使右声道回放复用器(复用器4)的左DAC输入静音。 0 = 静音(默认)。 1 = 取消静音。																				
[4:1]	MX4AUXG[3:0]	复用器输入增益。控制右声道回放复用器(复用器4)的右声道辅助输入增益。																				
		<table border="1"> <thead> <tr> <th>设置</th> <th>增益</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>静音(默认)</td> </tr> <tr> <td>0001</td> <td>-15 dB</td> </tr> <tr> <td>0010</td> <td>-12 dB</td> </tr> <tr> <td>0011</td> <td>-9 dB</td> </tr> <tr> <td>0100</td> <td>-6 dB</td> </tr> <tr> <td>0101</td> <td>-3 dB</td> </tr> <tr> <td>0110</td> <td>0 dB</td> </tr> <tr> <td>0111</td> <td>3 dB</td> </tr> <tr> <td>1000</td> <td>6 dB</td> </tr> </tbody> </table>	设置	增益	0000	静音(默认)	0001	-15 dB	0010	-12 dB	0011	-9 dB	0100	-6 dB	0101	-3 dB	0110	0 dB	0111	3 dB	1000	6 dB
设置	增益																					
0000	静音(默认)																					
0001	-15 dB																					
0010	-12 dB																					
0011	-9 dB																					
0100	-6 dB																					
0101	-3 dB																					
0110	0 dB																					
0111	3 dB																					
1000	6 dB																					
0	MX4EN	复用器4使能。 0 = 禁用(默认)。 1 = 使能。																				

**R25: 回放复用器右(复用器4)控制1, 16,415 (0x401F)**

位7	位6	位5	位4	位3	位2	位1	位0
MX4G2[3:0]				MX4G1[3:0]			

**表57. 回放复用器右(复用器4)控制1寄存器**

位	位的名称	描述	
[7:4]	MX4G2[3:0]	旁路增益控制。来自右声道录音复用器(复用器2)的信号旁路转换器, 增益可以在右声道回放复用器(复用器4)之前施加。	
		设置	增益
		0000	静音(默认)
		0001	-15 dB
		0010	-12 dB
		0011	-9 dB
		0100	-6 dB
		0101	-3 dB
		0110	0 dB
		0111	3 dB
1000	6 dB		
[3:0]	MX4G1[3:0]	旁路增益控制。来自左声道录音复用器(复用器1)的信号旁路转换器, 增益可以在右声道回放复用器(复用器4)之前施加。	
		设置	增益
		0000	静音(默认)
		0001	-15 dB
		0010	-12 dB
		0011	-9 dB
		0100	-6 dB
		0101	-3 dB
		0110	0 dB
		0111	3 dB
1000	6 dB		

**R26: 回放L/R复用器左(复用器5)线路输出控制, 16,416 (0x4020)**

位7	位6	位5	位4	位3	位2	位1	位0
保留			MX5G4[1:0]	MX5G3[1:0]		MX5EN	

**表58. 回放L/R复用器左(复用器5)线路输出控制寄存器**

位	位的名称	描述	
[4:3]	MX5G4[1:0]	复用器输入增益增强。来自右声道回放复用器(复用器4)的信号可以在回放L/R复用器左(复用器5)中使能并增强。	
		设置	增益增强
		00	静音(默认)
		01	0 dB输出(两路输入的各路均有-6 dB增益)
		10	6 dB输出(两路输入的各路均有0 dB增益)
11	保留		
[2:1]	MX5G3[1:0]	复用器输入增益增强。来自左声道回放复用器(复用器3)的信号可以在回放L/R复用器左(复用器5)中使能并增强。	
		设置	增益增强
		00	静音(默认)
		01	0 dB输出(两路输入的各路均有-6 dB增益)
		10	6 dB输出(两路输入的各路均有0 dB增益)
11	保留		
0	MX5EN	复用器5使能。 0 = 禁用(默认)。 1 = 使能。	

# ADAU1461

## R27: 回放L/R复用器右(复用器6)线路输出控制, 16,417 (0x4021)

位7	位6	位5	位4	位3	位2	位1	位0
保留			MX6G4[1:0]		MX6G3[1:0]		MX6EN

表59. 回放L/R复用器右(复用器6)线路输出控制寄存器

位	位的名称	描述	
[4:3]	MX6G4[1:0]	复用器输入增益增强。来自右声道回放复用器(复用器4)的信号可以在回放L/R复用器右(复用器6)中使能并增强。	
		<b>设置</b>	<b>增益增强</b>
		00	静音(默认)
		01	0 dB输出(两路输入的各路均有-6 dB增益)
		10	6 dB输出(两路输入的各路均有0 dB增益)
	11	保留	
[2:1]	MX6G3[1:0]	复用器输入增益增强。来自左声道回放复用器(复用器3)的信号可以在回放L/R复用器右(复用器6)中使能并增强。	
		<b>设置</b>	<b>增益增强</b>
		00	静音(默认)
		01	0 dB输出(两路输入的各路均有-6 dB增益)
		10	6 dB输出(两路输入的各路均有0 dB增益)
	11	保留	
0	MX6EN	复用器6使能。 0 = 禁用(默认)。 1 = 使能。	

## R28: 回放L/R复用器单声道输出(复用器7)控制, 16,418 (0x4022)

位7	位6	位5	位4	位3	位2	位1	位0
保留					MX7[1:0]		MX7EN

表60. 回放L/R复用器单声道输出(复用器7)控制寄存器

位	位的名称	描述	
[2:1]	MX7[1:0]	L/R单声道回放复用器(复用器7)。用于将左右回放复用器(复用器3和复用器4)与0 dB或6 dB增益增强混频。此外, 此复用器可以作为共模输出工作, 从而用作无电容耳机配置中的虚拟地。	
		<b>设置</b>	<b>增益增强</b>
		00	共模输出(默认)
		01	0 dB输出(两路输入的各路均有-6 dB增益)
		10	6 dB输出(两路输入的各路均有0 dB增益)
	11	保留	
0	MX7EN	复用器7使能。 0 = 禁用(默认)。 1 = 使能。	

**R29: 回放耳机左音量控制, 16,419 (0x4023)**

位7	位6	位5	位4	位3	位2	位1	位0
LHPVOL[5:0]						LHPM	HPEN

**表61. 回放耳机左音量控制寄存器**

位	位的名称	描述
[7:2]	LHPVOL[5:0]	左声道LHP输出的耳机音量控制。每1位步进相当于音量提高1 dB。音量设置完整列表参见表93。
		<b>设置</b>
		000000
		...
		111001
1	LHPM	左声道LHP输出(低电平有效)的耳机静音。 0 = 静音。 1 = 取消静音(默认)。
		...
		111111
0	HPEN	耳机音量控制使能。寄存器R30中的HPMODE位与此位执行逻辑OR运算。若HPEN位或HPMODE位设置为1, 则耳机输出使能。 0 = 禁用(默认)。 1 = 使能。

**R30: 回放耳机右音量控制, 16,420 (0x4024)**

位7	位6	位5	位4	位3	位2	位1	位0
RHPVOL[5:0]						RHPM	HPMODE

**表62. 回放耳机右音量控制寄存器**

位	位的名称	描述
[7:2]	RHPVOL[5:0]	右声道RHP输出的耳机音量控制。每1位步进相当于音量提高1 dB。音量设置完整列表参见表93。
		<b>设置</b>
		000000
		...
		111001
1	RHPM	右声道RHP输出(低电平有效)的耳机静音。 0 = 静音。 1 = 取消静音(默认)。
		...
		111111
0	HPMODE	RHP和LHP输出模式。这些引脚可以配置为线路输出或耳机输出。寄存器R29中的HPEN位与此位执行逻辑OR运算。若HPMODE位或HPEN位设置为1, 则耳机输出使能。 0 = 使能线路输出(默认)。 1 = 使能耳机输出。

# ADAU1461

## R31: 回放线路输出左音量控制, 16,421 (0x4025)

位7	位6	位5	位4	位3	位2	位1	位0
LOUTVOL[5:0]						LOUTM	LOMODE

表63. 回放线路输出左音量控制寄存器

位	位的名称	描述												
[7:2]	LOUTVOL[5:0]	左声道LOUTN和LOUTP输出的线路输出音量控制。每1位步进相当于音量提高1 dB。音量设置完整列表参见表93。												
		<table border="1"> <thead> <tr> <th>设置</th> <th>音量</th> </tr> </thead> <tbody> <tr> <td>000000</td> <td>-57 dB(默认)</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>111001</td> <td>0 dB</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>111111</td> <td>6 dB</td> </tr> </tbody> </table>	设置	音量	000000	-57 dB(默认)	...	...	111001	0 dB	...	...	111111	6 dB
		设置	音量											
000000	-57 dB(默认)													
...	...													
111001	0 dB													
...	...													
111111	6 dB													
1	LOUTM	左声道LOUTN和LOUTP输出(低电平有效)的线路输出静音。 0 = 静音。 1 = 取消静音(默认)。												
0	LOMODE	左声道LOUTN和LOUTP输出的线路输出模式。这些引脚可以配置为线路输出或耳机输出。若要驱动耳机扬声器, 请将此位置1(耳机输出)。 0 = 线路输出(默认)。 1 = 耳机输出。												

## R32: 回放线路输出右音量控制, 16,422 (0x4026)

位7	位6	位5	位4	位3	位2	位1	位0
ROUTVOL[5:0]						ROUTM	ROMODE

表64. 回放线路输出右音量控制寄存器

位	位的名称	描述												
[7:2]	ROUTVOL[5:0]	右声道ROUTN和ROUTP输出的线路输出音量控制。每1位步进相当于音量提高1 dB。音量设置完整列表参见表93。												
		<table border="1"> <thead> <tr> <th>设置</th> <th>音量</th> </tr> </thead> <tbody> <tr> <td>000000</td> <td>-57 dB(默认)</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>111001</td> <td>0 dB</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>111111</td> <td>6 dB</td> </tr> </tbody> </table>	设置	音量	000000	-57 dB(默认)	...	...	111001	0 dB	...	...	111111	6 dB
		设置	音量											
000000	-57 dB(默认)													
...	...													
111001	0 dB													
...	...													
111111	6 dB													
1	ROUTM	右声道ROUTN和ROUTP输出(低电平有效)的线路输出静音。 0 = 静音。 1 = 取消静音(默认)。												
0	ROMODE	右声道ROUTN和ROUTP输出的线路输出模式。这些引脚可以配置为线路输出或耳机输出。若要驱动耳机扬声器, 请将此位置1(耳机输出)。 0 = 线路输出(默认)。 1 = 耳机输出。												

**R33: 回放单声道输出控制, 16,423 (0x4027)**

位7	位6	位5	位4	位3	位2	位1	位0
MONOVOL[5:0]						MONOM	MOMODE

**表65. 回放单声道输出控制寄存器**

位	位的名称	描述
[7:2]	MONOVOL[5:0]	单声道输出音量控制。每1位步进相当于音量提高1 dB。如果寄存器R28中的MX7[1:0]设置为共模输出，则禁用音量控制。音量设置完整列表参见表93。
		<b>设置</b>
		000000
		...
		111001
		<b>音量</b>
		-57 dB(默认)
		0 dB
1	MONOM	单声道输出静音(低电平有效)。 0 = 静音。 1 = 取消静音(默认)。
0	MOMODE	耳机模式使能。如果寄存器R28中的MX7[1:0]设置为无电容耳机配置的共模输出，则此位位置1(耳机输出)。 0 = 线路输出(默认)。 1 = 耳机输出。

**R34: 回放爆音/咔嚓声抑制, 16,424 (0x4028)**

位7	位6	位5	位4	位3	位2	位1	位0
保留			POPMODE	POPLESS	ASLEW[1:0]		保留

**表66. 回放爆音/咔嚓声抑制寄存器**

位	位的名称	描述
4	POPMODE	爆音抑制电路省电模式。爆音抑制电路在正常工作模式下充电较快，但充电后可以将其置于低功耗模式。 0 = 正常(默认)。 1 = 低功耗。
3	POPLESS	爆音抑制禁用。爆音抑制电路默认使能。可以将其禁用以省电，但禁用会增加爆音和咔嚓声出现的机率。 0 = 使能(默认)。 1 = 禁用。
[2:1]	ASLEW[1:0]	回放音量控制的模拟音量压摆率。
		<b>设置</b>
		00
		01
		10
		<b>压摆率</b>
		21.25 ms(默认)
		42.5 ms
		85 ms
		断开

**R35: 回放功耗管理, 16,425 (0x4029)**

位7	位6	位5	位4	位3	位2	位1	位0
保留						PREN	PLEN

**表67. 回放功耗管理寄存器**

位	位的名称	描述
1	PREN	回放右声道使能。 0 = 禁用(默认)。 1 = 使能。
0	PLEN	回放左声道使能。 0 = 禁用(默认)。 1 = 使能。

# ADAU1461

## R36: DAC控制0, 16,426 (0x402A)

位7	位6	位5	位4	位3	位2	位1	位0
DACMONO[1:0]		DACPOL	保留		DEMPH	DACEN[1:0]	

表68. DAC控制0寄存器

位	位的名称	描述	
[7:6]	DACMONO[1:0]	DAC单声道模式。左声道、右声道或两个声道的DAC和输出可以设置为单声道模式。	
		设置	单声道模式
		00	立体声(默认)
		01	左声道为单声道模式
		10	右声道为单声道模式
		11	左右声道均为单声道模式
5	DACPOL	DAC的反转输入极性。 0 = 正常(默认)。 1 = 反转。	
2	DEMPH	DAC去加重滤波器使能。去加重滤波器仅能在44.1 kHz的采样速率下使用。 0 = 禁用(默认)。 1 = 使能。	
[1:0]	DACEN[1:0]	DAC使能。	
		设置	DAC使能
		00	左右均关闭(默认)
		01	左使能
		10	右使能
		11	左右均使能

## R37: DAC控制1, 16,427 (0x402B)

位7	位6	位5	位4	位3	位2	位1	位0
LDAVOL[7:0]							

表69. DAC控制1寄存器

位	位的名称	描述	
[7:0]	LDAVOL[7:0]	控制来自左DAC的左声道输入的数字音量衰减。设置之间每相差一位相当于0.375 dB的压摆步长。音量设置完整列表参见表92。	
		设置	音量衰减
		00000000	0 dB(默认)
		00000001	-0.375 dB
		00000010	-0.75 dB
		...	...
		11111110	-95.25 dB
11111111	-95.625 dB		

**R38: DAC控制2, 16,428 (0x402C)**

位7	位6	位5	位4	位3	位2	位1	位0
RDAVOL[7:0]							

**表70. DAC控制2寄存器**

位	位的名称	描述	
[7:0]	RDAVOL[7:0]	控制来自右DAC的右声道输入的数字音量衰减。设置之间每相差一位相当于0.375 dB的压摆步长。音量设置完整列表参见表92。	
		设置	音量衰减
		00000000	0 dB(默认)
		00000001	-0.375 dB
		00000010	-0.75 dB
		...	...
		11111110	-95.25 dB
		11111111	-95.625 dB

**R39: 串行端口焊盘控制, 16,429 (0x402D)**

可选的上拉/下拉电阻标称值为250 kΩ。使能时，如果信号源变成三态，这些上拉/下拉电阻将把串行端口信号设置为确定的状态。

位7	位6	位5	位4	位3	位2	位1	位0
ADCSDP[1:0]		DACSDP[1:0]		LRCLKP[1:0]		BCLKP[1:0]	

**表71. 串行端口焊盘控制寄存器**

位	位的名称	描述	
[7:6]	ADCSDP[1:0]	ADC_SDATA焊盘上拉/下拉配置。	
		设置	配置
		00	上拉
		01	保留
		10	无(默认)
		11	下拉
[5:4]	DACSDP[1:0]	DAC_SDATA焊盘上拉/下拉配置。	
		设置	配置
		00	上拉
		01	保留
		10	无(默认)
		11	下拉
[3:2]	LRCLKP[1:0]	LRCLK焊盘上拉/下拉配置。	
		设置	配置
		00	上拉
		01	保留
		10	无(默认)
		11	下拉
[1:0]	BCLKP[1:0]	BCLK焊盘上拉/下拉配置。	
		设置	配置
		00	上拉
		01	保留
		10	无(默认)
		11	下拉

# ADAU1461

## R40: 控制端口焊盘控制0, 16,431 (0x402F)

可选的上拉/下拉电阻标称值为250 kΩ。使能时，如果信号源变成三态，这些上拉/下拉电阻将把控制端口信号设置为确定的状态。

位7	位6	位5	位4	位3	位2	位1	位0
CDATP[1:0]		CLCHP[1:0]		SCLP[1:0]		SDAP[1:0]	

**表72. 控制端口焊盘控制0寄存器**

位	位的名称	描述	
[7:6]	CDATP[1:0]	CDATA焊盘上拉/下拉配置。	
		<b>设置</b>	<b>配置</b>
		00	上拉
		01	保留
		10	无(默认)
		11	下拉
[5:4]	CLCHP[1:0]	CLATCH焊盘上拉/下拉配置。	
		<b>设置</b>	<b>配置</b>
		00	上拉
		01	保留
		10	无(默认)
		11	下拉
[3:2]	SCLP[1:0]	SCL/CCLK焊盘上拉/下拉配置。	
		<b>设置</b>	<b>配置</b>
		00	上拉
		01	保留
		10	无(默认)
		11	下拉
[1:0]	SDAP[1:0]	SDA/COUT焊盘上拉/下拉配置。	
		<b>设置</b>	<b>配置</b>
		00	上拉
		01	保留
		10	无(默认)
		11	下拉

## R41: 控制端口焊盘控制1, 16,432 (0x4030)

当IOVDD设置为3.3 V时，SDA/COUT引脚的高低驱动强度分别约为4.0 mA和2.0 mA。需要时，高驱动强度模式在I<sup>2</sup>C模式下可以用于产生更强的ACK脉冲。

位7	位6	位5	位4	位3	位2	位1	位0
保留							SDASTR

**表73. 控制端口焊盘控制1寄存器**

位	位的名称	描述
0	SDASTR	SDA/COUT引脚驱动强度。 0 = 低(默认)。 1 = 高。

**R42: 插孔检测引脚控制, 16,433 (0x4031)**

当IOVDD设置为3.3 V时, JACKDET/MICIN引脚的高低驱动强度分别约为4.0 mA和2.0 mA。可选的上拉/下拉电阻标称值为250 kΩ。使能时, 如果信号源变成三态, 这些上拉/下拉电阻将把输入信号设置为确定的状态。

位7	位6	位5	位4	位3	位2	位1	位0
保留	保留	JDSTR	保留	JDP[1:0]		保留	

**表74. 插孔检测引脚控制寄存器**

位	位的名称	描述										
5	JDSTR	JACKDET/MICIN引脚驱动强度。 0 = 低(默认)。 1 = 高。										
[3:2]	JDP[1:0]	JACKDET/MICIN焊盘上拉/下拉配置。										
		<table border="1"> <thead> <tr> <th>设置</th> <th>配置</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>上拉</td> </tr> <tr> <td>01</td> <td>保留</td> </tr> <tr> <td>10</td> <td>无(默认)</td> </tr> <tr> <td>11</td> <td>下拉</td> </tr> </tbody> </table>	设置	配置	00	上拉	01	保留	10	无(默认)	11	下拉
设置	配置											
00	上拉											
01	保留											
10	无(默认)											
11	下拉											

**R67: 去抖动控制, 16,438 (0x4036)**

通过去抖动控制寄存器, 可以设置去抖动窗口的大小, 以及激活或旁路器件中的所有去抖动电路。在从机模式下, 去抖动电路可防止抖动造成的重复或跳过的样本进入串行端口。在工作过程中禁用再使能器件的某些子系统, 即ADC、串行端口、SigmaDSP内核和DAC等, 可能会导致相关的去抖动电路无法工作。结果, 音频数据将无法输出到器件中的下一个子系统。

当串行端口工作在主机模式时, 可以将去抖动窗口设置为0以旁路去抖动电路。当串行端口工作在从机模式时, 可以在从器件输出音频数据之前重新初始化去抖动电路, 以保证音频数据能够输出到器件中的下一个子系统。如果音频必须通过ADC、串行端口、音频引擎/DSP内核或DAC, 则可以将去抖动窗口大小设置为0, 以旁路并复位去抖动电路。这样, 只要将去抖动窗口大小设置为默认值3, 就能立即重新激活去抖动电路, 而无需等待。

位7	位6	位5	位4	位3	位2	位1	位0
DEJIT[7:0]							

**表75. 去抖动控制寄存器**

位	位的名称	描述												
[7:0]	DEJIT[7:0]	去抖动窗口大小。												
		<table border="1"> <thead> <tr> <th>窗口大小</th> <th>内核时钟周期数</th> </tr> </thead> <tbody> <tr> <td>00000000</td> <td>0</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>00000011</td> <td>3(默认)</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>00000101</td> <td>5</td> </tr> </tbody> </table>	窗口大小	内核时钟周期数	00000000	0	...	...	00000011	3(默认)	...	...	00000101	5
窗口大小	内核时钟周期数													
00000000	0													
...	...													
00000011	3(默认)													
...	...													
00000101	5													

# ADAU1461

## R43至R47：循环冗余校验(CRC)寄存器，16,576至16,580(0x40C0至0x40C4)

循环冗余校验(CRC)会持续检查程序RAM内容的有效性。SigmaStudio会产生一个32位散列和，且该值必须写入到四个连续的只读8位寄存器位置。然后，必须使能CRC。每隔1024个帧(48 kHz时为21 ms)，IC会产生自身的32位代码并将其与这些寄存器中存储的代码进行比较。如果代码不匹配，则会将GPIO引脚设为高电平(CRC标志)。必须使用GPIO引脚控制寄存器中的输出CRC错误标记设置来使能此输出标志(参见表77)。当CRCEN位为低电平时，复位1位CRC错误标志。例如，GPIO引脚可以连接到外部微控制器上的某个中断引脚，用于触发损坏寄存器重写。

默认情况下，CRC禁用(CRCEN位设为0)。若要使能连续CRC校验，用户可在加载程序并发送正确的CRC(由SigmaStudio计算)之后，将CRCEN位设为1。如果存在错误，可以通过以下方式加以清除：将CRCEN位设为低电平，修复错误(可能是重新加载程序)，然后再次将CRCEN位设为高电平。

地址	位7	位6	位5	位4	位3	位2	位1	位0
0x40C0	CRC[31:24]							
0x40C1	CRC[23:16]							
0x40C2	CRC[15:8]							
0x40C3	CRC[7:0]							
0x40C4	保留							CRCEN

表76. 循环冗余校验寄存器

寄存器	地址		位的名称	描述
	十进制	十六进制		
R43	16,576	0x40C0	CRC[31:24]	CRC散列和，位[31:24](只读寄存器)
R44	16,577	0x40C1	CRC[23:16]	CRC散列和，位[23:16](只读寄存器)
R45	16,578	0x40C2	CRC[15:8]	CRC散列和，位[15:8](只读寄存器)
R46	16,579	0x40C3	CRC[7:0]	CRC散列和，位[7:0](只读寄存器)
R47	16,580	0x40C4	CRCEN	CRC使能 0 = 禁用(默认) 1 = 使能

**R48至R51: GPIO引脚控制, 16,582至16,585(0x40C6至0x40C9)**

GPIO引脚控制寄存器设置每个GPIO引脚的功能, 如表77所示。GPIO功能使用与串行端口相同的引脚, 而且必须在串行数据/GPIO引脚配置寄存器(地址0x40F4)中使能。当GPIO引脚设为I<sup>2</sup>C/SPI端口控制模式时, 通过向见表31中所述存储器位置写入信息来设置引脚。可选内部上拉电阻标称值为250 kΩ。

若输出CRC错误和输出看门狗错误设置被标记, 则表示一旦设置, 它们将保持该设置直到ADAU1461复位。

地址	位7	位6	位5	位4	位3	位2	位1	位0
0x40C6	保留				GPIO0[3:0]			
0x40C7	保留				GPIO1[3:0]			
0x40C8	保留				GPIO2[3:0]			
0x40C9	保留				GPIO3[3:0]			

**表77. GPIO引脚功能位设置**

GPIOx[3:0] 位	GPIO引脚功能
0000	无去抖输入(默认)
0001	带去抖输入(0.3 ms)
0010	带去抖输入(0.6 ms)
0011	带去抖输入(0.9 ms)
0100	带去抖输入(5 ms)
0101	带去抖输入(10 ms)
0110	带去抖输入(20 ms)
0111	带去抖输入(40 ms)
1000	由I <sup>2</sup> C/SPI端口控制的输入
1001	由I <sup>2</sup> C/SPI端口设置的输出, 使用上拉
1010	由I <sup>2</sup> C/SPI端口设置的输出, 无上拉
1011	由DSP内核设置的输出, 使用上拉
1100	由DSP内核设置的输出, 无上拉
1101	保留
1110	输出CRC错误(标记)
1111	输出看门狗错误(标记)

**表78. GPIO引脚控制寄存器**

寄存器	地址		位的名称	描述
	十进制	十六进制		
R48	16,582	0x40C6	GPIO0[3:0]	GPIO 0引脚功能(见表77)
R49	16,583	0x40C7	GPIO1[3:0]	GPIO 1引脚功能(见表77)
R50	16,584	0x40C8	GPIO2[3:0]	GPIO 2引脚功能(见表77)
R51	16,585	0x40C9	GPIO3[3:0]	GPIO 3引脚功能(见表77)

# ADAU1461

## R52至R56: 看门狗寄存器, 16,592至16,596(0x40D0至0x40D4)

内核执行模块处理(可跨越数个样本)时, 会使用程序计数器看门狗。如果程序计数器达到看门狗寄存器中设置的指定24位值(范围从0x000000至0xFFFFFFFF), 看门狗会标记错误。该值由三个连续的8位寄存器位置组成。错误标志会向其中一个GPIO引脚发送高电平信号。必须通过将寄存器R52(地址0x40D0)中的DOGEN位设置为高电平来使能看门狗功能。

看门狗错误位(DOGER)是1位看门狗错误标志, 可发送至一个GPIO引脚, 如表77所示。该错误标志可以连接到系统中诸如微控制器上的某个中断引脚。当DOGEN位变为低电平时, 该标志复位。该标志还可通过来自寄存器R56(地址0x40D4)的控制端口回读。

地址	位7	位6	位5	位4	位3	位2	位1	位0
0x40D0	保留							DOGEN
0x40D1	DOG[23:16]							
0x40D2	DOG[15:8]							
0x40D3	DOG[7:0]							
0x40D4	保留							DOGER

表79. 看门狗寄存器

寄存器	地址		位的名称	描述			
	十进制	十六进制					
R52	16,592	0x40D0	DOGEN	看门狗使能位。 0 = 禁用(默认)。 1 = 使能。			
R53	16,593	0x40D1	DOG[23:16]	看门狗数值, 位[23:16] (MSB)。			
R54	16,594	0x40D2	DOG[15:8]	看门狗数值, 位[15:8]。			
R55	16,595	0x40D3	DOG[7:0]	看门狗数值, 位[7:0]。			
				<b>DOG[23:16]</b>	<b>DOG[15:8]</b>	<b>DOG[7:0]</b>	<b>十六进制值</b>
				00000000	00000000	00000000	0x000000(默认值)
				11111111	11111111	11111111	0xFFFFFFFF
R56	16,596	0x40D4	DOGER	看门狗错误(只读位)。 0 = 无错误(默认)。 1 = 错误。			

## R57: DSP采样速率设置, 16,619 (0x40EB)

位7	位6	位5	位4	位3	位2	位1	位0
保留				DSPSR[3:0]			

表80. DSP采样速率设置寄存器

位	位的名称	描述
[3:0]	DSPSR[3:0]	SigmaDSP内核采样速率。DSP采样速率是基本采样速率 $f_s$ 的比值。基本采样速率由内核时钟的工作频率决定。对于大多数应用而言, SigmaDSP内核采样速率应等于转换器采样速率(使用寄存器R17中的CONVSR[2:0]位设置), 并且等于串行端口采样速率(使用寄存器R64中的SPSR[2:0]位设置)。
	<b>设置</b>	<b>采样速率</b>
	0000	$f_s/0.5$
	0001	$f_s$
	0010	$f_s/1.5$
	0011	$f_s/2$
	0100	$f_s/3$
	0101	$f_s/4$
	0110	$f_s/6$
	0111	串行输入数据速率
	1000	串行输出数据速率
	1111	无
		<b>基本采样速率(<math>f_s = 48 \text{ kHz}</math>)</b>
		96 kHz, 基本
		48 kHz(默认)
		32 kHz
		24 kHz
		16 kHz
		12 kHz
		8 kHz

**R58: 串行输入分配控制, 16,626 (0x40F2)**

位7	位6	位5	位4	位3	位2	位1	位0
保留				SINRT[3:0]			

**表81. 串行输入分配控制寄存器**

位	位的名称	描述	
[3:0]	SINRT[3:0]	串行数据输入分配。该寄存器设置DAC接收串行数据的输入。位置可以来自DSP, 或来自串行端口的任意TDM插槽。	
		设置	分配
		0000	DSP至DAC [L, R](默认)
		0001	串行输入[L0, R0]至DAC [L, R]
		0010	保留
		0011	串行输入[L1, R1]至DAC [L, R]
		0100	保留
		0101	串行输入[L2, R2]至DAC [L, R]
		0110	保留
		0111	串行输入[L3, R3]至DAC [L, R]
		1000	保留
		1001	串行输入[R0, L0]至DAC [L, R]
		1010	保留
		1011	串行输入[R1, L1]至DAC [L, R]
		1100	保留
		1101	串行输入[R2, L2]至DAC [L, R]
		1110	保留
		1111	串行输入[R3, L3]至DAC [L, R]

**R59: 串行输出分配控制, 16,627 (0x40F3)**

位7	位6	位5	位4	位3	位2	位1	位0
保留				SOUTRT[3:0]			

**表82. 串行输出分配控制寄存器**

位	位的名称	描述	
[3:0]	SOUTRT[3:0]	串行数据输出分配。该寄存器设置ADC发送串行数据的输出。位置可以到达DSP, 或到达串行端口的任意TDM插槽。	
		设置	分配
		0000	ADC [L, R]至DSP(默认)
		0001	ADC [L, R]至串行输出[L0, R0]
		0010	保留
		0011	ADC [L, R]至串行输出[L1, R1]
		0100	保留
		0101	ADC [L, R]至串行输出[L2, R2]
		0110	保留
		0111	ADC [L, R]至串行输出[L3, R3]
		1000	保留
		1001	ADC [L, R]至串行输出[R0, L0]
		1010	保留
		1011	ADC [L, R]至串行输出[R1, L1]
		1100	保留
		1101	ADC [L, R]至串行输出[R2, L2]
		1110	保留
		1111	ADC [L, R]至串行输出[R3, L3]

# ADAU1461

## R60: 串行数据/GPIO引脚配置, 16,628 (0x40F4)

串行数据/GPIO引脚配置寄存器控制串行数据端口引脚的功能。如果此寄存器中的位置1, 则这些引脚配置为与SigmaDSP的GPIO接口。如果这些位置0, 则配置为串行数据I/O端口引脚。

位7	位6	位5	位4	位3	位2	位1	位0
保留				LRGP3	BGP2	SDOGP1	SDIGP0

表83. 串行数据/GPIO引脚配置寄存器

位	位的名称	描述
3	LRGP3	选择LRCLK或GPIO3的引脚配置。 0 = LRCLK使能(默认)。 1 = GPIO3使能。
2	BGP2	选择BCLK或GPIO2的引脚配置。 0 = BCLK使能(默认)。 1 = GPIO2使能。
1	SDOGP1	选择ADC_SDATA或GPIO1的引脚配置。 0 = ADC_SDATA使能(默认)。 1 = GPIO1使能。
0	SDIGP0	选择DAC_SDATA或GPIO0的引脚配置。 0 = DAC_SDATA使能(默认)。 1 = GPIO0使能。

## R61: DSP使能, 16,629 (0x40F5)

位7	位6	位5	位4	位3	位2	位1	位0
保留							DSPEN

表84. DSP使能寄存器

位	位的名称	描述
0	DSPEN	使能DSP。写入参数RAM和设置寄存器R62(地址0x40F6)中的DSPRUN位之前设置此位。 0 = DSP禁用(默认)。 1 = DSP使能。

## R62: DSP运行, 16,630 (0x40F6)

位7	位6	位5	位4	位3	位2	位1	位0
保留							DSPRUN

表85. DSP运行寄存器

位	位的名称	描述
0	DSPRUN	运行DSP。设置此位前首先设置寄存器R61(地址0x40F5)中的DSPEN位。 0 = DSP关断(默认)。 1 = 运行DSP。

**R63: DSP压摆模式, 16,631 (0x40F7)**

DSP压摆模式寄存器可针对每一路输出设置压摆源。压摆源可以是DSP(数字压摆)或编解码器(模拟压摆)。如果这些位设为逻辑0, 则编解码器根据寄存器R34(回放爆音/咔嚓声抑制寄存器, 地址0x4028)中的ASLEW[1:0]位提供音量压摆。如果这些位设为逻辑1, 则DSP程序提供并定义压摆, 禁用编解码器音量压摆。

位7	位6	位5	位4	位3	位2	位1	位0
保留			MOSLW	ROSLW	LOSLW	RHPSLW	LHPSLW

**表86. DSP压摆模式寄存器**

位	位的名称	描述
4	MOSLW	单声道输出压摆生成。 0 = 编解码器(默认)。 1 = DSP.
3	ROSLW	线路输出右压摆生成。 0 = 编解码器(默认)。 1 = DSP.
2	LOSLW	线路输出左压摆生成。 0 = 编解码器(默认)。 1 = DSP.
1	RHPSLW	耳机右压摆生成。 0 = 编解码器(默认)。 1 = DSP.
0	LHPSLW	耳机左压摆生成。 0 = 编解码器(默认)。 1 = DSP.

**R64: 串行端口采样速率, 16,632 (0x40F8)**

位7	位6	位5	位4	位3	位2	位1	位0
保留					SPSR[2:0]		

**表87. 串行端口采样速率寄存器**

位	位的名称	描述																											
[2:0]	SPSR[2:0]	串行端口采样速率。串行端口采样速率是基本采样速率 $f_s$ 的比值。基本采样速率由内核时钟的工作频率决定。对于大多数应用而言, 串行端口采样速率应等于转换器采样速率(使用寄存器R17中的CONVSR[2:0]位设置), 并且等于DSP采样速率(使用寄存器R57中的DPSR[3:0]位设置)。																											
		<table border="1"> <thead> <tr> <th>设置</th> <th>采样速率</th> <th>基本采样速率(<math>f_s = 48 \text{ kHz}</math>)</th> </tr> </thead> <tbody> <tr> <td>000</td> <td><math>f_s</math></td> <td>48 kHz, 基本(默认)</td> </tr> <tr> <td>001</td> <td><math>f_s/6</math></td> <td>8 kHz</td> </tr> <tr> <td>010</td> <td><math>f_s/4</math></td> <td>12 kHz</td> </tr> <tr> <td>011</td> <td><math>f_s/3</math></td> <td>16 kHz</td> </tr> <tr> <td>100</td> <td><math>f_s/2</math></td> <td>24 kHz</td> </tr> <tr> <td>101</td> <td><math>f_s/1.5</math></td> <td>32 kHz</td> </tr> <tr> <td>110</td> <td><math>f_s/0.5</math></td> <td>96 kHz</td> </tr> <tr> <td>111</td> <td>保留</td> <td></td> </tr> </tbody> </table>	设置	采样速率	基本采样速率( $f_s = 48 \text{ kHz}$ )	000	$f_s$	48 kHz, 基本(默认)	001	$f_s/6$	8 kHz	010	$f_s/4$	12 kHz	011	$f_s/3$	16 kHz	100	$f_s/2$	24 kHz	101	$f_s/1.5$	32 kHz	110	$f_s/0.5$	96 kHz	111	保留	
设置	采样速率	基本采样速率( $f_s = 48 \text{ kHz}$ )																											
000	$f_s$	48 kHz, 基本(默认)																											
001	$f_s/6$	8 kHz																											
010	$f_s/4$	12 kHz																											
011	$f_s/3$	16 kHz																											
100	$f_s/2$	24 kHz																											
101	$f_s/1.5$	32 kHz																											
110	$f_s/0.5$	96 kHz																											
111	保留																												

# ADAU1461

## R65: 时钟使能0, 16,633 (0x40F9)

该寄存器禁用或使能ADAU1461中用于不同模块的数字时钟引擎。使用该寄存器禁用未使用的模块可最大程度降低功耗。

位7	位6	位5	位4	位3	位2	位1	位0
保留	SLEWPD	ALCPD	DECPD	SOUTPD	INTPD	SINPD	SPPD

表88. 时钟使能0寄存器

位	位的名称	描述
6	SLEWPD	编解码器数字时钟引擎使能。关断时，禁用模拟回放路径音量控制，并保持它们的当前状态。 0 = 关断(默认)。 1 = 使能。
5	ALCPD	ALC数字时钟引擎使能。 0 = 关断(默认)。 1 = 使能。
4	DECPD	抽取器再同步(去抖)数字时钟引擎使能。 0 = 关断(默认)。 1 = 使能。
3	SOUTPD	串行分配输出数字时钟引擎使能。 0 = 关断(默认)。 1 = 使能。
2	INTPD	插值器再同步(去抖)数字时钟引擎使能。 0 = 关断(默认)。 1 = 使能。
1	SINPD	串行分配输入数字时钟引擎使能。 0 = 关断(默认)。 1 = 使能。
0	SPPD	串行端口数字时钟引擎使能。 0 = 关断(默认)。 1 = 使能。

## R66: 时钟使能1, 16,634 (0x40FA)

该寄存器使能数字时钟发生器0和数字时钟发生器1。数字时钟发生器0生成ADC、DAC和DSP的采样速率。器件处于主机模式时，数字时钟发生器1生成串行端口的BCLK和LRCLK。使用该寄存器禁用未使用的时钟可最大程度降低功耗。

位7	位6	位5	位4	位3	位2	位1	位0
保留						CLK1	CLK0

表89. 时钟使能1寄存器

位	位的名称	描述
1	CLK1	数字时钟发生器1。 0 = 关(默认)。 1 = 开。
0	CLK0	数字时钟发生器0。 0 = 关(默认)。 1 = 开。

表90. R8和R9音量设置

二进制值	音量设置(dB)
000000	-12
000001	-11.25
000010	-10.5
000011	-9.75
000100	-9
000101	-8.25
000110	-7.5
000111	-6.75
001000	-6
001001	-5.25
001010	-4.5
001011	-3.75
001100	-3
001101	-2.25
001110	-1.5
001111	-0.75
010000	0
010001	0.75
010010	1.5
010011	2.25
010100	3
010101	3.75
010110	4.5
010111	5.25
011000	6
011001	6.75
011010	7.5
011011	8.25
011100	9
011101	9.75
011110	10.5
011111	11.25
100000	12
100001	12.75
100010	13.5
100011	14.25
100100	15
100101	15.75
100110	16.5
100111	17.25
101000	18
101001	18.75
101010	19.5
101011	20.25
101100	21
101101	21.75
101110	22.5
101111	23.25
110000	24
110001	24.75
110010	25.5

二进制值	音量设置(dB)
110011	26.25
110100	27
110101	27.75
110110	28.5
110111	29.25
111000	30
111001	30.75
111010	31.5
111011	32.25
111100	33
111101	33.75
111110	34.5
111111	35.25

表91. R14噪声门限值

二进制值	噪声门限值(dB)
00000	-76.5
00001	-75
00010	-73.5
00011	-72
00100	-70.5
00101	-69
00110	-67.5
00111	-66
01000	-64.5
01001	-63
01010	-61.5
01011	-60
01100	-58.5
01101	-57
01110	-55.5
01111	-54
10000	-52.5
10001	-51
10010	-49.5
10011	-48
10100	-46.5
10101	-45
10110	-43.5
10111	-42
11000	-40.5
11001	-39
11010	-37.5
11011	-36
11100	-34.5
11101	-33
11110	-31.5
11111	-30

# ADAU1461

表92. R20、R21、R37和R38音量设置

二进制值	音量衰减(dB)	二进制值	音量衰减(dB)
0000000	0	00110000	-18
0000001	-0.375	00110001	-18.375
0000010	-0.75	00110010	-18.75
0000011	-1.125	00110011	-19.125
0000100	-1.5	00110100	-19.5
0000101	-1.875	00110101	-19.875
0000110	-2.25	00110110	-20.25
0000111	-2.625	00110111	-20.625
0001000	-3	00111000	-21
0001001	-3.375	00111001	-21.375
0001010	-3.75	00111010	-21.75
0001011	-4.125	00111011	-22.125
0001100	-4.5	00111100	-22.5
0001101	-4.875	00111101	-22.875
0001110	-5.25	00111110	-23.25
0001111	-5.625	00111111	-23.625
0010000	-6	01000000	-24
0010001	-6.375	01000001	-24.375
0010010	-6.75	01000010	-24.75
0010011	-7.125	01000011	-25.125
0010100	-7.5	01000100	-25.5
0010101	-7.875	01000101	-25.875
0010110	-8.25	01000110	-26.25
0010111	-8.625	01000111	-26.625
0011000	-9	01001000	-27
0011001	-9.375	01001001	-27.375
0011010	-9.75	01001010	-27.75
0011011	-10.125	01001011	-28.125
0011100	-10.5	01001100	-28.5
0011101	-10.875	01001101	-28.875
0011110	-11.25	01001110	-29.25
0011111	-11.625	01001111	-29.625
0100000	-12	01010000	-30
0100001	-12.375	01010001	-30.375
0100010	-12.75	01010010	-30.75
0100011	-13.125	01010011	-31.125
0100100	-13.5	01010100	-31.5
0100101	-13.875	01010101	-31.875
0100110	-14.25	01010110	-32.25
0100111	-14.625	01010111	-32.625
0101000	-15	01011000	-33
0101001	-15.375	01011001	-33.375
0101010	-15.75	01011010	-33.75
0101011	-16.125	01011011	-34.125
0101100	-16.5	01011100	-34.5
0101101	-16.875	01011101	-34.875
0101110	-17.25	01011110	-35.25
0101111	-17.625	01011111	-35.625

二进制值	音量衰减(dB)	二进制值	音量衰减(dB)
01100000	-36	10010001	-54.375
01100001	-36.375	10010010	-54.75
01100010	-36.75	10010011	-55.125
01100011	-37.125	10010100	-55.5
01100100	-37.5	10010101	-55.875
01100101	-37.875	10010110	-56.25
01100110	-38.25	10010111	-56.625
01100111	-38.625	10011000	-57
01101000	-39	10011001	-57.375
01101001	-39.375	10011010	-57.75
01101010	-39.75	10011011	-58.125
01101011	-40.125	10011100	-58.5
01101100	-40.5	10011101	-58.875
01101101	-40.875	10011110	-59.25
01101110	-41.25	10011111	-59.625
01101111	-41.625	10100000	-60
01110000	-42	10100001	-60.375
01110001	-42.375	10100010	-60.75
01110010	-42.75	10100011	-61.125
01110011	-43.125	10100100	-61.5
01110100	-43.5	10100101	-61.875
01110101	-43.875	10100110	-62.25
01110110	-44.25	10100111	-62.625
01110111	-44.625	10101000	-63
01111000	-45	10101001	-63.375
01111001	-45.375	10101010	-63.75
01111010	-45.75	10101011	-64.125
01111011	-46.125	10101100	-64.5
01111100	-46.5	10101101	-64.875
01111101	-46.875	10101110	-65.25
01111110	-47.25	10101111	-65.625
01111111	-47.625	10110000	-66
10000000	-48	10110001	-66.375
10000001	-48.375	10110010	-66.75
10000010	-48.75	10110011	-67.125
10000011	-49.125	10110100	-67.5
10000100	-49.5	10110101	-67.875
10000101	-49.875	10110110	-68.25
10000110	-50.25	10110111	-68.625
10000111	-50.625	10111000	-69
10001000	-51	10111001	-69.375
10001001	-51.375	10111010	-69.75
10001010	-51.75	10111011	-70.125
10001011	-52.125	10111100	-70.5
10001100	-52.5	10111101	-70.875
10001101	-52.875	10111110	-71.25
10001110	-53.25	10111111	-71.625
10001111	-53.625	11000000	-72
10010000	-54	11000001	-72.375

# ADAU1461

二进制值	音量衰减(dB)
11000010	-72.75
11000011	-73.125
11000100	-73.5
11000101	-73.875
11000110	-74.25
11000111	-74.625
11001000	-75
11001001	-75.375
11001010	-75.75
11001011	-76.125
11001100	-76.5
11001101	-76.875
11001110	-77.25
11001111	-77.625
11010000	-78
11010001	-78.375
11010010	-78.75
11010011	-79.125
11010100	-79.5
11010101	-79.875
11010110	-80.25
11010111	-80.625
11011000	-81
11011001	-81.375
11011010	-81.75
11011011	-82.125
11011100	-82.5
11011101	-82.875
11011110	-83.25
11011111	-83.625
11100000	-84
11100001	-84.375
11100010	-84.75
11100011	-85.125
11100100	-85.5
11100101	-85.875
11100110	-86.25
11100111	-86.625
11101000	-87
11101001	-87.375
11101010	-87.75
11101011	-88.125
11101100	-88.5
11101101	-88.875
11101110	-89.25
11101111	-89.625
11110000	-90
11110001	-90.375
11110010	-90.75

二进制值	音量衰减(dB)
11110011	-91.125
11110100	-91.5
11110101	-91.875
11110110	-92.25
11110111	-92.625
11111000	-93
11111001	-93.375
11111010	-93.75
11111011	-94.125
11111100	-94.5
11111101	-94.875
11111110	-95.25
11111111	-95.625

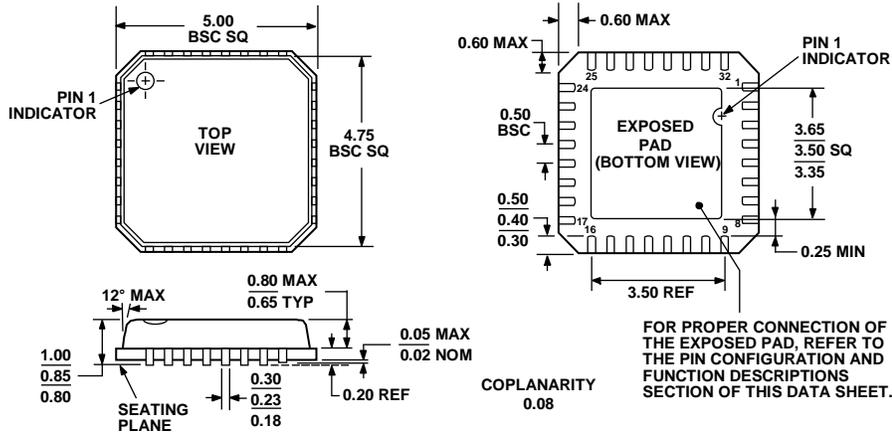
**表93. R29至R33音量设置**

二进制值	音量设置(dB)
000000	-57
000001	-56
000010	-55
000011	-54
000100	-53
000101	-52
000110	-51
000111	-50
001000	-49
001001	-48
001010	-47
001011	-46
001100	-45
001101	-44
001110	-43
001111	-42
010000	-41
010001	-40
010010	-39
010011	-38
010100	-37
010101	-36
010110	-35
010111	-34
011000	-33
011001	-32
011010	-31
011011	-30
011100	-29
011101	-28
011110	-27
011111	-26
100000	-25

二进制值	音量设置(dB)
100001	-24
100010	-23
100011	-22
100100	-21
100101	-20
100110	-19
100111	-18
101000	-17
101001	-16
101010	-15
101011	-14
101100	-13
101101	-12
101110	-11
101111	-10
110000	-9
110001	-8
110010	-7
110011	-6
110100	-5
110101	-4
110110	-3
110111	-2
111000	-1
111001	0
111010	1
111011	2
111100	3
111101	4
111110	5
111111	6

# ADAU1461

## 外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VHHD-2

图71. 32引脚引脚架构芯片级封装  
[LFCSP\_VQ] 5 mm x 5 mm超薄体  
(CP-32-4)

图示尺寸单位: mm

## 订购指南

型号 <sup>1,2</sup>	温度范围	封装描述	封装选项
ADAU1461WBCPZ	-40°C至+105°C	32引脚引脚架构芯片级封装[LFCSP_VQ]	CP-32-4
ADAU1461WBCPZ-R7	-40°C至+105°C	32引脚引脚架构芯片级封装[LFCSP_VQ], 7卷带和卷盘	CP-32-4
ADAU1461WBCPZ-RL	-40°C至+105°C	32引脚引脚架构芯片级封装[LFCSP_VQ], 13卷带和卷盘	CP-32-4

<sup>1</sup> Z = 符合RoHS标准的器件。

<sup>2</sup> W = 通过汽车应用认证。

## 汽车应用级产品

ADAU1461生产工艺受到严格控制, 以提供满足汽车应用的质量和可靠性要求。请注意, 车用型号的技术规格可能不同于商用型号; 因此, 设计人员应仔细阅读本数据手册的技术规格部分。只有显示为汽车应用级的产品才能用于汽车应用。欲了解特定产品的订购信息并获得这些型号的汽车可靠性报告, 请联系当地ADI客户代表。