

特性

DAC更新速率：最高达5.7 GSPS

直接RF频率合成(2.85 GSPS数据速率)

直流至1.425 GHz(基带模式)

直流至1.0 GHz(2倍插值模式)

1.425 GHz至4.2 GHz(混合模式)

可旁路的2倍插值

出色的动态性能

支持DOCSIS 3.0宽带ACLR/谐波性能

8个QAM载波: ACLR > 65 dBc

业界领先的单/多载波IF或RF频率合成

4载波W-CDMA ACLR (2457.6 MSPS)

$f_{OUT} = 900 \text{ MHz}$, ACLR = 71 dBc(基带模式)

$f_{OUT} = 2100 \text{ MHz}$, ACLR = 68 dBc(混合模式)

$f_{OUT} = 2700 \text{ MHz}$, ACLR = 67 dBc(混合模式)

双端口LVDS和DHSTL数据接口

工作速率最高达1.425 GSPS

源同步DDR时钟, 带奇偶校验位

低功耗: 1.0 W(2.85 GSPS); 1.3 W(5.7 GSPS)

应用

宽带通信系统

CMTS/VOD

无线基础设施: W-CDMA、LTE、点对点

仪器仪表、自动测试设备(ATE)

雷达、干扰发射器

概述

AD9119/AD9129是高性能11位/14位RF数模转换器(DAC), 支持最高达2.85 GSPS的数据速率。DAC内核基于一个四通道开关结构, 使双边沿时钟能够有效运行, 配置为混频模式(Mix-Mode™)或2倍插值时, 能将DAC更新速率提高至5.7 GSPS。它的高动态范围和宽带宽特性可产生高达4.2 GHz的多载波。

在基带模式下, 元件的宽带宽能力和高动态范围相结合, 在CATV基础设施应用中可支持1至158个连续载波。还可以选择两个可选2倍插值滤波器, 通过将DAC更新速率提高两倍来简化后重建滤波器。在混频模式中, AD9119/AD9129可在二阶和三阶奈奎斯特区内重构RF载波, 同时仍保持高达4.2 GHz的出色动态范围。其高性能NMOS DAC内核具有四通道开关结构, 能以最小输出功耗实现业界领先的直接RF频率合成性能。输出电流可以在9.5 mA至34.4 mA范围内进行编程。

Rev. A

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

功能框图

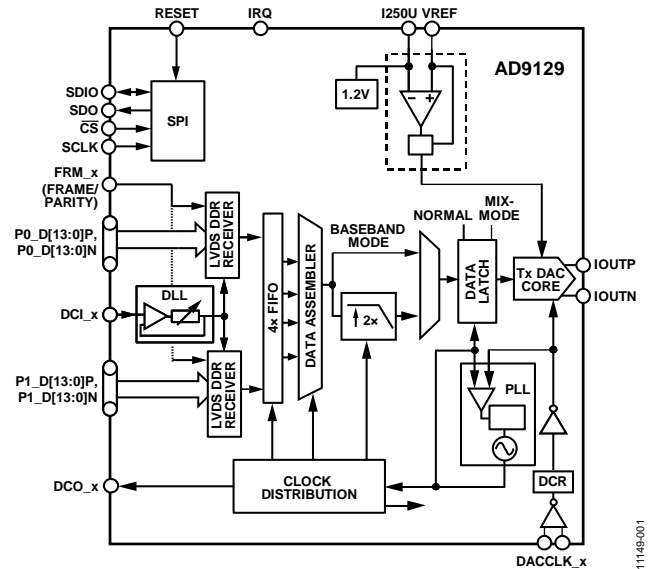


图1.

AD9119/AD9129包含多项功能, 能进一步简化系统集成。双端口源同步LVDS接口简化了与主机FPGA/ASIC的数据接口。它还包含了差分帧/奇偶校验位来监控接口的完整性。片内延迟锁环(DLL)用于优化不同时钟域之间的时序。

串行外设接口(SPI)用于配置AD9119/AD9129和监控回读寄存器的状态。AD9119/AD9129采用0.18 μm CMOS工艺制造, 以+1.8 V和-1.5 V电源供电。该器件提供160引脚芯片级球栅阵列封装。

产品特色

1. 高动态范围和信号重建带宽支持高达4.2 GHz的RF信号频率合成。
2. 具有双端口接口和双倍数据速率(DDR) LVDS数据接收机, 支持2850 MSPS的最大转换速率。
3. 采用CMOS工艺制造, 并利用专有开关技术来增强动态性能。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2013 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

目录

特性.....	1
应用.....	1
功能框图.....	1
概述.....	1
产品特点.....	1
修订历史.....	2
技术规格.....	3
直流规格.....	3
LVDS数字规格.....	4
HSTL数字规格.....	4
串行端口和CMOS引脚规格.....	5
交流规格.....	6
绝对最大额定值.....	7
热阻.....	7
ESD警告.....	7
引脚配置和功能描述.....	8
典型性能参数.....	12
AD9119.....	12
AD9129.....	22
术语.....	35
串行通信端口概述.....	36
串行外设接口(SPI).....	36
SPI通用操作.....	36
指令模式(8位指令).....	36

串行外设接口引脚描述.....	36
MSB/LSB传输.....	37
串行端口配置.....	37
工作原理.....	38
LVDS数据端口接口.....	39
数字数据路径描述.....	42
中断请求.....	47
接口时序验证.....	48
采样错误检测(SED)操作.....	48
SED示例.....	48
模拟接口考虑.....	49
模拟工作模式.....	49
时钟输入.....	50
PLL.....	50
基准电压源.....	51
模拟输出.....	51
启动序列.....	54
器件配置寄存器.....	55
器件配置寄存器映射.....	55
器件配置寄存器描述.....	56
外形尺寸.....	66
订购指南.....	66

修订历史

2013年9月—修订版0至修订版A

更改产品名称.....	1
更改特性和概述部分.....	1
更改表1.....	3
更改表2和表3.....	4
更改表5的动态性能参数.....	6
更改图10和图13.....	13
更改图21和图23.....	15
更改图24和图27.....	16
更改图35和图37.....	18
更改图62、图65和图67.....	23
更改图76和图79.....	25
更改图84、图85和图87.....	27
更改图90和图92.....	28
更改图95和图97.....	29

更改图118.....	33
更改串行通信端口概述部分.....	36
更改工作原理部分.....	38
更改LVDS数据端口接口部分.....	39
更改多DAC同步部分.....	44
更改PLL部分.....	50
更改基准电压源部分.....	51
更改表16的寄存器0x01.....	54
更改表17.....	55
更改表37的位6.....	61
更改表49、表50、表51和表52.....	63
更改表53、表54、表55、表56 和表57.....	64

2013年1月—修订版0：初始版

技术规格

直流规格

$V_{DDA} = V_{DD} = 1.8\text{ V}$, $V_{SSA} = -1.5\text{ V}$, $I_{OUTFS} = 33\text{ mA}$, $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ 。

表1.

参数	AD9119			AD9129			单位
	最小值	典型值	最大值	最小值	典型值	最大值	
分辨率		11			14		位
精度							
积分非线性(INL)		0.2			1.4		LSB
差分非线性(DNL)		0.15			1.1		LSB
模拟输出							
增益误差(使用内部基准电压源)		+2.5			+2.5		%
满量程输出电流最大值	33.4	34.2	34.9	33.4	34.2	34.9	mA
满量程输出电流最小值	9.1	9.4	9.6	9.1	9.4	9.6	mA
输出顺从电压范围	1.5		2.5	1.5		2.5	V
输出阻抗 ¹							
DAC时钟输入(DACCLK_P、DACCLK_N)							
差分峰峰值电压	0.4	1	2	0.4	1	2	V
共模电压		1.2			1.2		V
温度漂移							
增益		60			60		ppm/°C
基准电压		20			20		ppm/°C
基准电压源							
内部基准电压		1.0			1.0		V
输出电阻		5			5		kΩ
模拟电源电压							
VDDA	1.70	1.80	1.90	1.70	1.80	1.90	V
FIR40使能, DACCLK > 2600 MSPS	1.8	1.9	2.0	1.8	1.9	2.0	V
VSSA	-1.4	-1.5	-1.6	-1.4	-1.5	-1.6	V
数字电源电压							
VDD	1.70	1.8	1.90	1.70	1.8	1.90	V
FIR40使能, DACCLK > 2600 MSPS	1.8	1.9	2.0	1.8	1.9	2.0	V
电源电流和功耗, 2.3 GSPS(正常模式)							
I _{VDDA}		202	209		202	209	mA
I _{VSSA}		53	54		53	54	mA
I _{DVDD}		307	327		307	327	mA
功耗							
正常模式		1.0	1.05		1.0	1.05	W
FIR25使能		1.17	1.24		1.17	1.24	W
FIR40使能		1.3	1.4		1.3	1.4	W
低功耗模式, 掉电使能(寄存器0x01 = 0xEF)							
I _{VDDA}		7.6			7.6		mA
I _{VSSA}		6			6		μA
I _{VDD}		0.4			0.4		mA
电源电流和功耗, 2.8 GSPS(正常模式)							
I _{VDDA}		230			230		mA
I _{VSSA}		53			53		mA
I _{DVDD}		336			336		mA
功耗(正常模式)		1.1			1.1		W

¹ 有关输出阻抗的更多信息, 参见“输出级配置”部分。

AD9119/AD9129

LVDS数字规格

VDDA = VDD = 1.8 V, VSSA = -1.5 V, I_{OUTFS} = 33 mA, T_A = -40°C至+85°C。除非另有说明, LVDS驱动器和接收机兼容IEEE标准1596.3-1996。

表2.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
LVDS数据输入(P1_D[13:0]P、P1_D[13:0]N、P0_D[13:0]P、P0_D[13:0]N、FRM_P、FRM_N) 输入电压范围 输入差分阈值 输入差分迟滞 接收机差分输入阻抗 LVDS输入速率 输入电容	V _{IA} , V _{IB} V _{IDTH} V _{IDTHH} - V _{IDTHL} R _{IN}	Px_DxP = V _{IA} , Px_DxN = V _{IB}	825 -100	20	1575 +100	mV mV mV Ω MSPS pF
LVDS时钟输入(DCI_P、DCI_N) 输入电压范围 输入差分阈值 输入差分迟滞 接收机差分输入阻抗 最大时钟速率	V _{IA} , V _{IB} V _{IDTH} V _{IDTHH} - V _{IDTHL} R _{IN}	DCI_P = V _{IA} , DCI_N = V _{IB}	825 -225	20	1575 +225	mV mV mV Ω MHz
LVDS时钟输出(DCO_P、DCO_N) 高输出电压 低输出电压 输出差分电压 输出失调电压 输出阻抗(单端) A与B间R _O 失配 设置0与设置1之间的 V _{OD} 变化 设置0与设置1之间的V _{OS} 变化 输出电流 驱动器短路至地 驱动器短接在一起 断电输出漏电流 最大时钟速率	V _{OA} , V _{OB} V _{OA} , V _{OB} V _{OA} , V _{OB} V _{OS} R _O ΔR _O ΔV _{OD} ΔV _{OS} I _{SA} , I _{SB} I _{SAB} I _{XA} , I _{XB}	DCO_P = V _{OA} , DCO_N = V _{OB} , 100 Ω端接电阻 寄存器0x7C[7:6] = 01b(默认值)	1025 200	225	1375 250 1250	mV mV mV mV Ω % mV mV mA mA μA MHz

HSTL数字规格

VDDA = VDD = 1.8 V, VSSA = -1.5 V, I_{OUTFS} = 33 mA, T_A = -40°C至+85°C。除非另有说明, HSTL接收机电平兼容EIA/JEDEC JESD8-6标准。

表3.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
HSTL数据输入(P1_D[13:0]P、P1_D[13:0]N、P0_D[13:0]P、P0_D[13:0]N、FRM_P、FRM_N) 共模输入电压范围 差分输入电压 接收机差分输入阻抗 HSTL输入速率 输入电容	V _{IA} , V _{IB} R _{IN}	Px_DxP = V _{IA} , Px_DxN = V _{IB}	0.68 200	1.2	0.9	V mV Ω MSPS pF
HSTL时钟输入(DCI_P、DCI_N) 共模输入电压范围 差分输入电压 接收机差分输入阻抗 最大时钟速率	V _{IA} , V _{IB} R _{IN}	DCI_P = V _{IA} , DCI_N = V _{IB}	0.68 450 80		0.9 120	mV mV Ω MHz

串行端口和CMOS引脚规格

VDDA = VDD = 1.8 V, VSSA = -1.5 V, $I_{OUTFS} = 33 \text{ mA}$, $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ 。

表4.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
写操作		见图126				
SCLK时钟速率	$f_{\text{SCLK}}, 1/t_{\text{SCLK}}$				20	MHz
SCLK时钟高电平	t_{HIGH}		20			ns
SCLK时钟低电平	t_{LOW}		20			ns
SDIO到SCLK建立时间	t_{DS}		10			ns
SCLK至SDIO保持时间	t_{DH}		5			ns
$\overline{\text{CS}}$ 到SCLK建立时间	t_{S}		10			ns
SCLK到 $\overline{\text{CS}}$ 保持时间	t_{H}		5			ns
读操作		见图127				
SCLK时钟速率	$f_{\text{SCLK}}, 1/t_{\text{SCLK}}$				20	MHz
SCLK时钟高电平	t_{HIGH}		20			ns
SCLK时钟低电平	t_{LOW}		20			ns
SDIO到SCLK建立时间	t_{DS}		10			ns
SCLK至SDIO保持时间	t_{DH}		5			ns
$\overline{\text{CS}}$ 到SCLK建立时间	t_{S}		10			ns
SCLK到SDIO(或SDO)数据有效时间	t_{DV}				10	ns
$\overline{\text{CS}}$ 到SDIO(或SDO)输出有效到高阻抗	t_{EZ}			2		
输入(SDI、SDIO、SCLK、 $\overline{\text{CS}}$)						
高电压输入	V_{IH}		1.2	1.8		V
低电压输入	V_{IL}			0	0.4	V
高电流输入	I_{IH}				+75	μA
低电流输入	I_{IL}		-150			μA
输出(SDIO、SYNC)						
高电压输出	V_{OH}		1.3		2.0	V
低电压输出	V_{OL}		0		0.3	V
高电流输出	I_{OH}			4		mA
低电流输出	I_{OL}			4		mA

AD9119/AD9129

交流规格

除非另有说明, $V_{DDA} = V_{DD} = 1.8\text{ V}$, $V_{SSA} = -1.5\text{ V}$, $I_{OUTFS} = 33\text{ mA}$, $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ 。

表5.

参数	AD9119			AD9129			单位
	最小值	典型值	最大值	最小值	典型值	最大值	
动态性能							
DAC更新速率(DACCLK_x输入)							
正常模式, FIR25使能, 或FIR40使能且 $V_{DD} = 1.9\text{ V}$	1400		2850	1400		2850	MSPS
FIR40滤波器使能, $V_{DD} = 1.8\text{ V}$	1400		2600	1400		2600	MSPS
调整后的DAC更新速率 ¹	1400		2850	1400		2850	MSPS
0.1%输出建立时间		13			13		ns
无杂散动态范围(SFDR)							
$f_{DAC} = 2600\text{ MSPS}$							
$f_{OUT} = 100\text{ MHz}$		-76			-76		dBc
$f_{OUT} = 350\text{ MHz}$		-65			-65		dBc
$f_{OUT} = 550\text{ MHz}$		-63			-64		dBc
$f_{OUT} = 950\text{ MHz}$		-55			-55		dBc
双音交调失真(IMD)							
$f_{DAC} = 2600\text{ MSPS}$, $f_{OUT2} = f_{OUT1} + 1.4\text{ MHz}$							
$f_{OUT} = 100\text{ MHz}$		-82			-86		dBc
$f_{OUT} = 350\text{ MHz}$		-78			-85		dBc
$f_{OUT} = 550\text{ MHz}$		-73			-83		dBc
$f_{OUT} = 950\text{ MHz}$		-67			-76		dBc
噪声谱密度(NSD)							
单音, $f_{DAC} = 2800\text{ MSPS}$							
$f_{OUT} = 100\text{ MHz}$		-157			-166		dBm/Hz
$f_{OUT} = 350\text{ MHz}$		-157			-162		dBm/Hz
$f_{OUT} = 550\text{ MHz}$		-155			-158		dBm/Hz
$f_{OUT} = 850\text{ MHz}$		-154			-157		dBm/Hz
DOCSIS ACLR性能(50 MHz至1000 MHz, $\geq 6\text{ MHz}$偏移)							
$f_{DAC} = 2782\text{ MSPS}$							
8个连续载波		64			64		dBc
16个连续载波		62			63		dBc
32个连续载波		60			61		dBc
W-CDMA ACLR(单载波)							
邻道							
$f_{DAC} = 2605.056\text{ MSPS}$, $f_{OUT} = 750\text{ MHz}$		75			75		dBc
$f_{DAC} = 2605.056\text{ MSPS}$, $f_{OUT} = 950\text{ MHz}$		74			74		dBc
$f_{DAC} = 2605.056\text{ MSPS}$, $f_{OUT} = 1700\text{ MHz}$ (混合模式)		73.5			73.5		dBc
$f_{DAC} = 2605.056\text{ MSPS}$, $f_{OUT} = 2100\text{ MHz}$ (混合模式)		69			69		dBc
其它邻道							
$f_{DAC} = 2605.056\text{ MSPS}$, $f_{OUT} = 750\text{ MHz}$		80			80		dBc
$f_{DAC} = 2605.056\text{ MSPS}$, $f_{OUT} = 950\text{ MHz}$		78			78		dBc
$f_{DAC} = 2605.056\text{ MSPS}$, $f_{OUT} = 1700\text{ MHz}$ (混合模式)		74			74		dBc
$f_{DAC} = 2605.056\text{ MSPS}$, $f_{OUT} = 2100\text{ MHz}$ (混合模式)		72			72		dBc

¹ 调整后的DAC更新速率是指将 f_{DAC} 除以所需的最小插值系数。对于AD9119/AD9129, 最小插值系数为1。因此, $f_{DAC} = 2850\text{ MSPS}$ 时, 调整的 $f_{DAC} = 2850\text{ MSPS}$ 。

绝对最大额定值

表6.

参数	额定值
DCI、DCO至VSS	-0.3 V至VDD + 0.3 V
LVDS数据输入至VSS	-0.3 V至VDD + 0.3 V
IOUTP、IOUTN至VSSA	VSSA - 0.3V至+2.5V
I250U、VREF至VSSA	VSSA - 0.3 V至VDDA + 0.3 V
IRQ、 \overline{CS} 、SCLK、SDO、SDIO、RESET、SYNC至VSS	-0.3 V至VDD + 0.3 V
结温	150°C
工作温度范围	-40°C至+85°C
存储温度范围	-65°C至+150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件，即器件焊接在电路板上以实现表贴封装。

表7. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
160引脚 CSP_BGA	31.2	7.0	°C/W ¹

¹ 无气流运动。

ESD警告

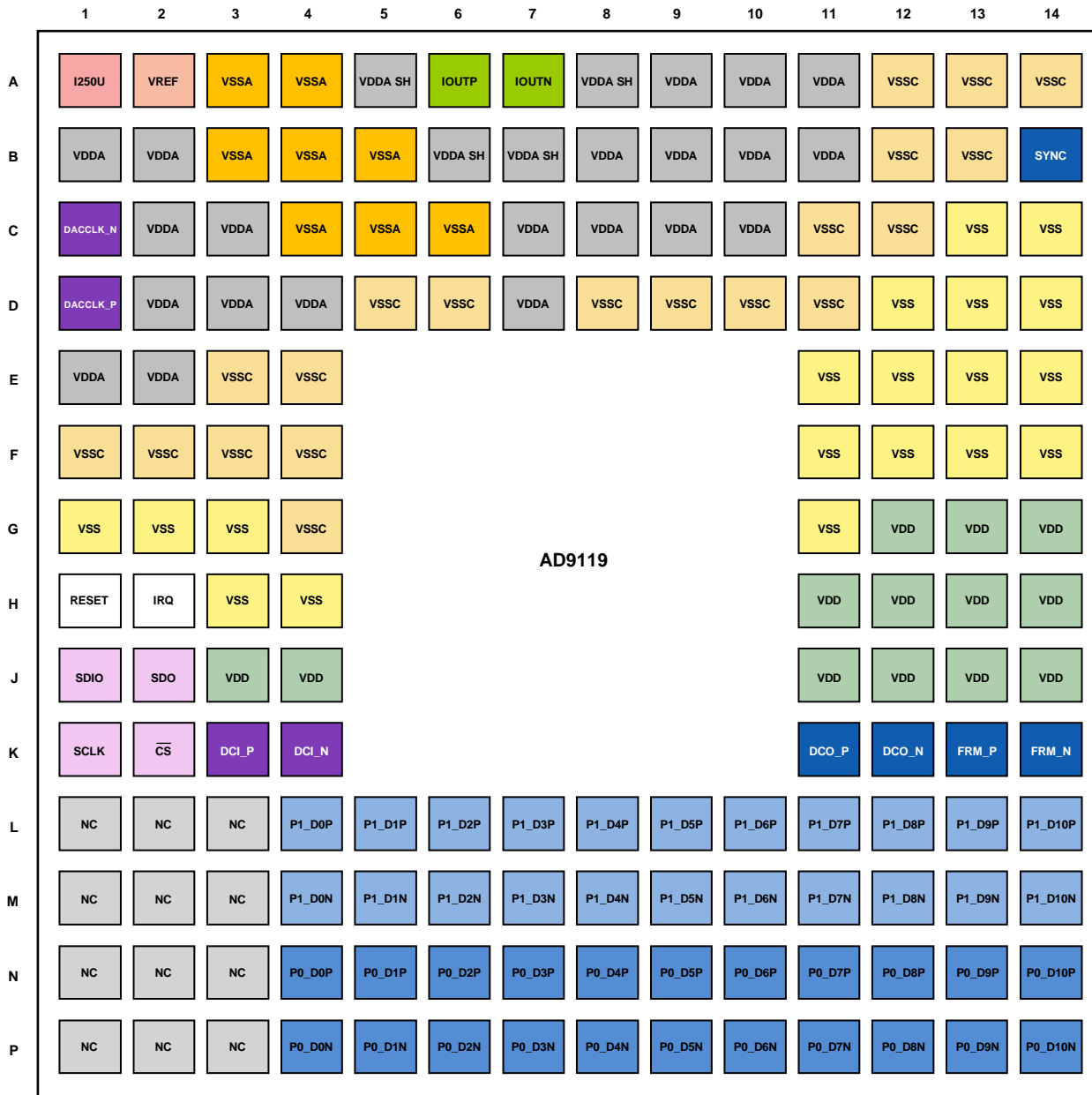


ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

AD9119/AD9129

引脚配置和功能描述



AD9119

NOTES
1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.

图2. AD9119引脚配置

表8. AD9119引脚功能描述

引脚编号	引脚名称	描述
A1	I250U	标称1.0 V基准电压源。将此引脚通过一个4.0 kΩ电阻接VSSA，以产生250 μA基准电流。
A2	VREF	基准电压输入/输出。利用一个1 nF电容去耦至VSSA。
A3, A4, B3, B4, B5, C4, C5, C6	VSSA	-1.5 V模拟电源电压输入。
A5, A8, B6, B7	VDDA SH	+1.8 V模拟电源屏蔽。将这些引脚连接至DAC的VDDA。
A9, A10, A11, B1, B2, B8, B9, B10, B11, C2, C3, C7, C8, C9, C10, D2, D3, D4, D7, E1, E2	VDDA	+1.8 V模拟电源电压输入。

引脚编号	引脚名称	描述
G12、G13、G14、H11、H12、H13、H14、J3、J4、J11、J12、J13、J14	VDD	+1.8V数字电源电压输入。
C13、C14、D12、D13、D14、E11、E12、E13、E14、F11、F12、F13、F14、G1、G2、G3、G11、H3、H4	VSS	+1.8V数字电源回路。
A12、A13、A14、B12、B13、C11、C12、D5、D6、D8、D9、D10、D11、E3、E4、F1、F2、F3、F4、G4	VSSC	模拟电源回路。
A6	IOUTP	DAC正电流输出源。
A7	IOUTN	DAC负电流输出源。
B14	SYNC	同步信号输出。
C1、D1	DACCLK_N、DACCLK_P	负/正DAC时钟输入。
H1	RESET	复位输入。高电平有效。如未使用，应将此引脚接VSS。
H2	IRQ	中断请求开漏输出。高电平有效。此引脚由一个1 kΩ电阻上拉至VDD。
J1	SDIO	串行端口数据输入/输出。
J2	SDO	串行端口数据输出。
K1	SCLK	串行端口时钟输入。
K2	CS	串行端口使能输入。
K3、K4	DCI_P、DCI_N	正、负数据时钟输入(DCI)。
K11、K12	DCO_P、DCO_N	正、负数据时钟输出(DCO)。
K13、K14	FRM_P、FRM_N	正、负数据帧/奇偶校验信号(FRAME/PARITY)。
L1、M1	NC、NC	不连接。请勿连接该引脚。
L2、M2	NC、NC	不连接。请勿连接该引脚。
L3、M3	NC、NC	不连接。请勿连接该引脚。
L4、M4	P1_D0P、P1_D0N	数据端口1正/负数据输入位0。
L5、M5	P1_D1P、P1_D1N	数据端口1正/负数据输入位1。
L6、M6	P1_D2P、P1_D2N	数据端口1正/负数据输入位2。
L7、M7	P1_D3P、P1_D3N	数据端口1正/负数据输入位3。
L8、M8	P1_D4P、P1_D4N	数据端口1正/负数据输入位4。
L9、M9	P1_D5P、P1_D5N	数据端口1正/负数据输入位5。
L10、M10	P1_D6P、P1_D6N	数据端口1正/负数据输入位6。
L11、M11	P1_D7P、P1_D7N	数据端口1正/负数据输入位7。
L12、M12	P1_D8P、P1_D8N	数据端口1正/负数据输入位8。
L13、M13	P1_D9P、P1_D9N	数据端口1正/负数据输入位9。
L14、M14	P1_D10P、P1_D10N	数据端口1正/负数据输入位10。
N1、P1	NC、NC	不连接。请勿连接该引脚。
N2、P2	NC、NC	不连接。请勿连接该引脚。
N3、P3	NC、NC	不连接。请勿连接该引脚。
N4、P4	P0_D0P、P0_D0N	数据端口0正/负数据输入位0。
N5、P5	P0_D1P、P0_D1N	数据端口0正/负数据输入位1。
N6、P6	P0_D2P、P0_D2N	数据端口0正/负数据输入位2。
N7、P7	P0_D3P、P0_D3N	数据端口0正/负数据输入位3。
N8、P8	P0_D4P、P0_D4N	数据端口0正/负数据输入位4。
N9、P9	P0_D5P、P0_D5N	数据端口0正/负数据输入位5。
N10、P10	P0_D6P、P0_D6N	数据端口0正/负数据输入位6。
N11、P11	P0_D7P、P0_D7N	数据端口0正/负数据输入位7。
N12、P12	P0_D8P、P0_D8N	数据端口0正/负数据输入位8。
N13、P13	P0_D9P、P0_D9N	数据端口0正/负数据输入位9。
N14、P14	P0_D10P、P0_D10N	数据端口0正/负数据输入位10。

AD9119/AD9129

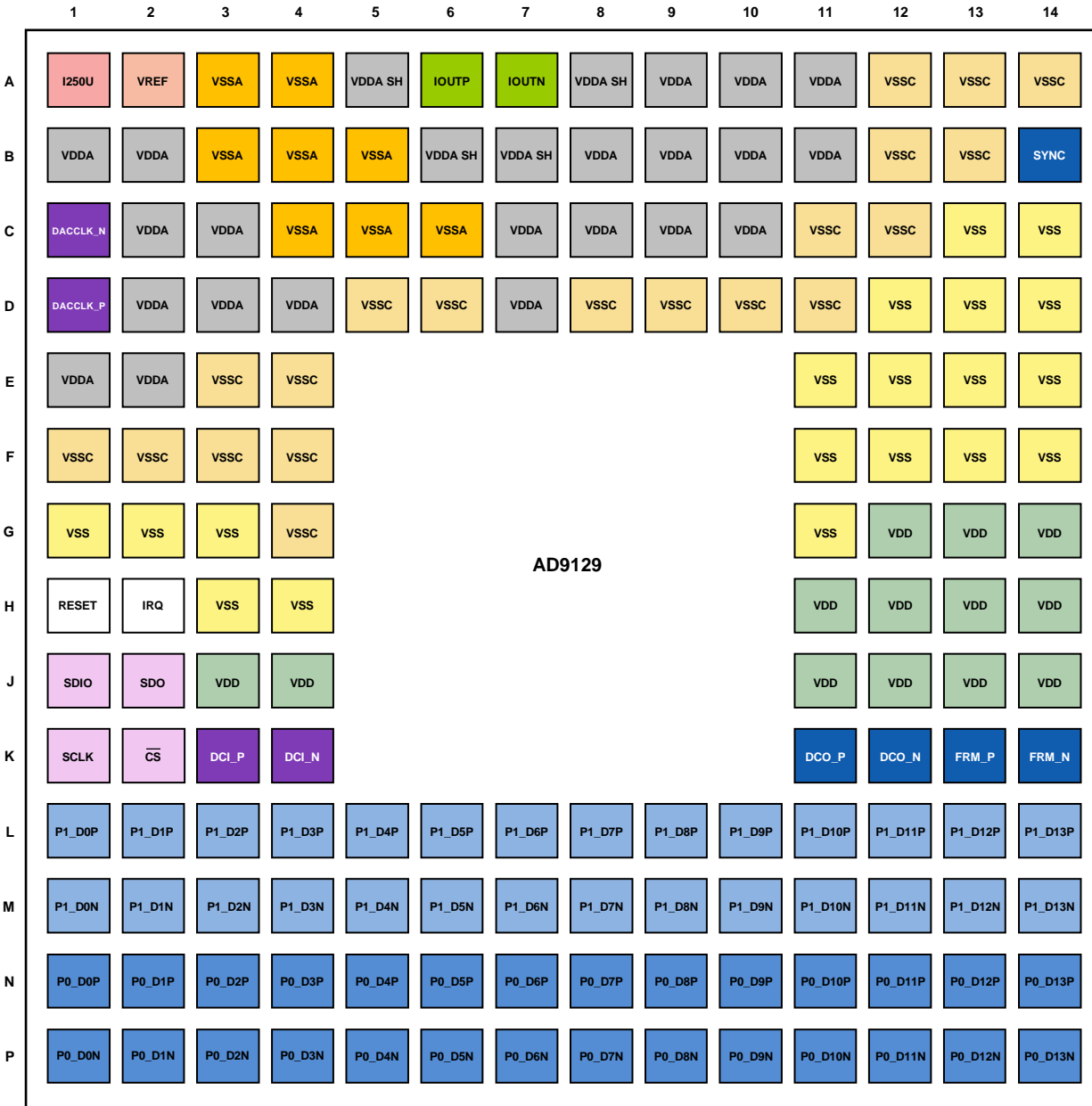


图3. AD9129引脚配置

表9. AD9129引脚功能描述

引脚编号	引脚名称	描述
A1	I250U	标称1.0 V基准电压源。将此引脚通过一个4.0 kΩ电阻接VSSA，以产生250 μA基准电流。
A2	VREF	基准电压输入/输出。利用一个1 nF电容去耦至VSSA。
A3, A4, B3, B4, B5, C4, C5, C6	VSSA	-1.5 V模拟电源电压输入。
A5, A8, B6, B7	VDDA SH	+1.8 V模拟电源屏蔽。将这些引脚连接至DAC的VDDA。
A9, A10, A11, B1, B2, B8, B9, B10, B11, C2, C3, C7, C8, C9, C10, D2, D3, D4, D7, E1, E2	VDDA	+1.8 V模拟电源电压输入。
G12, G13, G14, H11, H12, H13, H14, J3, J4, J11, J12, J13, J14	VDD	+1.8 V数字电源电压输入。
C13, C14, D12, D13, D14, E11, E12, E13, E14, F11, F12, F13, F14, G1, G2, G3, G11, H3, H4	VSS	+1.8 V数字电源回路。

引脚编号	引脚名称	描述
A12、A13、A14、B12、B13、C11、C12、D5、D6、D8、D9、D10、D11、E3、E4、F1、F2、F3、F4、G4	VSSC	模拟电源回路。
A6	IOUTP	DAC正电流输出源。
A7	IOUTN	DAC负电流输出源。
B14	SYNC	同步信号输出。
C1、D1	DACCLK_N、DACCLK_P	负/正DAC时钟输入。
H1	RESET	复位输入。高电平有效。如未使用，应将此引脚接VSS。
H2	IRQ	中断请求开漏输出。高电平有效。此引脚由一个1 kΩ电阻上拉至VDD。
J1	SDIO	串行端口数据输入/输出。
J2	SDO	串行端口数据输出。
K1	SCLK	串行端口时钟输入。
K2	CS	串行端口使能输入。
K3、K4	DCI_P、DCI_N	正、负数据时钟输入(DCI)。
K11、K12	DCO_P、DCO_N	正、负数据时钟输出(DCO)。
K13、K14	FRM_P、FRM_N	正、负数据帧/奇偶校验信号(FRAME/PARITY)。
L1、M1	P1_D0P、P1_D0N	数据端口1正/负数据输入位0。
L2、M2	P1_D1P、P1_D1N	数据端口1正/负数据输入位1。
L3、M3	P1_D2P、P1_D2N	数据端口1正/负数据输入位2。
L4、M4	P1_D3P、P1_D3N	数据端口1正/负数据输入位3。
L5、M5	P1_D4P、P1_D4N	数据端口1正/负数据输入位4。
L6、M6	P1_D5P、P1_D5N	数据端口1正/负数据输入位5。
L7、M7	P1_D6P、P1_D6N	数据端口1正/负数据输入位6。
L8、M8	P1_D7P、P1_D7N	数据端口1正/负数据输入位7。
L9、M9	P1_D8P、P1_D8N	数据端口1正/负数据输入位8。
L10、M10	P1_D9P、P1_D9N	数据端口1正/负数据输入位9。
L11、M11	P1_D10P、P1_D10N	数据端口1正/负数据输入位10。
L12、M12	P1_D11P、P1_D11N	数据端口1正/负数据输入位11。
L13、M13	P1_D12P、P1_D12N	数据端口1正/负数据输入位12。
L14、M14	P1_D13P、P1_D13N	数据端口1正/负数据输入位13。
N1、P1	P0_D0P、P0_D0N	数据端口0正/负数据输入位0。
N2、P2	P0_D1P、P0_D1N	数据端口0正/负数据输入位1。
N3、P3	P0_D2P、P0_D2N	数据端口0正/负数据输入位2。
N4、P4	P0_D3P、P0_D3N	数据端口0正/负数据输入位3。
N5、P5	P0_D4P、P0_D4N	数据端口0正/负数据输入位4。
N6、P6	P0_D5P、P0_D5N	数据端口0正/负数据输入位5。
N7、P7	P0_D6P、P0_D6N	数据端口0正/负数据输入位6。
N8、P8	P0_D7P、P0_D7N	数据端口0正/负数据输入位7。
N9、P9	P0_D8P、P0_D8N	数据端口0正/负数据输入位8。
N10、P10	P0_D9P、P0_D9N	数据端口0正/负数据输入位9。
N11、P11	P0_D10P、P0_D10N	数据端口0正/负数据输入位10。
N12、P12	P0_D11P、P0_D11N	数据端口0正/负数据输入位11。
N13、P13	P0_D12P、P0_D12N	数据端口0正/负数据输入位12。
N14、P14	P0_D13P、P0_D13N	数据端口0正/负数据输入位13。

典型性能参数

AD9119

静态线性度

除非另有说明, $I_{OUTFS} = 28 \text{ mA}$, 标称电源, $T_A = 25^\circ\text{C}$ 。

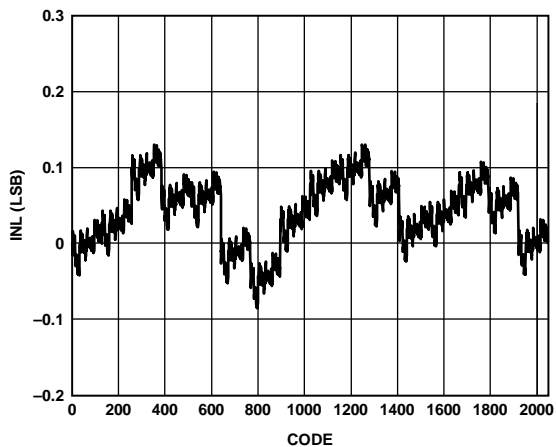


图4. 典型INL(11 mA, 25°C)

11149-004

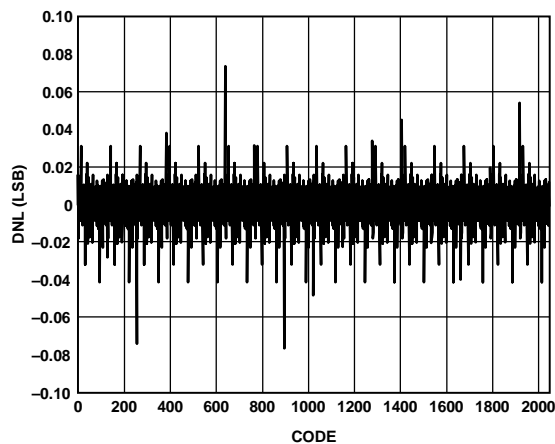


图7. 典型DNL(11 mA, 25°C)

11149-007

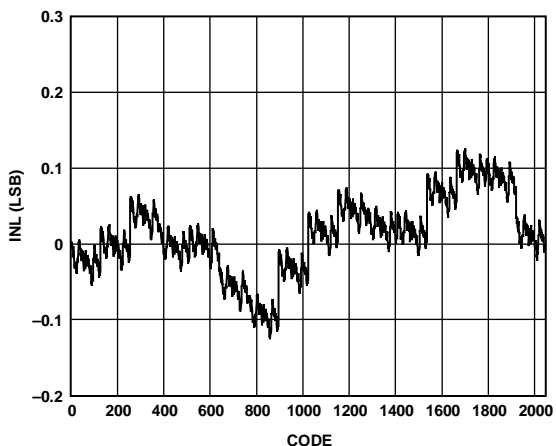


图5. 典型INL(22 mA, 25°C)

11149-005

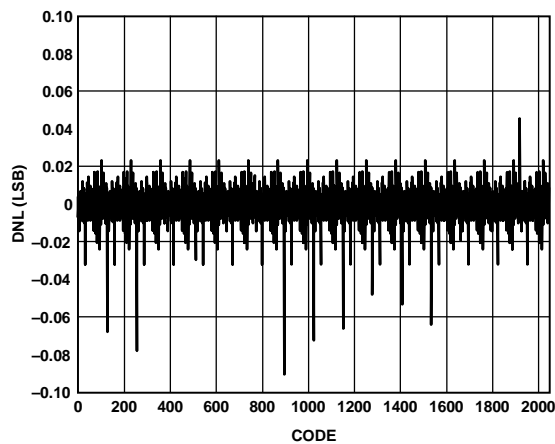


图8. 典型DNL(22 mA, 25°C)

11149-008

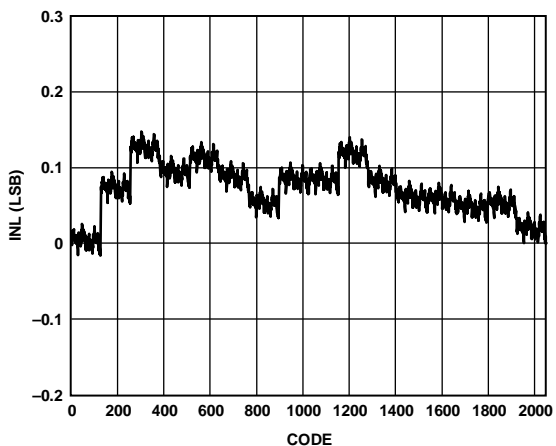


图6. 典型INL(33 mA, 25°C)

11149-006

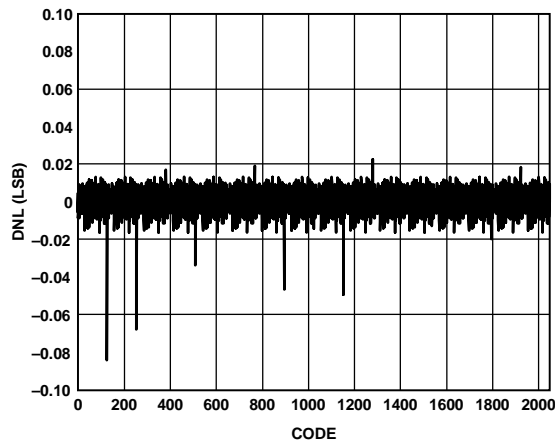


图9. 典型DNL(33 mA, 25°C)

11149-009

交流(正常模式)

除非另有说明, $I_{OUTFS} = 28 \text{ mA}$, $f_{DAC} = 2.6 \text{ GSPS}$, 标称电源, $T_A = 25^\circ\text{C}$ 。

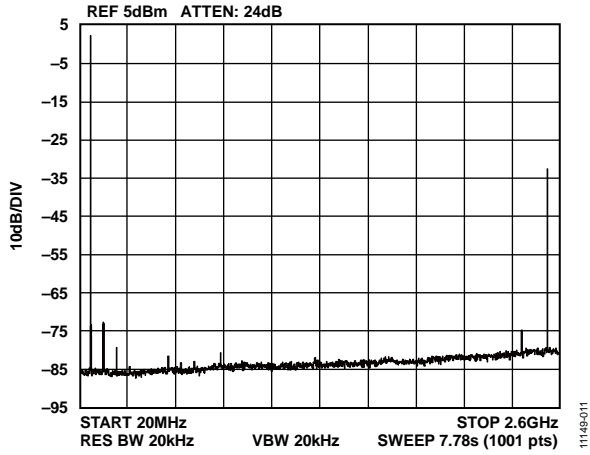


图10. 单音频谱($f_{OUT} = 70 \text{ MHz}$)

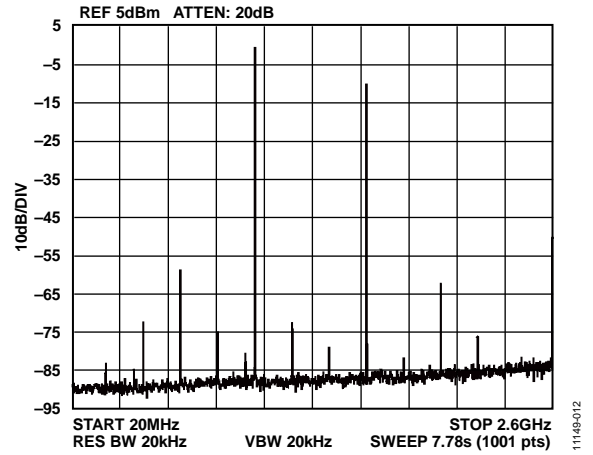


图13. 单音频谱($f_{OUT} = 1000 \text{ MHz}$)

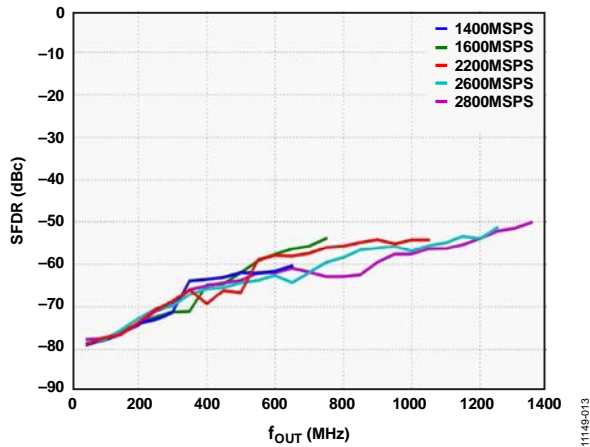


图11. 不同 f_{DAC} 下SFDR与 f_{OUT} 的关系

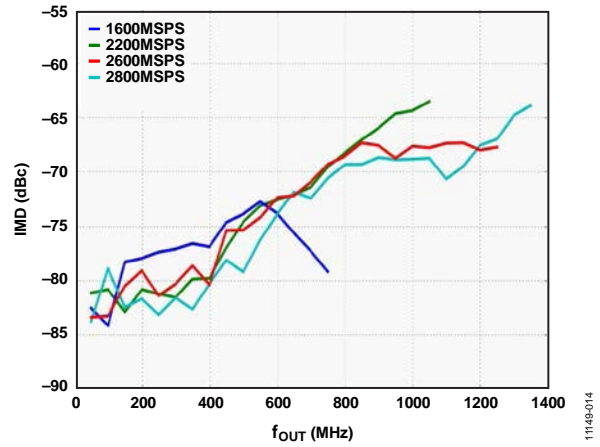


图14. 不同 f_{DAC} 下IMD与 f_{OUT} 的关系

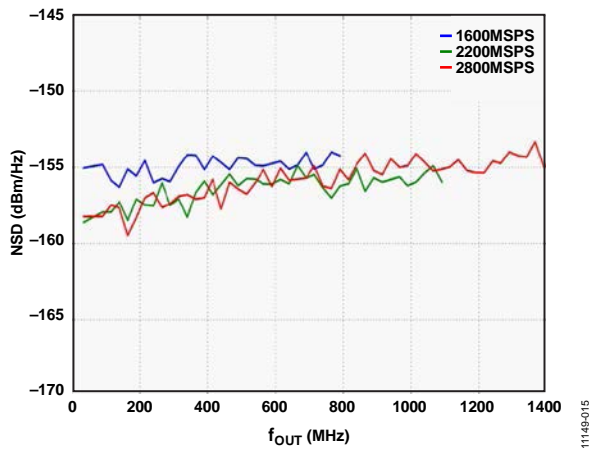


图12. 单音NSD与 f_{OUT} 的关系

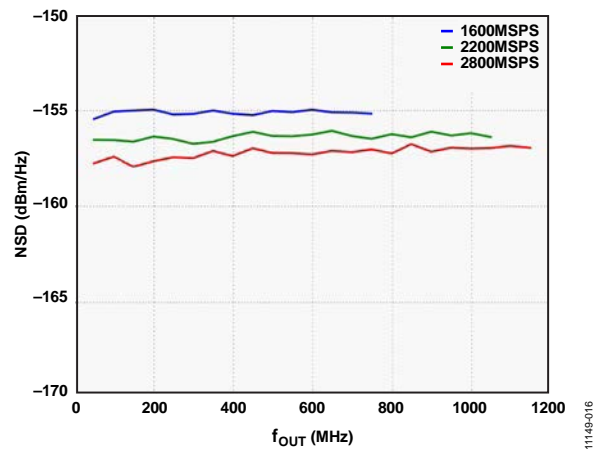


图15. W-CDMA NSD与 f_{OUT} 的关系

AD9119/AD9129

除非另有说明, $I_{OUTFS} = 28 \text{ mA}$, $f_{DAC} = 2.6 \text{ GSPS}$, 标称电源, $T_A = 25^\circ\text{C}$ 。

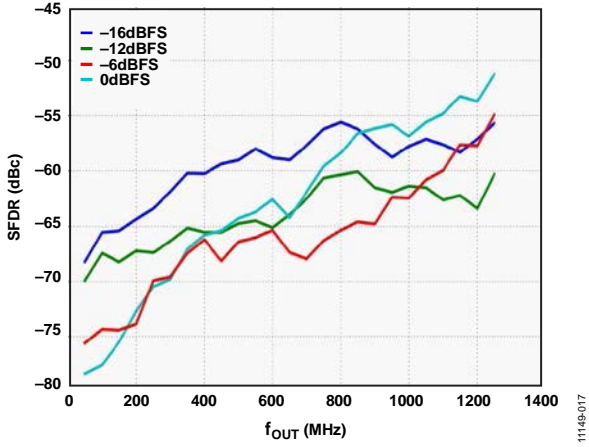


图16. 不同数字满量程下SFDR与 f_{OUT} 的关系

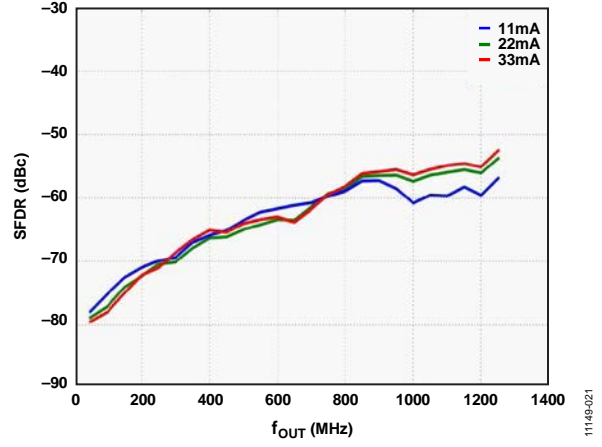


图18. 不同DAC I_{OUTFS} 下SFDR与 f_{OUT} 的关系

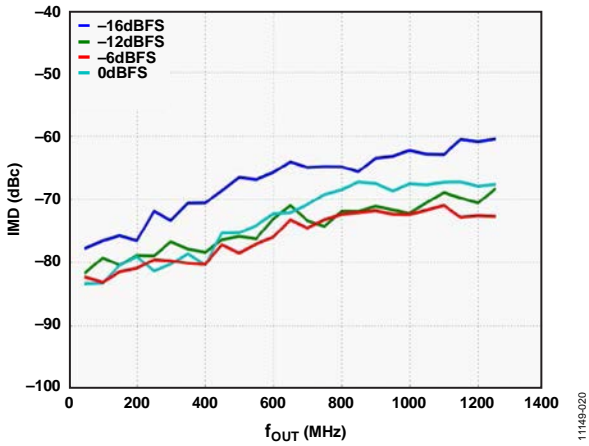


图17. 不同数字满量程下IMD与 f_{OUT} 的关系

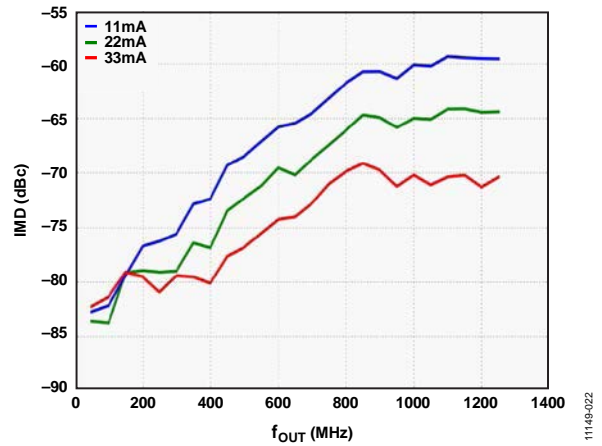


图19. 不同DAC I_{OUTFS} 下IMD与 f_{OUT} 的关系

除非另有说明, $I_{OUTFS} = 28 \text{ mA}$, $f_{DAC} = 2.6 \text{ GSPS}$, 标称电源, $T_A = 25^\circ\text{C}$ 。

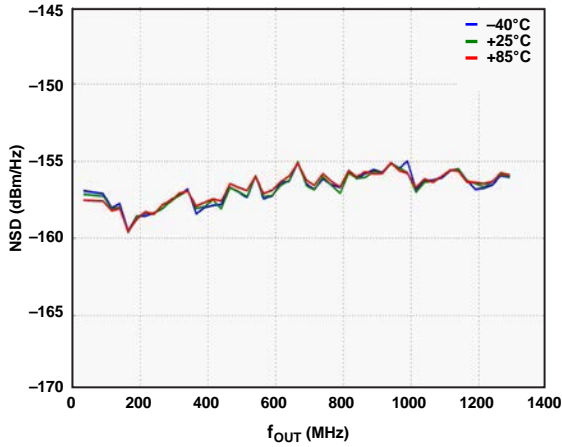


图20. 不同温度下单音NSD与 f_{OUT} 的关系

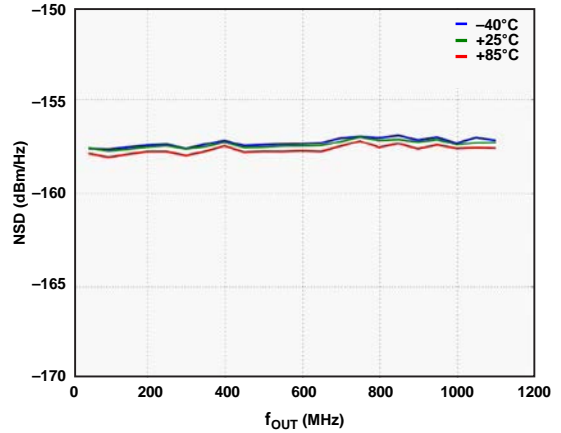


图22. 不同温度下W-CDMA NSD与 f_{OUT} 的关系

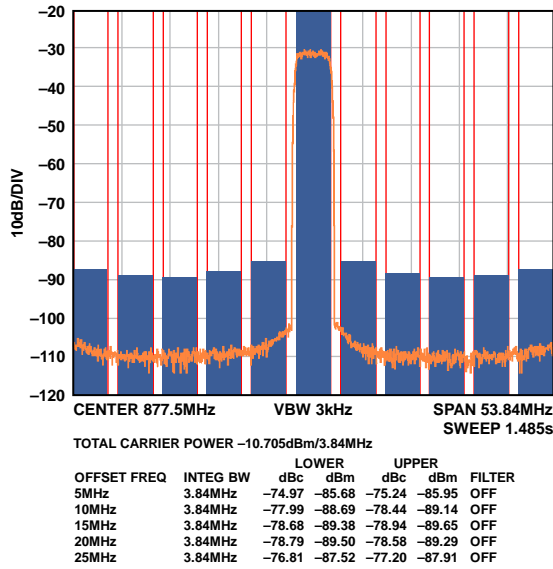


图21. 单载波W-CDMA(877.5 MHz)

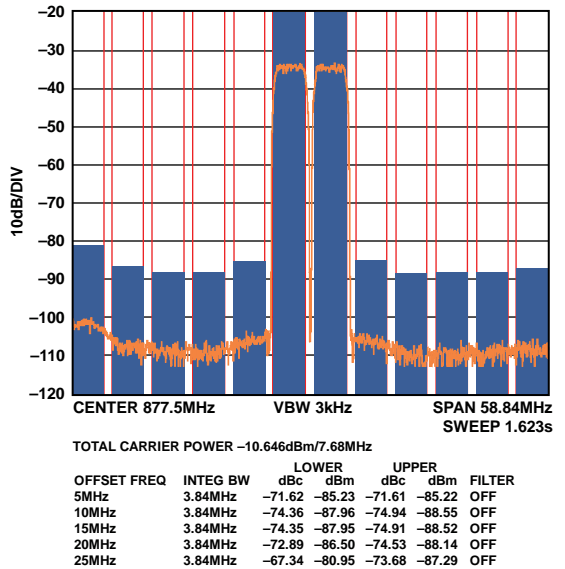


图23. 双载波W-CDMA(877.5 MHz)

AD9119/AD9129

交流(混合模式)

除非另有说明, $I_{OUTFS} = 28 \text{ mA}$, $f_{DAC} = 2.6 \text{ GSPS}$, 标称电源, $T_A = 25^\circ\text{C}$.

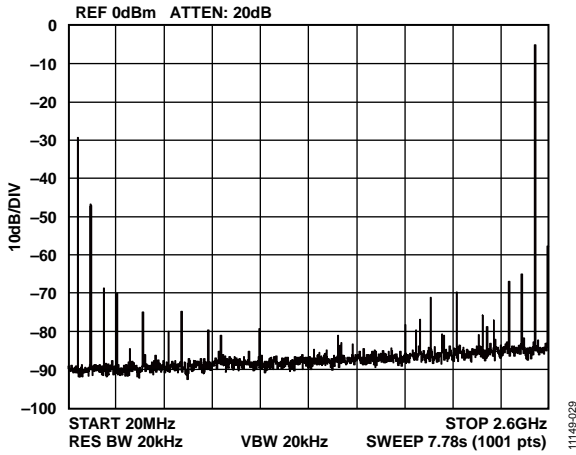


图24. 单音频谱($f_{OUT} = 2350 \text{ MHz}$)

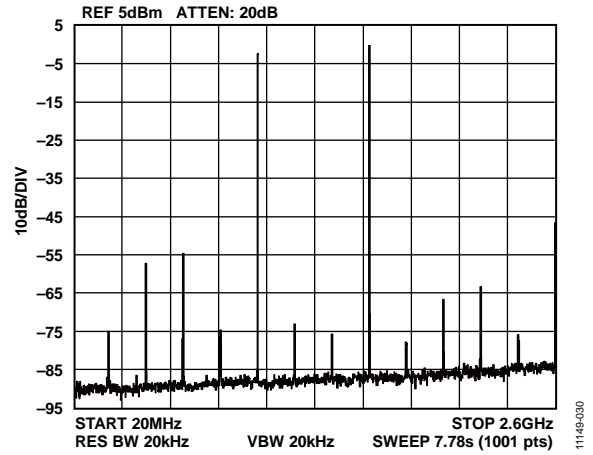


图27. 单音频谱($f_{OUT} = 1600 \text{ MHz}$)

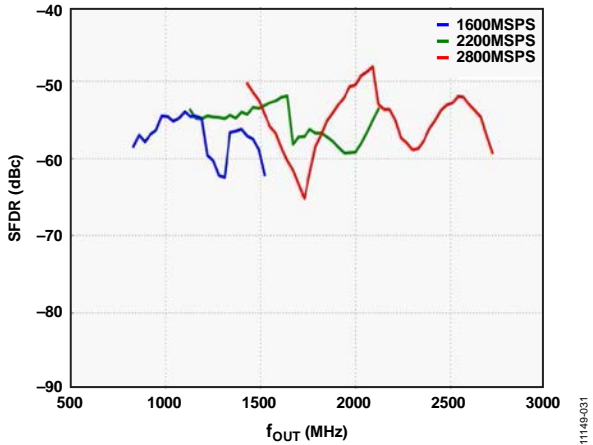


图25. 不同 f_{DAC} 下SFDR与 f_{OUT} 的关系

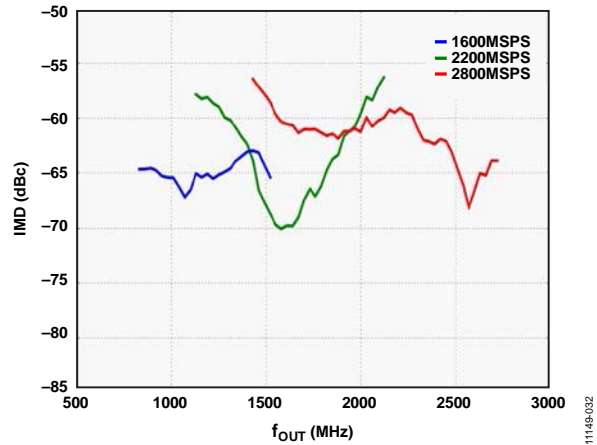


图28. 不同 f_{DAC} 下IMD与 f_{OUT} 的关系

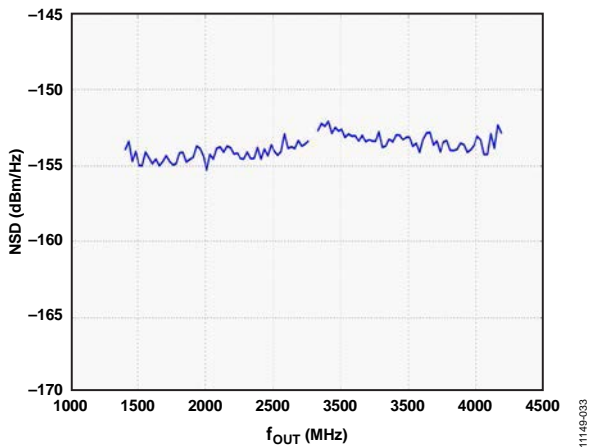


图26. 单音NSD与 f_{OUT} 的关系

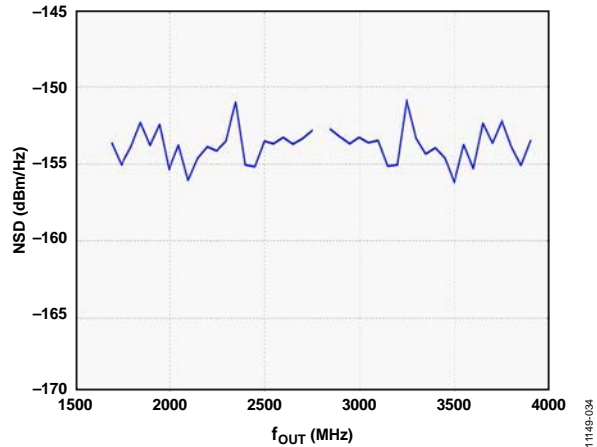


图29. W-CDMA NSD与 f_{OUT} 的关系

除非另有说明, $I_{OUTFS} = 28 \text{ mA}$, $f_{DAC} = 2.6 \text{ GSPS}$, 标称电源, $T_A = 25^\circ\text{C}$ 。

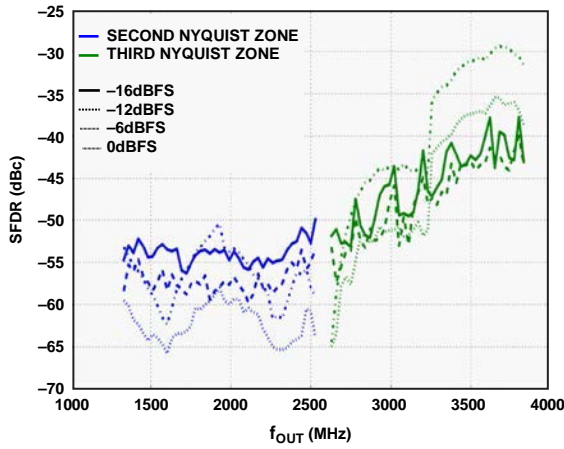


图30. 不同数字满量程下SFDR与 f_{OUT} 的关系

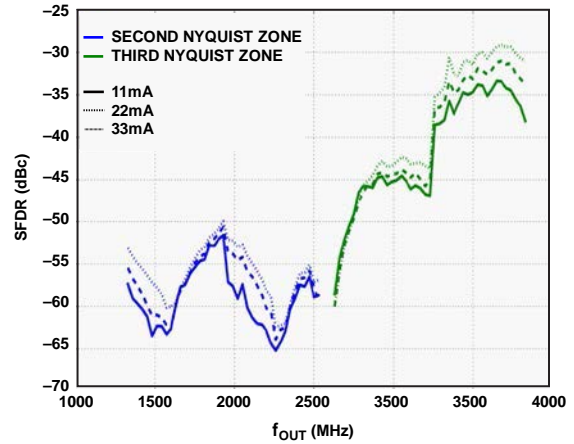


图32. 不同DAC I_{OUTFS} 下SFDR与 f_{OUT} 的关系

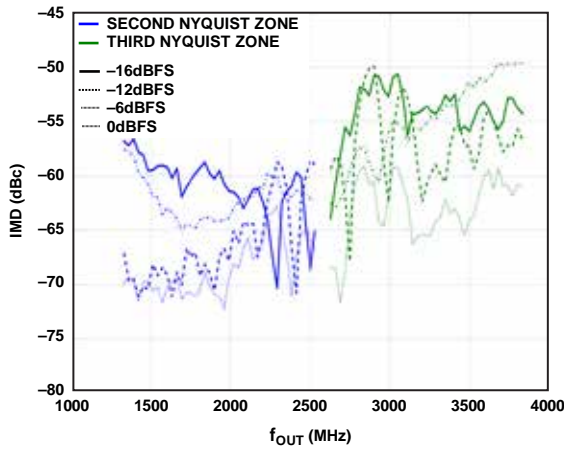


图31. 不同数字满量程下IMD与 f_{OUT} 的关系

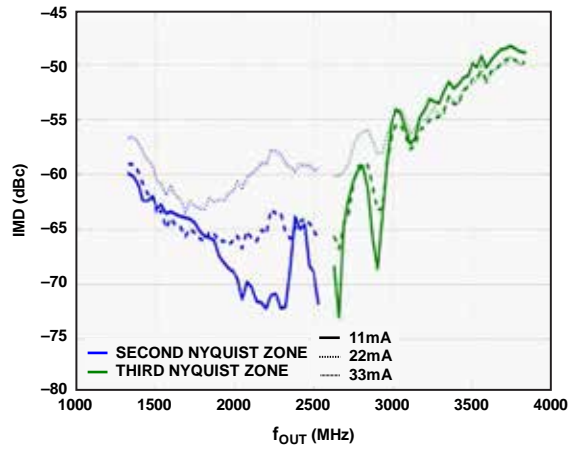


图33. 不同DAC I_{OUTFS} 下IMD与 f_{OUT} 的关系

AD9119/AD9129

除非另有说明, $I_{OUTFS} = 28 \text{ mA}$, $f_{DAC} = 2.6 \text{ GSPS}$, 标称电源, $T_A = 25^\circ\text{C}$ 。

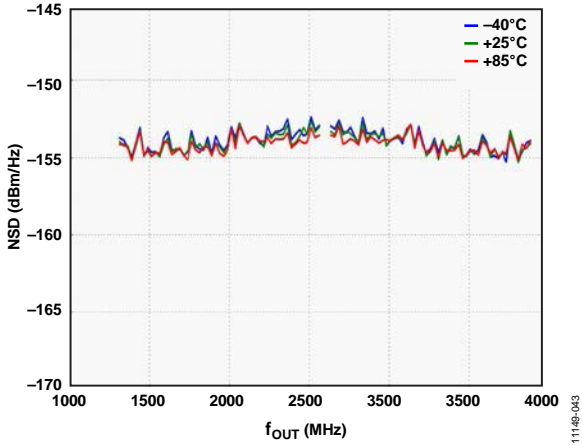


图34. 不同温度下单音NSD与 f_{OUT} 的关系

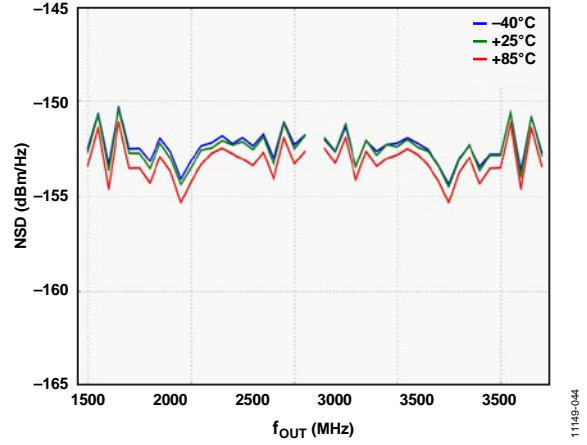


图36. 不同温度下W-CDMA NSD与 f_{OUT} 的关系

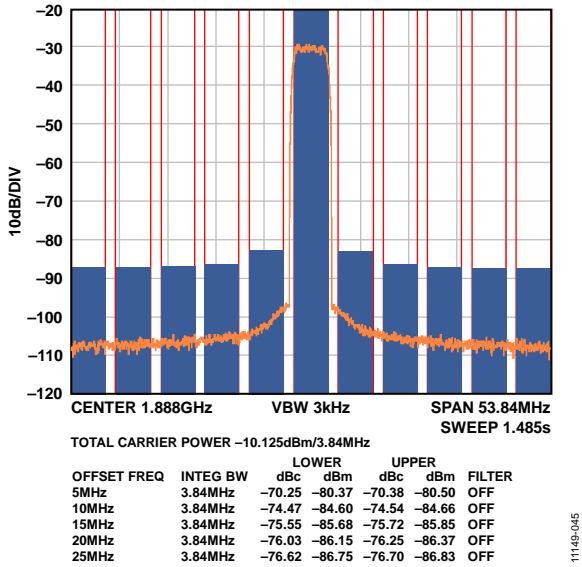


图35. 单载波W-CDMA(1887.5 MHz)

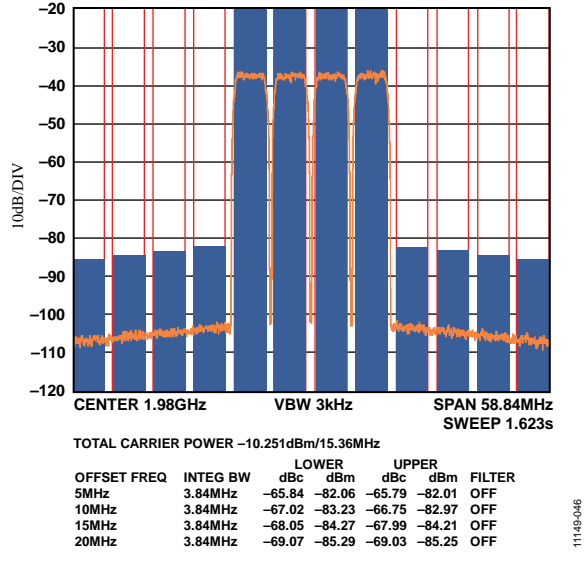


图37. 四载波W-CDMA(1980 MHz)

DOCSIS性能(正常模式)

除非另有说明, $I_{OUTFS} = 33 \text{ mA}$, $f_{DAC} = 2.782 \text{ GSPS}$, 标称电源, $T_A = 25^\circ\text{C}$.

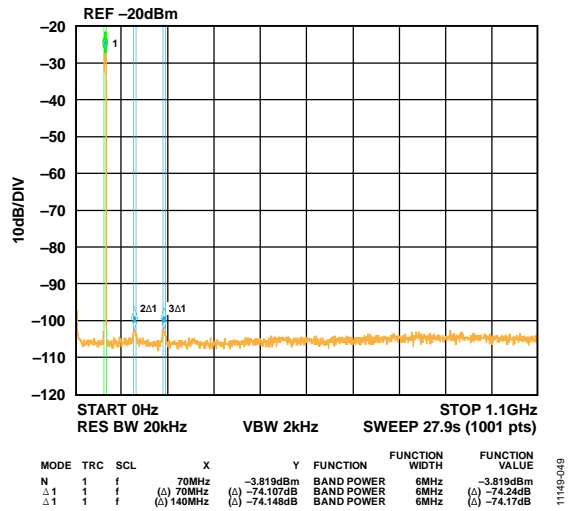


图38. 单载波(70 MHz输出)

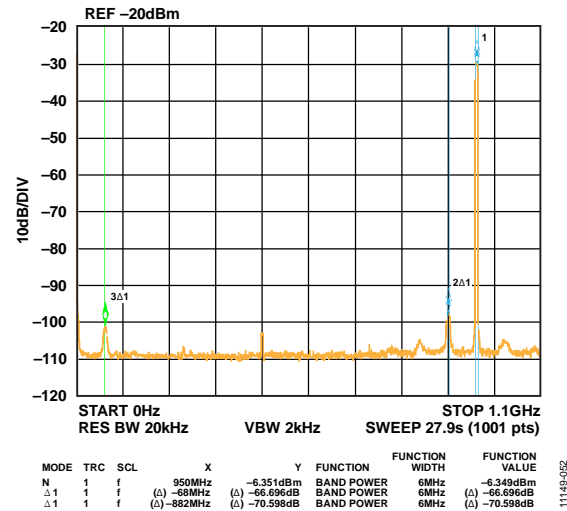


图41. 单载波(950 MHz输出)

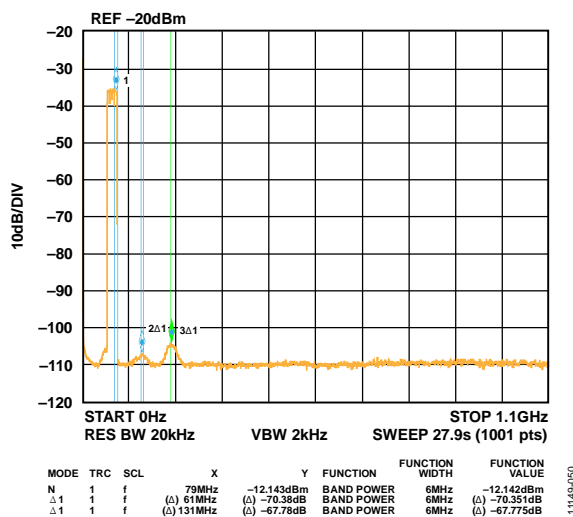


图39. 四载波(70 MHz输出)

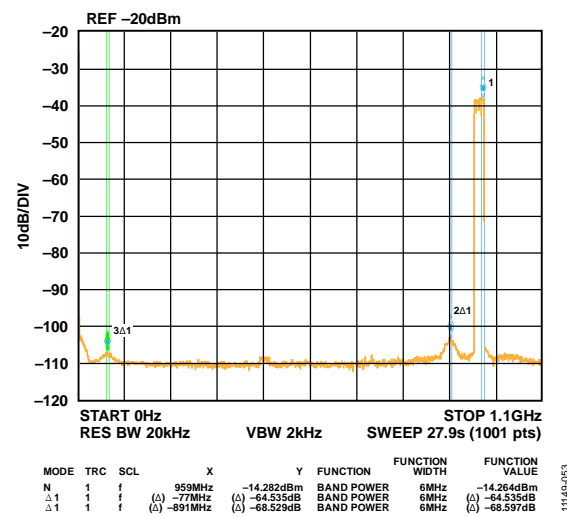


图42. 四载波(950 MHz输出)

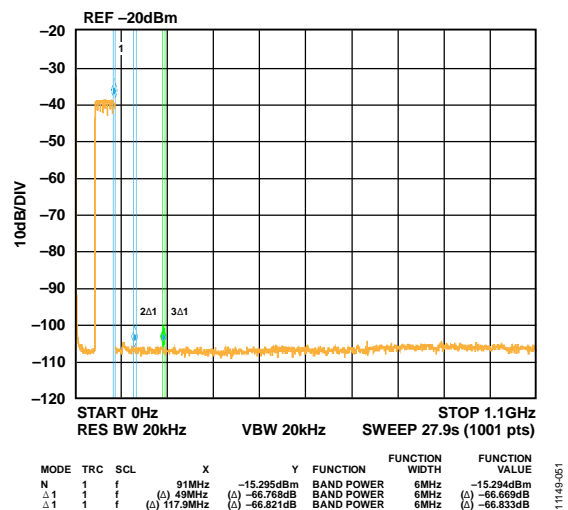


图40. 八载波(70 MHz输出)

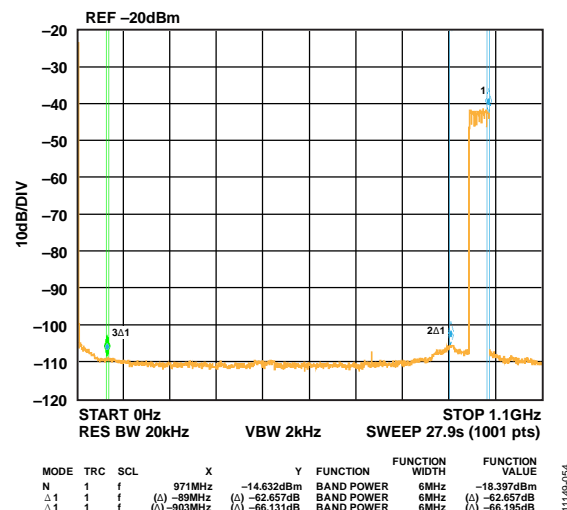


图43. 八载波(950 MHz输出)

AD9119/AD9129

除非另有说明, $I_{OUTFS} = 33 \text{ mA}$, $f_{DAC} = 2.782 \text{ GSPS}$, 标称电源, $T_A = 25^\circ\text{C}$ 。

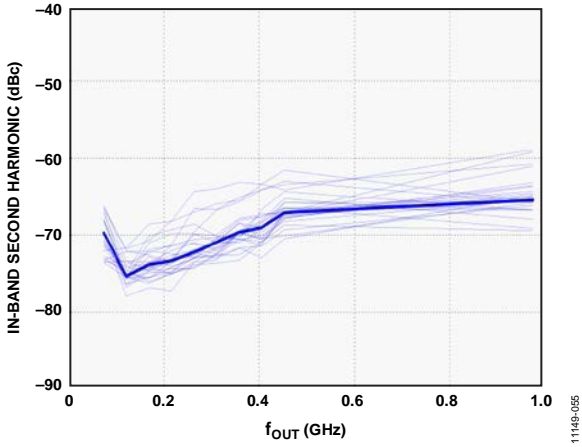


图44. 二次谐波与 f_{OUT} 性能的关系(一个DOCSIS载波)

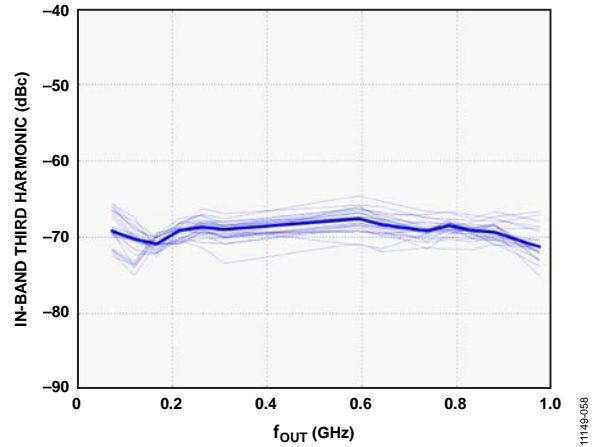


图47. 三次谐波与 f_{OUT} 性能的关系(一个DOCSIS载波)

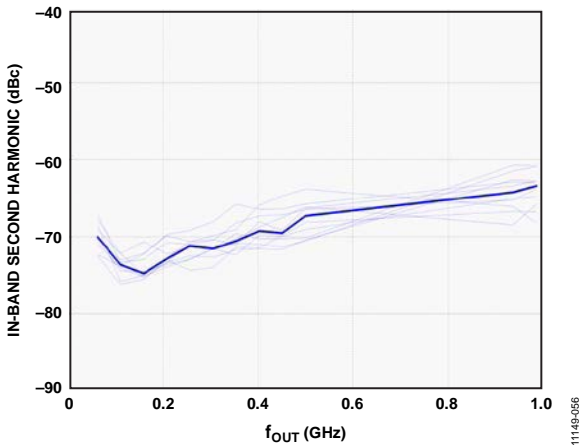


图45. 二次谐波与 f_{OUT} 性能的关系(四个DOCSIS载波)

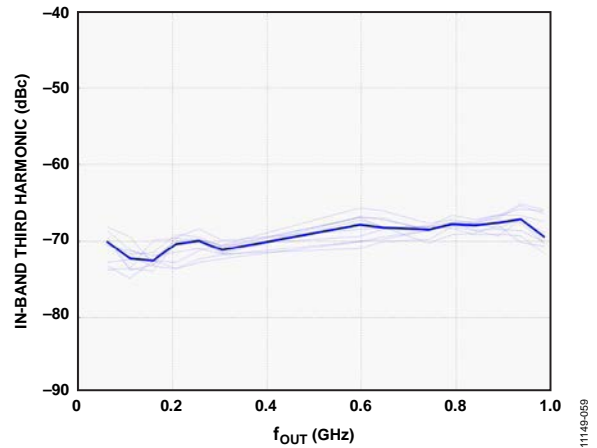


图48. 三次谐波与 f_{OUT} 性能的关系(四个DOCSIS载波)

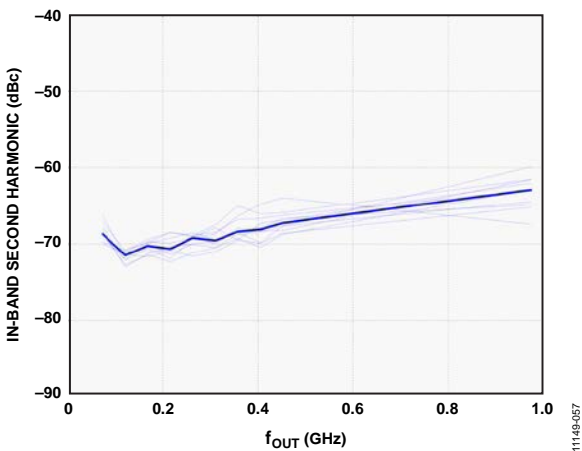


图46. 二次谐波与 f_{OUT} 性能的关系(八个DOCSIS载波)

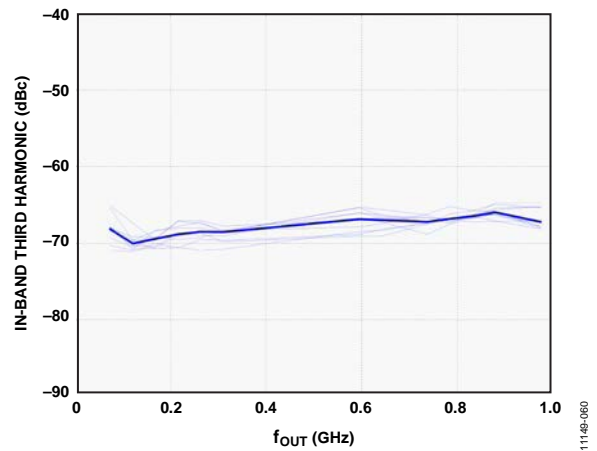


图49. 三次谐波与 f_{OUT} 性能的关系(八个DOCSIS载波)

除非另有说明, $I_{OUTFS} = 33 \text{ mA}$, $f_{DAC} = 2.782 \text{ GSPS}$, 标称电源, $T_A = 25^\circ\text{C}$ 。

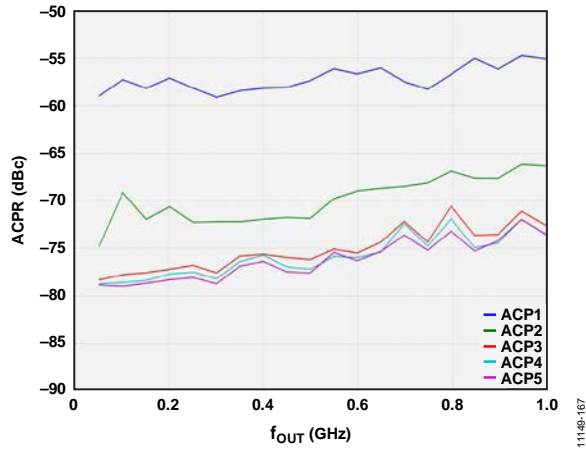


图50. 单载波ACPR与 f_{OUT} 的关系

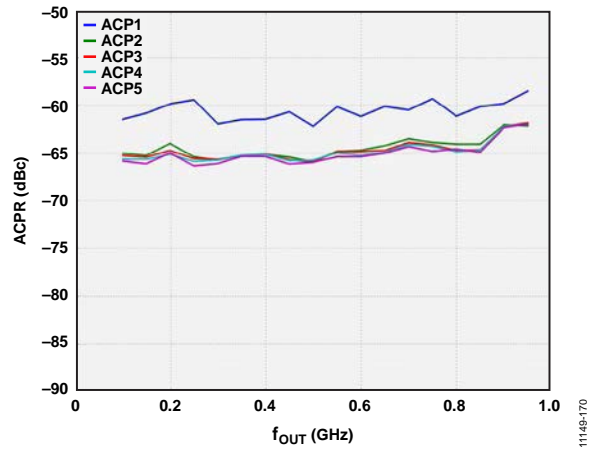


图53. 16载波ACPR与 f_{OUT} 的关系

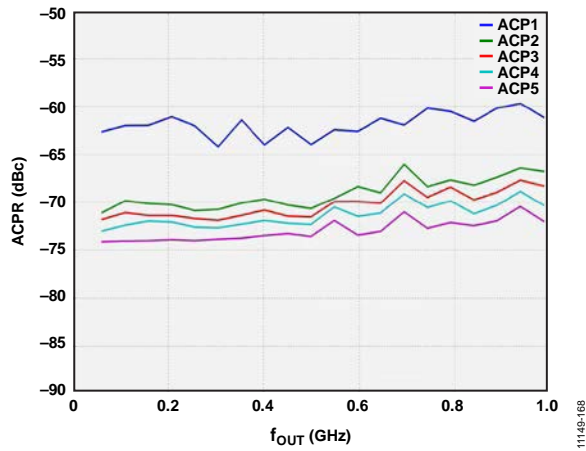


图51. 4载波ACPR与 f_{OUT} 的关系

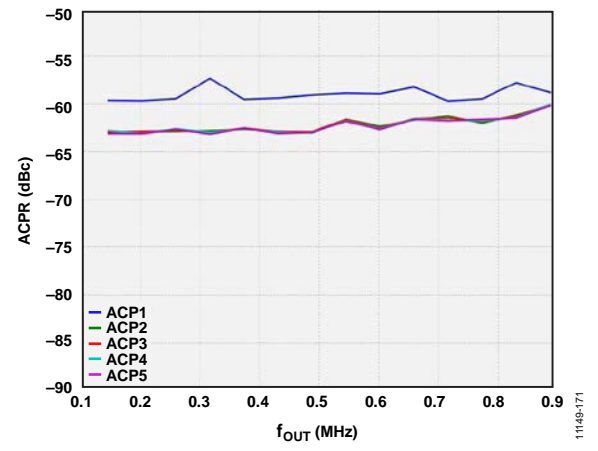


图54. 32载波ACPR与 f_{OUT} 的关系

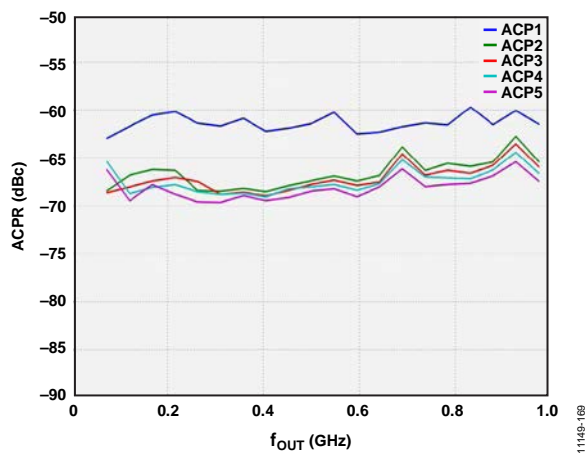


图52. 8载波ACPR与 f_{OUT} 的关系

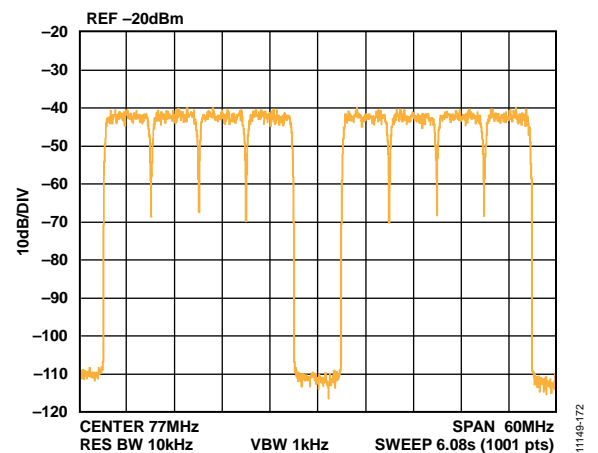


图55. 间隙通道ACPR(77 MHz)

AD9119/AD9129

AD9129

静态线性度

除非另有说明, $I_{OUTFS} = 28 \text{ mA}$, 标称电源, $T_A = 25^\circ\text{C}$.

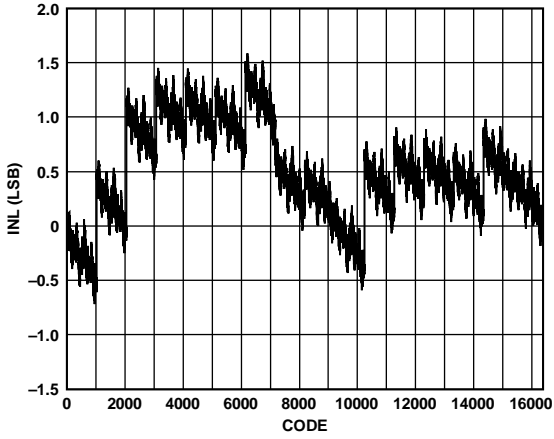


图56. 典型INL(11 mA, 25°C)

11149-065

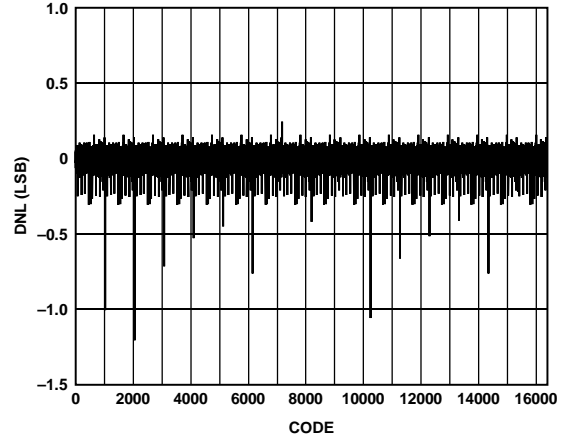


图59. 典型DNL(11 mA, 25°C)

11149-068

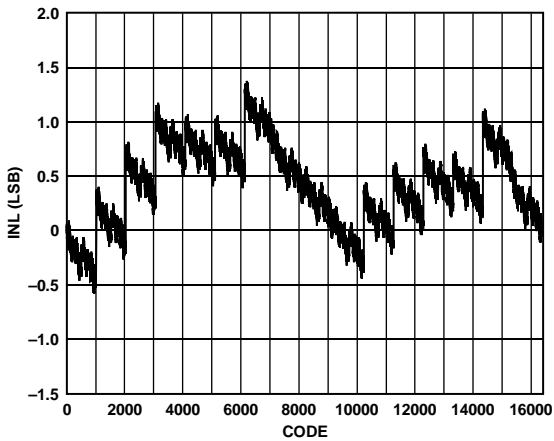


图57. 典型INL(22 mA, 25°C)

11149-066

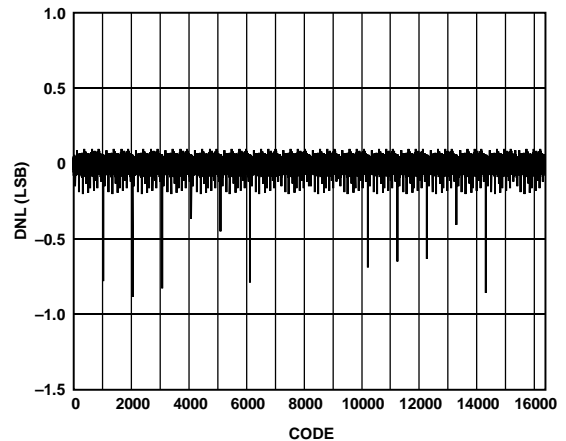


图60. 典型DNL(22 mA, 25°C)

11149-069

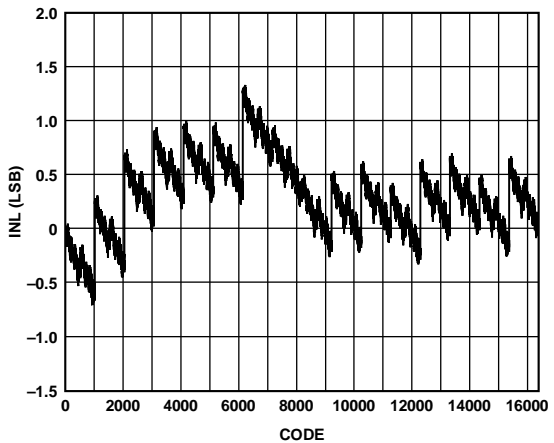


图58. 典型INL(33 mA, 25°C)

11149-067

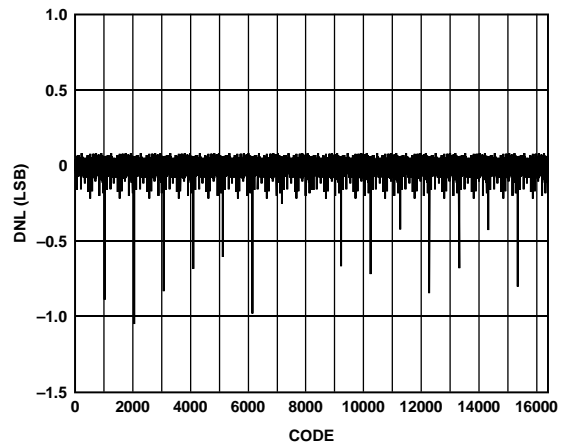


图61. 典型DNL(33 mA, 25°C)

11149-070

交流(正常模式)

除非另有说明, $I_{OUTFS} = 28 \text{ mA}$, $f_{DAC} = 2.6 \text{ GSPS}$, 标称电源, $T_A = 25^\circ\text{C}$ 。

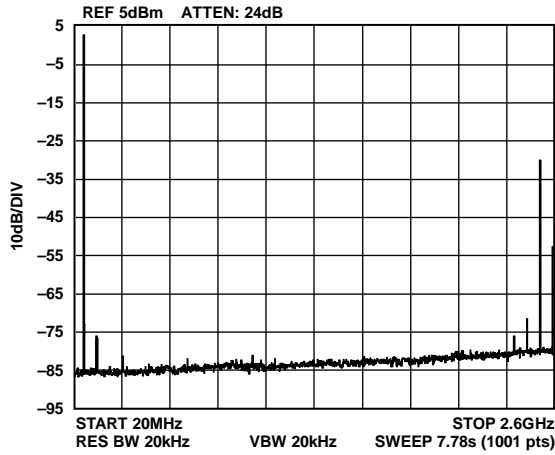


图62. 单音频谱($f_{OUT} = 70 \text{ MHz}$)

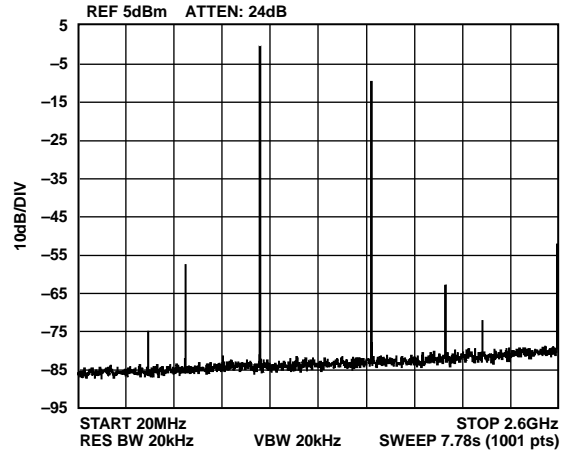


图65. 单音频谱($f_{OUT} = 1000 \text{ MHz}$)

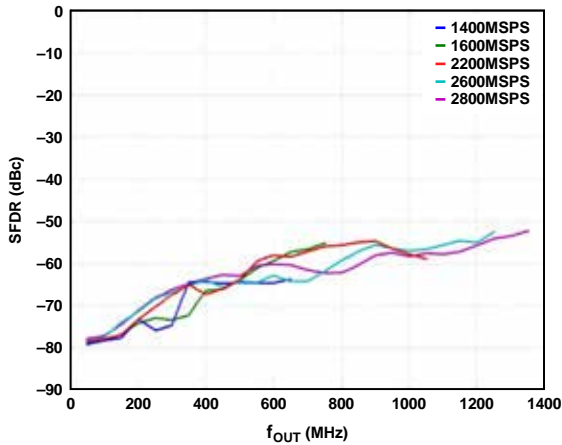


图63. 不同 f_{DAC} 下SFDR与 f_{OUT} 的关系

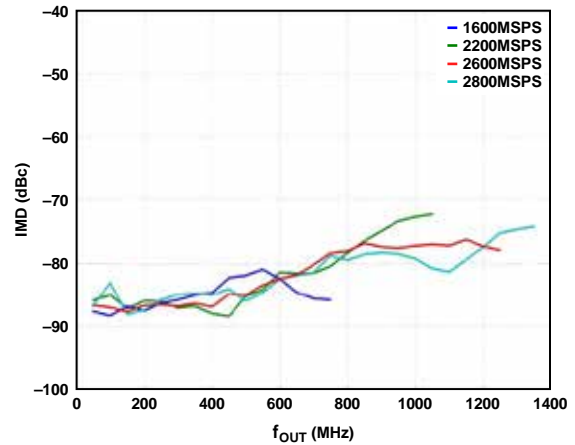


图66. 不同 f_{DAC} 下IMD与 f_{OUT} 的关系

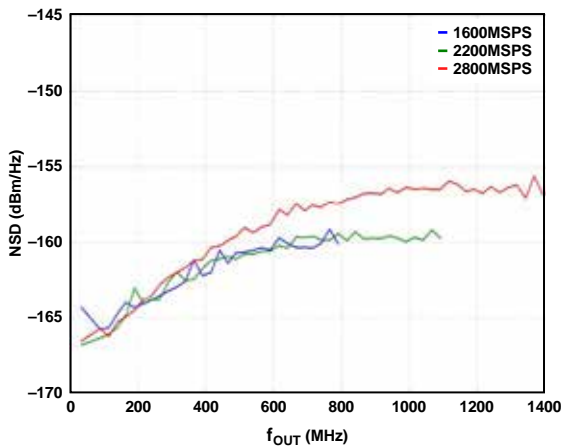


图64. 单音NSD与 f_{OUT} 的关系

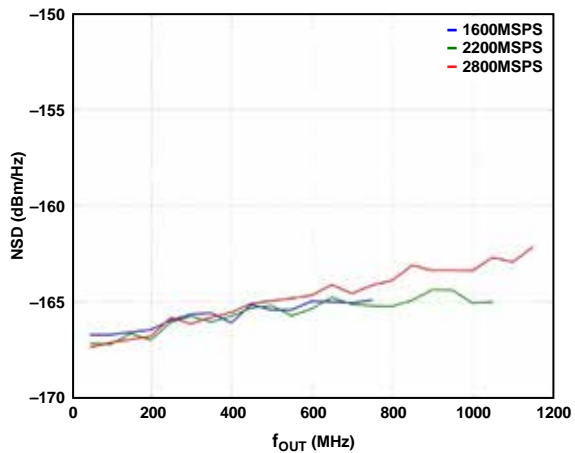


图67. W-CDMA NSD与 f_{OUT} 的关系

AD9119/AD9129

除非另有说明, $I_{OUTFS} = 28 \text{ mA}$, $f_{DAC} = 2.6 \text{ GSPS}$, 标称电源, $T_A = 25^\circ\text{C}$ 。

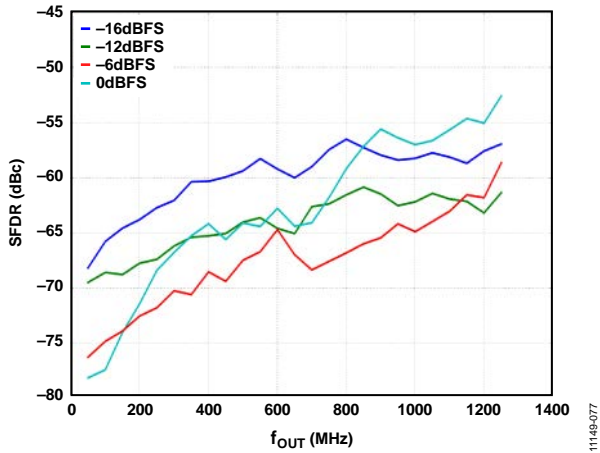


图68. 不同数字满量程下SFDR与 f_{OUT} 的关系

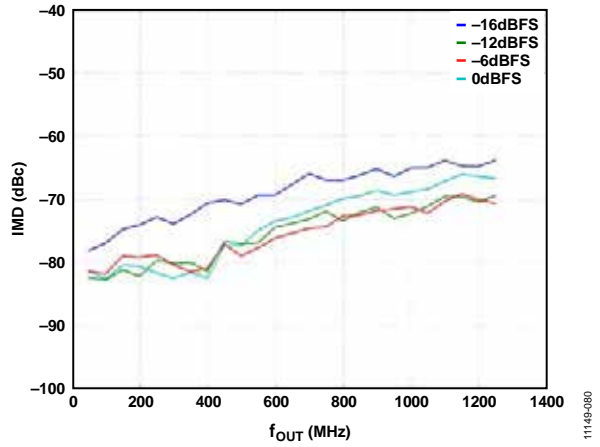


图71. 不同数字满量程下IMD与 f_{OUT} 的关系

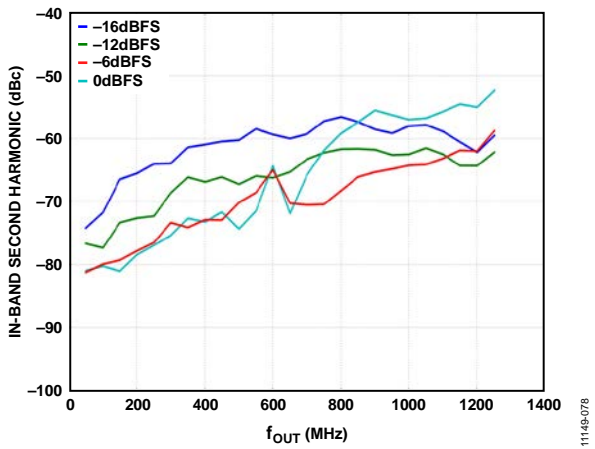


图69. 不同数字满量程下二次谐波SFDR与 f_{OUT} 的关系

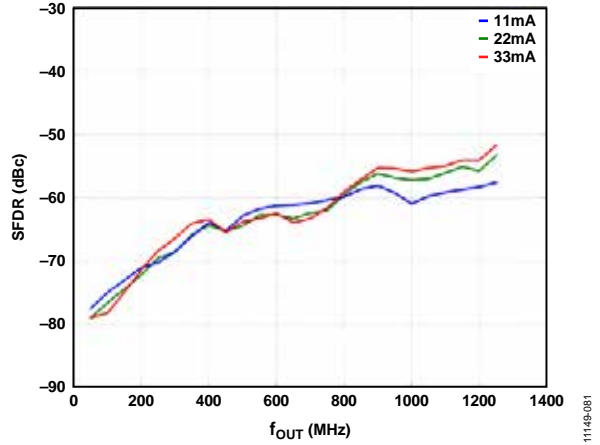


图72. 不同DAC I_{OUTFS} 下SFDR与 f_{OUT} 的关系

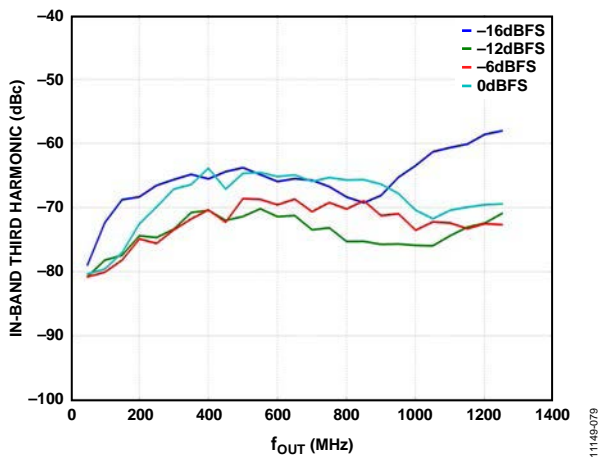


图70. 不同数字满量程下三次谐波SFDR与 f_{OUT} 的关系

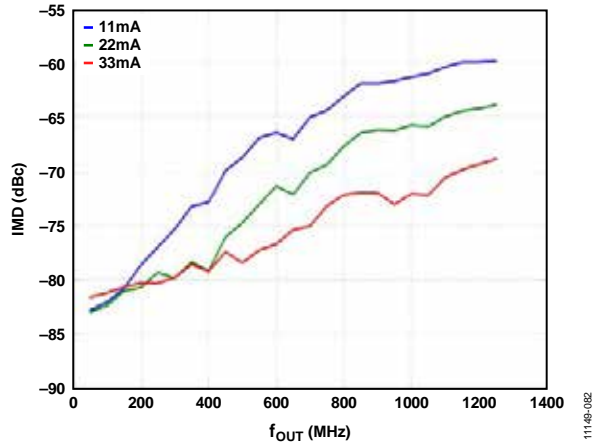


图73. 不同DAC I_{OUTFS} 下IMD与 f_{OUT} 的关系

除非另有说明, $I_{OUTFS} = 28 \text{ mA}$, $f_{DAC} = 2.6 \text{ GSPS}$, 标称电源, $T_A = 25^\circ\text{C}$ 。

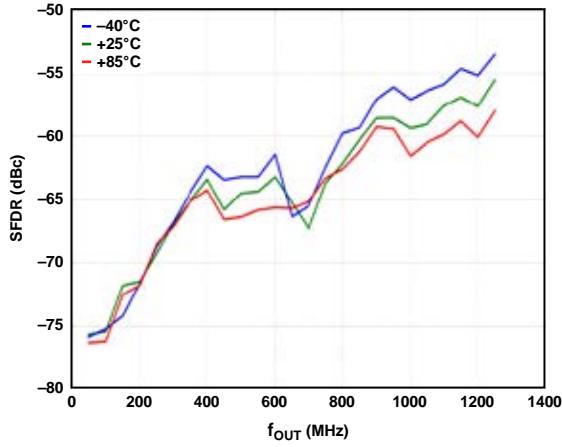


图74. 不同温度下SFDR与 f_{OUT} 的关系

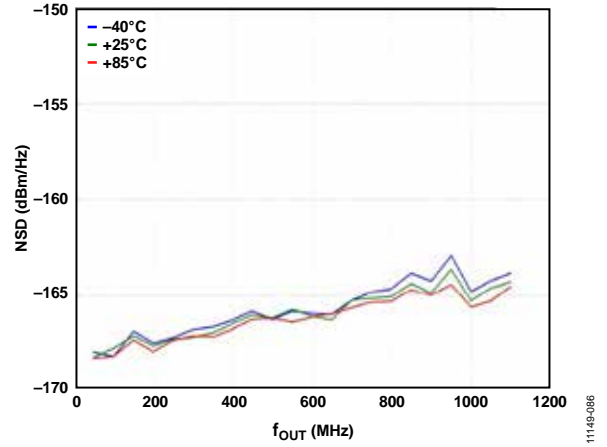


图77. 不同温度下W-CDMA NSD与 f_{OUT} 的关系

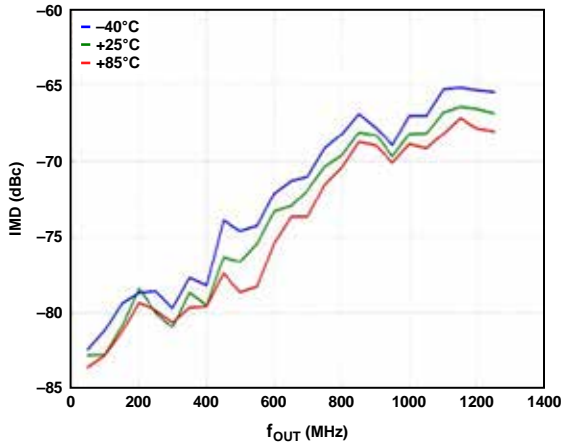


图75. 不同温度下IMD与 f_{OUT} 的关系

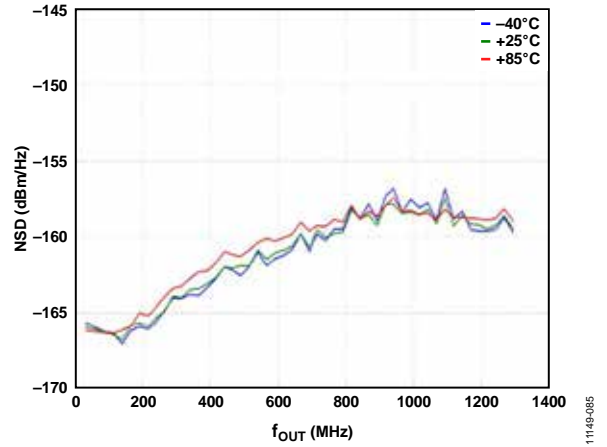


图78. 不同温度下单音NSD与 f_{OUT} 的关系

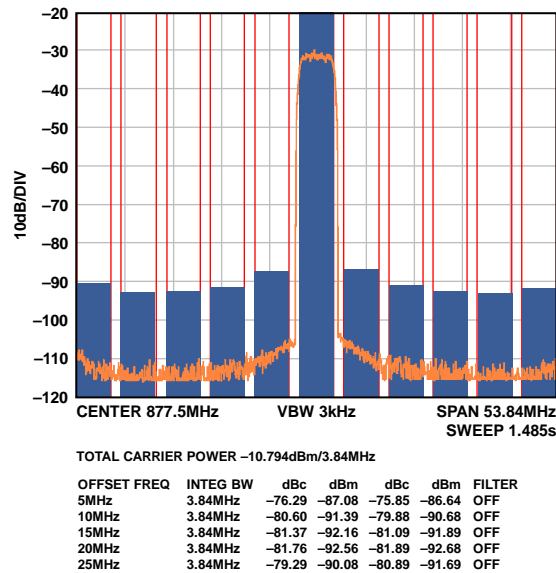


图76. 单载波W-CDMA(877.5 MHz)

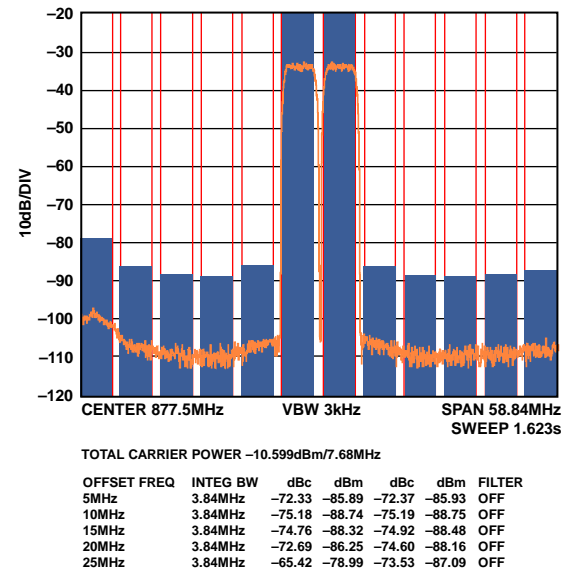


图79. 双载波W-CDMA(875 MHz)

AD9119/AD9129

除非另有说明, $I_{OUTFS} = 28 \text{ mA}$, $f_{DAC} = 2.6 \text{ GSPS}$, 标称电源, $T_A = 25^\circ\text{C}$ 。

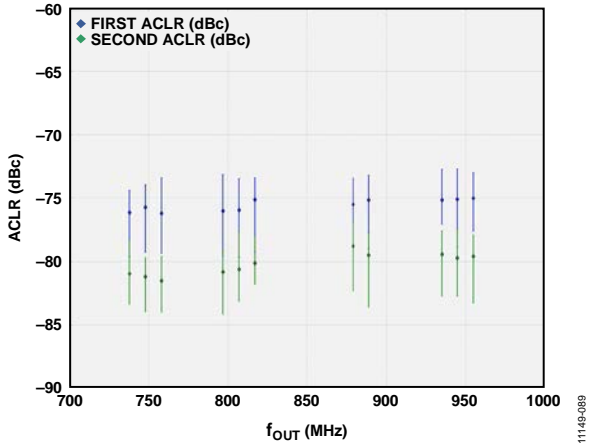


图80.单载波W-CDMA ACLR与 f_{OUT} 的关系(第一ACLR、第二ACLR)

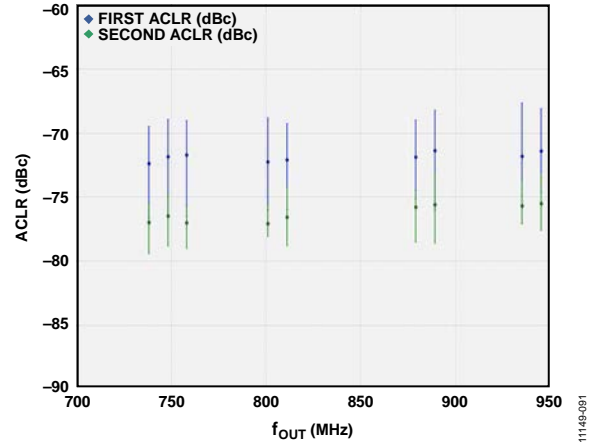


图82.双载波W-CDMA ACLR与 f_{OUT} 的关系(第一ACLR、第二ACLR)

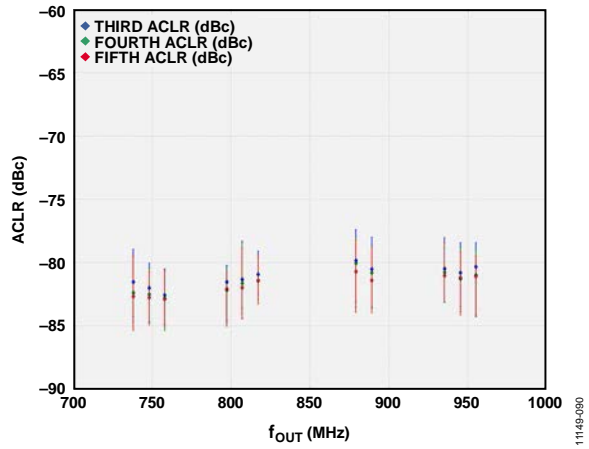


图81.单载波W-CDMA ACLR与 f_{OUT} 的关系
(第三ACLR、第四ACLR、第五ACLR)

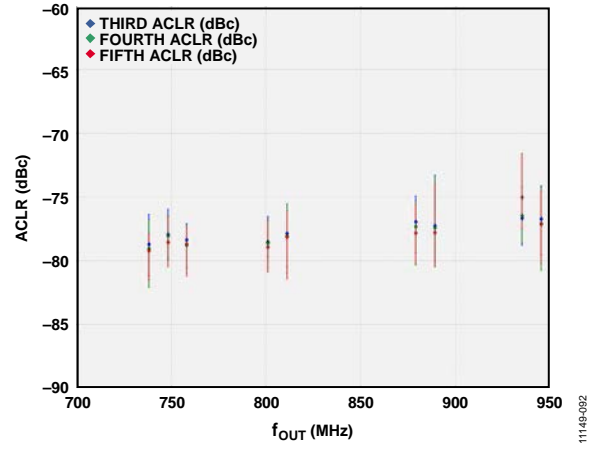


图83.双载波W-CDMA ACLR与 f_{OUT} 的关系
(第三ACLR、第四ACLR、第五ACLR)

交流(混合模式)

除非另有说明, $I_{OUTFS} = 28 \text{ mA}$, $f_{DAC} = 2.6 \text{ GSPS}$, 标称电源, $T_A = 25^\circ\text{C}$ 。

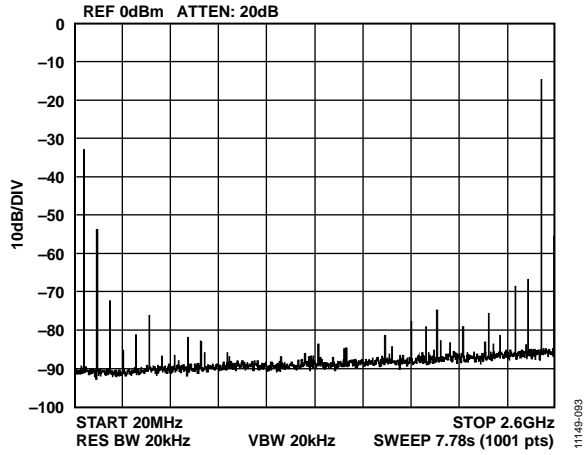


图84. 单音频谱($f_{OUT} = 2350 \text{ MHz}$)

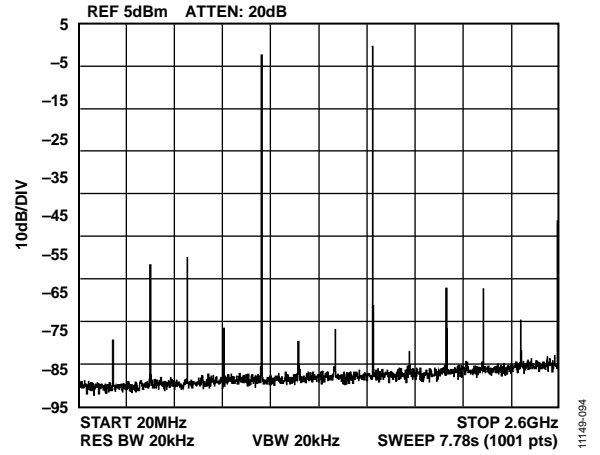


图87. 单音频谱($f_{OUT} = 1600 \text{ MHz}$)

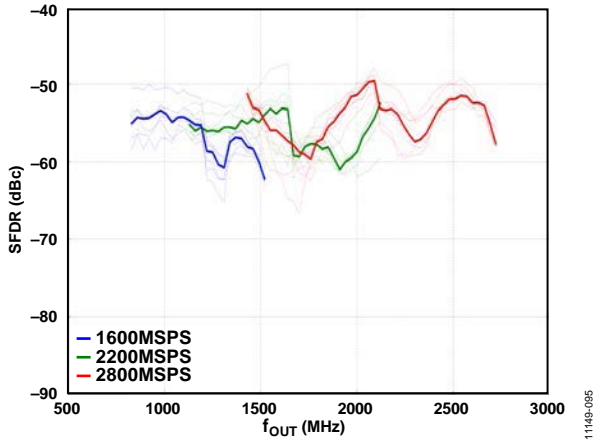


图85. 不同 f_{DAC} 下SFDR与 f_{OUT} 的关系

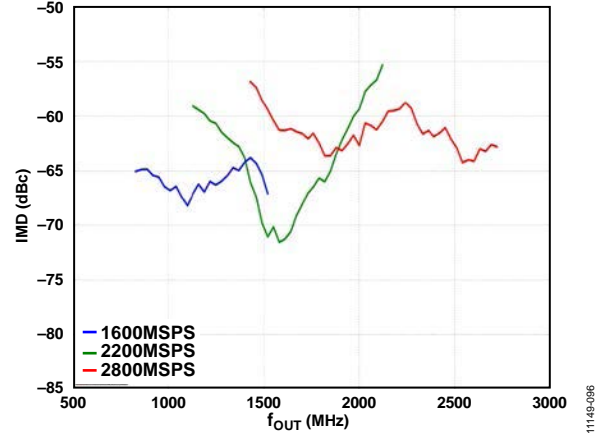


图88. 不同 f_{DAC} 下IMD与 f_{OUT} 的关系

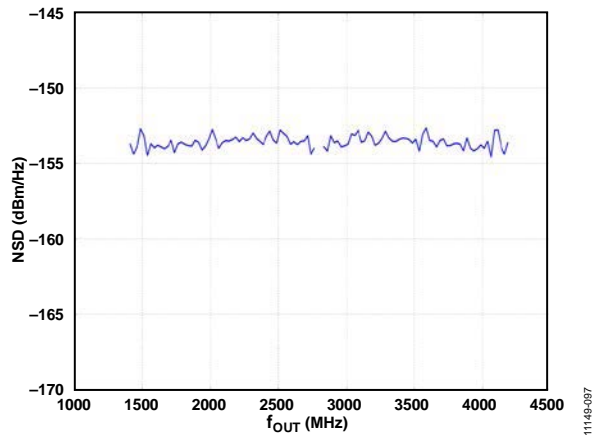


图86. 单音NSD与 f_{OUT} 的关系

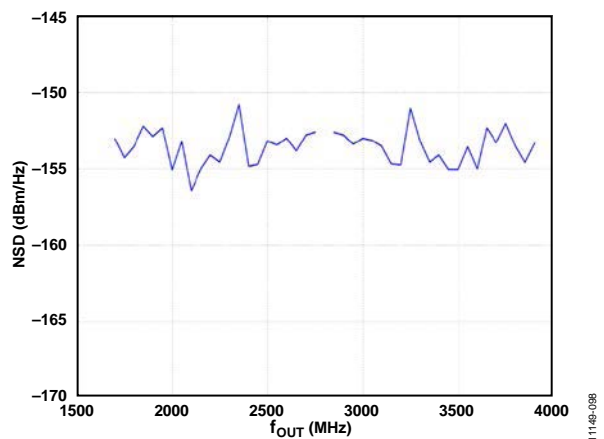


图89. W-CDMA NSD与 f_{OUT} 的关系

AD9119/AD9129

除非另有说明, $I_{OUTFS} = 28 \text{ mA}$, $f_{DAC} = 2.6 \text{ GSPS}$, 标称电源, $T_A = 25^\circ\text{C}$ 。

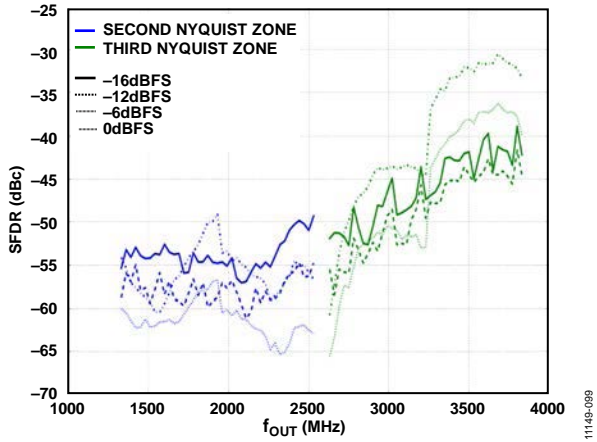


图90. 不同数字满量程下SFDR与 f_{OUT} 的关系

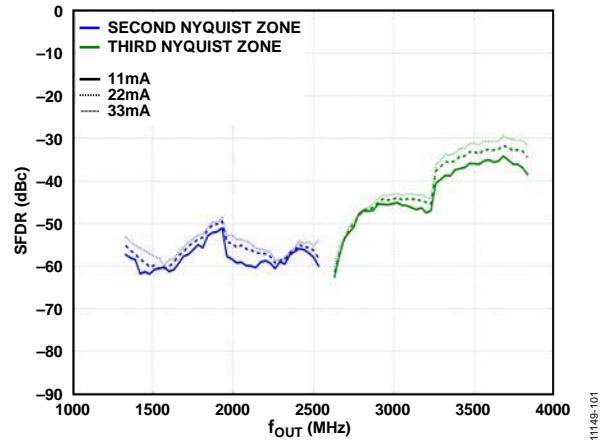


图92. 不同DAC I_{OUTFS} 下SFDR与 f_{OUT} 的关系

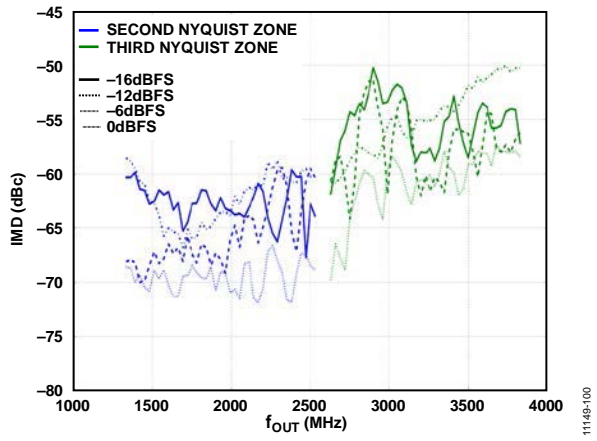


图91. 不同数字满量程下IMD与 f_{OUT} 的关系

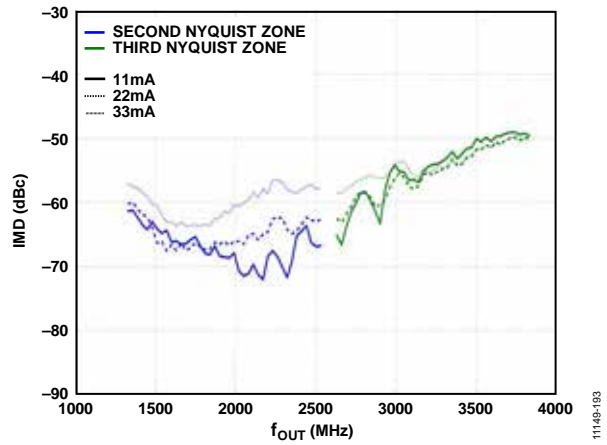


图93. 不同DAC I_{OUTFS} 下IMD与 f_{OUT} 的关系

除非另有说明, $I_{OUTFS} = 28 \text{ mA}$, $f_{DAC} = 2.6 \text{ GSPS}$, 标称电源, $T_A = 25^\circ\text{C}$ 。

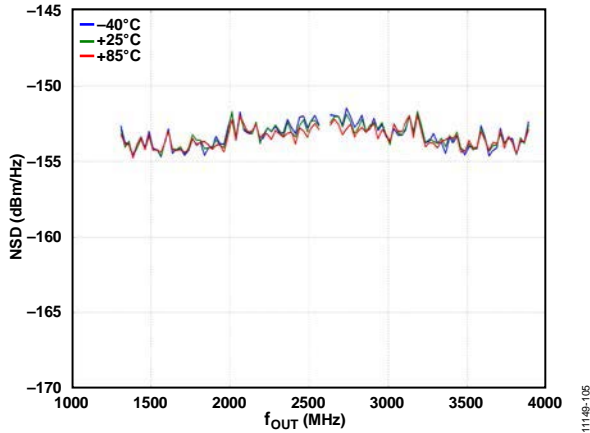


图94. 不同温度下单音NSD与 f_{OUT} 的关系

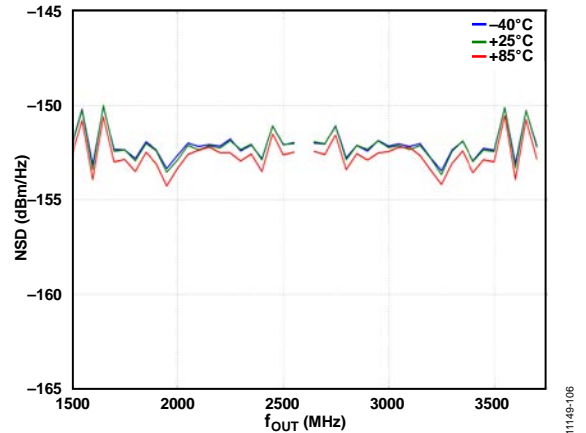


图96. 不同温度下W-CDMA NSD与 f_{OUT} 的关系

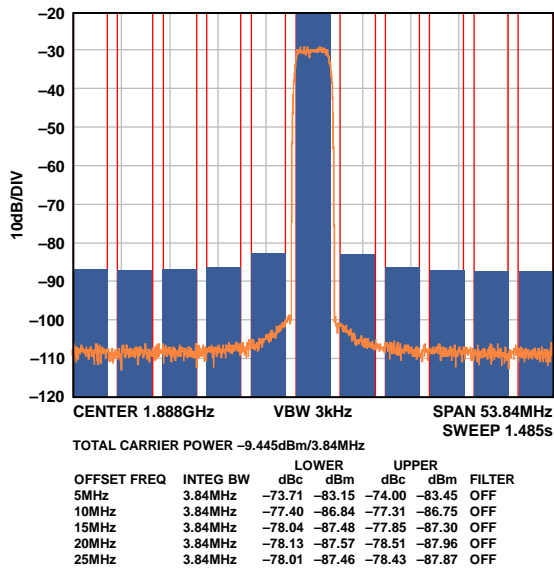


图95. 单载波W-CDMA(1887.5 MHz)

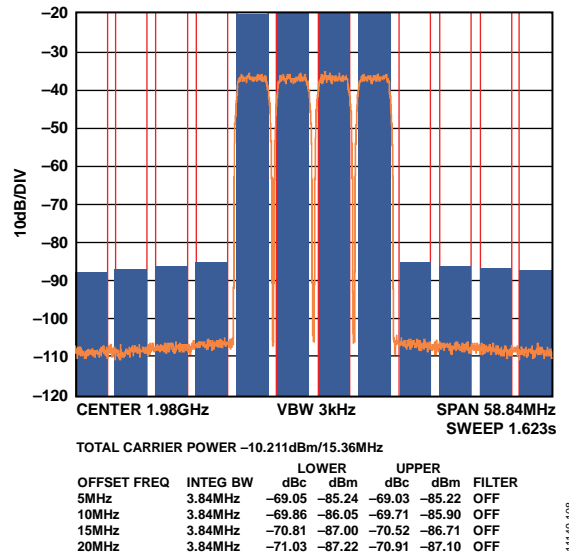


图97. 4载波W-CDMA(1980 MHz)

AD9119/AD9129

除非另有说明, $I_{OUTFS} = 28 \text{ mA}$, $f_{DAC} = 2.6 \text{ GSPS}$, 标称电源, $T_A = 25^\circ\text{C}$ 。

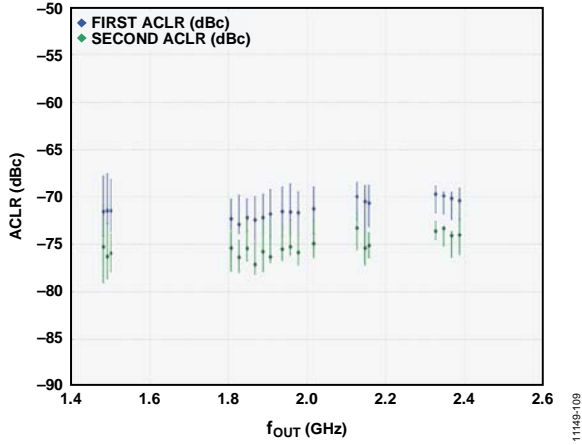


图98.单载波W-CDMA ACLR与 f_{OUT} 的关系(第一ACLR、第二ACLR)

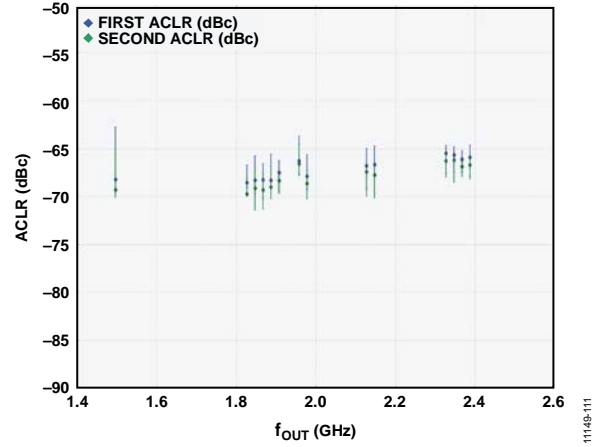


图100.4载波W-CDMA ACLR与 f_{OUT} 的关系(第一ACLR、第二ACLR)

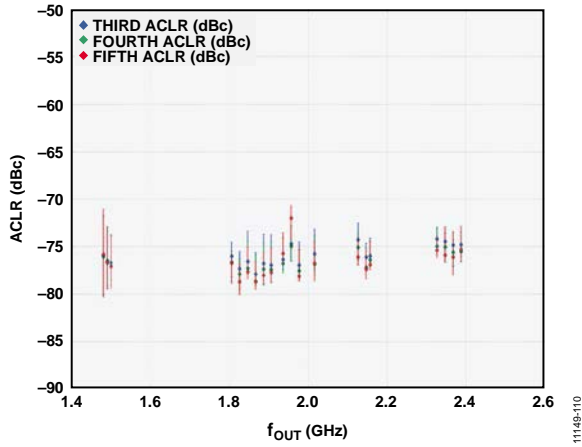


图99.单载波W-CDMA ACLR与 f_{OUT} 的关系(第三ACLR、第四ACLR、第五ACLR)

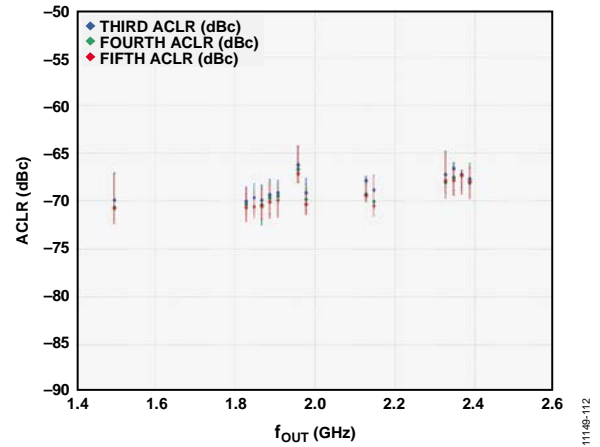


图101.4载波W-CDMA ACLR与 f_{OUT} 的关系(第三ACLR、第四ACLR、第五ACLR)

DOCSIS性能(正常模式)

除非另有说明, $I_{OUTFS} = 33 \text{ mA}$, $f_{DAC} = 2.782 \text{ GSPS}$, 标称电源, $T_A = 25^\circ\text{C}$.

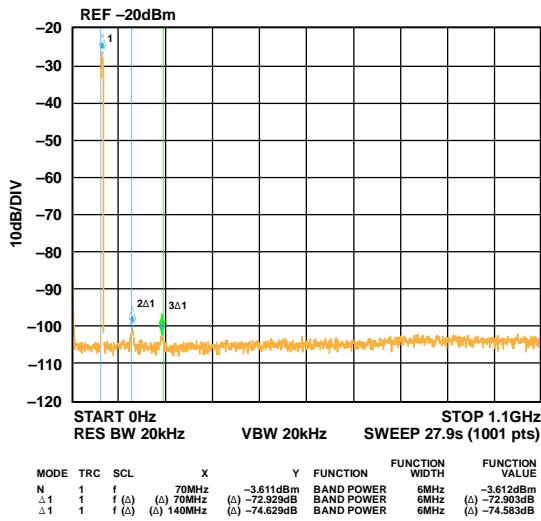


图102. 单载波(70 MHz输出)

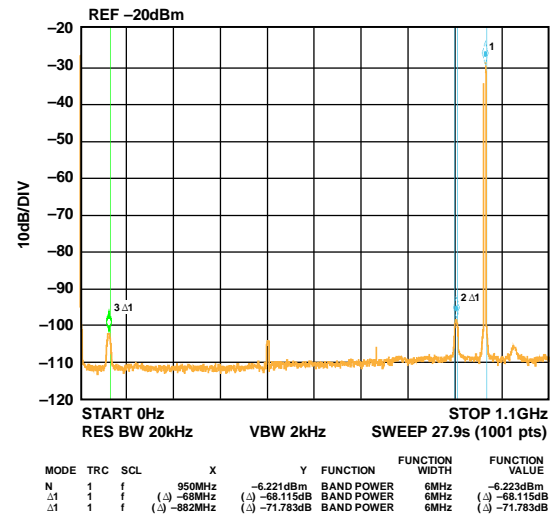


图105. 单载波(950 MHz输出)

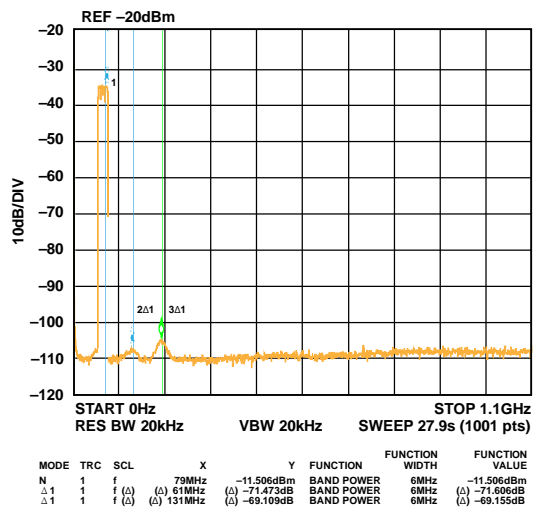


图103. 4载波(70 MHz输出)

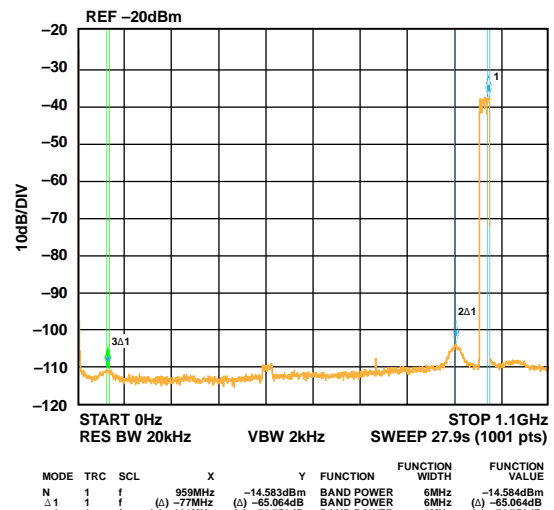


图106. 四载波(950 MHz输出)

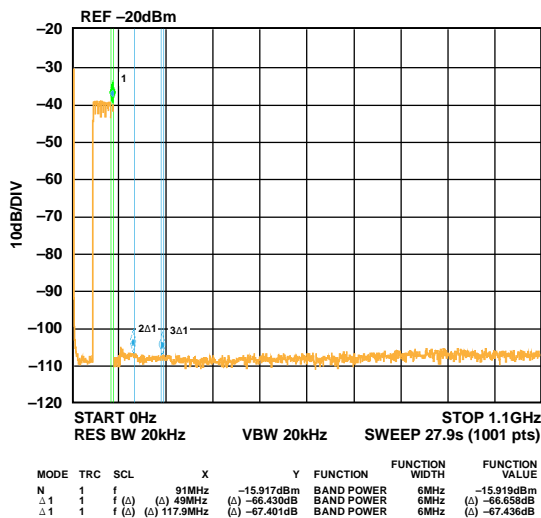


图104. 8载波(70 MHz输出)

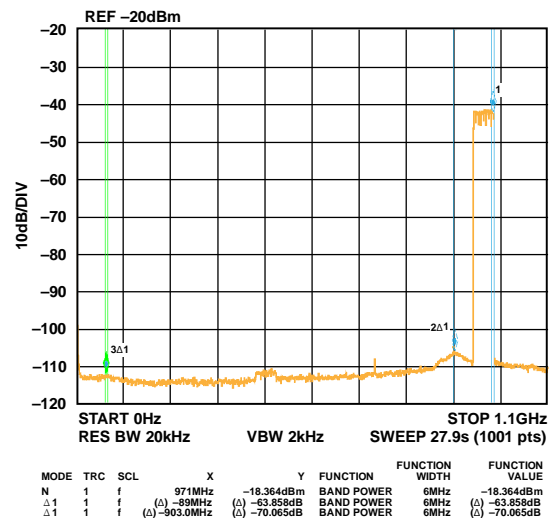


图107. 8载波(950 MHz输出)

AD9119/AD9129

除非另有说明, $I_{OUTFS} = 33 \text{ mA}$, $f_{DAC} = 2.782 \text{ GSPS}$, 标称电源, $T_A = 25^\circ\text{C}$ 。

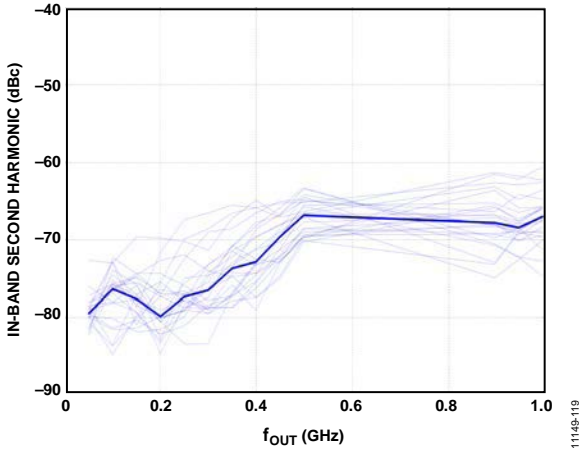


图108. 二次谐波与 f_{OUT} 性能的关系(一个DOCSIS载波)

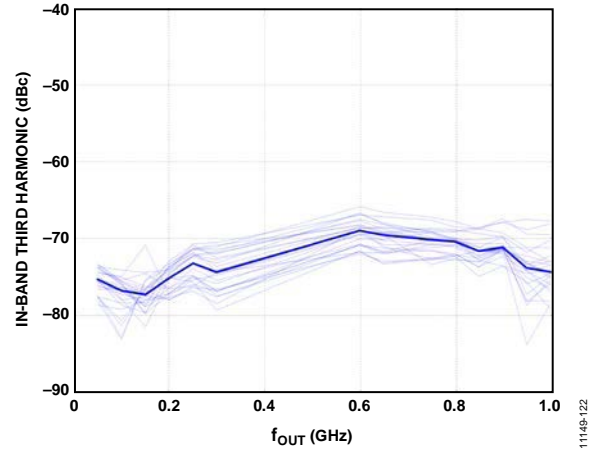


图111. 三次谐波与 f_{OUT} 性能的关系(一个DOCSIS载波)

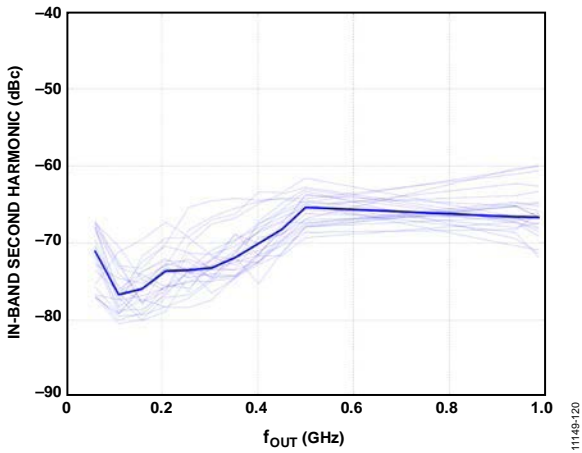


图109. 二次谐波与 f_{OUT} 性能的关系(四个DOCSIS载波)

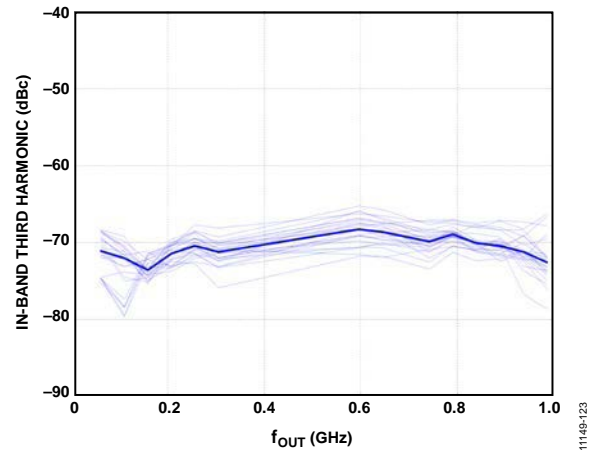


图112. 三次谐波与 f_{OUT} 性能的关系(四个DOCSIS载波)

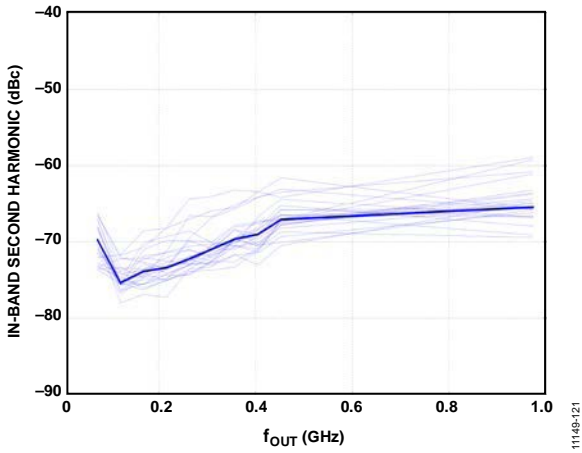


图110. 二次谐波与 f_{OUT} 性能的关系(八个DOCSIS载波)

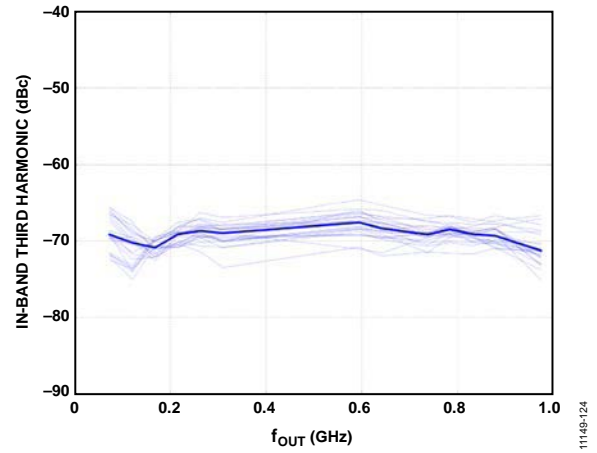


图113. 三次谐波与 f_{OUT} 性能的关系(八个DOCSIS载波)

除非另有说明, $I_{OUTFS} = 33 \text{ mA}$, $f_{DAC} = 2.782 \text{ GSPS}$, 标称电源, $T_A = 25^\circ\text{C}$ 。

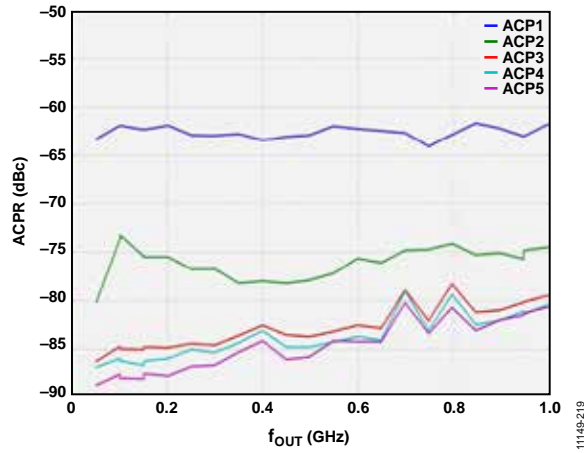


图114. 单载波ACPR与 f_{OUT} 的关系

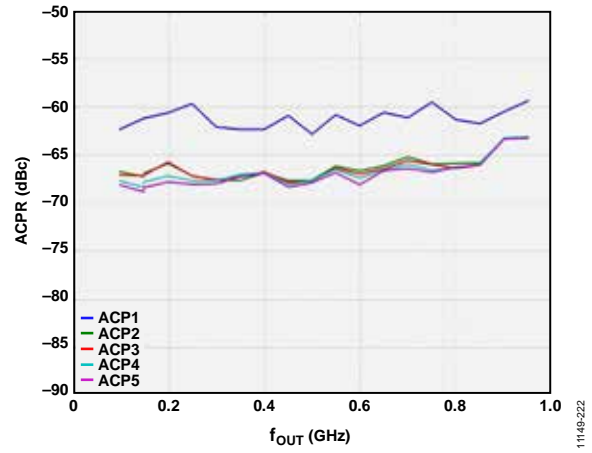


图117. 16载波ACPR与 f_{OUT} 的关系

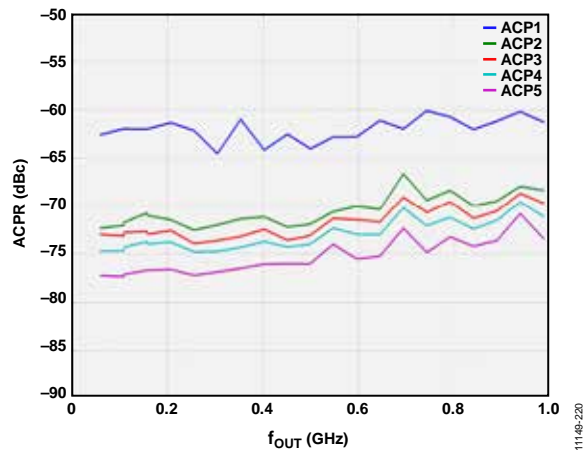


图115. 4载波ACPR与 f_{OUT} 的关系

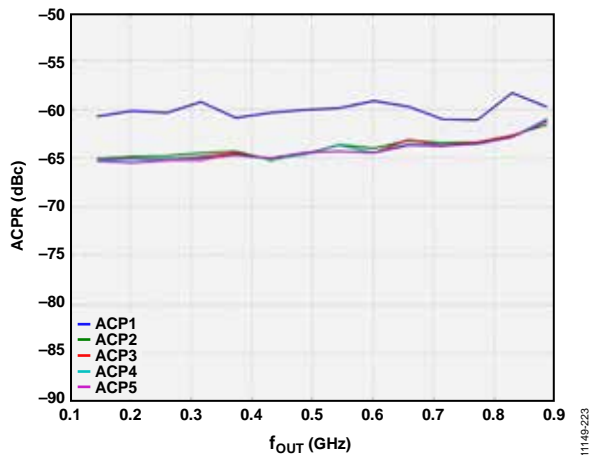


图118. 32载波ACPR与 f_{OUT} 的关系

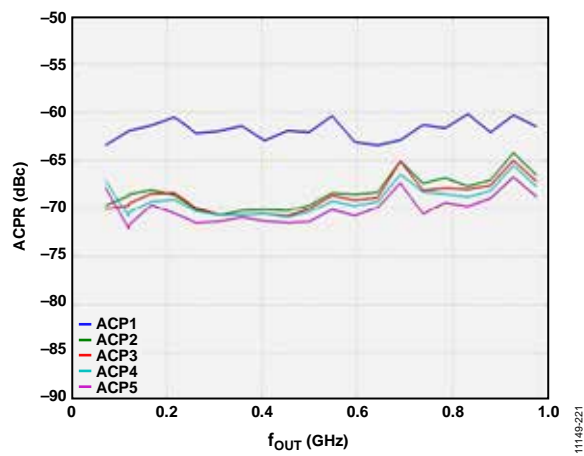


图116. 8载波ACPR与 f_{OUT} 的关系

AD9119/AD9129

除非另有说明, $I_{OUTFS} = 33 \text{ mA}$, $f_{DAC} = 2.782 \text{ GSPS}$, 标称电源, $T_A = 25^\circ\text{C}$ 。

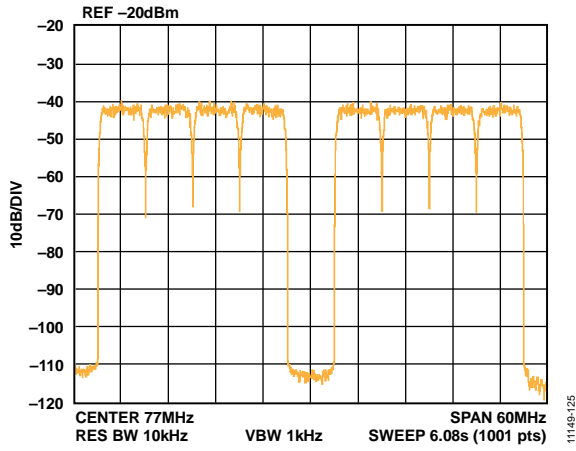


图119. 间隙通道ACLR(77 MHz)

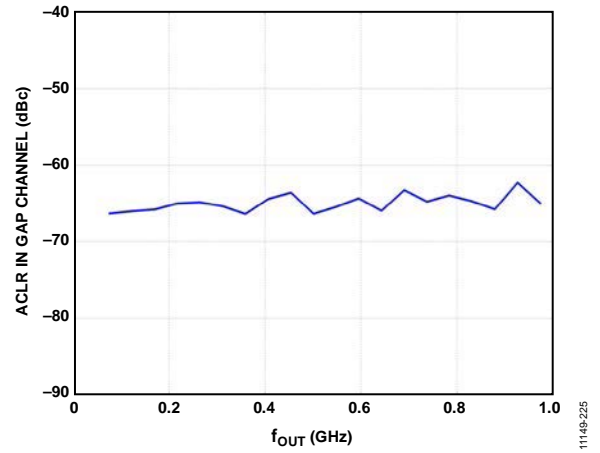


图120. 间隙通道ACLR与 f_{OUT} 的关系

术语

线性误差(积分非线性或INL)

实际模拟输出与理想输出的最大偏差，理想输出由从零电平到满量程所画的直线确定。

差分非线性(DNL)

衡量数字输入代码改变1 LSB时模拟值(用满量程归一化)的变化。

单调性

如果一个DAC的输出随着数字输入的增加而增加，或者保持不变，则该DAC是单调的。

失调误差

输出电流与理想0值的偏差。对于IOUTP，当所有输入均置0时，预期输出为0 mA。对于IOUTN，当所有输入均置1时，预期输出为0 mA。

增益误差

增益误差指实际输出范围与理想输出范围的差异。所有输入均置1时的输出减去所有输入均置0时的输出便得到实际范围。

输出顺从电压范围

输出顺从电压范围指电流输出DAC输出端的容许电压范围。超出最大限值工作可能会引起输出级饱和或击穿，导致非线性性能。

温度漂移

衡量环境温度(25°C)值与 T_{MIN} 或 T_{MAX} 值之间的最大变化范围。失调和增益漂移用每摄氏度(°C)满量程范围(FSR)的ppm表示；基准电压漂移用每摄氏度ppm表示(ppm/°C)。

电源抑制

衡量电源从标称额定电压变为最小和最大额定电压时满量程输出的最大变化。

无杂散动态范围

指定带宽内输出信号与峰值杂散信号的均方根幅值之差，用分贝(dB)表示。

总谐波失真(THD)

前6次谐波成分的均方根和与实测输入信号的均方根值之比。表示为百分比或分贝(dB)。

噪声谱密度(NSD)

转换器单位带宽的噪声功率。通常用dBm/Hz表示，满量程信号规定为0 dBm。

邻道泄漏比(ACLR)

一个通道相对于其相邻通道的测量功率之比，用dBc表示。

邻道功率比(ACPR)

邻道总功率(交调信号)与主通道功率(有用信号)之比，用dBc表示。

调制误差比(MER)

衡量输出符号平均幅度与个别符号的均方根误差幅度之间的差异。调制信号产生一组离散的输出值，称为“星座”；每个符号产生一个对应于星座上一点的输出信号。

交调失真(IMD)

频率不同的两个或更多信号频率混合的结果。混频会产生许多产物，用公式 $aF_1 \pm bF_2$ 表示，其中a和b均为整数。

串行通信端口概述

AD9119/AD9129是11位/14位DAC，以最高达2.85 GSPS的更新速率工作。由于内部时序要求，允许的最小采样速率为1400 MSPS。输入数据通过两个内部复用的11/14位LVDS端口采样。每个端口具有自己的数据输入，但两个端口共用一个数据时钟输入(DCI)。LVDS输入符合IEEE-1596规范，但输入迟滞是例外，不是所有过程转折都能保证这一要求。在双倍数据速率(DDR)格式下，每个DCI输入以1/4的输入数据速率工作。DCI的每个边沿用于将数据传输到AD9119/AD9129。

DACCLK_N和DACCLK_P输入直接驱动DAC内核，以使时钟抖动最小。DACCLK信号经过4分频后，输出为每个端口的DCO。DCO信号可用于为数据源提供时钟。DAC期待DDR LVDS数据(P0_D[13:0]x, P1_D[13:0]x)，各通道与单个DDR DCI信号对齐。

AD9119/AD9129的功能通过SPI进行控制。

串行外设接口(SPI)

AD9119/AD9129 SPI是一种灵活的同步串行通讯端口，可以很方便地与多种工业用微控制器和微处理器接口。该串行I/O兼容大多数同步传输格式，包括Motorola® SPI和Intel® SSR协议。通过此接口可读/写所有AD9119/AD9129配置寄存器。支持MSB(最高有效位)优先和LSB(最低有效位)优先传输格式。AD9119/AD9129串行接口端口可以配置为单I/O引脚(SDIO)，或者配置为两个单向输入/输出引脚(SDIO和SDO)。

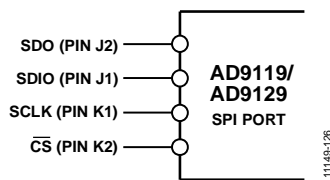


图121. AD9119/AD9129 SPI端口

SPI通用操作

AD9119/AD9129的通信周期分为两个阶段。第一阶段是指令周期，将指令字节写入AD9119/AD9129，与前八个SCLK上升沿重合。指令字节向AD9119/AD9129串行端口控制器提供有关数据传输周期(即通信周期第二阶段)的信息，明确即将发生的数据传输是读操作还是写操作，以及数据传输中第一个字节的起始寄存器地址。各通信周期的前八个SCLK上升沿用于将指令字节写入AD9119/AD9129。

其余SCLK边沿用于通信周期的第二阶段。第二阶段是AD9119/AD9129与系统控制器之间发生实际数据传输的阶

段。通信周期第二阶段仅能传输一个字节。当寄存器访问仅需要一个字节时，单字节数据传输可降低CPU开销。写入每个传输字节的最后一位后，寄存器立即改变。每传输8位后(最后一个字节除外)，可以拉高 \overline{CS} (片选)，使总线停止。当 \overline{CS} 变为低电平时，串行传输继续。停止在非字节边界会复位SPI。

指令模式(8位指令)

指令字节如下表所示。

MSB						LSB	
I7	I6	I5	I4	I3	I2	I1	I0
读/写	A6	A5	A4	A3	A2	A1	A0

读/写(指令字节位7)决定指令字节写周期结束后是进行读操作还是写操作。逻辑1表示读操作。逻辑0表示写操作，即数据传输周期。A6至A0(指令字节的位6至位0)决定通信周期数据传输阶段要访问的寄存器。

串行外设接口引脚描述

SCLK—串行时钟

串行时钟引脚用于同步输入/输出AD9119/AD9129的数据，并运行内部状态机。SCLK的最大频率为20 MHz。AD9119/AD9129的所有数据输入记录在SCLK的上升沿。所有数据在SCLK的上升沿从AD9119/AD9129输出。

\overline{CS} —片选

它是一个低电平有效输入，用于启动并选通一个通信周期。它支持多个器件使用相同的串行通信线路。当此输入高电平时，SDO和SDIO引脚会进入高阻抗状态。在整个通信周期，片选引脚应保持低电平。

SDIO—串行数据I/O

向AD9119/AD9129写入数据必须通过此引脚进行。不过，该引脚也能作为双向数据线使用。此引脚的配置由寄存器0x00的位7(SDIO_DIR)控制。默认为逻辑1，将SDIO引脚配置为双向数据线。

SDO—串行数据输出

如果协议选择用不同的通信线来发送和接收数据，那么数据是从该引脚读出的。当AD9119/AD9129以单独的双向I/O模式运行时，此引脚不会输出数据，并置为高阻抗状态。

MSB/LSB传输

AD9119/AD9129串行端口支持MSB优先和LSB优先两种数据格式。此功能由寄存器0x00中的LSB/MSB位(位6)控制。默认是MSB优先(LSB/MSB=0)。选择MSB优先数据格式时,指令和数据字节必须按照从MSB到LSB的顺序写入。

当LSB/MSB = 1(LSB优先)时,指令和数据字节必须按照从LSB到MSB的顺序写入。

串行端口配置

AD9119/AD9129串行端口配置由寄存器0x00的位[7:5]控制。注意,写入寄存器的最后一位后,配置立即改变。软件复位位(寄存器0x00的位5—SoftReset)置1时,除寄存器0x00保持不变外,所有其它寄存器设为默认值。

如果出现意料之外的编程序列,AD9119/AD9129 SPI可能变得无法访问。例如,如果用户代码意外更改LSB/MSB位,随后的位将产生无法预料的结果。写入一个全0的不完整字节(1到7位),然后写入三个字节的0x00,可使SPI回到已知状态。这将回到MSB优先指令(寄存器0x00 = 0x00),因而可以重新初始化器件。

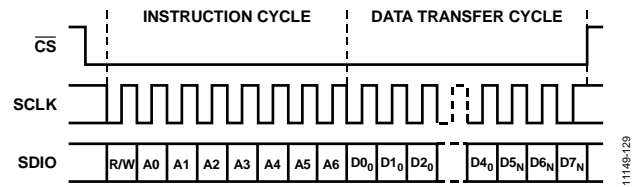


图124. 串行寄存器接口时序(LSB优先写入)

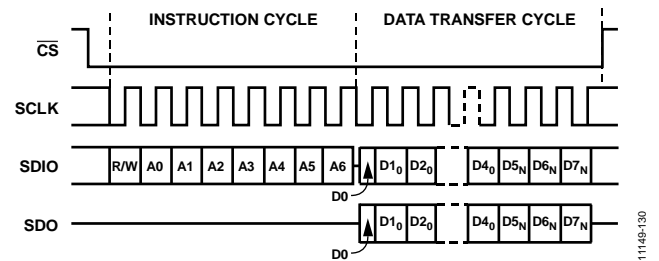


图125. 串行寄存器接口时序(LSB优先读取)

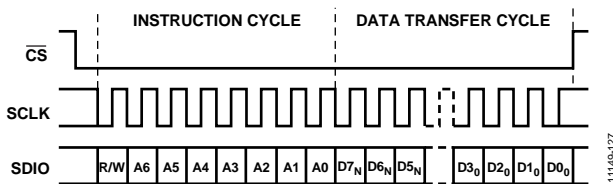


图122. 串行寄存器接口时序(MSB优先写入)

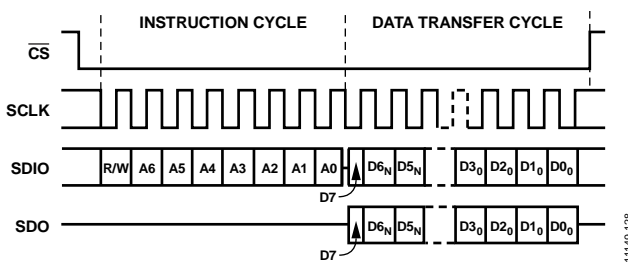


图123. 串行寄存器接口时序(MSB优先读取)

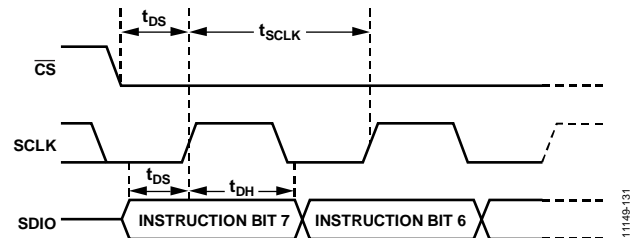


图126. SPI寄存器写操作时序图

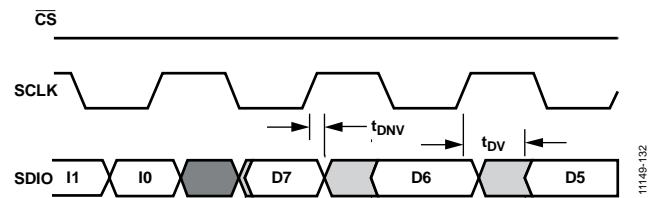


图127. SPI寄存器读操作时序图

最后一个指令位写入SDIO引脚之后,必须及时将驱动信号设为高阻态,以便总线回转。AD9119/AD9129的串行输出数据由SCLK的下降沿使能,这导致第一个输出数据位短于其余的数据位,如图127所示。为确保正确读取数据,将SCLK从低电平变为高电平之前,应读取SDIO引脚或SDO引脚。由于多字节协议更为复杂,多个AD9119/AD9129器件不能以菊花链形式连接在SPI总线上。多个DAC需利用独立的CS信号控制。

工作原理

AD9119/AD9129是11位/14位DAC，以最高达2.85 GSPS的输入数据速率工作，同时能够重构带宽高达1.425 GHz的信号。图128显示了AD9119/AD9129的顶层功能框图。一个高性能NMOS DAC向一个平衡的外部负载提供一个信号相关的差分电流，该负载参考一个标称1.8 V模拟电源。DAC的电流源阵列参考外部-1.5 V电源，其满量程电流 I_{OUTFS} 可在9.5 mA至34.4 mA范围内调整。

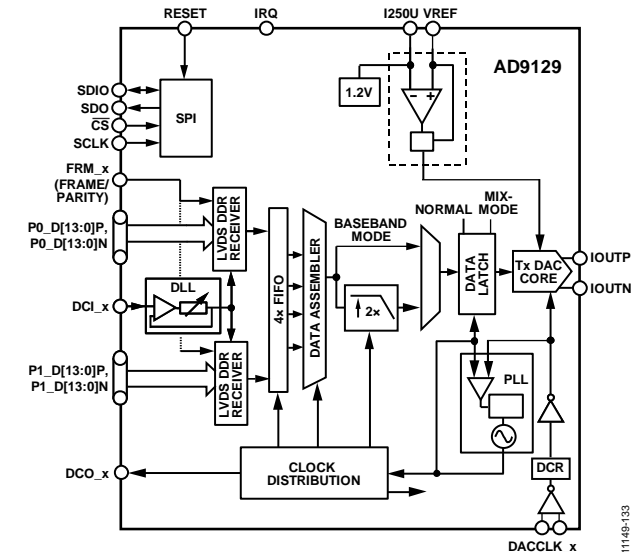


图128. AD9119/AD9129功能框图

一个低抖动差分时钟接收器用于处理DACCLK_x输入端出现的信号，该信号用于设置DAC的更新速率。差分时钟接收器可以接受正弦信号；如果输入信号电平保持在0 dBm以上，则NSD(噪声谱密度)性能降低可忽略不计。-5 dBm输入时，性能降低+1 dB；当信号接近-10 dBm时，性能进一步降低，达到+2 dB。时钟接收器之后有一个占空比恢复器(DCR)，用于确保后续电路的占空比接近50%。DCR的输出用作主时钟，直接路由至DAC，此外还路由至时钟分配模块以产生所有关键的内部和外部时钟。时钟源的质量是保持最佳交流性能的重要考虑因素，可从三方面来定义：相位噪声特性、抖动和驱动能力。

AD9119/AD9129支持通过一个源同步、LVDS双倍数据速率(DDR)数据接口连接主机处理器。两个11位/14位LVDS数据端口(P0_DxP、P0_DxN和P1_DxP、P1_DxN)用于采样主机在DCI时钟的上升沿和下降沿输出的解交错数据。

因此，总线接口速度降至数据速率的 $1/2$ (例如 $f_{DATA}/2$)，DCI时钟工作速率为 $f_{DATA}/4$ 。

也可以将可选的奇偶校验位与数据一起发送，以增强接口的可靠性。这种情况下，可以使用一个计数器来计数奇偶校验错误，并在超过可编程阈值时，产生一个中断请求(IRQ)。

AD9119/AD9129为主机提供一个DCO时钟，它与DCI时钟频率相同，以建立同步操作。一个具有可编程相位偏移的延迟锁定环(DLL)用于产生一个具有最佳边沿位置的内部采样时钟，以便LVDS DDR接收器正确锁存输入数据。数据锁存到AD9119/AD9129中时，一个8样本深FIFO用于交接主机与AD9119/AD9129时钟域之间的数据。FIFO可以利用外部同步信号 f_{SYNC} 复位，确保流水线延迟一致。流水线延迟是指从样本锁存到数据端口至它出现在DAC输出端的时间，取决于所选的配置(参见“流水线延迟”部分)。

解交错数据传入AD9119/AD9129的内部时钟域后，重新组装为原数据流。由于DAC的四开关架构在DACCLK信号的上升沿和下降沿均可更新输出，因此还有以下两种工作模式可用：

- 可以选择2倍插值滤波器，以将有效DAC更新速率(f_{DAC})提高到输入数据速率的2倍，从而简化模拟后置滤波要求，并降低目标基带区域中混叠谐波的影响。
- 混合模式选项实质上是在下降沿产生互补样本，使得原奈奎斯特频谱移至 f_{DACCLK} ，DAC的sinc零点落在 $2 \times f_{DACCLK}$ 。

高速DAC的数字域与混合信号域之间的数字交接对于保护其输出动态范围至关重要。一个具有可编程相位偏移的锁相环(PLL)用于优化这两个时钟域之间的时序交接。接收到稳定的DACCLK信号之后，在初始启动序列期间，状态机用于初始化DLL和PLL。完成这两个环路的初始化之后，它们保持最佳时序对齐，不随温度、时间和电源变化而改变。AD9119/AD9129还提供IRQ功能，用于监控DLL、PLL和其它内部电路。

LVDS数据端口接口

AD9119/AD9129能以最高达2.85 GSPS的输入数据速率工作。主机与AD9119/AD9129之间使用一个源同步LVDS接口，用以支持如此高的数据速率并简化接口。如图129所示，主机以 $\frac{1}{2}$ 的DAC时钟速率(即 $f_{\text{DACCLK}}/2$)将解交过输入数据提供给AD9119/AD9129的两个11/14位LVDS数据端口(P0_DxP、P0_DxN和P1_DxP、P1_DxN)。除输入数据外，主机还以 $f_{\text{DACCLK}}/4$ 的速率提供一个嵌入式DDR数据时钟输入(DCI_x)。

一个DLL电路(设计采用350 MHz到712.5 MHz的DCI时钟速率工作)用于产生DCI的相移版本，称为数据采样时钟(DSC)，用以记录上升沿和下降沿上的输入数据。

如图130所示，DCI时钟沿必须与数据位跃迁重合，偏斜和抖动应保持最小。输入数据的标称采样点是DCI时钟沿的中点，因为此点对应于数据眼的中心。这还相当于DCI时钟标称相移 90° 。

数据时序要求由最小数据有效裕量定义，取决于数据时钟输入偏斜、输入数据抖动和DLL延迟线在不同延迟设置下的变化。此裕量是将数据周期减去所有数据偏斜、数据抖动和阻挡窗口(KOW，等于建立和保持时间之和)而得到，如下式所示：

$$t_{\text{DATA VALID MARGIN}} = t_{\text{DATA PERIOD}} - t_{\text{DATA SKEW}} - t_{\text{DATA JITTER}} - (t_{\text{H}} + t_{\text{S}})$$

阻挡窗口(建立和保持时间之和)是指不得发生数据跃迁的区域。时序裕量允许自动或手动调整DLL延迟设置(参见图130)。

图130显示DSC信号的理想位置与DCI输入相差 90° 。然而，由于DCI相对于数据的偏斜，可能需要改变DSC相位偏移，使得数据采样发生在其眼图的中心。采样时刻可以通过调整标称 90° DLL相移值(寄存器0x0A的位[3:0])，以离散增量形式改变。以下公式定义相位偏移关系：

$$\text{相位偏移} = 90^\circ \pm n \times 11.25^\circ, |n| < 8$$

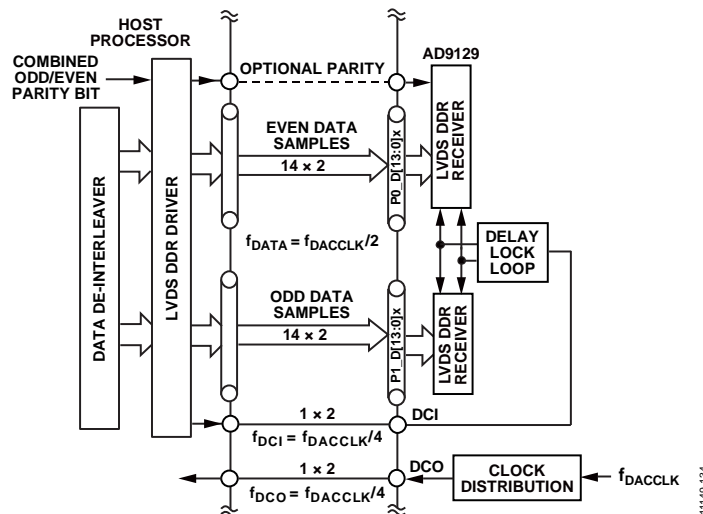


图129. AD9119/AD9129与主机处理器之间的建议数字接口

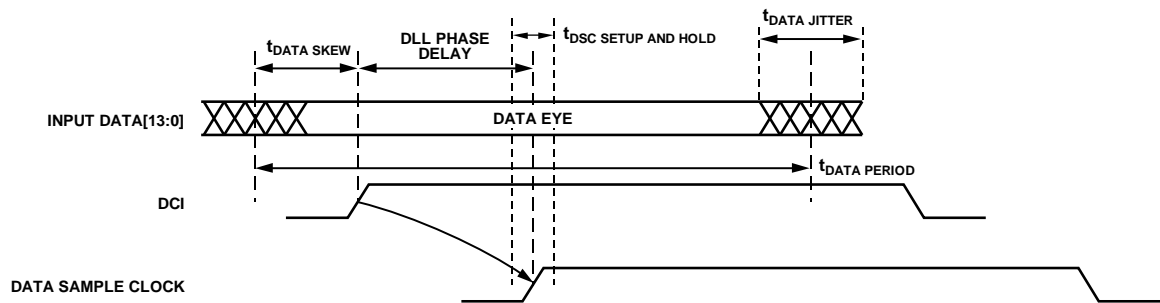


图130. LVDS数据端口时序要求

AD9119/AD9129

图131显示了DSC相对于DCI信号和数据信号的建立和保持时间。

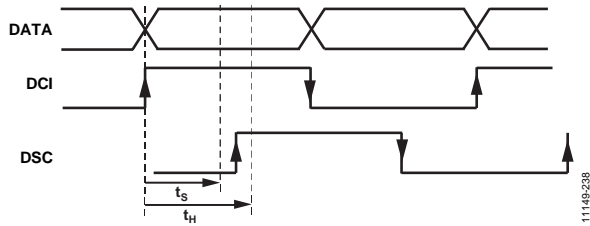


图131. LVDS数据端口建立和保持时间

表11显示了计算数据有效裕量所需的各种DAC时钟频率的典型时间。可供用于调整DSC采样点的裕量可通过表11确定。

表10列出了所有工作条件下均保证的值。这些值的测量条件为50%占空比和450 mV p-p的DCI摆幅。为实现最佳性能，占空比变化应小于±5%，DCI输入应尽可能高，最高可达800 mV p-p。

图10. 数据端口建立和保持时间窗口(保证值)

频率, f_{DAC} (MHz)	时间(ps)	DLL相位下的数据端口建立和保持时间(ps)		
		-3	0	+3
1600	t_s	-272	-489	-683
	t_H	682	911	1120
2300	t_s	-168	-292	-420
	t_H	564	705	839
2800	t_s	-88	-185	-285
	t_H	457	559	652

图11. 数据端口建立和保持时间窗口(典型值)

频率, f_{DAC} (MHz)	时间 (ps)	DLL相位下的数据端口建立和保持时间(ps)												
		-6	-5	-4	-3	-2	-1	0	+1	+2	+3	+4	+5	+6
1400	t_s	-106	-205	-274	-353	-436	-523	-604	-680	-798	-906	-993	-1064	-1131
	t_H	426	499	571	651	730	813	900	977	1069	1152	1235	1303	1387
1500	t_s	-124	-197	-291	-351	-453	-524	-600	-670	-732	-815	-908	-982	-1071
	t_H	427	490	556	637	713	795	870	942	1025	1100	1181	1241	1320
1600	t_s	-120	-191	-252	-335	-402	-495	-552	-626	-704	-776	-847	-902	-978
	t_H	421	485	550	619	689	760	836	910	989	1049	1128	1195	1250
1700	t_s	-111	-184	-226	-301	-370	-442	-528	-580	-641	-719	-784	-822	-895
	t_H	382	429	489	549	619	700	762	825	907	970	1032	1095	1151
1800	t_s	-93	-133	-209	-265	-326	-401	-475	-524	-596	-646	-709	-765	-823
	t_H	400	442	492	555	617	677	754	816	883	950	1003	1061	1122
1900	t_s	-90	-139	-182	-254	-298	-359	-430	-496	-547	-593	-663	-700	-765
	t_H	398	443	488	535	593	664	717	778	849	900	963	1021	1070
2000	t_s	-82	-122	-170	-220	-272	-346	-399	-452	-517	-565	-607	-660	-713
	t_H	389	423	468	522	571	625	683	733	789	854	908	958	1015
2100	t_s	-87	-133	-161	-206	-274	-331	-384	-443	-488	-540	-586	-623	-675
	t_H	370	409	451	491	536	592	636	696	751	794	855	911	954
2200	t_s	-94	-143	-182	-245	-283	-334	-378	-427	-487	-521	-565	-604	-659
	t_H	415	453	487	523	571	622	673	722	778	818	859	908	956
2300	t_s	-93	-131	-182	-227	-270	-312	-357	-388	-439	-485	-531	-570	-623
	t_H	390	422	456	500	542	595	644	686	731	778	821	858	902
2400	t_s	-130	-156	-196	-244	-277	-313	-366	-404	-457	-496	-534	-560	-615
	t_H	426	459	494	529	567	607	653	698	731	769	815	862	911
2500	t_s	-73	-106	-142	-177	-216	-258	-308	-348	-394	-430	-458	-486	-535
	t_H	370	407	433	467	502	546	582	619	662	702	740	780	828
2600	t_s	-43	-76	-115	-145	-184	-228	-275	-306	-351	-375	-402	-443	-491
	t_H	338	369	396	430	466	503	535	567	614	652	690	725	766
2700	t_s	-54	-77	-108	-144	-179	-228	-277	-305	-336	-354	-400	-424	-471
	t_H	316	340	372	406	441	475	499	539	580	622	654	685	729
2800	t_s	-36	-72	-101	-143	-175	-208	-243	-287	-320	-347	-382	-408	-463
	t_H	335	355	379	404	442	480	511	545	575	607	638	676	717

¹ 表11给出了选定 f_{DAC} 频率的特征数据。其它频率也是可行的，表11可用来估计相应的性能。

最大程度地扩大DCI和数据信号中眼的开口，可以提高数据端口接口的稳定性。主机处理器与AD9119/AD9129输入之间应使用等长的差分控制阻抗走线。为确保跃迁与数据位重合，应将DCI实现为额外的数据线，由用于数据的输出驱动器为其提供交替(010101...)位序。

为使主机与AD9119/AD9129同步工作，AD9119/AD9129将与DCI相同的速率(即 $f_{\text{DACCLK}}/4$)向主机提供数据时钟输出DCO。注意，相对于DCO，DCI信号可以具有任意相位对齐，因为AD9119/AD9129的DLL可确保这两个时钟域(即主机处理器和AD9119/AD9129的数字内核)正确交接数据。

AD9119/AD9129的默认复位状态是禁用DCO信号。要将其使能，应将1b写入寄存器0x0C的位6。DCO输出电平由寄存器0x7C的位[7:6]控制。默认设置为01b或2.8 mA，但若需要更高的摆幅，可以将其提高到最大4 mA (11b)。

DCI信号内部交流耦合；因此，移除DCI信号时，由于DCI输入的随机性，DAC输出可能会震颤。为了避免震颤，当DCI信号不存在时，建议禁用DAC输出，也就是将1b写入寄存器0x01的DAC输出电流掉电位(位6)。当DCI信号重新出现时，可将0b写入寄存器0x01的位6以使能DAC输出。DAC输出上电时间约为2 μs 。

读取地址0x0E处的数据状态寄存器，可以轮询DLL的状态。位0表示DLL正在运行并尝试锁定；当DLL锁定时，位7置1b。检测到有效数据时钟时，位2置1b。地址0x0E中的警告位(位[6:4])可用来指示DAC可能工作在延迟线中的非理想位置。注意，这些位以SPI端口速度读取，远远低于DLL的实际速度。这意味着，这些位只能显示所发生事情的快照，而不能提供实时反馈。

温度效应

在工作温度范围内，延迟线的长度会略有变化，延迟单元造成的延迟量也会因为温度变化而略有扩大或缩小。这可能导致以下情况：在某一极端温度时，DLL锁定，但随着温度变化，DLL可能处于失锁状态(参见图132)。

在图132所示的例子中，DLL在低温下锁定 90° 的相位设置0。随着温度升高，延迟线长度改变，控制器调整DLL控制电压以保持 90° 偏移。这种情况下，需要一个超出可接受控制电压范围的电压来保持 90° 相位偏移。

失锁前，DLL控制器将寄存器0x0E的位6设为1b，并将位5或位4设为1b，发出一个DLL警告。这一设置表示DLL接近失锁。如果DLL就要达到延迟线的起点，控制器将把寄存器0x0E的位5和位6设为1b，发出一个起点警告。这一设置表示DLL处于延迟线的起点，即将失锁。

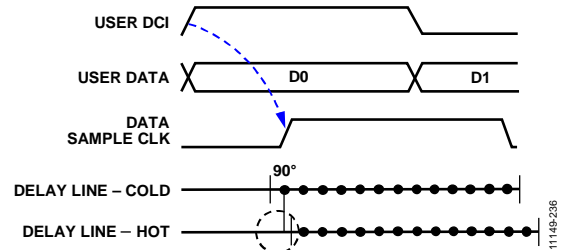


图132. DLL长度随温度变化的示例

在延迟线的终点也会发生类似情况，此时发出的是DLL警告和DLL终点警告。当寄存器0x0E的位4和位6设为1b时，表示DLL终点。

出现DLL警告时，必须采取行动来防止失锁。对于起点警告，应通过移除一个或多个延迟单元来降低延迟线的最小延迟。这可通过将寄存器0x70和0x71的一些位设为0b来实现。首先将寄存器0x70的位0设为0b，然后设置位1，以此类推。某些情况下，可能需要禁用三个延迟单元。最多可以禁用六个延迟单元。但在大多数情况下，一个单元也不需要禁用。具体情况随着所需的温度范围和所用的DACCLK信号速率而有所不同。终点警告是一种理论上的可能性，但在实际应用中，一般无法达到终点。如果发出终点警告，DLL必须立即重新锁定。DLL初始锁定(或重新锁定时)，所有延迟单元都必须有效，寄存器0x70和0x71中的所有延迟单元位都设置为1b。

奇偶校验

通过使能寄存器0x5C的奇偶校验位特性(位7)，并将寄存器0x07的位[1:0]设为1(十进制)以将FRM_P、FRM_N引脚(引脚K13和K14)配置为奇偶校验引脚，可以连续监控数据接口。采用这种引脚配置时，主机在发送各数据样本的同时，还会发送一个奇偶校验位。此位根据以下公式进行设置，其中n是所检查的数据样本。

对于AD9129的偶校验，

$$\text{XOR}[\text{FRM}(n), \text{P0_D0}(n), \text{P0_D1}(n), \text{P0_D2}(n), \dots, \text{P0_D13}(n), \text{P1_D0}(n), \text{P1_D1}(n), \text{P1_D2}(n), \dots, \text{P1_D13}(n)] = 0.$$

对于AD9129的奇校验，

$$\text{XOR}[\text{FRM}(n), \text{P0_D0}(n), \text{P0_D1}(n), \text{P0_D2}(n), \dots, \text{P0_D13}(n), \text{P1_D0}(n), \text{P1_D1}(n), \text{P1_D2}(n), \dots, \text{P1_D13}(n)] = 1.$$

AD9119/AD9129

对于AD9119，数据端口是11位而不是14位，因此在计算奇偶校验位时，不使用P0_D11、P0_D12、P0_D13、P1_D11、P1_D12和P1_D13。所以，AD9129的奇偶校验位计算使用29位(包括帧/奇偶校验位)，AD9119则使用23位。

如果发生奇偶校验错误，奇偶校验错误计数器(寄存器0x5D或0x5E)就会递增。由DCI上升沿采样的数据位发生奇偶校验错误时，奇偶校验上升沿错误计数器(寄存器0x5D)递增，奇偶校验错误上升沿位(寄存器0x5C的位0)置1。由DCI下降沿采样的数据位发生奇偶校验错误时，奇偶校验下降沿错误计数器(寄存器0x5E)递增，奇偶校验错误下降沿位(寄存器0x5C的位1)置1。奇偶校验计数器不断累积，直到被清0或达到最大值255。将1b写入寄存器0x5C的位5可以使计数器清0。

将1b写入寄存器0x04的位2(针对基于上升沿的奇偶校验检测)或写入寄存器0x04的位3(针对基于下降沿的奇偶校验)，可以使能一个IRQ在发生奇偶校验错误时触发。

IRQ的状态可以通过寄存器0x06的位2、寄存器0x06的位3或IRQ引脚测得。如果使用IRQ引脚，并且使能多个IRQ，则发生IRQ事件时，应检查寄存器0x06的位[3:2]，确定IRQ是否由奇偶校验错误引起。将1b写入寄存器0x06的位2或位3，也可以使IRQ清0。

奇偶校验位特性也可用于验证接口时序。如上所述，主机提供奇偶校验位和数据样本，并且配置AD9119/AD9129产生IRQ。然后，用户可以扫描AD9119/AD9129输入寄存器的采样时刻，确定在哪一点发生采样错误。

数字数据路径描述

图133详细显示了AD9119/AD9129的数字数据路径。内置DDR时钟的22/28位数据路径与两个11/14位输入数据端口接口。DCI的每个时钟沿捕捉两个11/14位样本，因此每个DCI时钟周期捕捉四个连续样本。在DCI上升沿捕捉的样本以DACCLK/2 (DDR)的速率通过上半部分传输，在下降沿捕捉的样本则通过下半部分传输。

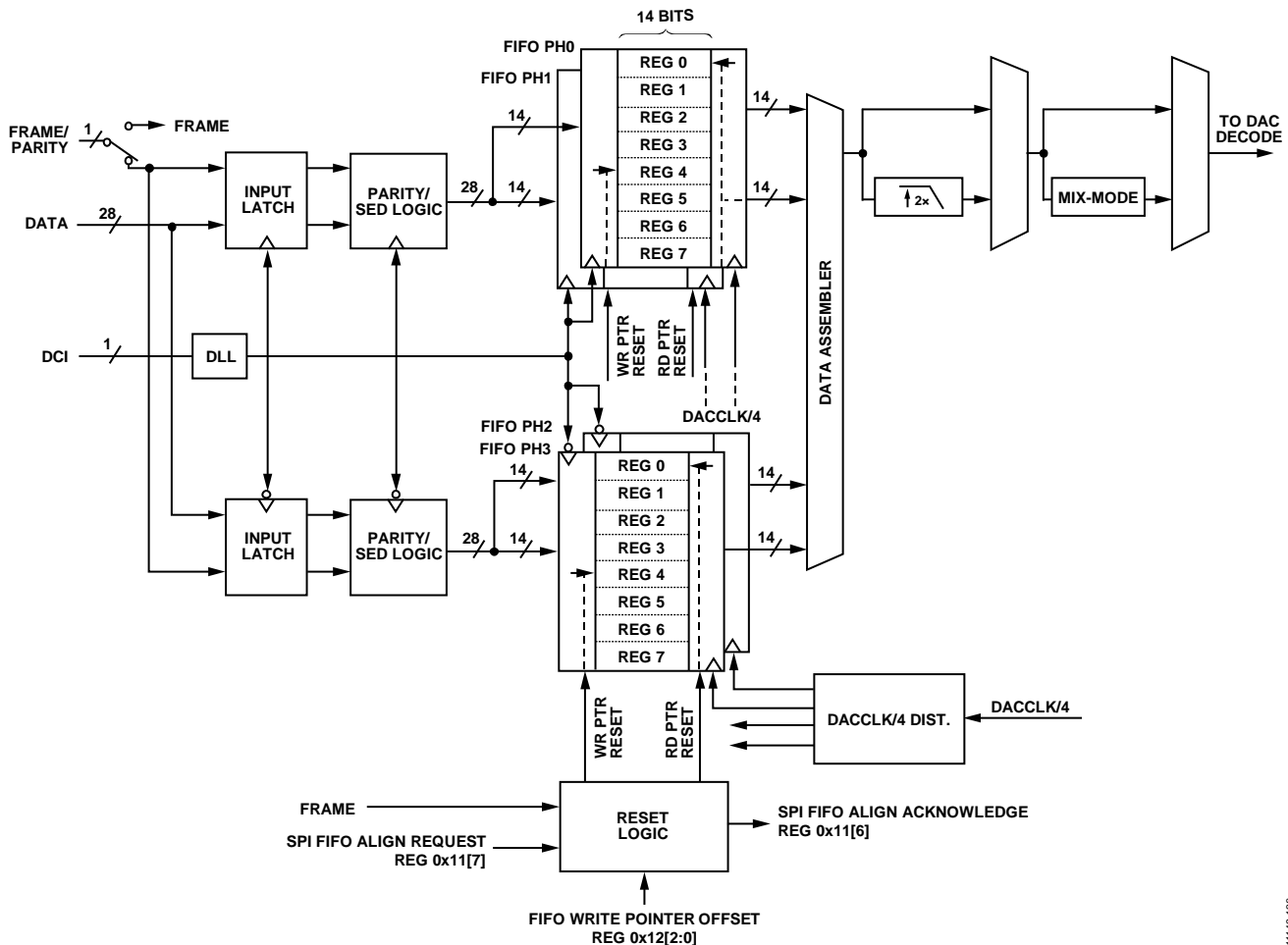


图133. AD9119/AD9129的数字数据路径

捕捉到输入数据后，数据通过一个逻辑模块，由该模块监控和/或确定高速数字数据接口的信号完整性。可选的奇偶校验用于逐样本地监控数字接口，采样错误检测(SED)可用于验证输入数据接口，以便进行系统调试/测试。注意，FRAME和PARITY信号使用相同的引脚分配，因为FRAME信号通常用在系统初始化期间(用于FIFO同步)，PARITY则用于正常工作。

FIFO描述

数据路径的下一个功能模块包括4个8寄存器深的FIFO。双端口数据在DCI信号的上升沿和下降沿输入FIFO。FIFO充当一个缓冲器，能够吸收数据源与DAC之间的时序偏差，例如FPGA或ASIC的时钟与数据偏差。为获得最大时序裕量，FIFO水平应保持接近半满状态(即写指针与读指针值相差4)。写指针的值决定输入数据写入哪一个FIFO寄存器，读指针的值决定从哪一个寄存器读取数据并送入数据组装机。每次加载新数据以及从FIFO读取数据时，写指针和读指针就会相应地更新。

只要FIFO没有溢出或者变空，就会通过FIFO传输有效数据。注意，FIFO溢出或变空相当于写指针与读指针相等。当两个指针相等时，就会尝试同时读取和写入一个FIFO寄存器。这种寄存器同时访问会导致通过FIFO的数据传输不可靠，必须避免，方法是确保数据写入FIFO的速率与从FIFO读取数据的速率相同，使得FIFO中的数据水平保持恒定。必须确保DCI等于DACCLK/4(或DCO)以满足此条件。

复位FIFO数据水平

为了确保实现4样本间隔并提供确定的流水线延迟，FIFO需要初始化。如果上电时钟运行，FIFO将初始化到半满状态。AD9119/AD9129的内部延迟可使FIFO指针偏移2，因此从寄存器0x13到0x16回读的最佳FIFO数据水平(4，中间)为2(0000011b)。为此，复位FIFO之前应将寄存器0x12设置为0x20(十六进制)，从而将读指针设为2级，将写指针设为0级。

为了最大程度地提高DCI输入与内部DAC数据速率时钟之间的时序裕量，应在数据传输开始之前初始化FIFO数据水平。FIFO数据水平的值可通过三种方式初始化：复位器件、选通FRM_x输入以及对串行端口执行一个写序列。

首选的两种方法是使用FRAME信号和对串行端口执行一个写序列。初始化FIFO数据水平之前，LVDS DLL和DAC时钟PLL必须锁定。

FRM_x输入可用来初始化FIFO数据水平。首先，设置帧模式的FRM_N和FRM_P引脚(寄存器0x07的位[1:0] = 2)。然后，将FRAME信号置位高电平并持续至少一个DCI时钟周期。以这种方式置位FRAME信号时，写指针将在下次读指针变为0时设置为4(默认值，或者设置为FIFO起始水平，寄存器0x12的位[2:0])，参见图134。

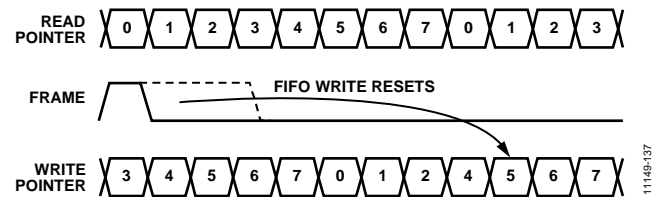


图134. 帧输入的时序与写指针值的关系

要通过串行端口初始化FIFO数据水平，寄存器0x11的位7必须从0b变为1b。当对该寄存器的写操作完成时，FIFO数据水平完成初始化。

串行端口FIFO数据水平初始化的推荐步骤如下：

1. 将寄存器0x11的位7置1b，以请求复位FIFO水平。
2. 通过确保寄存器0x11的位6设为1b，验证器件已对该请求做出应答。
3. 将寄存器0x11的位7设为0b，以撤除该请求。
4. 通过确保寄存器0x11的位6设为0b，验证器件已撤销应答信号。

FIFO状态监控

FIFO相对数据水平可以随时从寄存器0x13至0x16读取。串行端口报告的FIFO数据水平表示为在绝对读计数器为0时写计数器状态的7位温度计编码。

例如，FIFO数据水平2在状态寄存器中报告的值为0000011b。此值加上内部延迟2，报告的FIFO水平便等于4。应当注意，根据DCI与主DACCLK信号之间的时序关系不同，FIFO水平值可能有±1的出入。因此，读写指针的差值至少必须为2。

多DAC同步

多个AD9119/AD9129同步意味着：在同一时刻将相同数据码(连同DCI)送入所有器件时，所有DAC输出的时序都与同一相位对齐。FIFO初始化确保FIFO的初始流水线延迟设置为四个样本并保持此水平，假设主机与AD9119/AD9129时钟域之间不存在工艺、电压或温度偏差。

AD9119/AD9129

图136显示了一个例子，两个AD9119/AD9129器件与相同主机(即FPGA和ASIC)同步。注意，使用相同的资源产生这些输出信号时，与单一主机IC同步可确保器件间的数据和DCI时间偏斜最小。

数据样本内的同步要求知道主从器件的读指针之差，并且能够改变主机内从器件的延迟，以补偿器件间的初始偏差。从器件相对于主器件偏移多少数据样本是可以计算的，原因如下：

- FIFO初始化之后，各器件的流水线延迟相同。(FIFO复位)
- 各器件的读指针是从相同的相位对齐DACCLK源获得。
- 各器件读指针的状态是通过FRAME信号在相同的时刻进行采样。
- 回读值(寄存器0x12 [6:4])归一化到一个数据样本(即一个DACCLK周期)。

通过计算主从器件的读指针设置之差，用户可以加快或延迟FPGA内从器件的数据流。由于此差值最大为 ± 4 个数据样本，因此FPGA为DAC同步单独提供这一调整范围。注意，为了补偿其它系统延迟差异，还必须进一步扩大此范围。

除了与数据样本水平同步以外，AD9119/AD9129还能与DACCLK水平同步(参见图135)。1.8 V CMOS输出引脚SYNC可用来提供DACCLK/8信号。利用各DAC的SYNC输出(通过设置寄存器0x1A的位4 = 1使能)，用户可以创建一个采用外部XOR门的简单鉴相器。

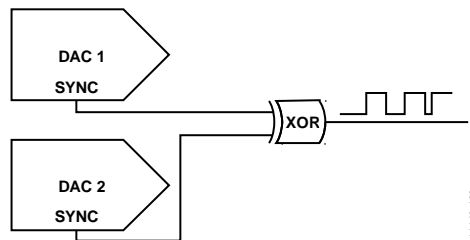


图135. 两个DAC的同步示例，精度达 ± 1 DACCLK

通过调整内部延迟(每次写入寄存器0x1A的位7或位6，便递增或递减一个DACCLK周期)，考虑到外部鉴相器、低通滤波器和延迟差的误差，用户可以将两个DAC内的DACCLK对齐到 ± 1 DACCLK周期范围内。现有相位位置可

从寄存器0x1A的位[2:0]读取。DAC同步后，寄存器0x1A位[2:0]中的每个DAC数值可以各不相同。先对齐SYNC输出，然后复位各DAC的FIFO，确保实现正确同步。

每次上电都必须执行此校准，因为根据时钟分配模块的4分频输出，FIFO可以复位到四个水平中的任何水平(参见图133)。例如，复位到2级的FIFO，根据4分频时钟沿的位置不同，其实际FIFO水平可以是1.5、1.75、2或2.25。调整SYNC信号以彼此对齐可消除这种不确定性。根据Sync寄存器(寄存器0x1A，位[2:0])中的设置，当DAC同步时，每个DAC上的FIFO水平不必匹配(即可以各不相同)。

FIFO的置位或复位水平始终为整数(建议值为2)。由于这个原因，FIFO可能在小数水平翻转到整数水平(比如1.75到2.0)的边界处复位。本例中，可能产生一种效应，导致FIFO读取水平在最后一次读取之前增加，将水平从1.75转换到2.75，从而有效地将水平设为3而非2。通过输出端的似乎4个DAC样本失调可观察到该效应。为了避免这个问题(在清空上一次读取的数据之前置位FIFO)，必须复位FIFO，然后进行回读，以了解其水平。如果这是一个整数，建议将DCI提前或延后1个与FIFO有关的DACCLK周期。如果DCO用作DCI的时序参考，那么该操作必须在FPGA中完成。如果无法在FPGA中完成该操作，则不建议使用DCO产生DCI，以便对两个时钟去耦并使能这一必要的相移操作。如果从DCO单独生成DCI，则1 DACCLK的延后或提前可通过两个DAC的SYNC输出以同方向各增加或减少1来实现。

两个DAC对齐后，一个DAC的SYNC信号随温度和电源电压的漂移相对于另一个DAC预期不超过450 ps。

DCO信号源自SYNC信号，如果SYNC信号调整一个DACCLK周期，DCO信号也将调整相同的量。

完成SYNC信号的所有调整后，建议设置寄存器0x1A的位4 = 0以禁用SYNC输出，从而消除可能的时钟杂散信号源。

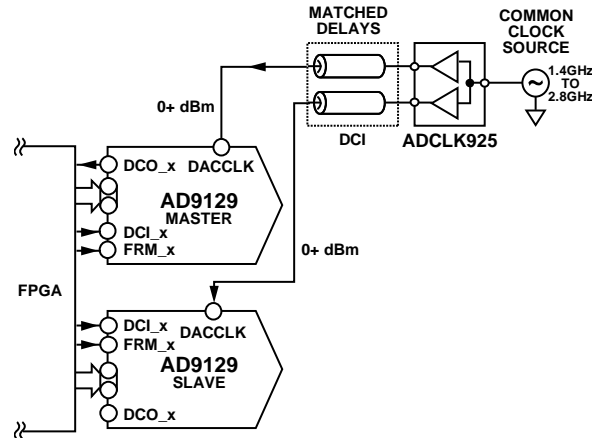


图136. 两个DAC与一个FPGA同步的示例

数据组装器和信号处理模式

数据组装器用于重构原样本序列。它包括一个4:1多路复用器，工作频率为 f_{DACCLK} 。各FIFO提供一个样本，现在参考的是AD9119/AD9129的内部时钟域 f_{DACCLK} 。重构的样本序列可以送入DAC解码逻辑或接受其它信号处理。在2倍插值模式下，使用一个FIR滤波器产生一个新的数据样本并将其插入各样本之间，使得它可在DACCLK的下降沿更新DAC解码逻辑。在混频模式下，产生各数据样本的互补样本并插入其后，使得它也能以相似方式更新DAC。2倍插值器可以在混频模式使能的情况下使用。

2倍数字滤波器

AD9119/AD9129内置一个可旁路的2倍半带插值滤波器，有助于简化模拟重构滤波器。该滤波器的潜在好处是可以降低目标基带区域中折回谐波的影响。该滤波器以双沿时钟模式工作，在每个交替DACCLK边沿产生一个新的插值样本值。这就将DAC更新速率提高到 $2 \times f_{\text{DACCLK}}$ ，DAC的sinc响应零点从 f_{DACCLK} 变为 $2 \times f_{\text{DACCLK}}$ 。

通过寄存器0x18的位7使能2倍插值器时，有两个不同的滤波器(FIR25和FIR40)可供使用，利用寄存器0x18的位5可以选择使用哪一个滤波器。

FIR25半带滤波器提供25 dB的阻带抑制，其响应如图137所示。系数已针对实际应用进行优化；对于一个多载波应用(例如DOCSIS)，数字主机通过调整各通道功率，可以补偿 ± 0.5 dB通带纹波效应。注意，任意6 MHz通道上的最差情况倾斜小于 -0.05 dB。

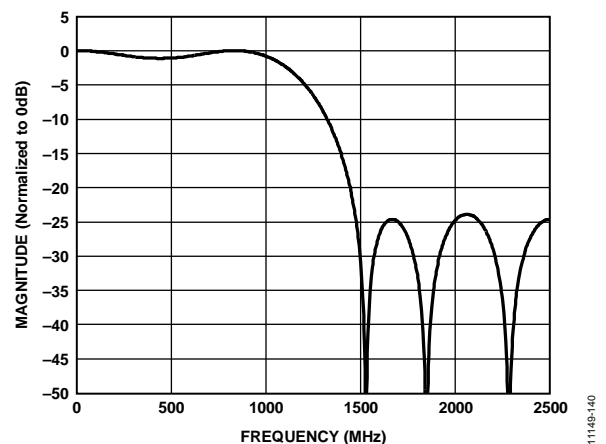
FIR40半带滤波器提供40 dB的阻带抑制，其响应如图139所示。系数针对多载波应用(例如DOCSIS)进行选择，目的是

降低通带纹波和提高带外抑制性能。因此，频率响应应具有更平坦的带内响应和更陡的跃迁区，缺点是相位数更高，导致流水线延迟和功耗也更高。这两个滤波器的特性比较参见表12。

表12. 两个2倍插值滤波器的特性

滤波器	纹波(dB)	衰减(dB)	功耗(mW)
FIR25	± 0.5	25	150
FIR40	± 0.1	40	450

DACCLK时钟接收器之后有一个占空比恢复电路，用来将占空比误差对镜像抑制的影响降至最低。

图137. FIR25 2倍插值滤波器曲线，完整的频率响应； $f_{\text{DAC}} = 2.5$ GHz

AD9119/AD9129

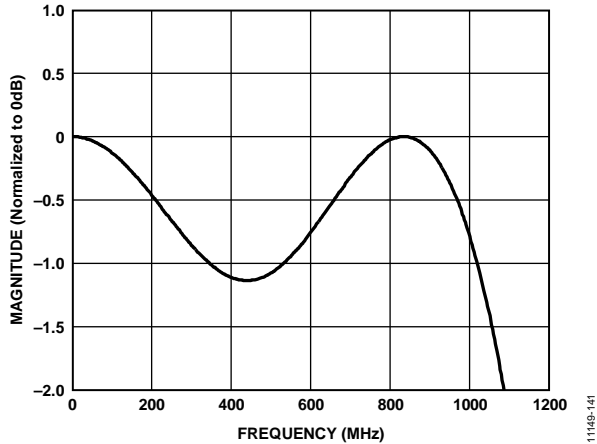


图138. FIR25 2倍插值滤波器曲线，通带纹波； $f_{DAC} = 2.5$ GHz

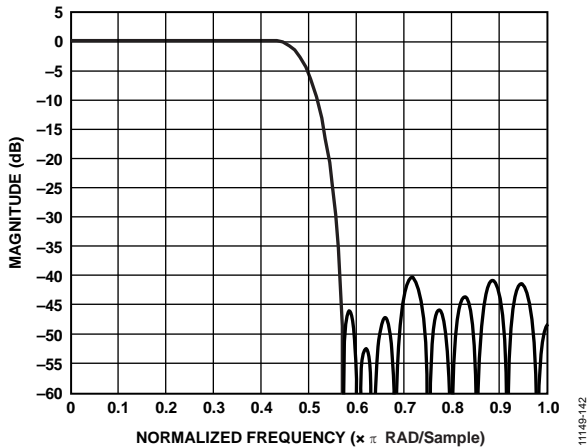


图139. FIR40 2倍插值滤波器曲线，完整的频率响应

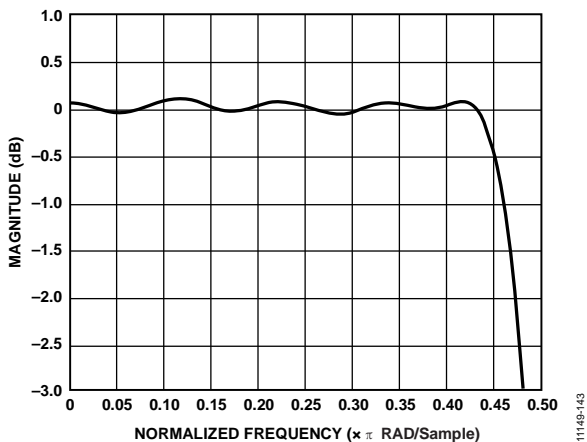


图140. FIR40 2倍插值滤波器曲线，通带纹波

流水线延迟

AD9129的流水线延迟取决于所选的配置，可利用下式计算：

$$\text{总流水线} = \text{流水线延迟} + 2\text{倍延迟} + \text{群延迟} + \text{FIFO水平}$$

根据所选的工作模式，可以使用表13所列的值。

表13. 各模块的流水线延迟值

模式	流水线延迟 (f_{DAC} 周期)	群延迟 (f_{DAC} 周期)	总流水线 (f_{DAC} 周期)	总延迟 (f_{DAC} 周期)
无2倍滤波器	74	N/A	74	74
使用FIR25	43	2	117	119
使用FIR40	67	9	141	150

表13中的各项定义如下：

- 流水线延迟是从DAC代码锁存到DAC输出开始移动的时间。
- 群延迟是最大幅度脉冲到达DAC输出的时间，比较对象是输出首次移动。
- 无2倍滤波器是基本流水线延迟，包括数据接口、模拟电路(6周期)和处于半满/位置3的数据FIFO。
- FIR25是提供25 dB带外抑制的2倍插值器。
- FIR40是提供40 dB带外抑制的2倍插值器。

注意，这些流水线延迟值既适用于正常模式，也适用于混频模式。计算出数字模块的总延迟后，加上FIFO水平便可得到总流水线延迟。注意，流水线延迟可以被视为固定值，唯一不确定的因素是FIFO状态。FIFO状态可以作为启动序列的一部分进行初始化，确保4样本间隔，因而流水线延迟是确定的值(更多信息参见“复位FIFO数据水平”部分)。

为使多个上电周期的流水线延迟保持一致，DAC的SYNC输出必须与一个已知系统同步参考对齐。每次上电后，应执行与DAC同步过程(更多信息参见“多DAC同步”部分)相似的校准程序，使DAC与系统同步参考对齐。

上电时间

AD9119/AD9129有一个掉电寄存器(寄存器0x01)，用户可以利用它关断DAC的各个部分。表14给出了多种使用情形的上电时间。

AD9119/AD9129的推荐上电方式是让电路的所有部分上电， I_{REF} 禁用(设置寄存器0x01的位6 = 1b)，然后设置寄存器0x01的位6 = 0b以启用 I_{REF} 。

表14. 多种使用情形的上电时间

状态	寄存器状态	时间(μ s)
上电	从0x01 = 0xEF到0x01 = 0x08	250
时钟路径上电	从0x01 = 0x0C到0x01 = 0x08	220
唤醒	从0x01 = 0x48到0x01 = 0x08	2

中断请求

AD9119/AD9129可以向主机处理器提供一个中断请求信号(IRQ)，表示发生以下一个或多个事件：

- 一个时钟控制器已锁定或失锁。
- 发生奇偶校验错误。
- 采样错误检测状态或结果为就绪。
- FIFO接近覆盖状态。

IRQ输出信号是一个低电平有效输出信号，通过IRQ引脚(引脚H2)提供。若使用，应通过一个10 kΩ上拉电阻将该输出连接到VDD。

各IRQ通过设置寄存器0x03和0x04中的使能位来使能，这两个寄存器中的位映射与寄存器0x05和0x06中的IRQ状态位映射相同。如果某个中断位未使能，则读取该位的请求将是直接回读中断源的当前状态。因此，读取任一寄存器的请求都会显示该寄存器中所有八个中断的当前状态，无论各位实际上是否使能中断产生。某个中断位使能时，它会捕捉中断源的上升沿并保持住，即使中断源随后回到零状态。例如，当一个控制器暂时失锁，但在主机处理IRQ之前便重新锁定，则重定时器失锁中断使能和重定时器锁

定中断使能状态位(寄存器0x03[1:0])可能置1。这种情况下，主机应回读当前状态位，验证可疑模块的当前状态。根据这些位的状态，主机可以视需要采取适当的行动。

IRQ引脚仅对已使能的中断做出响应。若要清除一个IRQ，必须将1b写入寄存器0x05或0x06中引起该中断的位。图141显示了中断电路的详图。

IRQ也可以在AD9119/AD9129上电后的初始化期间使用，以确定重定时器PLL和数据接收控制器何时实现锁定。例如，使能重定时器PLL之前，可以将重定时器中断使能位(寄存器0x03[0])置1，并监控IRQ输出信号以确定何时锁定，然后以类似方式处理数据接收控制器。锁定后，清除相关的锁定位，然后继续处理下一控制器。所有控制器均锁定后，设置寄存器0x03中的适当失锁使能位以连续监控控制器有无失锁。

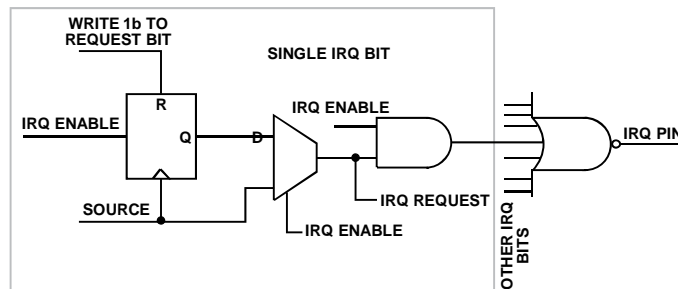


图141. 中断请求电路

表15. 中断请求寄存器

地址(十六进制)	位	位的名称	描述
0x05	7	FIFO_Warn2中断状态	表示FIFO在覆盖的两个时隙内
	6	FIFO_Warn1中断状态	表示FIFO在覆盖的一个时隙内
	5	SPIFrmAck中断状态	表示确认SFrmReq位已从0b变为1b
	4	保留	保留
	3	DLL警告中断状态	表示DLL接近解锁，需要采取行动
	2	DLL锁定中断状态	表示DLL现已锁定
	1	重定时器丢失中断状态	表示重定时器PLL不再锁定
	0	重定时器锁定中断状态	表示重定时器PLL现已锁定
0x06	7	保留	保留
	6	AED通过中断状态	表示AED逻辑已捕捉到8个有效样本
	5	AED失败中断状态	表示AED逻辑已检测到比较错误
	4	SED失败中断状态	表示SED逻辑已检测到比较错误
	3	奇偶校验错误下降沿状态	表示奇偶校验故障，原因是下降沿上捕捉到的数据
	2	奇偶校验错误上升沿状态	表示奇偶校验故障，原因是上升沿上捕捉到的数据
	1	保留	保留
	0	保留	保留

接口时序验证

AD9119/AD9129片内集成采样错误检测(SED)电路,可以简化输入数据接口的验证。SED将数字输入引脚上采集的输入数据样本与一组比较值进行比较。比较值通过SPI端口服入寄存器。SED会检测并存储采集值与比较值之间的差异。

采样错误检测(SED)的工作原理

SED电路采用一个数据集工作,该数据集由八个11/14位输入字组成,分别表示为R0L、R1L、R0H、R1H、F0L、F1L、F0H和F1H。它们代表数据端口0和数据端口1的上升沿与下降沿数据(AD9119/AD9129同时利用DCI时钟的两个边沿来对各输入端口上的数据进行采样)。为使输入样本正确对齐,数据端口的上升沿数据字(即RxL和RxH)通过置位FRAME信号并保持至少两个完整的输入采样本来表示。

图142显示了字模式下接口的输入时序。FRAME信号可以在数据传输一开始就发出,或者在与RxL和RxH数据字重合的时间间隔内重复置位。

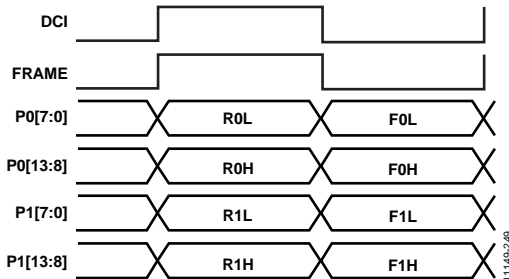


图142. SED对齐输入数据所需的FRAME信号时序图

SED有三个标志位(寄存器0x50的位0、位1和位2),用以表示输入样本比较的结果。检测到错误时,SED失败位(寄存器0x50的位0)即会置位,并且在清零之前一直保持置位状态。SED还提供寄存器来指示出现错误的具体输入数据位(寄存器0x51至寄存器0x58)。在清除之前,这些位会被锁存,并指示累计检测到的错误数。要清除SED寄存器,应将1b写入寄存器0x50的位6。

自动采样错误检测(AED)模式是一种自清零模式,具有以下两个作用:

- AED模式激活AED失败位和AED通过位(寄存器0x50的位1和位2)。
- AED模式改变寄存器0x51至0x58的行为。

如果最后一次比较显示采样无误,则比较通过位置1。如果检测到错误,则比较失败位置1。当连续接收到八个无误比较时,比较失败位自动清零。当自动清零模式使能时,寄存器0x51至寄存器0x58像前文所述一样累计错误,但连续八次采样比较无误后会复位至全0状态。

如果需要,可以将采样错误、比较通过和比较失败标志位配置为激活时触发IRQ。这可以通过使能事件标志寄存器中的相应位(寄存器0x06的位4、位5和位6)来实现。

SED示例

正常工作

下例显示了用于连续监控输入数据并在检测到一个错误时就置位IRQ的SED配置。

1. 写入下列寄存器以加载比较值:
 - a) 寄存器0x51: SED Patt/Err R0L, 位[7:0]。
 - b) 寄存器0x52: SED Patt/Err R0H, 位[13:8]。
 - c) 寄存器0x53: SED Patt/Err R1L, 位[7:0]。
 - d) 寄存器0x54: SED Patt/Err R1H, 位[13:8]。
 - e) 寄存器0x55: SED Patt/Err F0L, 位[7:0]。
 - f) 寄存器0x56: SED Patt/Err F0H, 位[13:8]。
 - g) 寄存器0x57: SED Patt/Err F1L, 位[7:0]。
 - h) 寄存器0x58: SED Patt/Err F1H, 位[13:8]。
 - i) 比较值可以任意选择;不过,如果所选值需要频繁进行位跳变,测试稳健性最佳。
2. 使能SED错误检测标志以置位IRQ引脚。
 - a) 寄存器0x04: 设置为0x10。
3. 开始发送输入数据码。
4. 三次写入寄存器0x50以使能SED。
 - a) 寄存器0x50: 设置为0x80。
 - b) 寄存器0x50: 设置为0xC0。
 - c) 寄存器0x50: 设置为0x80。

如果IRQ置位,应读取寄存器0x50和寄存器0x51至寄存器0x58,以确认检测到SED错误,并确定哪些输入位出错。寄存器0x51至寄存器0x58中的位被锁存;因此,这些位指示的是整个测试期间发生在这些位上的所有错误,而不只是导致检测到错误标志位置1的错误。

模拟接口考虑

模拟工作模式

AD9119/AD9129采用图143所示的四开关架构。在半时钟周期，仅有一对开关使能，因此需要在交替的时钟沿上使用各对开关。四开关架构的主要优势是可屏蔽传统双开关DAC架构中出现的码相关毛刺。

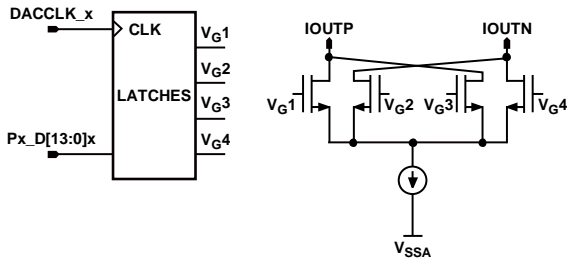


图143. 四开关架构

在双开关架构中，当开关转换发生且 D_1 和 D_2 处于不同状态时，就会产生毛刺。然而，如果 D_1 和 D_2 处于相同状态，则开关转换不会引起毛刺。这种码相关毛刺会增加DAC的失真量。在四开关架构中(无论是什么码)，总有两个开关在半时钟周期处转换，因此不会产生码相关毛刺，而是产生 $2 \times \text{DACCLK}$ 的恒定毛刺。由于这个原因，DAC输出频谱中存在 $2 \times f_{\text{DACCLK}}$ 的明显时钟杂散。

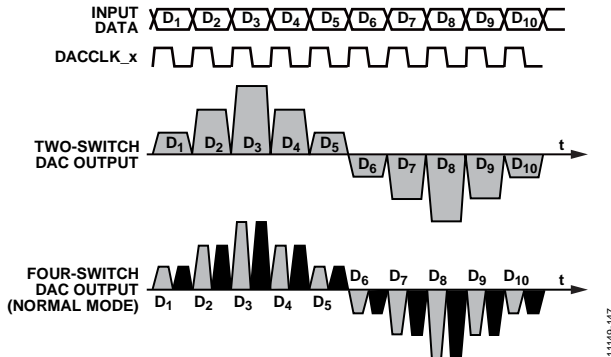


图144. 双开关和四开关DAC波形

因为四通道架构支持在每个半时钟周期进行更新，所以DAC内核可以用2倍的DACCLK速率工作，在DACCLK的上升沿和下降沿，均可将新数据样本锁存至DAC内核中。这一观念是在混频模式下或使能2倍估值滤波器的情况下使用AD9119/AD9129的基础。任一情况下，每个时钟沿均会向DAC内核提供新数据样本，不过在混频模式下，下降沿样本是上升沿样本值的互补值。

使用混频模式时，器件以DAC采样速率对输出进行有效削波。其作用是降低基频信号的功率，同时提高以DAC采样速率为中心的镜像的功率，从而提高这些镜像的动态范围。

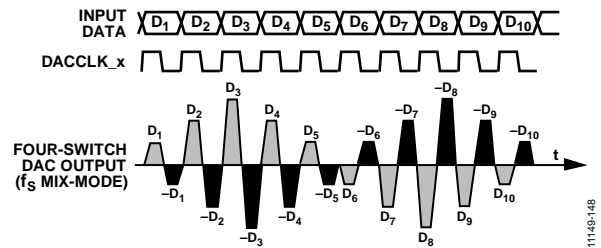


图145. 混频模式的波形

用户可以利用这种模式变换功能，根据所选的工作模式，灵活地将一个载波置于前三个奈奎斯特区中的任意位置。在基带与混频模式之间进行切换会重整DAC输出端固有的sinc滚降。在基带模式下，sinc零点出现在 f_{DACCLK} ，因为上升时钟沿锁存的样本也会在下降时钟沿再次锁存，产生与传统DAC相同的普遍sinc响应。在混频模式下，下降沿锁存的是上升沿的互补样本，因此将sinc零点推至 $2 \times f_{\text{DACCLK}}$ 。图146显示了两种模式的理想频率响应和sinc滚降。

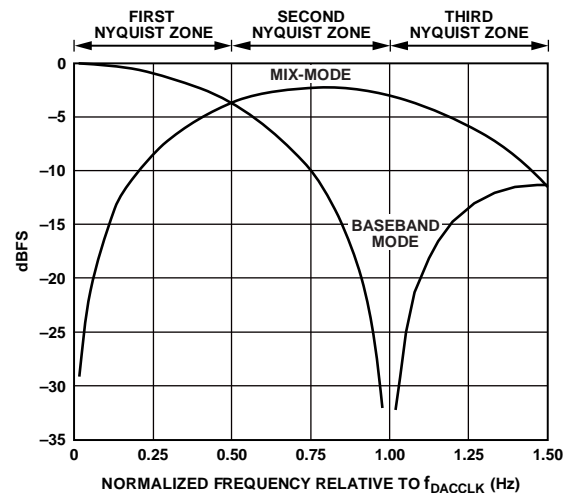


图146. 基带模式和混频模式的Sinc滚降

四开关可通过SPI(寄存器0x19的位0)配置为基带工作模式(0b)或混频工作模式(1b)。

AD9119/AD9129

时钟输入

AD9119/AD9129内置一个低抖动差分时钟接收器，能够与差分或单端时钟源直接接口。输入通过10 kΩ//2 pF的标称阻抗自偏置到1.25 V的标称中间电源电压，因此建议利用一个100 Ω的外部差分负载将时钟源交流耦合到DACCLK_x输入引脚。标称差分输入范围是1 V p-p时，时钟接收器可以在250 mV p-p到2.0 V p-p的范围内工作。

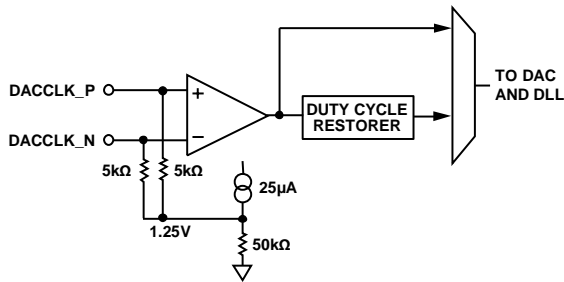


图147. 时钟输入

时钟源的质量以及它与AD9119/AD9129时钟输入端的接口，会直接影响交流性能。所选时钟源的相位噪声和杂散特性应满足目标应用的要求。时钟源指定频率偏移处的相位噪声和杂散会被直接转换为输出信号。可以证明，当DAC时钟路径贡献可忽略不计时，重构输出正弦波的相位噪声特性与时钟源的关系是 $20 \times \log_{10}(f_{OUT}/f_{CLK})$ 。(宽带噪声不是以DAC的热噪声和量化噪声为主。)

图148显示了一个基于ADF4350低相位噪声/抖动PLL的时钟源。ADF4350可提供140 MHz至4.4 GHz的输出频率，抖动低至0.5 ps rms。其经过处理的输出电平可以在-4 dBm到+5 dBm范围内变化，允许对时钟驱动电平进行进一步的优化。

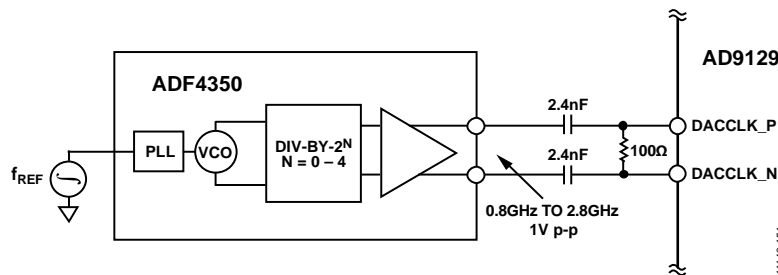


图148. DACCLK_x输入的可能信号链

时钟控制寄存器位于地址0x30。此寄存器可用来使能占空比自动校正(位1)、过零控制(位6)以及设置过零点(位[5:2])。此寄存器的推荐设置已在建议启动序列部分中列出(参见“启动序列”部分)。

PLL

DACCLK_x输入连接到一个高频PLL以确保DAC采样时钟可靠地锁定输入时钟。PLL默认使能，上电后即锁定。PLL(或DAC时钟重定时器)控制寄存器位于寄存器0x33和0x34。通过寄存器0x33，用户可以设置鉴相器相位偏移水平(位[7:4])，将PLL失锁状态位(位3)清0，选择PLL分频器以实现最佳性能(位2)，以及选择鉴相器模式(位[1:0])。这些设置是在产品特性测试期间确定，已在建议启动序列部分中给出(参见“启动序列”部分)。一般不需要更改这些值，产品特性数据也不是对推荐值以外的任何设置都有效。寄存器0x34用于在必要时复位PLL。

DACCLK = 2.85 GSPS时，锁定时间约为10 μs。多数情况下，无需对PLL进行任何操作。如果DACCLK改变，特别是多次改变时(例如在跳频应用中)，频率改变可能引起相跳或毛刺，这时可能需要复位PLL。这可以通过读取PLL重定时器失锁位(寄存器0x35的位6)来检查。若如此，应将寄存器0x34的位3先设为高电平，再设为低电平，从而触发PLL复位位。此外，将0b写入寄存器0x35的位6可清除PLL重定时器失锁位。PLL锁定与否可通过读取PLL锁定位(寄存器0x35的位7)来验证。可以利用IRQ寄存器设置这些事件的中断。更多信息请参见“中断请求”部分。

AD9119/AD9129

峰值DAC输出功率能力

差分电流输出DAC的最大峰值功率能力取决于峰值差分交流电流 I_{PEAK} 和等效负载电阻。对于具有 $50\ \Omega$ 源端接电阻的1:1巴伦, DAC交流电流源的等效负载为 $25\ \Omega$ 。如果AD9119/AD9129设置 $I_{OUTPS} = 20\ \text{mA}$, 则其峰值交流电流为 $9.375\ \text{mA}$, 提供给等效负载的峰值功率为 $2.2\ \text{mW}$ (即 $P = I^2R$)。由于1:1巴伦的源电阻和负载电阻相等, 因而此功率由二者均分。所以, 输出负载获得 $1.1\ \text{mW}$ 或 $0.4\ \text{dBm}$ 的峰值功率。

要计算提供给负载的均方根功率, 需考虑以下事项:

- 数字波形的峰值与均方根之比
- 相对于数字满量程的任何数字倒退
- DAC sinc响应和外部网络中的非理想损耗

例如, 一个无数字倒退的重构正弦波在理想情况下应测得 $-2.6\ \text{dBm}$ 的功率, 因为其峰值与均方根之比为 $3\ \text{dB}$ 。如果包括典型值 $0.4\ \text{dBm}$ 的巴伦损耗, 则在DAC sinc响应的影响可忽略不计的区域, 用户预期将测得 $-3\ \text{dBm}$ 的实际功率。要提高输出功率, 最好通过提高 I_{OUTPS} 来实现。

输出级配置

AD9119/AD9129设计用于需要宽信号重构带宽(即DOCSIS电缆调制解调器终端系统(CMTS))和/或高IF/RF信号产生的高动态范围系统。最佳交流性能只有在以下情况下才能实现: DAC输出配置为差分(即平衡)工作模式, 输出共模电压偏置到稳定的低噪声 $1.8\ \text{V}$ 标称模拟电源(VDDA)。ADP150 LDO可用来产生干净的 $1.8\ \text{V}$ 电源。

用于与DAC接口的输出网络应提供接近 $0\ \Omega$ 的直流偏置路径以连接到VDDA。在整个频率范围内, I_{OUTP} 和 I_{OUTN} 引脚之间的任何输出阻抗不平衡都会降低失真性能(主要是偶数阶失真)和噪声性能。元件选择和布局对于实现AD9119/AD9129的潜在性能至关重要。

大多数要求平衡到不平衡转换且工作频率为 $10\ \text{MHz}$ 到 $1\ \text{GHz}$ 的应用, 都可以利用Mini-Circuits JTX系列变压器, 它可提供2:1和1:1的阻抗比。

图152显示AD9119/AD9129与JTX-2-10T变压器接口。此变压器可提供出色的幅度/相位平衡($<1\ \text{dB}/1^\circ$, 最高 $1\ \text{GHz}$), 通过提供 $0\ \Omega$ 直流偏置路径以连接VDDA。如果需要滤除DAC镜像和时钟成分, 可在单端侧应用一个模拟LC滤波器, 其好处是可以保持变压器的平衡。

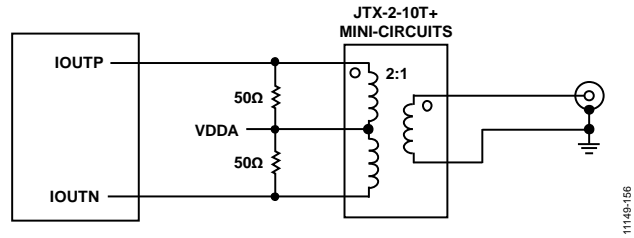


图152. 宽带应用的推荐变压器, 带宽上限高达 $2.2\ \text{GHz}$

图153显示了将DAC输出与自偏置差分增益模块接口时可以考虑的接口。电感(L)用作RF扼流圈, 提供直流偏置路径以连接到AGND。其值与隔直电容一起决定复合通带响应的截止频率下限。(隔直电容与RF差分增益级的输入电阻一起形成高通响应。)

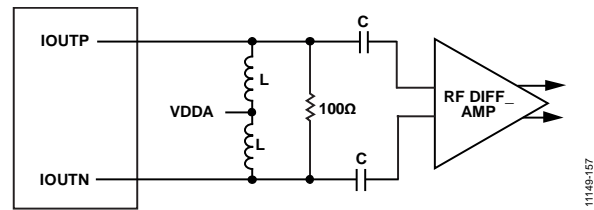


图153. DAC输出与自偏置差分增益级接口

许多RF差分放大器由两个增益匹配的单端放大器组成, 因而无法提供共模抑制, 而且由于匹配不佳, 还可能降低平衡。此外, 由于元件容差, 差分LC滤波器可能会进一步降低差分信号路径的平衡。两种情况下, 使用巴伦均非常有利, 可在滤波或进一步放大之前, 抑制RF DAC的共模失真和噪声成分。

对于在混频模式下使用AD9119/AD9129且输出频率超过2.2 GHz的应用，用户可以考虑图154所示的电路。此电路采用宽带巴伦(例如4.0 GHz时为-3 dB)来为DAC输出提供直流偏置路径，其配置与图152所示范例相似。此电路是在评估板上实现，测得的频率响应与图146所示的理想曲线相比较，结果如图155所示。

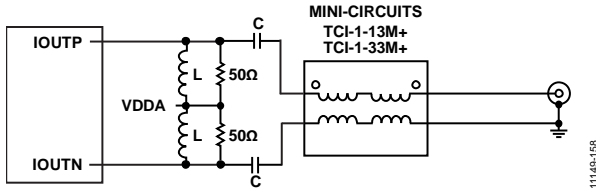


图154. 建议混频模式配置，提供扩展的RF带宽，采用TCI-1-13M+巴伦

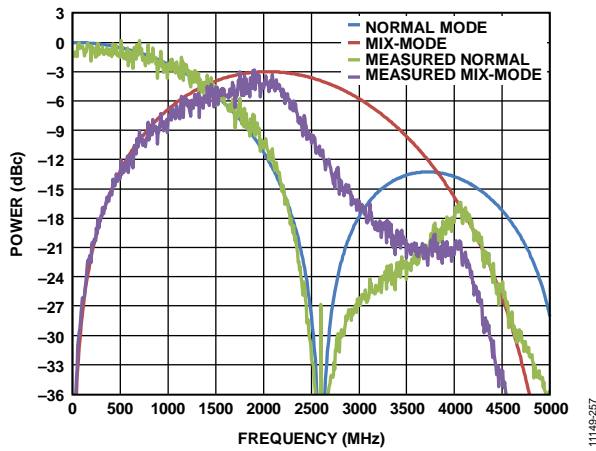
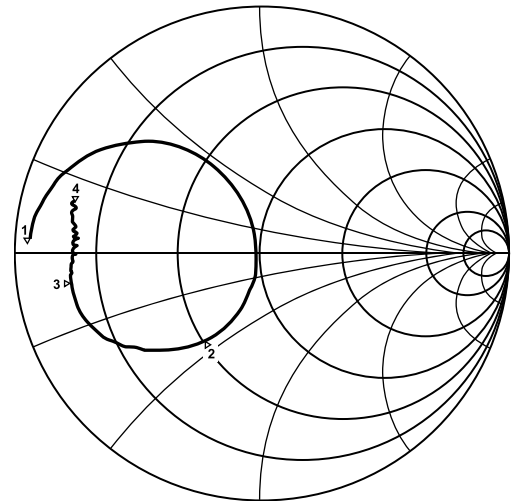


图155. 实测与理想DAC输出响应， $f_{DAC} = 2.6$ GSPS

为帮助匹配AD9119/AD9129输出，图156提供了一张史密斯图。该图是利用图154所示电路获得，巴伦和耦合电容被移除， $L = 270$ nH。DAC输出的实测与理想响应参见图155，非理想响应出现在第二奈奎斯特区的后半部分。此区域对应于2 GHz与3 GHz之间的低阻抗区域，如图156的史密斯图所示。输出匹配可用于补偿此非理想响应；如果使用这种匹配，必须考虑信号带宽的可能降幅。



1. 300kHz	3.1341Ω	710.55mΩ	376.96nH
2. 1GHz	54.333Ω	-44.210Ω	3.5999pF
3. 2GHz	13.113Ω	-11.207Ω	7.1006pF
4. 3GHz	13.022Ω	-14.259Ω	756.48pF

图156. 显示DAC输出阻抗的实测史密斯图， $f_{DAC} = 2.6$ GSPS

AD9119/AD9129

启动序列

器件上电后，需要执行数量不多的步骤来将AD9119/AD9129设置为适当的工作状态。此序列如表16所示，表中还说明了各步的目的。

表16. 上电后的启动序列

寄存器	值	描述
0x00	0x00	4线SPI, MSB优先包装, 短地址模式
0x30	0x5C	使能交叉控制, 交叉位置 = 7(十进制), 占空比校正关闭
0x0C	0x64	设置DLL最小延迟 = 4(十进制), 使能DCO
0x0B	0x39	将时钟分频器设置为DCI/512
0x01	0x68	设置偏置掉电
0x34	0x6D或0x5D	设置PLL模式为正常或2倍模式; 正常模式或FIR25开启 = 0x6D, FIR40开启 = 0x5D
0x01	0x48	使能偏置
0x33	0x13	初始化PLL, 使相位步进 = 1(十进制)
0x33	0xF8或0xD8	选择PFD, 设置PLL相位步进, PLL丢失位保持清0; 相位步进如下: 正常模式或FIR25开启 = 0xF8, FIR40开启 = 0xD8
0x33	0xF0或0xD0	PLL丢失位解除置位, 保持相位步进; 正常模式或FIR25开启 = 0xF0, FIR40开启 = 0xD0
0x0D	0x06	占空比校正带宽设置为最低
0x0A	0xC0	使能DLL
0x18	0xm0	选择数据模式, 滤波器模式设置m的值; 例如: 0x40, 无符号数据, 插值器关闭
0x20	0xC6	满量程电流(FSC)设置为33 mA
0x21	0x03	完成FSC的设置
0x30	0x46	使能交叉控制, 交叉位置 = 1(十进制), 使能占空比校正
0x12	0x20	设置FIFO指针
0x11	0x81	置位FIFO复位
0x11	0x01	FIFO复位解除置位
0x01	0x08	使能I _{REF} (DAC输出)

器件配置寄存器

器件配置寄存器映射

表17中的空白位为保留位，应设置为默认值。1或0的设置表示必须将该位设为相应的值。

表17. 器件配置寄存器映射

寄存器名称	地址		类型	位7	位6	位5	位4	位3	位2	位1	位0	默认值
	十六进制	十进制										
Mode	0x00	0	读/写	SDIO_DIR	LSB/MSB	软复位	0	0	软复位	LSB/MSB	SDIO_DIR	0x81
Power-Down	0x01	1	读/写	BG_PD	IREF_PD	BIAS_PD		1	CLKPATH_PD	Retimer_PD	DLL_PD	0x48
IRQ Enable 0	0x03	3	读/写	FIFO_Warn2	FIFO_Warn1	SPIFrmAck		DLL警告	DLL锁定	重定时器丢失	重定时器锁定	0x00
IRQ Enable 1	0x04	4	读/写		AED通过	AED失败	SED失败	奇偶校验错误下降沿	奇偶校验错误上升沿			0x00
IRQ Request 0	0x05	5	读/写	FIFO_Warn2	FIFO_Warn1	SPIFrmAck		DLL警告	DLL锁定	重定时器丢失	重定时器锁定	0x00
IRQ Request 1	0x06	6	读/写		AED通过	AED失败	SED失败	奇偶校验错误下降沿	奇偶校验错误上升沿			0x00
Frame Pin Usage	0x07	7	读/写			奇偶校验使用	帧使用				FRM_x 引脚使用模式, 位[1:0]	0x00
Reserved_0	0x08	8	读/写	必须保持默认(复位)值0x58								0x58
Data Ctrl 0	0x0A	10	读/写	DLL使能	占空比校正使能				相位偏移, 位[3:0]			0x40
Data Ctrl 1	0x0B	11	读/写	警告清除	锁定延迟分频器	控制器时钟分频器, 位[1:0]			延迟线中间设置, 位[3:0]			0x29
Data Ctrl 2	0x0C	12	读/写		DCO使能	最大延迟设置, 位[2:0]			最小延迟设置, 位[2:0]			0x23
Data Ctrl 3	0x0D	13	读/写						占空比校正带宽, 位[1:0]			0x04
Data Status 0	0x0E	14	读	DLL锁定	DLL警告	DLL延迟线开始警告	DLL延迟线结束警告	DLL正确相位	DCI打开	DLL锁定相位	DLL运行	N/A
FIFO Ctrl	0x11	17	读/写	SPIFrmReq	SPIFrmAck	使能引脚帧					相位报告使能	0x00
FIFO Offset	0x12	18	读/写			RdPtrOff, 位[2:0]			WtPtrOff, 位[2:0]			0x04
FIFO Ph0 Thrm	0x13	19	读			Phz0Thrm, 位[6:0]						N/A
FIFO Ph1 Thrm	0x14	20	读			Phz1Thrm, 位[6:0]						N/A
FIFO Ph2 Thrm	0x15	21	读			Phz2Thrm, 位[6:0]						N/A
FIFO Ph3 Thrm	0x16	22	读			Phz3Thrm, 位[6:0]						N/A
Data Mode Ctrl	0x18	24	读/写	滤波器使能	二进制选择	FILT_SEL						0x00
Decode Ctrl	0x19	25	读/写								混合模式使能	0x00
Sync	0x1A	26	读/写	延迟递增	延迟递减		同步使能	同步完成	相位回读, 位[2:0]			0x00
FSC_1	0x20	32	读/写	满量程电流, 位[7:0]								0x00
FSC_2	0x21	33	读/写							满量程电流, 位[9:8]		0x02
ANA_CNT1	0x22	34	读/写									0x00
ANA_CNT2	0x23	35	读/写									0x0C
CLK REG1	0x30	48	读/写	0	交叉使能	交叉位置, 位[3:0]			占空比使能	0		0x00
Retimer Ctrl 0	0x33	51	读/写	相位步长, 位[3:0]				清零丢失	PLL分频器	重定时器模式, 位[1:0]		0x30
Retimer Ctrl 1	0x34	52	读/写					PLL reset_Z				0x55
Retimer Stat 0	0x35	53	读	PLL锁定	PLL丢失							N/A
SED Control	0x50	80	读/写	SED使能	SED错误清零	AED使能	0	0	AED通过	AED失败	SED失败	0x00
SED Patt/Err R0L	0x51	81	读/写	SED数据端口0上升沿低电平部分出错, 位[7:0]								N/A
SED Patt/Err R0H	0x52	82	读/写	SED数据端口0上升沿高电平部分出错, 位[13:8]								N/A
SED Patt/Err R1L	0x53	83	读/写	SED数据端口1上升沿低电平部分出错, 位[7:0]								N/A
SED Patt/Err R1H	0x54	84	读/写	SED数据端口1上升沿高电平部分出错, 位[13:8]								N/A
SED Patt/Err F0L	0x55	85	读/写	SED数据端口0下降沿低电平部分出错, 位[7:0]								N/A
SED Patt/Err F0H	0x56	86	读/写	SED数据端口0下降沿高电平部分出错, 位[13:8]								N/A
SED Patt/Err F1L	0x57	87	读/写	SED数据端口1下降沿低电平部分出错, 位[7:0]								N/A
SED Patt/Err F1H	0x58	88	读/写	SED数据端口1下降沿高电平部分出错, 位[13:8]								N/A
Parity Control	0x5C	92	读/写	奇偶校验使能	偶校验	奇偶校验错误清零				奇偶校验错误下降沿	奇偶校验错误上升沿	0x00
Parity Err Rising	0x5D	93	读	奇偶校验上升沿错误计数, 位[7:0]								N/A
Parity Err Falling	0x5E	94	读	奇偶校验下降沿错误计数, 位[7:0]								N/A
Delay Ctrl 0	0x70	112	读/写	使能控制单元, 位[7:0]								0xFF
Delay Ctrl 1	0x71	113	读/写					使能控制单元, 位[10:8]				0x67
Drive Strength	0x7C	124	读/写	DCO驱动强度, 位[1:0]								0x7C
Part ID	0x7F	127	读	器件ID, 位[7:0]								0x07或0x87

AD9119/AD9129

器件配置寄存器描述

SPI通信控制寄存器

地址：0x00；复位：0x81；名称：Mode

表18. Mode的位功能描述

位	位的名称	描述	复位	访问类型
7	SDIO_DIR	选择3线或4线模式 1: 3线双向 0: 4线单向	1	读/写
6	LSB/MSB	LSB/MSB数据包装 1: LSB优先包装 0: MSB优先包装	0	读/写
5	SoftReset	1: 执行基于软件的复位	0	读/写
4	保留	必须置0，保留(短地址模式)	0	读/写
3	保留	位4的镜像，用于安全目的	0	读
2	SoftReset	位5的镜像，用于安全目的	0	读
1	LSB/MSB	位6的镜像，用于安全目的	0	读
0	SDIO_DIR	位7的镜像，用于安全目的	1	读

电源控制寄存器

地址：0x01；复位：0x48；名称：Power-Down

表19. Power-Down的位功能描述

位	位的名称	描述	复位	访问类型
7	BG_PD	带隙基准电压源掉电 1: 带隙基准电压源掉电 0: 带隙基准电压源有效	0	读/写
6	IREF_PD	I_{REF} 掉电 1: FSC为0 mA 0: FSC为编程值	1	读/写
5	BIAS_PD	偏置掉电 1: 所有偏置电流关闭 0: 所有偏置电流开启	0	读/写
4	保留	保留	0	读/写
3	保留	必须置1，保留	1	读/写
2	CLKPATH_PD	时钟路径掉电 1: DAC时钟掉电 0: DAC时钟有效	0	读/写
1	Retimer_PD	1: PLL掉电	0	读/写
0	DLL_PD	DLL(数据接收器)掉电 1: DLL(数据接收器)掉电	0	读/写

中断使能寄存器0

地址：0x03；复位：0x00；名称：IRQ Enable 0

表20. IRQ Enable 0的位功能描述

位	位的名称	描述	复位	访问类型
7	FIFO_Warn2中断使能	在覆盖中断的两个时隙内使能FIFO警告	0	读/写
6	FIFO_Warn1中断使能	在覆盖中断的一个时隙内使能FIFO警告	0	读/写
5	SPIFrmAck中断使能	使能对SPIFrmReq(地址0x11的位7)从0b变为1b的FIFO SPI校准应答	0	读/写
4	保留	保留	0	读
3	DLL警告中断使能	使能DLL警告标志，数据接收器不再锁定	0	读/写
2	DLL锁定中断使能	使能DLL警告标志，数据接收器现已锁定	0	读/写
1	重定时器丢失中断使能	使能重定时器丢失中断指示	0	读/写
0	重定时器锁定中断使能	使能重定时器锁定中断指示	0	读/写

中断使能寄存器1

地址：0x04；复位：0x00；名称：IRQ Enable 1

表21. IRQ Enable 1的位功能描述

位	位的名称	描述	复位	访问类型
7	保留	保留	0	读/写
6	AED通过中断使能	使能AED通过中断，报告捕捉到8个有效样本	0	读/写
5	AED失败中断使能	使能AED失败中断，报告发生比较错误	0	读/写
4	SED失败中断使能	使能SED失败中断，报告发生比较错误	0	读/写
3	奇偶校验错误下降沿使能	使能奇偶校验失败，原因是基于下降沿的奇偶校验检测到错误	0	读/写
2	奇偶校验错误上升沿使能	使能奇偶校验失败，原因是基于上升沿的奇偶校验检测到错误	0	读/写
1	保留	保留	0	读
0	保留	保留	0	读

中断状态寄存器0

地址：0x05；复位：0x00；名称：IRQ Request 0

表22. IRQ Request 0的位功能描述

位	位的名称	描述	复位	访问类型
7	FIFO_Warn2中断状态	表示FIFO在覆盖的两个时隙内	0	读
6	FIFO_Warn1中断状态	表示FIFO在覆盖的一个时隙内	0	读
5	SPIFrmAck中断状态	表示确认SPIFrmReq已从0b变为1b	0	读
4	保留	保留	0	读
3	DLL警告中断状态	表示DLL(数据接收器)接近解锁，需要采取行动	0	读
2	DLL锁定中断状态	表示DLL(数据接收器)现已锁定	0	读
1	重定时器丢失中断状态	表示重定时器PLL不再锁定	0	读
0	重定时器锁定中断状态	表示重定时器PLL现已锁定	0	读

AD9119/AD9129

中断状态寄存器1

地址：0x06；复位：0x00；名称：IRQ Request 1

表23. IRQ Request 1的位功能描述

位	位的名称	描述	复位	访问类型
7	保留	保留	0	读/写
6	AED通过中断状态	表示AED逻辑已捕捉到8个有效样本	0	读/写
5	AED失败中断状态	表示AED逻辑已检测到比较错误	0	读/写
4	SED失败中断状态	表示SED逻辑已检测到比较错误	0	读/写
3	奇偶校验错误下降沿状态	表示奇偶校验故障，原因是下降沿上捕捉到的数据	0	读/写
2	奇偶校验错误上升沿状态	表示奇偶校验故障，原因是上升沿上捕捉到的数据	0	读/写
1	保留	保留	0	读/写
0	保留	保留	0	读/写

帧引脚使用寄存器

地址：0x07；复位：0x00；名称：Frame Pin Usage

表24. Frame Pin Usage的位功能描述

位	位的名称	描述	复位	访问类型
7	保留	保留	0	读/写
6	保留	保留	0	读/写
5	奇偶校验使用	1: FRM_x引脚处于奇偶校验模式，并且奇偶校验已使能 注意：必须使能奇偶校验，并且必须在寄存器0x5C[7:6]中选择类型	0	读
4	帧使用	1: FRM_x引脚处于帧模式，使能引脚帧传输(寄存器0x11[5] = 1b)已使能	0	读
3	保留	保留	0	读
2	保留	保留	0	读
[1:0]	FRM_x引脚使用模式	3: 保留 2: 帧 1: 奇偶校验 0: 不起作用	0x0	读/写

Reserved_0寄存器

地址：0x08；复位：0x58；名称：Reserved_0

表25. Reserved_0的位功能描述

位	位的名称	描述	复位	访问类型
[7:0]	保留	必须保持默认(复位)值；保留	0x58	R

数据接收器控制0寄存器

地址：0x0A；复位：0x40；名称：Data Ctrl 0

表26. Data Ctrl 0的位功能描述

位	位的名称	描述	复位	访问类型
7	DLL使能	1: 使能DLL 0: 禁用DLL	0	读/写
6	占空比较正使能	1: 使能占空比较正 0: 禁用占空比较正	1	读/写
5	保留	保留	0	读/写
4	保留	保留	0	读/写
[3:0]	相移	锁定相位 = $90^\circ \pm n \times 11.25^\circ$ ，其中n是4位带符号幅度值	0x0	读/写

数据接收器控制1寄存器

地址：0x0B；复位：0x29；名称：Data Ctrl 1

表27. Data Ctrl 1的位功能描述

位	位的名称	描述	复位	访问类型
7	警告清除	1: 数据接收器警告位清0	0	读/写
6	锁定延迟分频器	1: 长延迟 0: 短延迟	0	读/写
[5:4]	控制器时钟分频器	控制器时钟分频器 00: DCI/4 01: DCI/16 10: DCI/64 11: DCI/512	0x2	读/写
[3:0]	延迟线中间设置	设置标称延迟线延迟	0x9	读/写

数据接收器控制2寄存器

地址：0x0C；复位：0x23；名称：Data Ctrl 2

表28. Data Ctrl 2的位功能描述

位	位的名称	描述	复位	访问类型
7	保留	保留	0	读/写
6	DCO使能	1: 使能DCO输出驱动器	0	读/写
[5:3]	最大延迟设置	设置最大延迟线延迟(数值越大, 则延迟线越长)	0x2	读/写
[2:0]	最小延迟设置	设置最小延迟线延迟(数值越大, 则延迟线越短)	0x3	读/写

数据接收器控制3寄存器

地址：0x0D；复位：0x04；名称：Data Ctrl 3

表29. Data Ctrl 3的位功能描述

位	位的名称	描述	复位	访问类型
[7:3]	保留	保留。	0x00	读
[2:1]	占空比校正带宽设置	控制器时钟分频器。 00: 最高带宽。 01: 较高带宽。 10: 较低带宽。 11: 最低带宽。	0x2	读/写
0	保留	保留	0	读/写

数据接收器状态0寄存器

地址：0x0E；复位：0x00；名称：Data Status 0

表30. Data Status 0的位功能描述

位	位的名称	描述	复位	访问类型
7	DLL锁定	1: DLL锁定	0	读
6	DLL警告	1: DLL接近延迟线的起点/终点	0	读
5	DLL延迟线开始警告	1: DLL位于延迟线的起点	0	读
4	DLL延迟线结束警告	1: DLL位于延迟线的终点	0	读
3	DLL正确相位	1: 数据在正确的相位上采样 0: 数据在错误的相位上采样。	0	读
2	DCI打开	1: 用户已提供大于100 MHz的时钟	0	读
1	DLL锁定相位	1: DLL在DCI的负半边锁定。 0: DLL在DCI的正半边锁定	0	读
0	DLL运行	1: 闭环DLL尝试锁定 0: 延迟固定在延迟线的中间	0	读

AD9119/AD9129

FIFO控制寄存器

地址：0x11；复位：0x00；名称：FIFO Ctrl

表31. FIFO Ctrl的位功能描述

位	位的名称	描述	复位	访问类型
7	SPIFrmReq	请求一个基于SPI的FIFO对齐(FIFO复位)	0	读/写
6	SPIFrmAck	确认SPIFrmReq变更(跟踪SPIFrmReq设置)	0	读/写
5	使能引脚帧	1:使能基于硬件引脚的FIFO帧传输	0	读/写
[4:1]	保留	保留	0x0	读
0	相位报告使能	1:使能FIFO相位报告	0	读/写

FIFO偏移寄存器

地址：0x12；复位：0x04；名称：FIFO Offset

表32. FIFO Offset的位功能描述

位	位的名称	描述	复位	访问类型
7	保留	保留	0	读
[6:4]	RdPtrOff[2:0]	FIFO读指针偏移	0x0	读/写
3	保留	保留	0	读
[2:0]	WtPtrOff[2:0]	FIFO写指针偏移	0x4	读/写

FIFO相位0温度计状态寄存器

地址：0x13；复位：0x00；名称：FIFO PH0 THRM

表33. FIFO PH0 THRM的位功能描述

位	位的名称	描述	复位	访问类型
7	保留	保留	0	读
[6:0]	Phz0Thrm	基于相位0的FIFO温度计状态。相对于相位0的FIFO相位，例如0000000b对1111111b，其中0000011b被视为FIFO存储空间的中间位置。	0x00	读

FIFO相位1温度计状态寄存器

地址：0x14；复位：0x00；名称：FIFO PH1 THRM

表34. FIFO PH1 THRM的位功能描述

位	位的名称	描述	复位	访问类型
7	保留	保留	0	读
[6:0]	Phz1Thrm	基于相位1的FIFO温度计状态。相对于相位1的FIFO相位，例如0000000b对1111111b，其中0000011b被视为FIFO存储空间的中间位置。	0x00	读

FIFO相位2温度计状态寄存器

地址：0x15；复位：0x00；名称：FIFO PH2 THRM

表35. FIFO PH2 THRM的位功能描述

位	位的名称	描述	复位	访问类型
7	保留	保留	0	读
[6:0]	Phz2Thrm	基于相位2的FIFO温度计状态。相对于相位2的FIFO相位，例如0000000b对1111111b，其中0000011b被视为FIFO存储空间的中间位置。	0x00	读

FIFO相位3温度计状态寄存器

地址：0x16；复位：0x00；名称：FIFO PH3 THRM

表36. FIFO PH3 THRM的位功能描述

位	位的名称	描述	复位	访问类型
7	保留	保留	0	读
[6:0]	Phz3Thrm	基于相位3的FIFO温度计状态。相对于相位3的FIFO相位，例如0000000b对1111111b，其中0000011b被视为FIFO存储空间的中间位置。	0x00	读

数据模式控制寄存器

地址：0x18；复位：0x00；名称：Data Mode Ctrl

表37. Data Mode Ctrl的位功能描述

位	位的名称	描述	复位	访问类型
7	滤波器使能	1: 使能2倍插值滤波器 0: 旁路2倍插值滤波器	0	读/写
6	二进制选择	选择输入数据格式 1: 无符号 0: 带符号(二进制补码)	0	读/写
5	FILT_SEL	2倍插值滤波器选择 1: 40 dB OOB抑制 0: 25 dB带外(OOB)抑制	0	读
[4:0]	保留	保留	0	读

解码器控制(程序温度计类型)寄存器

地址：0x19；复位：0x00；名称：Decode Ctrl

表38. Decode Ctrl的位功能描述

位	位的名称	描述	复位	访问类型
[7:1]	保留	保留	0x00	读
0	混合模式使能	1: 混频模式 0: 正常	0	读/写

同步控制寄存器

地址：0x1A；复位：0x00；名称：Sync

表39. Sync的位功能描述

位	位的名称	描述	复位	访问类型
7	延迟递增	延迟递增1	0	读/写
6	延迟递减	延迟递减1	0	读/写
5	保留	保留	0	读
4	同步使能	1: 多DAC同步输出引脚使能 0: 多DAC同步输出引脚禁用	0	读/写
3	同步完成	1: 上一递增或递减请求已完成	0	读
[2:0]	相位回读	回读现有同步相位延迟值	0	读

满量程电流调整(低位)寄存器

地址：0x20；复位：0x00；名称：FSC_1

表40. FSC_1的位功能描述

位	位的名称	描述	复位	访问类型
[7:0]	满量程电流, 位[7:0]	DAC增益调整; DAC满量程电流(LSB)	0x00	读/写

满量程电流调整(高位)寄存器

地址：0x21；复位：0x02；名称：FSC_2

表41. FSC_2的位功能描述

位	位的名称	描述	复位	访问类型
7	保留	保留	0	读/写
[6:2]	保留	保留	0	读
[1:0]	满量程电流, 位[9:8]	DAC增益调整; DAC满量程电流(MSB)	0x02	读/写

AD9119/AD9129

模拟控制1寄存器

地址：0x22；复位：0x00；名称：ANA_CNT1

表42. ANA_CNT1的位功能描述

位	位的名称	描述	复位	访问类型
[7:0]	保留	保留	0x0	读/写

模拟控制2寄存器

地址：0x23；复位：0x0C；名称：ANA_CNT2

表43. ANA_CNT2的位功能描述

位	位的名称	描述	复位	访问类型
[7:0]	保留	保留	0x0C	读/写

时钟控制1寄存器

地址：0x30；复位：0x00；名称：CLK REG1

表44. CLK REG1的位功能描述

位	位的名称	描述	复位	访问类型
7	保留	必须置0，保留	0	读/写
6	交叉使能	使能过零控制	0	读/写
[5:2]	交叉位置	调整过零控制位置(带符号幅度)	0	读/写
1	占空比使能	使能占空比校正	0	读/写
0	选择内部	必须置0	0	读/写

重定时器控制0寄存器

地址：0x33；复位：0x30；名称：Retimer Ctrl 0

表45. Retime Ctrl 0的位功能描述

位	位的名称	描述	复位	访问类型
[7:4]	相位步长	4位带符号幅度；PFD相位步进 = $n \times 30^\circ$	0x3	读/写
3	清零丢失	丢失状态位清0	0	
2	PLL分频器	1: 4分频 0: 8分频	0	
[1:0]	重定时器模式	0: 使能PFD，正常模式 1: 保留 2: 保留 3: 保留	0x0	

重定时器控制1寄存器

地址：0x34；复位：0x55；名称：Retimer Ctrl 1

表46. Retimer Ctrl 1的位功能描述

位	位的名称	描述	复位	访问类型
[7:4]	保留	保留	0x5	R/W
3	PLL reset_Z	1: DAC时钟PLL正常工作 0: 复位DAC时钟PLL	0	读/写
[2:0]	保留	保留	0x5	读/写

重定时器状态0寄存器

地址：0x35；复位：0x00；名称：Retimer Stat 0

表47. Retimer Stat 0的位功能描述

位	位的名称	描述	复位	访问类型
7	PLL锁定	1: 重定时器PLL锁定	0	读
6	PLL丢失	1: 重定时器PLL丢失(可以标记)	0	读
[5:4]	保留	保留	0x0	读
[3:0]	保留	保留	0x0	读

采样错误检测(SED)控制寄存器

地址: 0x50; 复位: 0x00; 名称: SED Control

表48. SED Control的位功能描述

位	位的名称	描述	复位	访问类型
7	SED使能	1: 此位置1将使能SED比较逻辑	0	读/写
6	SED错误清零	1: 清除下面的所有SED报告错误	0	读/写
5	AED使能	1: 使能AED功能(设置八次通过后带自清零的SED)	0	读/写
4	保留	必须置0, 保留	0	读
3	保留	必须置0, 保留	0	读
2	AED通过	1: 表示8个真实比较周期	0	读/写
1	AED失败	1: 表示比较错误	0	读
0	SED失败	1: 表示SED比较错误(SED或AED使能)	0	读

采样错误检测(SED)数据端口0上升沿状态低位寄存器

地址: 0x51; 复位: 0x00; 名称: SED Patt/Err R0L

表49. SED Patt/Err R0L的位功能描述

位	位的名称	描述	复位	访问类型
[7:0]	SED数据端口0上升沿低电平部分出错, 位	SED数据端口0上升沿错误, 位[7:0]	0x00	读/写

采样错误检测(SED)数据端口0上升沿状态高位寄存器

地址: 0x52; 复位: 0x000; 名称: SED Patt/Err R0H

表50. SED Patt/Err R0H的位功能描述

位	位的名称	描述	复位	访问类型
[7:6]	保留	保留	0x0	读
[5:0]	SED数据端口0上升沿高电平部分出错, 位	SED数据端口0上升沿错误, 位[13:8]	0x00	读/写

采样错误检测(SED)数据端口1上升沿状态低位寄存器

地址: 0x53; 复位: 0x00; 名称: SED Patt/Err R1L

表51. SED Patt/Err R1L的位功能描述

位	位的名称	描述	复位	访问类型
[7:0]	SED数据端口1上升沿低电平部分出错, 位	SED数据端口1上升沿错误, 位[7:0]	0x00	读/写

采样错误检测(SED)数据端口1上升沿状态高位寄存器

地址: 0x54; 复位: 0x00; 名称: SED Patt/Err R1H

表52. SED Patt/Err R1H的位功能描述

位	位的名称	描述	复位	访问类型
[7:6]	保留	保留	0x0	读
[5:0]	SED数据端口1上升沿高电平部分出错, 位	SED数据端口1上升沿错误, 位[13:8]	0x00	读/写

AD9119/AD9129

采样错误检测(SED)数据端口0下降沿状态低位寄存器

地址: 0x55; 复位: 0x00; 名称: SED Patt/Err F0L

表53. SED Patt/Err F0L的位功能描述

位	位的名称	描述	复位	访问类型
[7:0]	SED数据端口0下降沿低电平部分出错, 位	SED数据端口0下降沿错误, 位[7:0]	0x00	读/写

采样错误检测(SED)数据端口0下降沿状态高位寄存器

地址: 0x56; 复位: 0x000; 名称: SED Patt/Err F0H

表54. SED Patt/Err F0H的位功能描述

位	位的名称	描述	复位	访问类型
[7:6]	保留	保留	0x0	读
[5:0]	SED数据端口0下降沿高电平部分出错, 位	SED数据端口0下降沿错误, 位[13:8]	0x00	读/写

采样错误检测(SED)数据端口1下降沿状态低位寄存器

地址: 0x57; 复位: 0x00; 名称: SED Patt/Err F1L

表55. SED Patt/Err F1L的位功能描述

位	位的名称	描述	复位	访问类型
[7:0]	SED数据端口1下降沿低电平部分出错, 位	SED数据端口1下降沿错误, 位[7:0]	0x00	读/写

采样错误检测(SED)数据端口1下降沿状态高位寄存器

地址: 0x58; 复位: 0x00; 名称: SED Patt/Err F1H

表56. SED Patt/Err F1H的位功能描述

位	位的名称	描述	复位	访问类型
[7:6]	保留	保留	0x0	读
[5:0]	SED数据端口1下降沿高电平部分出错, 位	SED数据端口1下降沿错误, 位[13:8]	0x00	读/写

奇偶校验控制寄存器

地址: 0x5C; 复位: 0x00; 名称: Parity Control

表57. Parity Control的位功能描述

位	位的名称	描述	复位	访问类型
7	奇偶校验使能	1: 使能奇偶校验	0x00	读/写
6	偶校验	1: 偶校验。偶校验定义为: $XOR[FRM(n), P0_D0(n), P0_D1(n), P0_D2(n), \dots, P0_D13(n), P1_D0(n), P1_D1(n), P1_D2(n), \dots, P1_D13(n)] = 0$ 。 0: 奇校验。奇校验定义为: $XOR[FRM(n), P0_D0(n), P0_D1(n), P0_D2(n), \dots, P0_D13(n), P1_D0(n), P1_D1(n), P1_D2(n), \dots, P1_D13(n)] = 1$ 。 注意: 必须使能寄存器0x07中的奇偶校验位	0	读/写
5	奇偶校验错误清零	1: 清除奇偶校验错误计数器	0	读/写
[4:2]	保留	保留	0x0	读
1	奇偶校验错误下降沿	1: 表示检测到下降沿奇偶校验错误	0	读
0	奇偶校验错误上升沿	1: 表示检测到上升沿奇偶校验错误	0	读

奇偶校验上升沿计数寄存器

地址: 0x5D; 复位: 0x00; 名称: Parity Err Rising

表58. Parity Err Rising的位功能描述

位	位的名称	描述	复位	访问类型
[7:0]	奇偶校验上升沿错误计数	检测到上升沿错误的数量, 以256为限	0x00	读

奇偶校验下降沿计数寄存器

地址: 0x5E; 复位: 0x00; 名称: Parity Err Falling

表59. Parity Err Falling的位功能描述

位	位的名称	描述	复位	访问类型
[7:0]	奇偶校验下降沿错误计数	检测到下降沿错误的数量，以256为限	0x00	读

延迟控制寄存器0

地址：0x70；复位：0xFF；名称：Delay Ctrl 0

表60. Delay Ctrl 0的位功能描述

位	位的名称	描述	复位	访问类型
[7:0]	使能延迟单元	设置各位以使能或禁用延迟单元，位[7:0]；延迟单元数对应于位数 1: 使能延迟单元(默认) 0: 禁用延迟单元	0xFF	读/写

延迟控制寄存器1

地址：0x71；复位：0x67；名称：Delay Ctrl 1

表61. Delay Ctrl 1的位功能描述

位	位的名称	描述	复位	访问类型
[7:3]	保留	保留	0x60	读/写
[2:0]	使能延迟单元	设置各位以使能或禁用延迟单元，位[10:8]；延迟单元数为10、9、8，分别对应于位2、位1和位0 1: 使能延迟单元(默认) 0: 禁用延迟单元	0x7	读/写

驱动强度寄存器

地址：0x7C；复位：0x7C；名称：Drive Strength

表62. Drive Strength的位功能描述

位	位的名称	描述	复位	访问类型
[7:6]	DCO驱动强度	设置DCO驱动强度 00: 2 mA 01: 2.8 mA(默认) 10: 3.4 mA 11: 4 mA	0x1	读/写
[5:0]	保留	保留	0x3C	读/写

Part ID寄存器

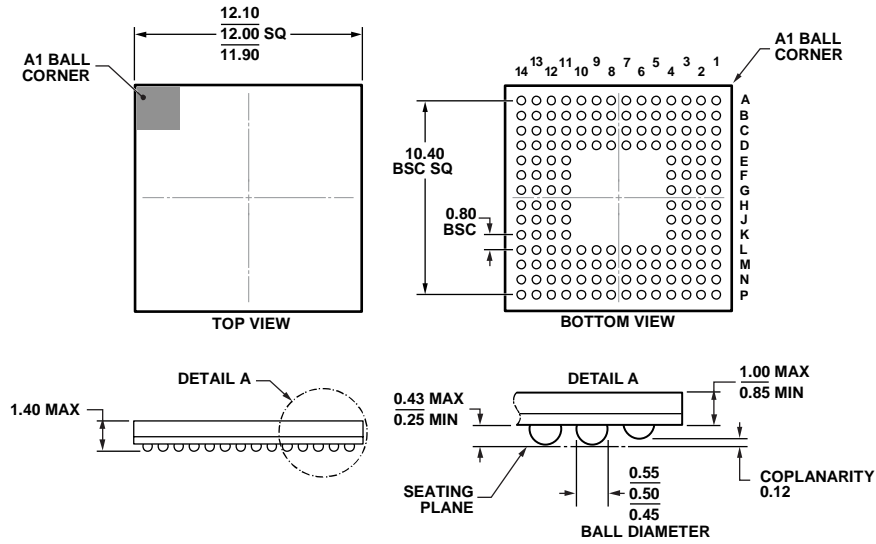
地址：0x7F；复位：0x03或0x83；名称：Part ID

表63. Part ID的位功能描述

位	位的名称	描述	复位	访问类型
[7:0]	Part ID	版本信息 0x07 = AD9129(14位版本) 0x87 = AD9119(11位版本)	0x07 或 0x87	读

AD9119/AD9129

外形尺寸



COMPLIANT WITH JEDEC STANDARDS MO-275-GGAA-1.

11-18-2011-A

图157. 160引脚CSP_BGA封装
(BC-160-1)
尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD9119BBCZ	-40°C至+85°C	160引脚 CSP_BGA封装	BC-160-1
AD9119BBCZRL	-40°C至+85°C	160引脚 CSP_BGA封装	BC-160-1
AD9119-EBZ		正常模式评估用评估板	
AD9119-MIX-EBZ		混频模式评估用评估板	
AD9119-CBLTX-EBZ		电缆发射机评估用评估板	
AD9129BBCZ	-40°C至+85°C	160引脚 CSP_BGA封装	BC-160-1
AD9129BBCZRL	-40°C至+85°C	160引脚 CSP_BGA封装	BC-160-1
AD9129BBC	-40°C至+85°C	160引脚 CSP_BGA封装	BC-160-1
AD9129BBCRL	-40°C至+85°C	160引脚 CSP_BGA封装	BC-160-1
AD9129-EBZ		正常模式评估用评估板	
AD9129-MIX-EBZ		混频模式评估用评估板	
AD9129-CBLTX-EBZ		电缆发射机评估用评估板	

¹ Z = 符合RoHS标准的器件。

注释

注释